



(12) 发明专利申请

(10) 申请公布号 CN 113555352 A

(43) 申请公布日 2021.10.26

(21) 申请号 202110820397.9

(22) 申请日 2021.07.20

(71) 申请人 长江存储科技有限责任公司
地址 430000 湖北省武汉市东湖新技术开发区未来三路88号

(72) 发明人 姚兰 薛磊 华子群 胡思平
严孟 尹朋岸 元文强

(74) 专利代理机构 北京英思普睿知识产权代理有限公司 16018
代理人 刘莹 聂国斌

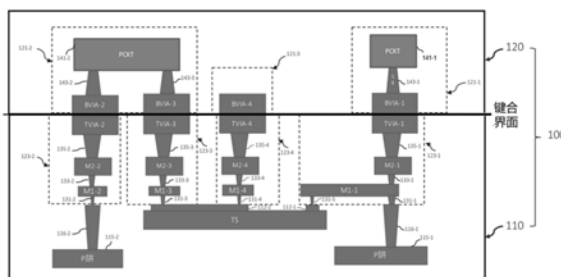
(51) Int. Cl.
H01L 25/18 (2006.01)
H01L 23/485 (2006.01)
H01L 23/544 (2006.01)

权利要求书2页 说明书9页 附图2页

(54) 发明名称
三维存储器

(57) 摘要

本公开提供了一种三维存储器,包括键合至彼此的外围晶圆和阵列晶圆。阵列晶圆包括:待测试结构(TS),具有第一连接端(112-1)和第二连接端(112-2);以及多个互连部,包括:第一互连部(123-1),将第一触点(116-1)与第一连接端(112-1)电连接,其中,第一触点(116-1)连接至阵列晶圆的衬底中的第一阱区(115-1);第二互连部(123-2),连接至第二触点(116-2),其中,第二触点(116-2)连接至衬底中的第二阱区(115-2);第三互连部(123-3),一端与外围晶圆(120)连接,另一端与第二连接端(112-2)连接;以及第四互连部(123-4),其靠近衬底的一侧连接至第二连接端(112-2),并且与一侧相对的另一侧被配置为处于浮置状态。



CN 113555352 A

1. 一种三维存储器,其特征在于,所述三维存储器包括相互键合的外围晶圆和阵列晶圆,所述阵列晶圆包括:

待测试结构,具有第一连接端和第二连接端;以及

多个互连部,包括:

第一互连部,将第一触点与所述第一连接端电连接,其中,

所述第一触点连接至所述阵列晶圆的衬底中的第一阱区;

第二互连部,连接至所述第二触点,其中,所述第二触点连接至所述衬底中的第二阱区;以及

第三互连部,一端与所述外围晶圆连接,另一端与所述第二连接端连接;

第四互连部,所述第四互连部的靠近所述衬底的一侧连接至所述第二连接端,并且与所述一侧相对的另一侧被配置为处于浮置状态。

2. 根据权利要求1所述的三维存储器,其中,所述外围晶圆还包括:

第一外围结构,连接至所述第一互连部;

第二外围结构,包括连接至所述第二互连部的第一端和连接至所述第三互连部的第二端;以及

第三外围结构,连接至所述第四互连部的所述另一侧。

3. 根据权利要求1所述的三维存储器,其中,所述待测试结构包括具有一个或多个三维存储串的三维存储阵列,并且所述第一连接端和所述第二连接端分别包括所述三维存储串中字线的两端。

4. 根据权利要求2所述的三维存储器,其中,所述多个互连部中的每个还包括:在远离所述待测试结构的方向上依次堆叠的阵列晶圆连接块、阵列晶圆导体层、阵列晶圆接触块和阵列晶圆键合接触。

5. 根据权利要求4所述的三维存储器,其中,所述多个互连部中的每个还包括:

一个或多个附加阵列晶圆导体层以及一个或多个附加阵列晶圆连接块,所述附加阵列晶圆导体层与所述附加阵列晶圆连接块交替布置,用于将所述阵列晶圆导体层电连接至所述阵列晶圆接触块。

6. 根据权利要求4所述的三维存储器,其中,在所述第一互连部中:

所述阵列晶圆连接块设置为两个,

所述阵列晶圆导体层经由所述阵列晶圆连接块中的一个电连接至所述第一触点,并经由所述阵列晶圆连接块中的另一个电连接至所述第一连接端,以及

所述阵列晶圆键合接触电连接至所述第一外围结构。

7. 根据权利要求4所述的三维存储器,其中,在所述第二互连部中,所述阵列晶圆连接块电连接至所述第二触点,并且所述阵列晶圆键合接触电连接至所述第二外围结构的所述第一端。

8. 根据权利要求4所述的三维存储器,其中,在所述第三互连部中,所述阵列晶圆连接块电连接至所述第二连接端,并且所述阵列晶圆键合接触电连接至所述第二外围结构的所述第二端。

9. 根据权利要求4所述的三维存储器,其中,在所述第四互连部中,所述阵列晶圆连接块连接至所述第二连接端,并且所述阵列晶圆键合接触连接至所述第三外围结构。

10. 根据权利要求2所述的三维存储器,其中,所述第一外围结构包括:
第一外围电路,配置为在非测试状态下控制对所述待测试结构的操作,以及
第一外围晶圆键合接触,设置在所述第一外围电路的靠近所述阵列晶圆的一侧,将所述
第一外围电路电连接至所述第一互连部。

11. 根据权利要求2所述的三维存储器,其中,所述第二外围结构包括:
第二外围电路,配置为在非测试状态下控制对所述待测试结构的操作,
第二外围晶圆键合接触,设置在所述第二外围电路的靠近所述阵列晶圆的一侧,用作
所述第二外围结构的所述第一端,将所述第二外围电路电连接至所述第二互连部,以及
第三外围晶圆键合接触,设置在所述第二外围电路的靠近所述阵列晶圆的一侧,用作
所述第二外围结构的所述第二端,将所述第二外围电路电连接至所述第三互连部。

12. 根据权利要求2所述的三维存储器,其中,所述第三外围结构包括第四外围晶圆键
合接触,其朝向所述阵列晶圆的一侧连接至所述第四互连部的所述另一侧,远离所述阵列
晶圆的一侧处于浮置状态。

三维存储器

技术领域

[0001] 本公开涉及半导体技术领域,具体地,涉及一种三维存储器。

背景技术

[0002] 将存储阵列和外围电路分别布置在存储阵列晶圆和外围晶圆上的三维存储器可有效解决加工存储阵列时外围电路受到高温高压影响的问题,能够实现更高的存储密度、更简单的工艺流程以及更少的循环时间。

[0003] 在这种架构中,当两片晶圆制备完成后,可对二者进行键合。如图1中所示,键合后的阵列晶圆110和外围晶圆120可以在键合界面处通过分别设置在阵列晶圆110中的键合接触(例如,键合接触TVIA-1和TVIA-2)和设置在外围晶圆120中的键合接触(例如,键合接触BVIA-1和BVIA-2)相互接通,从而将阵列晶圆110中的待测试结构TS连接至外围晶圆120中的外围电路PCKT。其中,待测试结构TS是包括一个或多个三维存储串的存储阵列,外围电路PCKT用于在存储阵列处于正常工作状态(即,非测试状态)时生成针对待测试结构TS的控制信号。

[0004] 在一些情况下,需要对待测试结构TS的功能进行测试或分析。例如,研发人员可能需要通过测试来验证待测试结构TS的功能是否符合预期,并据此来进一步改善待测试结构TS的功能和可靠性。在这种情况下,当需要时,待测试结构TS应该能够处于测试状态。需要一定的电路设置来满足这种需求,然而,这种电路设置可导致阵列晶圆和外围晶圆的键合接触在键合工艺中出现可靠性问题。

[0005] 在本背景技术部分中公开的上述信息仅用于理解本发明构思的背景技术,因此,它可以包含不构成现有技术的信息。

发明内容

[0006] 本申请提供了一种可至少部分解决现有技术中存在的上述问题的三维存储器,以解决阵列晶圆和外围晶圆的键合接触在键合工艺中出现的可靠性问题。

[0007] 根据本公开的实施方式提供了一种三维存储器,其特征在于,三维存储器包括相互键合的外围晶圆和阵列晶圆,阵列晶圆包括:待测试结构,具有第一连接端和第二连接端;以及多个互连部,包括:第一互连部,将第一触点与第一连接端电连接,其中,第一触点连接至阵列晶圆的衬底中的第一阱区;第二互连部,连接至第二触点,其中,第二触点连接至衬底中的第二阱区;以及第三互连部,一端与外围晶圆连接,另一端与第二连接端连接。其特征在于,阵列晶圆还包括第四互连部,第四互连部的靠近衬底的一侧连接至第二连接端,并且与一侧相对的另一侧被配置为处于浮置(Floating)状态。

[0008] 在实施方式中,外围晶圆还包括:第一外围结构,连接至第一互连部;第二外围结构,包括连接至第二互连部的第一端和连接至第三互连部的第二端;以及第三外围结构,连接至第四互连部的另一侧。

[0009] 在实施方式中,待测试结构包括具有一个或多个三维存储串的三维存储阵列,并

且第一连接端和第二连接端分别包括三维存储串中字线的两端。

[0010] 在实施方式中,多个互连部中的每个还包括:在远离待测试结构的方向上依次堆叠的阵列晶圆连接块、阵列晶圆导体层、阵列晶圆接触块和阵列晶圆键合接触。

[0011] 在实施方式中,多个互连部中的每个还包括:一个或多个附加阵列晶圆导体层以及一个或多个附加阵列晶圆连接块,附加阵列晶圆导体层与附加阵列晶圆连接块交替布置,用于将阵列晶圆导体层电连接至阵列晶圆接触块。

[0012] 在实施方式中,在第一互连部中:阵列晶圆连接块设置为两个,阵列晶圆导体层经由阵列晶圆连接块中的一个电连接至第一触点,并经由阵列晶圆连接块中的另一个电连接至第一连接端,以及阵列晶圆键合接触电连接至第一外围结构。

[0013] 在实施方式中,在第二互连部中,阵列晶圆连接块电连接至第二触点,并且阵列晶圆键合接触电连接至第二外围结构的第一端。

[0014] 在实施方式中,在第三互连部中,阵列晶圆连接块电连接至第二连接端,并且阵列晶圆键合接触电连接至第二外围结构的第二端。

[0015] 在实施方式中,在第四互连部中,阵列晶圆连接块连接至第二连接端,并且阵列晶圆键合接触连接至第三外围结构。

[0016] 在实施方式中,第一外围结构包括:第一外围电路,配置为在非测试状态下控制对待测试结构的操作,以及第一外围晶圆键合接触,设置在第一外围电路的靠近阵列晶圆的一侧,将第一外围电路电连接至第一互连部。

[0017] 在实施方式中,第二外围结构包括:第二外围电路,配置为在非测试状态下控制对待测试结构的操作,第二外围晶圆键合接触,设置在第二外围电路的靠近阵列晶圆的一侧,用作第二外围结构的第一端,将第二外围电路电连接至第二互连部,以及第三外围晶圆键合接触,设置在第二外围电路的靠近阵列晶圆的一侧,用作第二外围结构的第二端,将第二外围电路电连接至第三互连部。

[0018] 在实施方式中,第三外围结构包括第四外围晶圆键合接触,其朝向阵列晶圆的一侧连接至第四互连部的另一侧,远离阵列晶圆的一侧处于浮置状态。

[0019] 根据本公开的三维存储器通过在待测试结构的一端提供浮置的接触,可以分担晶圆键合工艺中可能发生的电镀反应对阵列晶圆中用于实现与外围晶圆的互连的键合接触的损伤,减少了用于实现互连功能的键合接触中的铜空洞,可以提高键合可靠性。

[0020] 以上发明内容仅是说明性的,并且不旨在以任何方式进行限制。除了上述说明性方面、实施方式和特征之外,通过参考附图和以下详细描述,其他方面、实施方式和特征将变得显而易见。

附图说明

[0021] 通过阅读参照以下附图所作的对非限制性实施方式的详细描述,本申请的其它特征、目的和优点将会变得更明显。其中:

[0022] 图1A示出传统的三维存储器100的示例的示意性结构图;

[0023] 图1B示出传统的三维存储器100的键合界面的电子显微镜视图;以及

[0024] 图2示出根据本公开实施方式的三维存储器100的示例的示意性结构图。

具体实施方式

[0025] 为了更好地理解本申请,将参考附图对本申请的各个方面做出更详细的说明。应理解,这些详细说明只是对本申请的示例性实施方式的描述,而非以任何方式限制本申请的范围。在说明书全文中,相同的附图标号指代相同的元件。表述“和/或”包括相关联的所列项目中的一个或多个的任何和全部组合。

[0026] 应注意,在本说明书中,第一、第二、第三等的表述仅用于将一个特征与另一个特征区分开来,而不表示对特征的任何限制,尤其不表示任何的先后顺序。因此,在不背离本申请的教导的情况下,本申请中讨论的第一侧也可被称作第二侧,第一窗口也可称为第二窗口,反之亦然。

[0027] 在附图中,为了便于说明,已稍微调整了部件的厚度、尺寸和形状。附图仅为示例而非严格按比例绘制。如在本文中使用的,用语“大致”、“大约”以及类似的用语用作表近似的用语,而不用作表程度的用语,并且旨在说明将由本领域普通技术人员认识到的、测量值或计算值中的固有偏差。

[0028] 还应理解的是,诸如“包括”、“包括有”、“具有”、“包含”和/或“包含有”等表述在本说明书中是开放性而非封闭性的表述,其表示存在所陈述的特征、元件和/或部件,但不排除一个或多个其它特征、元件、部件和/或它们的组合的存在。此外,当诸如“...中的至少一个”的表述出现在所列特征的列表之后时,其修饰整列特征,而非仅仅修饰列表中的单独元件。此外,当描述本申请的实施方式时,使用“可”表示“本申请的一个或多个实施方式”。并且,用语“示例性的”旨在指代示例或举例说明。

[0029] 除非另外限定,否则本文中使用的所有措辞(包括工程术语和科技术语)均具有与本申请所属领域普通技术人员的通常理解相同的含义。还应理解的是,除非本申请中有明确的说明,否则在常用词典中定义的词语应被解释为具有与它们在相关技术的上下文中的含义一致的含义,而不应以理想化或过于形式化的意义解释。

[0030] 需要说明的是,在不冲突的情况下,本申请中的实施方式及实施方式中的特征可以相互组合。另外,除非明确限定或与上下文相矛盾,否则本申请所记载的方法中包含的具体步骤不必限于所记载的顺序,而可以任意顺序执行或并行地执行。下面将参考附图并结合实施方式来详细说明本申请。

[0031] 此外,在本申请中当使用“连接”或“联接”时可表示相应部件之间为直接的接触或间接的接触,除非有明确的其它限定或者能够从上下文推导出的除外。

[0032] 图1A示出传统的三维存储器100的示例的示意性结构图;图1B示出传统的三维存储器100的键合界面的电子显微镜视图。

[0033] 如上文所述,可以采用如图1A中所示的结构对三维存储器100中的待测试结构TS进行测试。在测试状态下,外围电路PCKT可以不工作,即,不由外围电路PCKT生成针对待测试结构TS的控制信号,而是通过测试管脚(Micro Pad)(未示出)从外部接收针对待测试结构TS的控制信号。此时,可以对待测试结构TS中的一条字线(下文中称为“待测试字线”)进行测试。该测试方法中,待测试字线的一端(即,如图1中所示的右端)可以经由第一测试互连结构123-1、第一触点116-1以及贯穿第一阱区115-1及其下方的衬底的第一接触结构(未示出)连接至设置在第一阱区115-1下方的衬底的远离外围晶圆120的一侧表面上的第一测试管脚(未示出),而另一端(即,如图1中所示的左端)经由第三测试互连结构123-3、外围结

构121-2、第二测试互连结构123-2、第二触点116-2以及贯穿第二阱区115-2及其下方的衬底的第二接触结构(未示出)连接至设置在第二阱区115-2下方的衬底的远离外围晶圆120的一侧表面上的第二测试管脚(未示出)。可以看出,在键合前,在阵列晶圆110中,待测试结构TS没有直接连接至第二阱区115-2,即待测试结构TS与第二阱区115-2在电路上是断开的。

[0034] 在这种情况下,如图1A中所示的待测试结构TS中的待测试字线左右两端分别连接的键合接触TVIA-1和TVIA-3的电路环境不一样。例如,键合接触TVIA-3仅连接至待测试结构TS中的待测试字线,而键合接触TVIA-1除了连接至待测试结构TS中的待测试字线之外,还连接至具有大量活跃电子的阱区(例如,如图1中所示的第一阱区115-1)。也即,键合接触TVIA-1和TVIA-3相对于待测试结构TS形成不平衡的负载。

[0035] 在键合工艺中,这种不平衡负载可能导致键合异常。具体地,在键合工艺中,需要先对阵列晶圆110中的键合接触TVIA的暴露在晶圆表面的一侧进行化学机械抛光,然后用带电离子对键合接触TVIA的表面进行激活处理,之后用去离子水对晶圆进行清洗。由于键合接触TVIA的材料通常为金属(例如,铜),待测试结构两端所连接的键合接触TVIA在清洗工艺中可以发生诸如电镀反应的电化学反应。由于键合接触TVIA-1连接至具有大量活跃电子的阱区(即,第一阱区115-1),其在电镀反应中可以用作阴极,而键合接触TVIA-3不连接至阱区,其在电镀反应中可以用作阳极,并且出现金属铜的溶解,导致键合接触TVIA-3所连接的接触块135-3出现诸如铜缺失(missing)或铜空洞(void)(如图1B中虚线框中部分所示)的损伤。这会引发封装失效或造成键合可靠性问题,按照半导体晶圆外观检验标准,存在上述缺陷的晶圆将按照报废处理,从而造成严重的经济损失。

[0036] 图2中示出根据本公开实施方式的三维存储器100的示例的示意性结构图。

[0037] 如图2所示,存储器100可以包括彼此键合的阵列晶圆110和外围晶圆120。具体地,阵列晶圆110可以包括待测试结构TS,其具有第一连接端112-1和第二连接端112-2。根据一个示例性实施方式,待测试结构TS可以是包括一个或多个三维存储串的三维存储阵列。本公开中为便于描述以框图的形式表示待测试结构TS,且省略其具体布置,但该示意性图示不意在进行限制,本领域技术人员将理解的是,待测试结构TS可以与阵列晶圆110中的其他部件(例如,第一阱区115-1和第二阱区115-2)设置在同一衬底上。在一些实施方式中,待测试结构TS可以包括连接至一个或多个三维存储串的多条字线,并且可以选择多条字线中的一条字线作为待测试字线。在该实施方式中,第一连接端112-1可以包括该待测试字线的一端,并且第二连接端112-2可以包括该待测试字线的另一端。然而,本公开不限于此。在另一示例性实施方式中,待测试结构TS可以包括不止一条待测试字线。

[0038] 阵列晶圆110还可以包括设置在待测试结构的靠近键合界面的一侧的多个互连部。例如,如图所示,阵列晶圆110可以包括第一互连部123-1、第二互连部123-2和第三互连部123-3以及第四互连部123-4。第一互连部123-1至第四互连部123-4中的每个都可以包括在远离待测试结构TS的方向上依次堆叠的阵列晶圆连接块、阵列晶圆导体层、阵列晶圆接触块和阵列晶圆键合接触。例如,第一互连部123-1可以包括在朝向键合界面远离待测试结构TS的方向上依次堆叠的阵列晶圆连接块131-1、阵列晶圆导体层M1-1、阵列晶圆接触块135-1和阵列晶圆键合接触TVIA-1;第二互连部123-2可以包括在远离待测试结构TS的方向上依次堆叠的阵列晶圆连接块131-2、阵列晶圆导体层M1-2、阵列晶圆接触块135-2和阵列

晶圆键合接触TVIA-2;第三互连部123-3可以包括在远离待测试结构TS的方向上依次堆叠的阵列晶圆连接块131-3、阵列晶圆导体层M1-3、阵列晶圆接触块135-3和阵列晶圆键合接触TVIA-3;第四互连部123-4可以包括在远离待测试结构TS的方向上依次堆叠的阵列晶圆连接块131-4、阵列晶圆导体层M1-4、阵列晶圆接触块135-4和阵列晶圆键合接触TVIA-4。

[0039] 在另一实施方式中,第一互连部123-1至第四互连部123-4中的每个还可以包括设置在阵列晶圆导体层与阵列晶圆接触块之间的一个或多个附加阵列晶圆导体层以及一个或多个附加阵列晶圆连接块,用于将阵列晶圆导体层电连接至阵列晶圆接触块,其中,附加阵列晶圆导体层与附加阵列晶圆连接块在垂直于衬底的方向上交替布置,。例如,第一互连部123-1可包括设置在阵列晶圆导体层M1-1与阵列晶圆接触块135-1之间并将阵列晶圆导体层M1-1连接至阵列晶圆接触块135-1的附加阵列晶圆导体层M2-1和附加阵列晶圆连接块133-1;第二互连部123-2可以包括设置在阵列晶圆导体层M1-2与阵列晶圆接触块135-2之间并将阵列晶圆导体层M1-2连接至阵列晶圆接触块135-2的附加阵列晶圆导体层M2-2和附加阵列晶圆连接块133-2;第三互连部123-3可以包括设置在阵列晶圆导体层M1-3与阵列晶圆接触块135-3之间并将阵列晶圆导体层M1-3连接至阵列晶圆接触块135-3的附加阵列晶圆导体层M2-3和附加阵列晶圆连接块133-3;以及第四互连部123-4可以包括设置在阵列晶圆导体层M1-4与阵列晶圆接触块135-4之间并将阵列晶圆导体层M1-4连接至阵列晶圆接触块135-4的附加阵列晶圆导体层M2-4和附加阵列晶圆连接块133-4。

[0040] 在第一互连部123-1中,阵列晶圆连接块可以设置为两个,即阵列晶圆连接块131-1和131-5。阵列晶圆导体层M1-1可以经由阵列晶圆连接块131-1连接至第一触点116-1,并经由阵列晶圆连接块131-5连接至第一连接端112-1,从而将第一触点116-1电连接至第一连接端112-1。

[0041] 如图2中可以看到,第一触点116-1的与连接至第一互连部123-1的一侧相对的另一侧可以连接至衬底(未示出)中的第一阱区115-1。第一阱区115-1可以是设置在衬底靠近键合界面的一侧上(未示出)的掺杂区。在实施方式中,第一阱区115-1可以是P型掺杂区,其可以是利用任何合适的P型掺杂剂(例如,硼(B)、镓(Ga)或铝(Al))掺杂到作为衬底的N型半导体中形成的区域,即,P阱。然而,本公开不限于此。在另一实施方式中,第一阱区115-1可以分别是利用任何合适的N型掺杂剂(例如,磷(P)、砷(Ar)或锑(Sb))掺杂到作为衬底的P型半导体中形成的区域,即,N阱。

[0042] 在实施方式中,用于接收施加在第一连接端112-1处的待测试字线的一端的外部测试信号的第一测试管脚(未示出)可以设置在第一阱区115-1下方的衬底的背离键合界面的一侧表面上。在完成键合后,上述的第一测试管脚可以通过贯穿第一阱区115-1及其下方的衬底的第一接触结构(未示出)连接至第一触点116-1,进而连接至待测试结构TS中的待测试字线。这样,在测试状态下,可以经由第一测试管脚从外部接收针对待测试结构TS中的待测试字线的一端(例如,包括在第一连接端112-1中的一端)的外部测试信号。应注意的是,在测试状态下,施加在待测试结构TS的第一连接端112-1处的待测试字线的一端的信号是通过第一测试管脚接收的外部测试信号,并且此时,连接至第一连接端112-1处的第一外围电路141-1可以不工作。在本公开中,为了简化示意图结构和相关描述,附图中仅示出键合前阵列晶圆的结构,而省略了键合后设置的第一测试管脚和第一接触结构。

[0043] 第一互连部123-1的阵列晶圆键合接触TVIA-1从阵列晶圆110的朝向键合界面的

一侧暴露,并且可以通过键合工艺电连接至第一外围结构121-1的第一外围晶圆键合接触BVIA-1,从而连接至第一外围电路141-1。在非测试状态下,可以由第一外围电路141-1提供针对待测试结构TS的第一连接端112-1的控制信号,以便控制对待测试结构TS的操作,如将在下文中详细描述。

[0044] 第二互连部123-2可以经由阵列晶圆连接块131-2电连接至第二触点116-2,其中,第二触点116-2连接至衬底中的第二阱区115-2。

[0045] 如图2中可以看到,第二触点116-2的与连接至第二互连部123-2的一侧相对的另一侧可以连接至衬底(未示出)中的第二阱区115-2。第二阱区115-2可以和第一阱区115-1通过相同的工艺形成。也即,在第一阱区115-1是设置在N型衬底中的P阱的情况下,第二阱区115-2也是P阱,在第一阱区是设置在P型衬底中的N阱的情况下,第二阱区115-2也是N阱,并且在此省略其详细描述。

[0046] 在一些实施方式中,用于接收施加在第二连接端112-2处的待测试字线的另一端的外部测试信号的第二测试管脚(未示出)可以设置在第二阱区115-2下方的衬底的背离键合界面的一侧表面上。在完成键合后,第二测试管脚可以通过贯穿第二阱区115-2及其下方的衬底的第二接触结构(未示出)连接至第二触点116-2,进而连接至待测试结构TS中的待测试字线,如下文中参照第三互连部123-3所描述的。这样,在测试状态下,可以经由第二测试管脚从外部接收针对待测试结构TS中的待测试字线的另一端(例如,包括在第二连接端112-2中的一端)的外部测试信号。在本公开中,为了简化示意图结构和相关描述,附图中仅示出键合前阵列晶圆的结构,而省略了键合后设置的第二测试管脚和第二接触结构。

[0047] 第二互连部123-2的阵列晶圆键合接触TVIA-2从阵列晶圆110的朝向键合界面的一侧暴露,并且可以通过键合工艺电连接至第二外围结构121-2的第一端D1,从而连接至第二外围电路141-2。

[0048] 在该实施方式中,第三互连部123-3和第四互连部123-4可以共同连接至第二连接端112-2。

[0049] 在第三互连部123-3中,阵列晶圆连接块131-3可以电连接至待测试结构TS的第二连接端112-2,并且阵列晶圆键合接触TVIA-3可以电连接至第二外围结构121-2的第二端D2,从而可以将待测试结构TS连接至第二外围电路141-2。在非测试状态下,第二外围电路141-2可经由第三互连部123-3提供针对待测试结构TS的第二连接端112-2的控制信号,以便控制对待测试结构TS的操作,如将在下文中详细描述。

[0050] 另一方面,在测试状态下,待测试结构TS的第二连接端112-2可以经由第三互连部123-3、第二外围结构121-2、第二互连部123-2和第二触点116-2连接至第二测试管脚(未示出,如上文参照第二互连部123-2所描述的),此时,可以从第二测试管脚接收针对待测试结构TS中的待测试字线的另一端(例如,包括在第二连接端112-2中的一端)的外部测试信号,并且连接至第二连接端112-2处第二外围电路141-2可以不工作。在这种情况下,第二外围电路141-2可以看作是用于第二互连部123-2和第三互连部123-3的连接的电通路,即,可以认为第二互连部123-2和第三互连部123-3连接在同一点上。

[0051] 在第四互连部123-4中,阵列晶圆连接块131-4连接至第二连接端112-2,并且阵列晶圆键合接触TVIA-4连接至第三外围结构121-3(即,用于实现键合的外围晶圆键合接触BVIA-4,如下文中所描述的)。由图2中可以容易地看出,第四互连部123-4是处于浮置状态

的电路结构,其不承担电路互连功能。本领域技术人员将理解的是,在本说明书中,当一个元件(或部件、组件、构件等)被称为处于浮置状态时,意在说明该元件(或部件、组件、构件等)不与其他元件(或部件、组件、构件等)形成电通路。在实施方式中,通过虚设的(dummy)第四互连部123-4可以极大地降低键合工艺对第三连接部123-3中的阵列晶圆键合接触TVIA-3的损伤。具体地,如上文中所描述的,在键合工艺中可以发生电镀反应。此时,连接在第一连接端112-1处的第一互连部123-1中的阵列晶圆键合接触TVIA-1可以看作电镀反应的一极(在该极处出现金属析出),并且共同连接在第二连接端112-2处的第三互连部123-3和第四互连部123-4中的阵列晶圆键合接触TVIA-3和TVIA-4可以共同看作电镀反应的另一极(在该极处出现金属溶解)。在电镀反应可以溶解的金属量一定的情况下,虚设的第四互连部123-4中的阵列晶圆键合接触TVIA-4可以与用于实现电路互连功能的第三互连部123-3中的阵列晶圆键合接触TVIA-3共同分担所溶解的金属量。即,对阵列晶圆键合接触TVIA-3的损伤可以减少一半,封装失效的可能性可以降低至少50%。

[0052] 在实施方式中,虽然未具体示出,但待测试结构TS的字线可以相对于待测试结构对称地布置,因此,本领域人员将理解,施加在待测试结构TS的第一连接端112-1和第二连接端112-2(即,字线的两端)上的信号可以是相同的信号。例如,在测试状态下,从第一测试管脚和第二测试管脚提供的用于施加在字线中的待测试字线两端的外部测试信号可以是相同的信号;在非测试状态下,由第一外围电路和141-1第二外围电路141-2提供的用于施加在字线两端的控制信号可以是相同的信号,并且第一外围电路和第二外围电路可以具有相同的构造。

[0053] 在根据本公开的实施方式中,阵列晶圆110中的导体层(例如,阵列晶圆导体层M1-1至M1-4、以及附加阵列晶圆导体层M2-1至M2-4)可以包括导体材料,其包括但不限于W、Co、Cu、Al、硅化物或其任何组合。阵列晶圆110中的连接块(例如,列晶圆连接块131-1至131-5,以及附加阵列晶圆连接块133-1至133-4)可以是利用导体(例如W)填充的接触孔和/或接触沟槽(例如,通过湿法刻蚀工艺或干法刻蚀工艺形成的)。在一些实施方式中,填充接触孔和/或接触沟槽包括在沉积导体之前沉积阻挡层、粘合层和/或种层。

[0054] 在根据本公开的实施方式中,阵列晶圆110中的接触块(例如,阵列晶圆接触块135-1至135-4)和键合接触(例如阵列晶圆键合接触TVIA-1至TVIA-4)的材料可以是铜,但本公开不限于此。例如,在其他实施方式中,阵列晶圆110中的接触块和键合接触可以由诸如Al、Tn的材料形成。接触块可以是利用导体(例如W)填充的接触孔和/或接触沟槽(例如,通过湿法刻蚀工艺或干法刻蚀工艺形成的)。键合接触可以利用与接触块相同的工艺形成,但可以在平行于键合界面的截面上具有较大的面积,以在键合时形成更好的接触。在一些实施方式中,填充接触孔和/或接触沟槽包括在沉积导体之前沉积阻挡层、粘合层和/或种层。

[0055] 下面将参照图2对外围晶圆120的构造进行描述。

[0056] 外围晶圆120可以包括第一外围结构121-1,其连接至第一互连部123-1。具体地,第一外围结构121-1可以包括第一外围电路141-1,其设置在外围晶圆120的衬底(未示出)的朝向键合界面的一侧,并且配置为在非测试状态下提供针对待测试结构TS的第一连接端112-1的控制信号,以便控制对待测试结构TS的操作。在测试状态下,第一外围电路141-1可以不工作,此时经由第一测试管脚从外部接收针对待测试结构TS的外部测试信号,如上文

中所描述的。第一外围结构121-1还可以包括第一外围晶圆键合接触BVIA-1,其设置在第一外围电路141-2的靠近键合界面的一侧,用于将第一外围电路141-2电连接至第一互连部123-1,从而使第一外围电路141-2电连接至待测试结构TS的第一连接端112-1。

[0057] 外围晶圆120还可以包括第二外围结构121-2,其具有连接至第二互连部123-2的第一端D1和连接至第三互连部123-3的第二端D2。具体地,第二外围结构121-2可以包括第二外围电路141-2,其设置在外围晶圆120的衬底(未示出)的朝向键合界面的一侧,并且配置为在非测试状态下提供针对待测试结构TS的第二连接端112-2的控制信号,以便控制对待测试结构TS的操作。在测试状态下,第二外围电路141-2可以不工作,此时经由第二测试管脚从外部接收针对待测试结构TS中的待测试字线的另一端(例如,包括在第二连接端112-2中的一端)的外部测试信号,如上文中所描述的。在这种情况下,第二外围电路141-2可以看作是用于第二互连部123-2和第三互连部123-3的连接的电通路,即,可以认为第二互连部123-2和第三互连部123-3连接在同一点上。第二外围结构121-2可以包括第二外围晶圆键合接触BVIA-2,设置在第二外围电路141-2的靠近阵列晶圆110的一侧,用作第二外围结构121-2的第一端D1,将第二外围电路141-2电连接至第二互连部123-2。第二外围结构121-2还可以包括第三外围晶圆键合接触BVIA-3,设置在第二外围电路141-2的靠近阵列晶圆110的一侧,用作第二外围结构121-2的第二端D2,将第二外围电路141-2电连接至第三互连部123-3,从而使第二外围电路141-2电连接至待测试结构TS的第二连接端112-2。

[0058] 外围晶圆120还可以包括第三外围结构121-3,其可以包括连接至第四互连部123-4的第四外围晶圆键合接触BVIA-4。第四外围晶圆键合接触BVIA-4是浮置的,其为了在键合工艺中与虚设的第四互连部123-4中的阵列晶圆键合接触TVIA-4形成更好的接合而设置,并且在其他实施方式中,可以省略该第四外围晶圆键合接触BVIA-4。

[0059] 第一外围电路141-1和第二外围电路141-2可以包括可生成任何适当的数字、模拟和/或混合信号的外围晶圆器件,其用于辅助三维存储器100的操作。例如,外围晶圆器件可以包括页缓冲区、解码器(例如,行解码器和列解码器)、读出放大器、驱动器、电荷泵、电流或电压基准、或电路的任何有源或无源部件(例如,晶体管、二极管、电阻器或电容器)中的一个或多个。在根据本公开的实施方式中,第一外围电路141-1和第二外围电路141-2可以示意性地表示用于生成待测试结构TS所需的输入信号的驱动器电路,例如第一外围电路141-1可以表示可连接到待测试结构TS的字线的一端的第一驱动器电路,并且第二外围电路141-2可以表示可连接到待测试结构的字线的另一端的第二驱动器电路,但本公开不限于此。在实施方式中,如上文中所描述的,由于第一外围电路141-1和第二外围电路141-2连接到字线的两端,因此第一外围电路141-1和第二外围电路141-2可以具有相同的配置。

[0060] 在根据本公开的实施方式中,外围晶圆120中的接触块(例如,外围晶圆接触块143-1至143-3)和键合接触(例如,外围晶圆键合接触BVIA-1至BVIA-4)的材料可以是铜,但本公开不限于此。例如,在其他实施方式中,外围晶圆120中的接触块和键合接触可以由诸如Al、Tn的材料形成。外围晶圆120中的接触块可以是利用导体(例如W)填充的接触孔和/或接触沟槽(例如,通过湿法刻蚀工艺或干法刻蚀工艺形成的)。外围晶圆120中的键合接触可以利用与接触块相同的工艺形成,但可以在平行于键合界面的截面上具有较大的面积,以在键合时形成更好的接触。在一些实施方式中,填充接触孔和/或接触沟槽包括在沉积导体之前沉积阻挡层、粘合层和/或种层。

[0061] 通过以上描述可以看出,在根据本公开实施方式的三维存储器中,通过在待测试结构的一端提供浮置的键合接触,可以分担晶圆键合工艺中可能发生的电镀反应对阵列晶圆中用于实现与外围晶圆的互连的键合接触的损伤,减少了用于实现互连功能的键合接触中的铜空洞,可以提高键合可靠性。

[0062] 以上描述仅为本申请的实施方式以及对所运用技术原理的说明。本领域技术人员应当理解,本申请中所涉及的保护范围,并不限于上述技术特征的特定组合而成的技术方案,同时也应涵盖在不脱离技术构思的情况下,由上述技术特征或其等同特征进行任意组合而形成的其它技术方案。例如上述特征与本申请中公开的(但不限于)具有类似功能的技术特征进行互相替换而形成的技术方案。

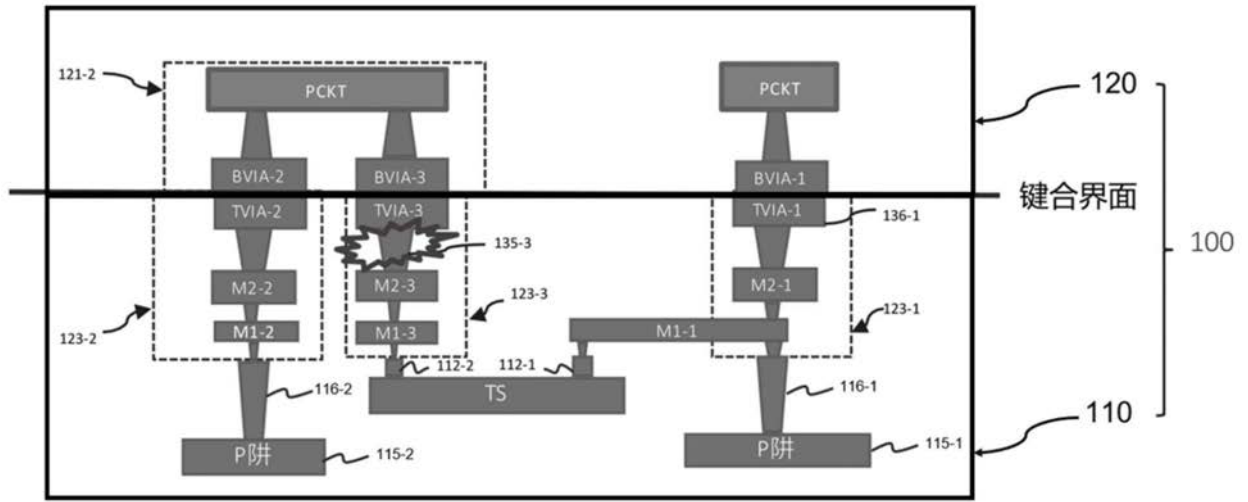


图1A

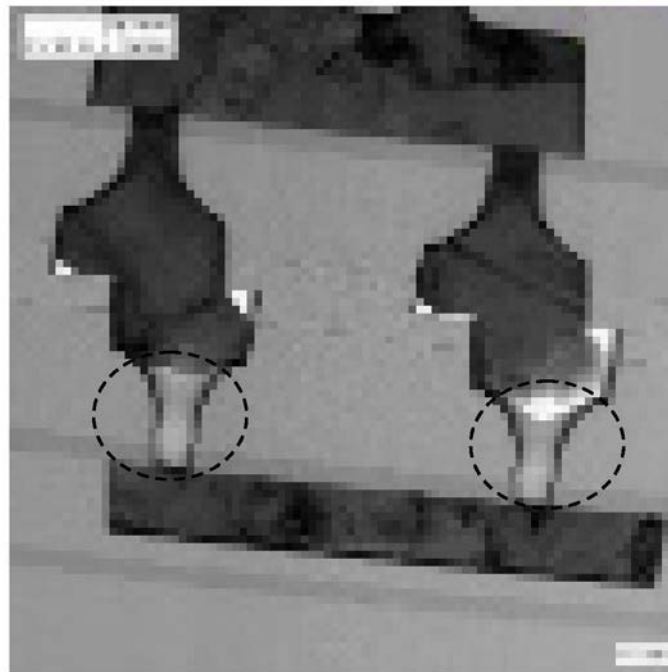


图1B

