

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-139338
(P2009-139338A)

(43) 公開日 平成21年6月25日(2009.6.25)

| (51) Int.Cl. | F 1 | テーマコード (参考) |
|------------------------------|------------|-------------|
| GO1L 9/08 (2006.01) | GO1L 9/08 | 2 F O 5 5 |
| HO1L 41/08 (2006.01) | HO1L 41/08 | D |
| HO1L 41/187 (2006.01) | HO1L 41/08 | Z |
| HO1L 41/18 (2006.01) | HO1L 41/18 | 1 O 1 B |
| HO1L 41/22 (2006.01) | HO1L 41/18 | 1 O 1 Z |

審査請求 未請求 請求項の数 16 O L (全 25 頁) 最終頁に続く

| | | | |
|-----------|------------------------------|----------|---|
| (21) 出願番号 | 特願2007-318884 (P2007-318884) | (71) 出願人 | 000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号 |
| (22) 出願日 | 平成19年12月10日 (2007.12.10) | (74) 代理人 | 100107836 弁理士 西 和哉 |
| | | (74) 代理人 | 100064908 弁理士 志賀 正武 |
| | | (74) 代理人 | 100140774 弁理士 大浪 一徳 |
| | | (72) 発明者 | 瀧澤 照夫 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 |
| | | (72) 発明者 | 古畑 誠 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 |
| | | | 最終頁に続く |

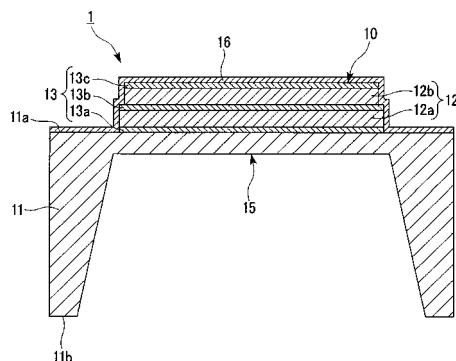
(54) 【発明の名称】半導体圧力センサ及びその製造方法、半導体装置並びに電子機器

(57) 【要約】

【課題】CMOS等の半導体回路との一体化が容易であり、また、圧力検知の感度に優れる半導体圧力センサ及びその製造方法、半導体装置並びに電子機器を提供することを目的とする。

【解決手段】基板11上に圧電膜12及び電極13が積層して形成され、基板11における圧電膜12及び電極13が配置される領域の少なくとも一部が薄膜化されたり、圧電膜12は、基板11上に少なくとも2層以上備えられ、基板11において、複数の圧電膜12a、12bの各々の間に電極13bが配されるとともに、最下層及び最上層に電極13a、13cが配されることにより、圧電膜12a、12bと電極13a、13b、13cとが交互に積層されてなる圧電膜積層体10が形成されており、圧電膜12a、12bの各々が、それぞれ異なる圧電定数を有する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

基板上に圧電膜及び電極が積層して形成され、前記基板における前記圧電膜及び電極が配置された領域の少なくとも一部が薄膜化されてなる半導体圧力センサであって、

前記基板上において、前記圧電膜が少なくとも 2 層以上備えられ、前記圧電膜の各々の間に前記電極が配されるとともに、最下層及び最上層に前記電極が配されることにより、前記圧電膜と前記電極とが交互に積層されてなる圧電膜積層体が形成されており、

前記圧電膜の各々が、それぞれ異なる圧電定数を有することを特徴とする半導体圧力センサ。

【請求項 2】

前記基板がシリコン或いは同等の半導体材料からなることを特徴とする請求項 1 に記載の半導体圧力センサ。

【請求項 3】

第 1 基板と、該第 1 基板上に積層される埋め込み絶縁膜と、該埋め込み絶縁膜上に積層される第 2 基板とを備え、該第 2 基板上に圧電膜及び電極が積層して形成されており、前記第 2 基板上における前記圧電膜及び電極が配置された領域に対応する前記第 1 基板の少なくとも一部が除去されてなる半導体圧力センサであって、

前記第 2 基板上において、前記圧電膜が少なくとも 2 層以上備えられ、前記圧電膜の各々の間に前記電極が配されるとともに、最下層及び最上層に前記電極が配されることにより、前記圧電膜と前記電極とが交互に積層されてなる圧電膜積層体が形成されており、

前記圧電膜の各々が、それぞれ異なる圧電定数を有することを特徴とする半導体圧力センサ。

【請求項 4】

前記第 1 基板及び第 2 基板がシリコン或いは同等の半導体材料からなることを特徴とする請求項 3 に記載の半導体圧力センサ。

【請求項 5】

前記埋め込み絶縁膜がシリコン酸化膜或いは同等の半導体酸化膜であることを特徴とする請求項 3 又は 4 に記載の半導体圧力センサ。

【請求項 6】

前記圧電膜の各々は、それぞれ異なる結晶方位とされることにより、異なる圧電定数を有するものであることを特徴とする請求項 1 ~ 5 の何れか 1 項に記載の半導体圧力センサ。

【請求項 7】

前記圧電膜の各々が、それぞれ異なる膜厚で形成されていることを特徴とする請求項 1 ~ 6 の何れか 1 項に記載の半導体圧力センサ。

【請求項 8】

第 1 基板と、該第 1 基板上に積層される埋め込み絶縁膜と、該埋め込み絶縁膜上に積層される第 2 基板とを備え、

前記第 2 基板上に圧電膜及び電極が積層して形成されるとともに、前記第 2 基板上における前記圧電膜及び電極が配置された領域に対応する前記第 1 基板の少なくとも一部が除去されてなる圧力センサ領域が備えられており、

前記第 2 基板上において、前記圧電膜が少なくとも 2 層以上備えられ、前記圧電膜の各々の間に前記電極が配されるとともに、最下層及び最上層に前記電極が配されることにより、前記圧電膜と前記電極とが交互に積層されてなる圧電膜積層体が形成されており、

前記圧電膜の各々が、それぞれ異なる圧電定数を有しており、

前記埋め込み絶縁膜上に、前記電極の各々と電気的に接続され、前記圧電膜に印加された圧力を検知して圧力検知信号を出力する半導体回路が形成されてなることを特徴とする半導体装置。

【請求項 9】

前記第 1 基板及び第 2 基板がシリコン或いは同等の半導体材料からなることを特徴とす

10

20

30

40

50

る請求項 8 に記載の半導体装置。

【請求項 10】

前記埋め込み絶縁膜がシリコン酸化膜或いは同等の半導体酸化膜であることを特徴とする請求項 8 又は 9 に記載の半導体装置。

【請求項 11】

前記圧電膜の各々は、それぞれ異なる結晶方位とされることにより、異なる圧電定数を有するものであることを特徴とする請求項 8 ~ 10 の何れか 1 項に記載の半導体装置。

【請求項 12】

前記圧電膜の各々が、それぞれ異なる膜厚で形成されていることを特徴とする請求項 8 ~ 11 の何れか 1 項に記載の半導体装置。

【請求項 13】

基板上に圧電膜と電極とを積層して形成し、前記基板における前記圧電膜及び電極が配置された領域の少なくとも一部をエッティングによって薄膜化する半導体圧力センサの製造方法であって、

前記基板上において、前記圧電膜を少なくとも 2 層以上で形成し、前記圧電膜の各々の間に前記電極を配するとともに最下層及び最上層に前記電極を配し、前記圧電膜と前記電極とを交互に積層することによって圧電膜積層体を形成し、

前記圧電膜の各々を、反応性スパッタ法を用いて、それぞれ異なる圧電定数を有する層で形成することを特徴とする半導体圧力センサの製造方法。

【請求項 14】

第 1 基板上に埋め込み絶縁膜及び第 2 基板をこの順で積層して形成し、前記第 2 基板上に圧電膜及び電極を積層して形成するとともに、前記第 2 基板上における前記圧電膜及び電極が配置された領域に対応する前記第 1 基板の少なくとも一部をエッティングによって除去する半導体圧力センサの製造方法であって、

前記第 2 基板上において、前記圧電膜を少なくとも 2 層以上で形成し、前記圧電膜の各々の間に前記電極を配するとともに最下層及び最上層に前記電極を配し、前記圧電膜と前記電極とを交互に積層することによって圧電膜積層体を形成し、

前記圧電膜の各々を、反応性スパッタ法を用いて、それぞれ異なる圧電定数を有する層で形成し、

前記埋め込み絶縁膜をエッティングストップとして、前記第 2 基板上における前記圧電膜及び電極が配置された領域に対応する前記第 1 基板の少なくとも一部をエッティングして除去することを特徴とする半導体圧力センサの製造方法。

【請求項 15】

請求項 13 又は請求項 14 に記載の半導体圧力センサの製造方法において、少なくとも 2 層以上で形成される前記圧電膜の各々の間に配する前記電極を、反応性スパッタ法で用いる反応性ガスの内、少なくとも 1 種の反応ガスの供給及び停止を切り替えることによって形成することを特徴とする半導体圧力センサの製造方法。

【請求項 16】

請求項 1 ~ 7 の何れか 1 項に記載の半導体圧力センサ、又は、請求項 8 ~ 12 の何れか 1 項に記載の半導体装置が備えられてなる電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体圧力センサ及びその製造方法、半導体装置並びに電子機器に関するものである。

【背景技術】

【0002】

近年、半導体業界において、MEMS (Micro Electro-Mechanical System) と IC との融合が進み、複合化された種々の半導体装置が開発されている。このようなものとして、特に、加速度センサやジャイロセンサ、或いはタイミ

10

20

30

40

50

ングデバイスとしてのリゾネータ等の開発が精力的に行なわれるようになっている。また、MEMSデバイスとCMOS (Complementary Metal Oxide Semiconductor)と融合や集積化については、まだ課題が多く残されており、様々な技術開発が進められている。

【0003】

また、従来、圧力を検知するための圧力センサとしては、一般的に、静電容量型、ピエゾ抵抗型、ピエゾ圧電型等のものが用いられており、特に、ピエゾ抵抗型と呼ばれるものが主流となっている（例えば、特許文献1を参照）。

ここで、静電容量型の圧力センサは、例えば、図12(a)に示す例の圧力センサ100のように、一定のギャップを有するダイアフラム101が圧力差によって可動とされており、その容量変化を検出する構成とされていることから、作動に要する消費電力が小さいため、特に、低消費電力が必要とされる用途に用いられている。しかしながら、このような静電容量型の圧力センサは感度が低いため、一定以上の感度を確保するためにはダイアフラム101を大面積とする必要があるとともに構造が複雑になる。このため、例えば、上述したようなMEMSの分野において、図12(a)に示すような静電容量型の圧力センサ100を適用しようとしても、静電容量型の圧力センサと、該圧力センサに印加された圧力を検知するためのCMOS回路等とを一体に形成することが困難であるという問題がある。

【0004】

また、ピエゾ抵抗型の圧力センサは、例えば、図12(b)及び図12(c)に示す例の圧力センサ110、129のように、半導体薄膜111、121上のブリッジ抵抗112が圧力を受けて歪を生じ、この際の抵抗値の変化を電圧変換して検出する構成とされており、高い感度を有するとともに、上述のMEMSの分野に適用する場合においても、圧力センサとCMOS回路等を容易に一体化させることが可能である。しかしながら、このようなピエゾ抵抗型の圧力センサ110、120では、ブリッジ抵抗112に常時、定電流を流し続ける必要があるため、低消費電力を要する用途には不向きであるという問題がある。特に、高温域における動作精度を確実に向上させるためには、さらに定電流回路等を付加する必要があるため、一層の消費電流の増大を招くという問題がある。

【0005】

また、ピエゾ圧電型の圧力センサは、例えば、シリコン基板が薄膜化されてなるダイアフラム上の圧電膜が圧力を受けて歪を生じ、この際の電圧変位を検出する構成とされており、消費電力が小さく、また、上述のMEMSの分野に適用する場合においても、圧力センサとCMOS回路等を容易に一体化させることが可能である。しかしながら、従来のピエゾ圧電型の圧力センサは、圧力検知の感度が低く、特に微小な圧力変化の検知が必要な用途に用いることが困難であるという問題があった。

このため、CMOS回路等の半導体回路との一体形成が容易であるとともに、消費電力が小さく、また、圧力検知の感度に優れる半導体圧力センサが求められていた。

【特許文献1】特開平7-27643号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は上記問題に鑑みてなされたものであり、CMOS等の半導体回路との一体化が容易であり、また、低消費電力であるとともに圧力検知感度に優れる半導体圧力センサ及びその製造方法、半導体装置並びに電子機器を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の半導体圧力センサは、基板上に圧電膜及び電極が積層して形成され、前記基板における前記圧電膜及び電極が配置された領域の少なくとも一部が薄膜化されてなる半導体圧力センサであって、前記基板上において、前記圧電膜が少なくとも2層以上備えられ、前記圧電膜の各々の間に前記電極が配されるとともに、最下層及び最上層に前記電極が

配されることにより、前記圧電膜と前記電極とが交互に積層されてなる圧電膜積層体が形成されており、前記圧電膜の各々が、それぞれ異なる圧電定数を有することを特徴とする。

【0008】

係る構成の半導体圧力センサによれば、圧電膜の各々の間に電極が配されるとともに、最下層及び最上層に電極が配されることで圧電膜と電極とが交互に積層されてなる圧電膜積層体が薄膜化された基板上に形成され、さらに、圧電膜の各々がそれぞれ異なる圧電定数を有するものなので、圧電膜における微小な電位変化を検出することができることから、低消費電力であるとともに優れた圧力検知感度を有し、また、半導体回路との一体形成が容易な半導体圧力センサを実現することが可能となる。

10

【0009】

なお、上記構成の半導体圧力センサにおいては、前記基板がシリコン或いは同等の半導体材料からなる構成とすることができる。

係る構成の半導体圧力センサによれば、シリコン或いは同等の半導体材料からなる基板を用いることにより、CMOS等の半導体回路との一体化が容易になる。

【0010】

また、本発明の半導体圧力センサは、第1基板と、該第1基板上に積層される埋め込み絶縁膜と、該埋め込み絶縁膜上に積層される第2基板とを備え、該第2基板上に圧電膜及び電極が積層して形成されており、前記第2基板上における前記圧電膜及び電極が配置された領域に対応する前記第1基板の少なくとも一部が除去されてなる半導体圧力センサであって、前記圧電膜は、前記第2基板上に少なくとも2層以上備えられ、前記第2基板上において、前記圧電膜の各々の間に前記電極が配されるとともに、最下層及び最上層に前記電極が配されることにより、前記圧電膜と前記電極とが交互に積層されてなる圧電膜積層体が形成されており、前記圧電膜の各々が、それぞれ異なる圧電定数を有することを特徴とする。

20

【0011】

係る構成の半導体圧力センサによれば、圧電膜の各々の間に電極が配されるとともに、最下層及び最上層に電極が配されることで圧電膜と電極とが交互に積層されてなる圧電膜積層体が第2基板上に備えられ、さらに、圧電膜の各々がそれぞれ異なる圧電定数を有するものなので、上記同様、圧電膜における微小な電位変化を検出することができ、低消費電力であるとともに優れた圧力検知感度を有し、また、半導体回路との一体形成が容易な半導体圧力センサを実現することが可能となる。

30

【0012】

なお、上記構成の半導体圧力センサにおいては、前記第1基板及び第2基板がシリコン或いは同等の半導体材料からなる構成とすることができる。

係る構成の半導体圧力センサによれば、シリコン或いは同等の半導体材料からなる基板を用いることにより、CMOS等の半導体回路との一体化が容易になる。

【0013】

また、上記構成の半導体圧力センサにおいては、前記埋め込み絶縁膜がシリコン酸化膜或いは同等の半導体酸化膜である構成とすることができます。

40

係る構成の半導体圧力センサによれば、上記酸化膜を埋め込み絶縁膜に用いることにより、CMOS等の半導体回路と一体化した場合の製造プロセスが容易になる。

【0014】

また、上記構成の半導体圧力センサにおいては、前記圧電膜の各々が、それぞれ異なる結晶方位とされることにより、異なる圧電定数を有するものとして構成することが好ましい。

係る構成の半導体圧力センサによれば、圧電膜の各々の圧電定数を、結晶方位を制御することによって、異なる圧電定数として容易に制御できる。

【0015】

また、上記構成の半導体圧力センサにおいては、前記圧電膜の各々が、それぞれ異なる

50

膜厚で形成された構成とすることができる。

係る構成の半導体圧力センサによれば、圧電膜の膜厚を、それぞれ異なる膜厚とすることにより、印加される圧力に応じて、より優れた圧力検知感度を有するものとなる。

【0016】

本発明の半導体装置は、第1基板と、該第1基板上に積層される埋め込み絶縁膜と、該埋め込み絶縁膜上に積層される第2基板とを備え、前記第2基板上に圧電膜及び電極が積層して形成されるとともに、前記第2基板上における前記圧電膜及び電極が配置された領域に対応する前記第1基板の少なくとも一部が除去されてなる圧力センサ領域が備えられており、前記第2基板上において、前記圧電膜が少なくとも2層以上備えられ、前記圧電膜の各々の間に前記電極が配されるとともに、最下層及び最上層に前記電極が配されることにより、前記圧電膜と前記電極とが交互に積層されてなる圧電膜積層体が形成されており、前記圧電膜の各々が、それぞれ異なる圧電定数を有しており、前記埋め込み絶縁膜上に、前記電極の各々と電気的に接続され、前記圧電膜に印加された圧力を検知して圧力検知信号を出力する半導体回路が形成されてなることを特徴とする。

【0017】

係る構成の半導体装置によれば、第2基板上に圧電膜及び電極が積層して形成されるとともに、第2基板上における圧電膜及び電極が配置された領域に対応する第1基板の少なくとも一部が除去され、複数の圧電膜の各々の間に電極が配されるとともに、最下層及び最上層に電極が配されることで圧電膜と電極とが交互に積層されてなる圧電膜積層体が第2基板上に形成され、さらに、圧電膜の各々がそれぞれ異なる圧電定数を有するものとされた圧力センサ領域が備えられたものなので、圧電膜における微小な電位変化を検出することができ、低消費電流であるとともに圧力検知感度に優れたものとなる。また、埋め込み絶縁膜上に、圧電膜に印加された圧力を検知する半導体回路が形成された構成なので、埋め込み絶縁膜がエッティングストップとして作用し、圧力センサ領域を構成する圧電膜及び電極と、半導体回路を形成した後に、第1基板の一部の除去処理をエッティングによって行なうことができ、製造プロセスを容易にすることが可能となる。

【0018】

なお、上記構成の半導体装置においては、前記第1基板及び第2基板がシリコン或いは同等の半導体材料からなる構成とすることができます。

係る構成の半導体装置によれば、シリコン或いは同等の半導体材料からなる第1基板及び第2基板を用いることにより、圧力センサ領域と半導体回路との一体化が容易になる。

【0019】

また、上記構成の半導体装置においては、前記埋め込み絶縁膜がシリコン酸化膜或いは同等の半導体酸化膜である構成とすることができます。

係る構成の半導体装置によれば、上記酸化膜を埋め込み絶縁膜に用いることにより、圧力センサ領域と半導体回路とを一体化して形成する際の製造プロセスが容易になる。

【0020】

また、上記構成の半導体装置においては、前記圧電膜の各々が、それぞれ異なる結晶方位とされることにより、異なる圧電定数を有する構成とすることが好ましい。

係る構成の半導体装置によれば、圧電膜の各々の圧電定数を、結晶方位を制御することによって、異なる圧電定数として容易に制御できる。

【0021】

また、上記構成の半導体装置においては、前記圧電膜の各々が、それぞれ異なる膜厚で形成された構成とすることができます。

係る構成の半導体装置によれば、圧電膜の膜厚を、それぞれ異なる膜厚とすることにより、印加される圧力に応じて、より優れた圧力検知感度を有するものとなる。

【0022】

本発明の半導体圧力センサの製造方法は、基板上に圧電膜と電極とを積層して形成し、前記基板における前記圧電膜及び電極が配置された領域の少なくとも一部をエッティングによって薄膜化する半導体圧力センサの製造方法であって、前記基板上において、前記圧電

10

20

30

40

50

膜を少なくとも 2 層以上で形成し、前記圧電膜の各々の間に前記電極を配するとともに最下層及び最上層に前記電極を配し、前記圧電膜と前記電極とを交互に積層することによって圧電膜積層体を形成し、前記圧電膜の各々を、反応性スパッタ法を用いて、それぞれ異なる圧電定数を有する層で形成することを特徴とする。

【0023】

係る構成の半導体圧力センサの製造方法によれば、圧電膜の各々を、反応性スパッタ法を用いて形成する方法なので、圧電膜の各々の結晶方位を制御することにより、圧電定数の異なる膜として効率良く形成することが可能となる。

【0024】

また、本発明の半導体圧力センサの製造方法は、第 1 基板上に埋め込み絶縁膜及び第 2 基板をこの順で積層して形成し、前記第 2 基板上に圧電膜及び電極を積層して形成するとともに、前記第 2 基板上における前記圧電膜及び電極が配置された領域に対応する前記第 1 基板の少なくとも一部をエッティングによって除去する半導体圧力センサの製造方法であって、前記第 2 基板上において、前記圧電膜を少なくとも 2 層以上で形成し、前記圧電膜の各々の間に前記電極を配するとともに最下層及び最上層に前記電極を配し、前記圧電膜と前記電極とを交互に積層することによって圧電膜積層体を形成し、前記圧電膜の各々を、反応性スパッタ法を用いて、それぞれ異なる圧電定数を有する層で形成し、前記埋め込み絶縁膜をエッティングストップとして、前記第 2 基板上における前記圧電膜及び電極が配置された領域に対応する前記第 1 基板の少なくとも一部をエッティングして除去することを特徴とする。

10

20

【0025】

係る構成の半導体圧力センサの製造方法によれば、上記同様、圧電膜の各々を、反応性スパッタ法で結晶方位を制御しながら、圧電定数の異なる膜として効率良く形成することが可能となる。また、埋め込み絶縁膜をエッティングストップとして、第 2 基板上における圧電膜及び電極が配置された領域に対応する第 1 基板の少なくとも一部をエッティングして除去する方法なので、基板を深堀りエッティングによって除去する際の薄膜の膜厚制御性を向上させることができるとなる。

30

【0026】

また、上記構成の半導体圧力センサの製造方法においては、少なくとも 2 層以上で形成される前記圧電膜の各々の間に配する前記電極を、反応性スパッタ法で用いる反応性ガスの内、少なくとも 1 種の反応ガスの供給及び停止を切り替えることによって形成する方法とすることができる。

30

【0027】

係る構成の半導体圧力センサの製造方法によれば、反応性スパッタ法で用いる少なくとも 1 種の反応ガスを停止させてスパッタすることにより、圧電膜上に電極を形成した後、再び当該反応ガスを供給してスパッタすることにより、電極上に圧電膜を形成する方法とすることで、生産性を向上させることができるとなる。

40

【0028】

本発明の電子機器は、上記の何れかに記載の構成を有する半導体圧力センサ、又は、半導体装置が備えられていることを特徴とする。

40

係る構成の電子機器によれば、上記構成の半導体圧力センサ、又は、半導体装置が備えられた構成なので、小型で機器特性に優れたものとなる。

【発明を実施するための最良の形態】

【0029】

以下に、本発明の実施形態である半導体圧力センサ及びその製造方法、半導体装置並びに電子機器について、図面を適宜参照しながら説明する。図 1 は本実施形態の半導体圧力センサの一例を示す断面模式図であり、図 2 は半導体圧力センサの他例を示す断面模式図、図 3 は半導体圧力センサに印加される圧力を検出するための半導体回路の一例を示す概略図、図 4 は本実施形態の半導体装置を示す断面模式図、図 5 ~ 9 は本実施形態の半導体圧力センサに備えられる圧電膜の結晶方位、圧電定数及び電圧変位の関係を説明するため

50

の模式図、図10は本実施形態の電子機器の一例である腕時計型電子機器を示す模式図、図11は本実施形態の半導体圧力センサの製造方法の一例を説明する工程図である。なお、以下の説明において参照する図面は、半導体圧力センサ及びその製造方法、半導体装置並びに電子機器を説明するための図面であり、図示される各部の大きさや厚さや寸法等は、実際の半導体圧力センサ等の寸法関係とは異なっている。

【0030】

[半導体圧力センサ]

「半導体圧力センサの積層構造」

図1に示す例の半導体圧力センサ1は、基板11上に圧電膜12及び電極13が積層して形成され、基板11における圧電膜12及び電極13が配置された領域の少なくとも一部が薄膜化されることによってダイアフラム15が形成されており、基板11上において、圧電膜12が少なくとも2層以上（図示例では2層の圧電膜12a、12b）備えられ、圧電膜12a、12bの各々の間に電極13bが配されるとともに、最下層及び最上層に電極13c、13aがそれぞれ配されることにより、圧電膜12a、12bと電極13a、13b、13cとが交互に積層されてなる圧電膜積層体10が形成されており、圧電膜12a、12bの各々が、それぞれ異なる圧電定数を有する膜として概略構成されている。

また、図1に示す例の半導体圧力センサ1は、2層の圧電膜12a、12bの内、上層側の圧電膜12bが、下層側の圧電膜12aよりも平面視で小型となるように形成されており、この上の電極13cも小型に形成されている。また、図示例では、基板11及び該基板11上に形成された各層を覆うように、被覆層16が設けられている。

本実施形態の半導体圧力センサ1は、上記構成により、ピエゾ圧電型の圧力センサとされる。

【0031】

基板11は、シリコンからなる半導体支持基板であり、図示例のように、表面11a側に、圧電膜積層体10（圧電膜12及び電極13）が配置される。そして、基板11は、その裏面11b側において、表面11aに圧電膜積層体10が配置される領域に対応する部分の少なくとも一部、図示例においては圧電膜積層体10が配置される領域のほぼ全体が、深堀エッチングによる除去で薄膜化され、この部分がダイアフラム15とされている。また、基板11は、シリコンと同等の半導体材料からなる構成とすることも可能である。

【0032】

圧電膜12は、本実施形態の半導体圧力センサ1を用いて圧力を検知する際、印加された圧力によって生じる歪に応じて電荷量が変化するものであり、基板11上に少なくとも2層以上で備えられ、図示例では、2層の圧電膜12a、12bが、基板11側からこの順で備えられている。また、上述したように、図示例では、上層側の圧電膜12b及び該圧電膜12b上の電極13cが、下層側の圧電膜12a及び電極13bよりも平面視で小型となるように形成されることで、後述の電極13bとコンタクト電極との接続が可能となっている。

【0033】

圧電膜12の材料として、圧電作用を有する従来公知の圧電材料を何ら制限無く用いることができるが、中でも、C軸方向に配向しやすいII-II-V族又はII-II-VI族元素からなる六方晶ウルツ鉱型のものを好適に用いることができ、例えば、ZnO（酸化亜鉛）、AlN（窒化アルミニウム）や、ペロブスカイト構造を有するPZT（チタン酸ジルコン酸鉛）等を用いることが好ましい。本実施形態では、上記材料を、詳細を後述する反応性スパッタ法を用いて堆積させることにより、圧電膜12a、12bの各々を、それぞれ異なる圧電定数を有する膜として形成することができる。

本実施形態の半導体圧力センサ1は、それぞれ異なる圧電定数とされた2層の圧電膜12a、12bの間の電圧変位を検出することにより、高感度で圧力を検知することができる。

10

20

30

40

50

【0034】

電極 13 (13a、13b、13c) は、圧電膜 12 で生じる電圧変位を検出する電極であり、上述したように、圧電膜 12a、12b と交互に積層されるとともに、圧電膜積層体 10 において、最上層 (電極 13c) 及び最下層 (電極 13a) に配されている。

電極 13 の材料としては、従来公知の金属からなる電極材料を何ら制限無く用いることができ、例えば、Pt (白金)、Al (アルミニウム)、Mo (モリブデン)、TiN (窒化チタン)、Ru (ルテニウム) 等を好適に用いることができる。

【0035】

本実施形態の半導体圧力センサ 1 を用いて圧力検知を行なう際は、例えば、図 3 に示すような、フィードバック・キャパシタ C_F が用いられてなり、Switched Capacitor Charge Integrator 回路によって構成される検知回路 5 を用いることができる。この検知回路 5 は、フィードバック・キャパシタ C_F とオペアンプ 51 とを備え、圧電膜 12a、12b の間に配された電極 13b がオペアンプ 51 の V_+ 側に接続されるとともに、圧電膜積層体 10 の最上層に配された電極 13c が電源電圧、最下層に配された電極 13a が GND に接続される。オペアンプ 51 は、電極 13b から出力される電圧値を、一定の増幅率で V_{out} 側から圧力検知信号として出力する。

10

【0036】

被覆層 16 は、上述したように、基板 11 及び基板 11 上に形成された各層を覆うように設けられた保護被覆膜である。被覆層 16 は、従来公知の CVD 法を用いて、例えば、シリコン酸化膜あるいはシリコン窒化膜から形成することができる。

20

【0037】

以下に、半導体圧力センサ 1 及び検知回路 5 を用いて圧力検知を行なう際の原理について詳細に説明する。

まず、電極 13c に電源電圧、電極 13a に GND を印加した状態で、基板 11 の裏面 11b 側からダイアフラム 15 に (或いは表面 11a 側から圧電膜積層体 10 に) 圧力が印加されると、ダイアフラム 15 が変形し、圧電膜 12a、12b に応力が加わる。この際、圧電膜 12a、12b の膜中において、印加される応力に応じて内部電界が変化し、それぞれ異なる圧電定数を有する圧電膜 12a、12b の内部に、それぞれ異なる電圧変位が生じる。このような、圧電膜 12a、12b で生じた電圧変位により、電極 13b の電位が変動し、この電位をオペアンプ 51 の V_+ 側に入力する。オペアンプ 51 は、フィードバック・キャパシタ C_F を有するので、 V_+ 側に入力された電位に応じて、圧力検知信号を V_{out} 側から出力する。

30

ここで、本実施形態の半導体圧力センサ 1 は、上述したような複数の圧電膜 12a、12b を備え、それぞれ異なる圧電定数を有する膜とされているので、詳細を後述する理由により、高感度の圧力検知が可能となる。

【0038】

「圧電定数の異なる 2 層以上の圧電膜」

本実施形態の半導体圧力センサは、上述したように、少なくとも 2 層以上の圧電膜を備え、それぞれ異なる圧電定数とされることにより、高感度の圧力検知を可能としている。以下に、図 5 ~ 9 を適宜参照しながら、その原理について詳述する。

40

なお、本例では、図 5 の模式図に示すような、同じ圧電材料からなり各々異なる圧電定数 d_1 、 d_2 を有する 2 層の圧電膜 P1、P2 と、3 層の電極 M1、M2、M3 とを備え、基板 Sub 1 上において、電極 M1、圧電膜 P1、電極 M2、圧電膜 P2、電極 M3 の順で積層されてなる圧電膜積層体 C を例に挙げて説明する。

【0039】

(電圧変位)

図 5 に示す圧電膜積層体 C に対し、初期状態として電圧 V_0 を印加すると、圧電膜積層体 C は、下記一般式 (1)、(2) で表される状態となる。

【0040】

【数1】

$$C_{tot} = \frac{C_1 C_2}{C_1 + C_2} = \frac{\frac{\varepsilon_1 \varepsilon_2}{t_1 t_2} S^2}{\frac{\varepsilon_1}{t_1} S + \frac{\varepsilon_2}{t_2} S} = \frac{\varepsilon_1 \varepsilon_2}{\varepsilon_1 t_2 + t_1 \varepsilon_2} S \quad \cdots(1)$$

但し、上記一般式(1)中、 C_{tot} は2層の圧電膜P1、P2の合計容量、 C_1 、 C_2 は圧電膜P1、P2の各々の容量、 ε_1 、 ε_2 は圧電膜P1、P2の各々の誘電率、Sは容量の面積、 t_1 、 t_2 は圧電膜P1、P2の各々の膜厚を示し、以下の一般式においても同様である。

10

【0041】

【数2】

$$Q_0 = C_{tot} V_0 = \frac{\varepsilon_1 \varepsilon_2}{\varepsilon_1 t_2 + t_1 \varepsilon_2} S V_0 \quad \cdots(2)$$

20

但し、上記一般式(2)中、 Q_0 は電荷、 V_0 は電位を示し、以下の一般式においても同様である。

【0042】

また、この際の電極M2の電位 V_2 は、下記一般式(3)で表される。

【0043】

【数3】

$$V_2 = \frac{Q_0}{C_1} = \frac{C_{tot}}{C_1} V_0 = \frac{C_2}{C_1 + C_2} V_0 = \frac{\varepsilon_1 t_2}{\varepsilon_1 t_2 + \varepsilon_2 t_1} V_0 \quad \cdots(3)$$

30

なお、上記一般式(1)～(3)において、 $t_1 = t_2 = t_0$ 、 $\varepsilon_1 = \varepsilon_2 = \varepsilon_r$ とした場合には、 $V_2 = 1/2 \cdot V_0$ となる。

【0044】

ここで、圧電膜積層体Cに圧力 $P = |P|$ (垂直方向)、応力 $F = PS$ が印加された場合の電圧変化 Q_{M2} は、以下のようにして求められる。但し、以下の説明において、圧電膜P1、P2の極性は同方向とする。

一般に、応力 T が印加された際の電気変位(電束密度の変化分) D は、圧電定数 d を用いて、 $D = dT$ で表される。ここで、電極M2において発生する電荷量の増減、つまり上記電圧変化 Q_{M2} は下記一般式(4)で表される。

40

【0045】

【数4】

$$\begin{aligned} \delta Q_{M2} &= Q_0 + (-Q_0) + D_1 S + (-D_2 S) \\ &= d_1 T - d_2 T = (d_1 P - d_2 P) \cdot S \quad \cdots(4) \end{aligned}$$

但し、一般式(4)中、 d_1 、 d_2 はテンソル量を表し、下記一般式(5)を用いて表すことができる。

【0046】

50

【数5】

$$d = \begin{bmatrix} d_{11} & d_{12} & d_{13} & d_{14} & d_{15} & d_{16} \\ d_{21} & d_{22} & d_{23} & d_{24} & d_{25} & d_{26} \\ d_{31} & d_{32} & d_{33} & d_{34} & d_{35} & d_{36} \end{bmatrix} \quad \cdots(5)$$

但し、上記一般式(5)中、 d_{15} は、結晶対称性によって独立変数が大幅に減少する。
例えば、圧電膜として、ZnO、AlN等の六方晶ウルツ鉱型の材料を用いた場合、下記一般式(6)で表される関係となる。

10

【0047】

【数6】

$$d = \begin{bmatrix} 0 & 0 & 0 & 0 & d_{15} & 0 \\ 0 & 0 & 0 & d_{15} & 0 & 0 \\ d_{31} & d_{32} & d_{33} & 0 & 0 & 0 \end{bmatrix} \quad \cdots(6)$$

20

但し、上記一般式(6)中、独立変数は3個である。

【0048】

また、圧電膜として、水晶等の三方晶系の材料を用いた場合には、下記一般式(7)で表される関係となる。

【0049】

【数7】

$$d = \begin{bmatrix} d_{11} & -d_{11} & 0 & d_{14} & 0 & 0 \\ 0 & 0 & 0 & 0 & -d_{14} & -d_{11} \\ 0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix} \quad \cdots(7)$$

30

但し、上記一般式(7)中、独立変数は2個である。

【0050】

ここで、圧電膜積層体Cに印加される外部からの応力IPを、図6の模式図に示すように、結晶軸のある特定の方向のみに限定し、他の内部応力は発生しないものと過程した場合、下記一般式(8)に表される関係となる。

【0051】

【数8】

$$d \begin{bmatrix} 0 \\ 0 \\ -P \\ 0 \\ 0 \\ 0 \end{bmatrix} = \begin{bmatrix} -d_{13}P \\ -d_{23}P \\ -d_{33}P \end{bmatrix} \quad \cdots(8)$$

10

但し、上記一般式(8)中、圧電膜としてZnOやAlNを材料に用いた場合には、右辺は $-d_{33}P$ のみになる。

【0052】

本実施形態では、各圧電膜P1、P2の上部及び下部に発生した電束密度のみを捉えることから、下記一般式(9)で表されるような関係が成り立つ。

【0053】

【数9】

$$|\delta Q_{M2}| = (d_{33}^1 - d_{33}^2)PS \quad \cdots(9)$$

20

従つて、電圧変位 Q_{M2} は、下記一般式(10)で表される関係に基づいて電位変動が発生する。

【0054】

【数10】

$$\delta Q_{M2} = \frac{|\delta Q_{M2}|}{C_1} = \frac{(d_{33}^1 - d_{33}^2)PS}{\frac{\epsilon_1}{t_1}S} = (d_{33}^1 - d_{33}^2) \frac{t_1}{\epsilon_1} P \quad \cdots(10)$$

30

ここで、上記一般式(10)において、例えば、基板Sub1側から1層目の圧電膜P1にZnO($d_{33} = 11.67 \text{ pC/N}$)、2層目の圧電膜P2にAlN($d_{33} = 5.53 \text{ pC/N}$)を用いた場合、ゲージ圧 $P = 1 \text{ atm} = 1013.25 \text{ hPa}$ とすると、電圧変位 Q_{M2} は、下記一般式(11)によって求めることが可能である。

【0055】

【数11】

40

$$\begin{aligned} \delta V_{M2} &= (11.67 - 5.53) \times 10^{-12} \times \frac{1 \times 10^{-6} \times 1.01325 \times 10^5}{8.85 \times 10^{-12} \times 11.19} \\ &= 6.28 \text{ mV} \quad \cdots(11) \end{aligned}$$

【0056】

(反応性スパッタ法を用いた圧電膜の形成方法)

本実施形態の半導体圧力センサにおいて、反応性スパッタ法を用いて、各々異なる圧電定数を有する圧電膜を形成する方法について、図7(a)、(b)を参照しながら以下に

50

説明する。

【0057】

図7(a)に示すように、チャンバ70内において、例えばA1からなるターゲット71を配置するとともに、チャンバ70内に反応ガスとして窒素(N₂)含有ガスを不活性ガスとともに流通させた状態とし、ターゲット71側にパワーを印加し、ターゲット71と対向するプレート70a側にバイアスを印加することにより、チャンバ70内においてプラズマ放電を行なう。ここで、図7(a)に示すように、チャンバ70内において、成膜処理を行なう成膜領域72、73とターゲット71とは、所定のオフセット角度 θ 、 ϕ を設定されて斜め方向に対向する配置とする。

【0058】

このような、反応性スパッタ法で成膜可能なチャンバ70を用いることにより、A1Nからなる圧電膜P1、P2がチャンバ70内において成膜される。そして、ターゲット71と成膜領域72、73との配置関係を適宜調整し、オフセット角度 θ 、 ϕ を設定した配置とすることにより、圧電膜P1の結晶(図7(b)も参照)は、成膜領域72において結晶軸が角度 θ を有して配向し、一方、圧電膜P2の結晶(図7(b)も参照)は、成膜領域73において結晶軸が角度 ϕ を有して配向した状態で成膜される。なお、上記オフセット角度 θ 、 ϕ の設定にあたっては、例えば、ターゲット71側を移動させても良いし、各圧電膜の成膜領域72、73をずらす方法としても良く、適宜採用すれば良い。

ここで、スパッタリング時のミーンフリーパス(Mean Free Path)は、下記一般式(12)で表される。

【0059】

【数12】

$$\lambda = \frac{k_B T}{P \pi \sigma^2 \sqrt{2}} \quad \cdots (12)$$

但し、上記一般式(12)において、Pはガス圧、 σ は分子半径、Tはガス温度、k_Bはボルツマン定数である。

そして、本実施形態では、図7(a)に示すチャンバ70内において、ターゲットと各成膜領域72、73との間の距離Lと、上記一般式(11)で導き出されるミーンフリーパス λ との関係を、次式($\lambda > L$)の関係とすることが好ましい。このような成膜条件として、圧電膜を反応性スパッタ法で形成することにより、成膜される圧電膜の結晶軸を、上述のように、結晶軸がそれぞれ異なる角度(方向)で配向するように異方性を持たせて制御することが可能となる。

【0060】

本実施形態では、圧電膜を上述の反応性スパッタ法で形成し、圧電膜をそれぞれ異なる方向で配向する結晶で成膜することにより、各々の圧電層を、それぞれ異なる圧電定数を有する膜として形成することが可能となる。そして、図7(b)の模式図に示す例のように、結晶軸が角度 θ を有して配向している圧電膜P1、及び、結晶軸が角度 ϕ を有して配向している圧電膜P2を、詳細を後述する方法により、電極M1、M2、M3の各々と交互に連続して積層して圧電膜積層体Cを形成する。これにより、2層の圧電膜P1、P2を、各々異なる圧電定数d₁、d₂を有する膜として形成することができる。

【0061】

(結晶軸の角度制御による圧電定数の制御)

図8の模式図に示すように、結晶軸3のみを角度 θ 方向に傾斜させた場合の圧電定数d₁は、下記一般式(13)、(14)、(15)で表される。

【0062】

【数13】

$$D = AdT = d'T \quad \cdots(13)$$

【0 0 6 3】

【数14】

$$e = Ae = \begin{bmatrix} 1 & 0 & 0 \\ 0 & \cos\theta & \sin\theta \\ 0 & -\sin\theta & \cos\theta \end{bmatrix} \begin{bmatrix} e_1 \\ e_2 \\ e_3 \end{bmatrix} \quad \cdots(14)$$

10

【0 0 6 4】

【数15】

$$d' = \begin{bmatrix} 1 & 0 & 0 \\ 0 & \cos\theta & \sin\theta \\ 0 & -\sin\theta & \cos\theta \end{bmatrix} \begin{bmatrix} d_{11} & d_{12} & d_{13} & d_{14} & d_{15} & d_{16} \\ d_{21} & d_{22} & d_{23} & d_{24} & d_{25} & d_{26} \\ d_{31} & d_{32} & d_{33} & d_{34} & d_{35} & d_{36} \end{bmatrix}$$

$$= \begin{bmatrix} d_{11} & d_{12} & d_{13} & \dots \\ d_{21} \cos\theta + d_{31} \sin\theta & d_{22} \cos\theta + d_{32} \sin\theta & d_{23} \cos\theta + d_{33} \sin\theta & \dots \\ -d_{21} \sin\theta + d_{31} \cos\theta & -d_{22} \sin\theta + d_{32} \cos\theta & -d_{23} \sin\theta + d_{33} \cos\theta & \dots \\ \dots(15) \end{bmatrix}$$

20

但し、上記一般式(13)中、 $d' = Ad$ であり、また、Aはオイラー角(、
、
)の回転操作を表す行列である。但し、本発明において注目するのは結晶軸3の回転角のみなので、 $=0$ 、 $=0$ として行列Aを書き出すと、上記一般式(14)のように表される。

30

また、圧電膜として、ZnOやAlN等の六方晶ウルツ鉱型の材料を用いた場合には、
圧電定数の独立変数が3つなので、下記一般式(16)のように簡略化して表すことが可能になる。

【0 0 6 5】

【数16】

$$d' = \begin{bmatrix} 1 & 0 & 0 \\ 0 & \cos\theta & \sin\theta \\ 0 & -\sin\theta & \cos\theta \end{bmatrix} \begin{bmatrix} 0 & 0 & 0 & 0 & d_{15} & 0 \\ 0 & 0 & 0 & d_{15} & 0 & 0 \\ d_{31} & d_{32} & d_{33} & 0 & 0 & 0 \end{bmatrix}$$

$$= \begin{bmatrix} 0 & 0 & 0 & 0 & d_{15} & 0 \\ d_{31} \sin\theta & d_{31} \sin\theta & d_{33} \sin\theta & d_{15} \cos\theta & 0 & 0 \\ d_{31} \cos\theta & d_{31} \cos\theta & d_{33} \cos\theta & -d_{15} \sin\theta & 0 & 0 \end{bmatrix} \cdots(16)$$

40

また、外部からの応力Pを、内部応力を発生させないものとして、結晶軸3のみに着目

50

して簡略化すると、下記一般式(17)で表される関係となる。

【0066】

【数17】

$$d' \begin{bmatrix} 0 \\ 0 \\ -P \\ 0 \\ 0 \\ 0 \end{bmatrix} = \begin{bmatrix} 0 \\ -d_{33} \sin \theta P \\ -d_{33} \cos \theta P \end{bmatrix} \quad \cdots(17)$$

10

そして、圧電膜の電圧変位 Q_{M2} は、下記一般式(18)によって得られるが、ここで、圧電膜の材料としてZnOやAlN等の六方晶ウルツ鉱型の材料を用いた場合には、下記一般式(19)のような関係が成り立つことから、最終的に、電圧変位 Q_{M2} は、下記一般式(20)によって与えられる。

【0067】

【数18】

20

$$\delta V_{M2} = \frac{|\delta Q_{M2}|}{C_1} = \frac{d_{33} \sin \theta - d_{33} \sin \varphi}{\frac{\varepsilon_1}{t_1} S} P \quad \cdots(18)$$

【0068】

【数19】

$$\varepsilon = \begin{bmatrix} \varepsilon_{11} & 0 & 0 \\ 0 & \varepsilon_{11} & 0 \\ 0 & 0 & \varepsilon_{33} \end{bmatrix} = \begin{bmatrix} \varepsilon_{11} & 0 & 0 \\ 0 & \varepsilon_{11} \cos \theta & \varepsilon_{11} \sin \theta \\ 0 & -\varepsilon_{11} \cos \theta & \varepsilon_{33} \cos \theta \end{bmatrix} \quad \cdots(19)$$

30

【0069】

【数20】

$$\delta V_{M2} = d_{33} (\sin \theta - \sin \varphi) \frac{t_1}{\varepsilon_{33} \cos \theta} P \quad \cdots(20)$$

40

本実施形態の半導体圧力センサは、上記各一般式を用いて説明した原理により、それぞれ異なる圧電定数を有する圧電膜を用いて微小な電位変化を検出することが可能となり、低消費電力であるとともに圧力検知感度に優れるものとなる。また、図9のグラフに示すように、電圧変位 Q_{M2} と圧力 P との関係がリニアな関係となり、高精度で圧力検知を行なうことが可能となる。

【0070】

以上説明したような本実施形態の半導体圧力センサによれば、圧電膜12a、12bの各々の間に電極13bが配されるとともに、最下層及び最上層に電極13a、13cが配されることで圧電膜12a、12bと電極13a、13b、13cとが交互に積層されて

50

なる圧電膜積層体 10 が、基板 11 の裏面 11b 側の少なくとも一部が除去されることによって形成されるダイアフラム 15 上に形成され、さらに、圧電膜 12a、12b の各々が、それぞれ異なる圧電定数を有するものなので、上記各一般式を用いて説明したように、圧電膜 12a、12b における微小な電位変化を検出することができ、低消費電力であるとともに優れた圧力検知感度を有し、また、半導体回路との一体形成が容易な半導体圧力センサを実現できる。

【0071】

なお、本実施形態の半導体圧力センサは、図 1 に示す例には限定されない。例えば、図 2 に示すような埋め込み酸化膜（埋め込み絶縁膜）24 が備えられ、所謂 SOI（Silicon On Insulator）構造を有する基板が用いられてなる半導体圧力センサ 2 として構成することも可能である。図 2 に示す半導体圧力センサ 2 は、第 1 基板 21a と、該第 1 基板 21a 上に積層される埋め込み酸化膜 24 と、該埋め込み酸化膜 24 上に積層される第 2 基板 21b とを備え、該第 2 基板 21a 上に圧電膜積層体 20 が備えられる点で、図 1 に示す例の半導体圧力センサ 1 とは異なる。また、半導体圧力センサ 2 は、圧電膜積層体 20 に備えられる圧電膜 22a、22b がそれぞれ異なる膜厚とされ、図示例では圧電膜 22a よりも圧電膜 22b の方が肉厚とされている点で、図 1 に示す例の半導体圧力センサ 1 とは異なる構成とされている。

10

【0072】

第 1 基板 21a 及び第 2 基板 21b の材料としては、図 1 に示す半導体圧力センサ 1 の基板 11 と同様、シリコン、或いはシリコンと同等の半導体材料を用いる。

20

埋め込み酸化膜 24 の材料としては、シリコン酸化膜やシリコン窒化膜、或いはこれらと同等の半導体酸化膜等、この分野で知られる従来公知の材料を何ら制限無く用いることができ、CVD 法等を用いて形成することができる。但し、このような場合には、第 2 基板 21b として、CVD 法による多結晶シリコン膜を用いる。

30

【0073】

図 2 に例示する半導体圧力センサ 2 は、埋め込み酸化膜 24 が備えられているので、第 1 基板 21a において、第 2 基板 21b 上の圧電膜積層体 20 が配置される領域に相当する部分を深堀りエッチングによって除去する際に、埋め込み酸化膜 24 がエッチングストップとして作用する。これにより、エッチングで第 1 基板 21a を除去し、この部分に相当する第 2 基板 21b 及び埋め込み酸化膜 24 からなるダイアフラム 25 を形成する際の膜厚制御性をより向上させることができとなる。

【0074】

また、図示例の半導体圧力センサ 2 は、圧電膜積層体 20 が、それぞれ異なる膜厚を有する圧電膜 22a、22b が備えられた構成とされている。本実施形態では、同じ圧電材料からなる複数の圧電膜 22a、22b の膜厚をそれぞれ異なる厚さとし、図示例においては圧電膜 22a よりも圧電膜 22b を肉厚に構成することにより、各々の圧電膜 22a、22b の内部で生じる電圧変位が異なるものとなるので、印加される圧力に応じて、検知感度をより向上させることができとなる。

30

【0075】

図 2 に示す例の半導体圧力センサ 2 によれば、上記構成により、図 1 に示す例の半導体圧力センサ 1 と同様、圧電膜 22a、22b における微小な電位変化を検出することができ、低消費電力であるとともに優れた圧力検知感度を有し、また、半導体回路との一体形成が容易な半導体圧力センサが実現できる。

40

【0076】

また、図 1 及び図 2 に示す半導体圧力センサは、それぞれ 2 層の圧電膜が備えられた構成とされているが、圧電膜の層数は 2 層以上であれば特に限定されず、例えば、圧電膜が 3 層以上備えられた構成を採用することも可能である。このように、圧電膜が 3 層以上備えられる場合には、例えば、電極を介して隣接する圧電膜の各々を、それぞれ異なる圧電定数を有した膜で構成することにより、上述のような、微小な電位変化を検出できる効果が得られ、低消費電力であるとともに優れた圧力検知感度を有する半導体圧力センサが実現できる。

50

現できる。

【0077】

「半導体圧力センサの製造方法」

以下、本実施形態の半導体圧力センサの製造方法の一例について説明する。

本実施形態の製造方法は、図1に例示するような半導体圧力センサ1を製造する際、基板11上に圧電膜12と電極13とを積層して形成し、基板11における圧電膜12及び電極13が配置される領域の少なくとも一部をエッティングで薄膜化する方法であり、基板11上において、圧電膜12を少なくとも2層以上（図示例では圧電膜12a、12bの2層）で形成し、圧電膜12a、12bの各々の間に電極13bを配するとともに、最下層及び最上層に電極13c、13aをそれぞれ配し、圧電膜12a、12bと電極13a、13b、13cとを交互に積層することによって圧電膜積層体10を形成し、圧電膜12a、12bの各々を、上述したような反応性スパッタ法を用いて、それぞれ異なる圧電定数を有する膜として形成する方法である。

本実施形態では、図1に例示する半導体圧力センサ1を製造する際、基板11の裏面11b側において、圧電膜積層体10が配置される表面11a側の領域の内の少なくとも一部、図示例においては圧電膜積層体10が配置される領域のほぼ全体を、詳細を後述する深堀りエッティングによって薄膜化することにより、この部分をダイアフラム15として形成する。

【0078】

また、本実施形態の製造方法においては、図2に例示するような埋め込み酸化膜（埋め込み絶縁膜）24を備えてなる半導体圧力センサ2を、以下のような方法によって製造することができる。

図2に示す例の半導体圧力センサ2を製造する場合、第1基板21a上に埋め込み酸化膜24及び第2基板21bをこの順で積層して形成し、第2基板21b上に圧電膜22（22a、22b）及び電極23（23a、23b、23c）を積層して形成するとともに、第2基板21b上における圧電膜22及び電極23が配置された領域に対応する第1基板21aの少なくとも一部をエッティングによって除去する方法とし、第2基板21bにおいて、圧電膜を少なくとも2層以上（図示例では2層の圧電膜22a、22b）で形成し、圧電膜22a、22bの各々の間に電極23bを配するとともに最下層及び最上層に電極23a、23bを配し、圧電膜22a、22bと電極23a、23b、23cとを交互に積層することによって圧電膜積層体20を形成し、圧電膜22a、22bの各々を、反応性スパッタ法を用いて、それぞれ異なる圧電定数を有する層で形成し、埋め込み酸化膜24をエッティングストップとして、第2基板21b上における圧電膜積層体20が配置された領域に対応する第1基板21aの少なくとも一部をエッティングして除去する方法とすることができる。また、この際、第1基板21aがエッティングによって除去された部分に対応する埋め込み酸化膜24及び第2基板21bが、薄膜のダイアフラム25として構成される。

このような方法により、図2に例示するような半導体圧力センサ2を、埋め込み酸化膜24が備えられ、所謂SOI構造を有する半導体圧力センサ2として製造することができる。

【0079】

また、本実施形態の製造方法においては、上述のような電極13、23を、反応性スパッタ法で用いる反応性ガスの内、少なくとも1種の反応ガスの供給及び停止を切り替えることによって形成する方法としている。

【0080】

以下に、本実施形態の製造方法によって半導体圧力センサを製造する際の工程の一例を、図11（a）～（i）に示す模式図を用いて説明する。図11（a）～（i）は、半導体圧力センサ8（図11（i）参照）の製造工程を示す工程図である。

【0081】

まず、図11（a）に示すような、シリコンからなる厚さが300μm程度の第1基板

10

20

30

40

50

81aと、シリコンからなる厚さが1~40μmの第2基板81cの間に、1~5μmの埋め込み酸化膜81bが備えられたSOI基板81を準備する。埋め込み酸化膜81bとしては、例えば、酸化シリコン等を従来公知のCVD法等を用いて第1基板81a上に形成することを得られる。

なお、本例では、このSOI基板81を用いた例を説明するが、本実施形態ではこれには限らず、例えば、シリコン基板に熱酸化膜を形成し、更に多結晶シリコン層を数μm形成した基板を用いても良い。

【0082】

次に、図11(b)に示すように、第2基板81c上に、最下層の電極83aを、材料としてPtを用いて厚さ1000程度で形成し、従来公知のフォトリソグラフィ法によってパターニングを施す。この際、下地となるシリコンの第2基板81cとの密着性を向上させるため、この第2基板81c上に、予め、チタン、モリブデン他の金属層を成膜しても良い。

10

【0083】

次に、図11(c)に示すように、圧電膜82a、電極83b、圧電膜82b及び電極83cを、RFスパッタリング法を用いて、この順で連続して形成する。この際、例えば、圧電膜82a、82bの材料としてAlNを用いる場合は、圧電膜82aを、純Alからなるターゲットに対して、チャンバ内におけるN₂とArのガス流量比を1:1とした状態でプラズマを放電させることによって成膜する。また、電極83bは、圧電膜82a上に、チャンバ内へのN₂ガスの供給を止めてArのみの供給としたガス雰囲気下とし、スパッタリングを行なうことにより、純Alの電極83bを形成する。さらに連続で、電極83b上に、圧電膜82bを、チャンバ内のガス雰囲気をN₂:Ar=1:1として、AlNからなる層として形成する。そして、再度、チャンバ内へのN₂ガスの供給を止め、Arのみの供給としたガス雰囲気下としてスパッタリングを行なうことにより、圧電膜82b上に電極83cを形成する。また、上記圧電膜82a、電極83b、圧電膜82b及び電極83cを形成する工程において、電極83aがフォトリソグラフィ法によってパターニング除去された部分には、圧電性を伴わないアモルファスAlN膜92が形成される。

20

【0084】

ここで、上述した圧電膜82a、82bを形成する際は、上述した図7(a)に示す例のように、チャンバ内において、ターゲットと成膜される圧電膜側との間でオフセット角度を設定することにより、圧電膜82a、82bを各々結晶軸の配向が異なる膜として成膜することができる。また、圧電膜82a、82bの各々の結晶軸の配向特性をより高めるためには、チャンバ内の圧力を下げ、被スパッタ分子(Al)の平均自由行程を長く設定することで、さらに高い効果が得られる。

30

【0085】

また、本例においては、圧電膜82a、82bの材料としてAlNを用い、電極の材料として純Alを用い、各層を反応性スパッタ法で成膜する例を説明しているが、これには限定されない。例えば、ターゲットにZn(亜鉛)を用い、チャンバ内を、O₂ガスを含有するガス雰囲気とし、このO₂ガスの導入切り替えを行うことにより、圧電膜(ZnO)及び電極(Zn)を連続して形成することも可能である。

40

【0086】

次に、図11(d)に示すように、フォトリソグラフィ法により、レジスト90を用いたパターニングを行なうことにより、圧電膜82a、電極83b、圧電膜82b及び電極83cの一部をエッチングによって除去する。この際のエッチング方法として、本例では、アルカリ溶液(水酸化テトラメチルアンモニウム溶液:1~25%)をによるウェットエッチング法を用いる。この際、AlN及び純Alは、アルカリ溶液に容易に溶解するので、圧電膜82a、電極83b、圧電膜82b及び電極83cは所定のパターニングに沿って除去される一方、Ptからなる電極83aは除去されずに残る。

そして、図11(e)に示すように、レジスト90を除去する。

50

【0087】

次に、図11(f)に示すように、再度、レジスト91を用いたフォトリソグラフィ法によるパターニングを行い、圧電膜82b及び電極83cの周縁部をエッティングによって除去することにより、電極83bの周縁の一部を露出させ、コンタクト領域を形成する。この際、上記同様、アルカリ溶液を用いたウェットエッティングを行なうが、アルカリ濃度を低濃度とするとともにエッティング時間を管理することにより、図示例のように、圧電膜82b及び電極83cの周縁部のみを除去することができる。あるいは、上述のようなアルカリ溶液を用いたウェットエッティングに代えて、HBrとCl₂の混合ガスを用いたドライエッティング法を採用することも可能である。

【0088】

次に、図11(g)に示すように、従来公知のCVD法を用いて、シリコン酸化膜あるいはシリコン窒化膜からなる被覆層84を、第2基板81c上に形成された各層を覆うように堆積させる。

次に、図11(h)に示すように、ドライエッティング法を用いて、被覆層84の一部を除去することにより、電極83cと接続されるコンタクト電極85a、並びに、電極83bと接続されるコンタクト電極85bを形成する。

【0089】

そして、最後に、図11(i)に示すように、第1基板81aの裏面側から、従来公知のディープRIE法(RIE: Reactive Ion Etching: 反応性エッティング法)を用いて深堀りエッティングを行い、センシング部分を開口させ、この部分の埋め込み酸化膜81bを露出させる。この際、埋め込み酸化膜81bがエッティングストップとして作用するので、第1基板81aのみがエッティング除去されるとともに、膜厚を正確に制御しながらエッティング処理を行なうことができる。

このような各工程により、半導体圧力センサ8が得られる。

【0090】

本実施形態の製造方法で得られる半導体圧力センサ1、2、8は、2層で設けられる圧電膜がそれぞれ異なる圧電定数を有する膜として形成されている。またさらに、図2に例示する半導体圧力センサ2は、圧電膜積層体20に備えられる圧電膜22a、22bが、それぞれ異なる膜厚に構成されることで、それぞれ異なる圧電定数を有する膜とされている。これにより、本実施形態の製造方法で得られる半導体圧力センサは、圧電膜における微小な電位変化を検出することができ、非常に優れた圧力検知感度を有するものとなる。

【0091】

また、本実施形態の半導体圧力センサの製造方法によれば、圧電膜の各々(図1に示す例では2層の圧電膜12a、12b)を、反応性スパッタ法を用いて形成する方法なので、圧電膜の各々の結晶方位を制御することにより、圧電定数の異なる膜として効率良く形成することが可能となる。

【0092】

また、本実施形態の半導体圧力センサの製造方法によれば、図2に例示するような半導体圧力センサ2を製造する際、埋め込み絶縁膜22をエッティングストップとして、第2基板21b上における圧電膜積層体20が配置された領域に対応する第1基板21aの少なくとも一部をエッティングして除去する方法なので、基板21aを深堀りエッティングによって除去してダイアフラム25を形成する際の、薄膜の膜厚制御性を向上させることが可能となる。

【0093】

[半導体装置]

以下に、本実施形態の半導体装置について、図4を適宜参照しながら説明する。

本実施形態の半導体装置3は、第1基板31aと、該第1基板31a上に積層される埋め込み酸化膜(埋め込み絶縁膜)34と、該埋め込み酸化膜34上に積層される第2基板31bとを備え、第2基板31b上に圧電膜32及び電極33が積層して形成されるとともに、第2基板31b上における圧電膜32及び電極33が配置された領域に対応する第

10

20

30

40

50

1基板31aの少なくとも一部が除去されてなる圧力センサ領域Aが設けられており、第2基板31b上において、圧電膜32が少なくとも2層以上(図示例では2層の圧電膜32a、32b)で備えられ、圧電膜32a、32bの各々の間に電極33bが配されるとともに、最下層及び最上層に電極33a、33cが配されることにより、圧電膜32a、32bと電極33a、33b、33cとが交互に積層されてなる圧電膜積層体30が形成されており、圧電膜32a、32bの各々が、それぞれ異なる圧電定数を有しており、埋め込み酸化膜34上に、電極33a、33b、33cの各々と電気的に接続され、圧電膜32a、32bに印加された圧力を検知して圧力検知信号を出力するCMOS回路(半導体回路)4が形成され、概略構成されている。

【0094】

10

本実施形態の半導体装置3は、圧電膜積層体30が第2基板31b上に配され、この圧電膜積層体30が配置された領域に対応する位置で第1基板31aの少なくとも一部、図示例では、圧電膜積層体30及び第2基板31b全体に対応する位置で第1基板31aが除去され、この部分に対応する埋め込み酸化膜34及び第2基板31bが薄膜のダイアフラム35として構成されることにより、上述したような本実施形態の半導体圧力センサと同様の圧力センサ領域Aが含まれる構成とされている。

また、本実施形態の半導体装置3に備えられる圧力センサ領域Aは、該圧力センサ領域Aを構成する第1基板31a、第2基板31b、埋め込み酸化膜34、圧電膜32及び電極33の各々を、上述した本実施形態の半導体圧力センサと同様の材料を用い、同様の方法で得ることができる。

20

【0095】

さらに、本実施形態の半導体装置3は、埋め込み酸化膜34上にCMOS回路4が備えられている。このCMOS回路4は、図3に例示した検知回路5と同様の回路を内蔵するものであり、圧電膜積層体30に備えられる各電極33a、33b、33cとの間で、図示略の配線手段によって電気的に接続されている。

また、図示例の半導体装置3は、埋め込み酸化膜34上において、CMOS回路4、圧電膜積層体30及び第2基板31bの各々が配されている領域を除き、表面に、酸化シリコンあるいは窒化シリコンからなる被覆層36が形成されている。

【0096】

30

本実施形態の半導体装置3によれば、第2基板31b上に圧電膜32a、32b及び電極33a、33b、33cが積層して形成されるとともに、第2基板31b上における圧電膜32a、32b及び電極33a、33b、33cが配置された領域に対応する第1基板31aの少なくとも一部が除去され、この除去部分に対応する埋め込み酸化膜34及び第2基板31bによってダイアフラム35が構成され、圧電膜32a、32bの各々の間に電極33bが配されるとともに、最下層及び最上層に電極33a、33cが配されることで圧電膜32a、32bと電極33a、33b、33cとが交互に積層されてなる圧電膜積層体30が第2基板31b上に形成され、さらに、圧電膜32a、32bの各々がそれぞれ異なる圧電定数を有するものとされた圧力センサ領域Aが備えられたものなので、圧電膜32a、32bにおける微小な電位変化を検出することができ、低消費電流であるとともに圧力検知感度に優れた半導体装置となる。

【0097】

40

また、埋め込み酸化膜34上に、圧電膜32a、32bに印加された圧力を検知するCMOS回路4が形成された構成なので、埋め込み絶縁膜34がエッチングストップとして作用し、圧力センサ領域Aを構成する圧電膜32a、32b及び電極33a、33b、33cと、CMOS回路4を形成した後に、第1基板31bの一部の除去処理をエッチングによって行なうことができ、製造プロセスを容易にすることが可能となる。

従って、低消費電力であるとともに圧力検知感度に優れ、製造プロセスが容易となる半導体装置を実現することができる。

【0098】

50

なお、図4に示す例の半導体装置3は、圧電膜積層体30が配置された領域において、

第1基板31aのみが除去された構成とされているが、これには限定されず、例えば、圧電膜積層体30が配置された領域において、少なくとも埋め込み酸化膜34及び第2基板31bの少なくとも一部が除去されてなる構成とすることもでき、このような構成とした場合でも、高感度で圧力を検知することが可能である。

【0099】

【電子機器】

以下に、本実施形態の電子機器について説明する。

本実施形態の電子機器は、上述した半導体圧力センサ、又は、半導体装置を備えるものであり、具体的には図10に示すようなものが一例として挙げられる。図10に示す例の腕時計型電子機器6の本体61には、本発明に係る半導体圧力センサが備えられている。

図10に示す例の腕時計型電子機器6は、上述したような本発明に係る半導体圧力センサを備えたものなので、製造が容易であるとともに、小型で機器特性に優れたものとなる。

【0100】

なお、本実施形態では、本発明に係る電子機器として腕時計型電子機器を例に挙げて説明したが、本発明に係る電子機器は、図10に示す例の腕時計型電子機器6には限定されず、本発明に係る半導体圧力センサは、各種電子機器に好適に用いることができる。

さらに、本発明の技術範囲は上記実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。

【図面の簡単な説明】

【0101】

【図1】本発明に係る半導体圧力センサの一例を示す断面模式図である。

【図2】本発明に係る半導体圧力センサの他例を示す断面模式図である。

【図3】本発明に係る半導体圧力センサに印加された圧力を検知するための検知回路の一例を示す模式図である。

【図4】本発明に係る半導体装置の一例を示す断面模式図である。

【図5】本発明に係る半導体圧力センサの動作を説明するための模式図であり、圧電膜積層体に圧力が印加される状態を示す概略図である。

【図6】本発明に係る半導体圧力センサの動作を説明するための模式図であり、圧電膜の結晶軸の配向を示す概略図である。

【図7】本発明に係る半導体圧力センサの動作を説明するための模式図であり、(a)は反応性スパッタ法を用いて圧電膜を形成する工程を示す概略図であり、(b)は各圧電膜の結晶軸の配向を示す概略図である。

【図8】本発明に係る半導体圧力センサの動作を説明するための模式図であり、圧電膜の結晶軸の配向を示す概略図である。

【図9】本発明に係る半導体圧力センサの動作を説明するための模式図であり、電圧変位 Q_{M2} と圧力との関係を示すグラフである。

【図10】本発明に係る電子機器の一例を示す模式図であり、腕時計型電子機器を示す概略図である。

【図11】本発明に係る半導体圧力センサの製造方法を説明するための模式図であり、各工程を説明する工程図である。

【図12】従来の圧力センサを説明するための模式図である。

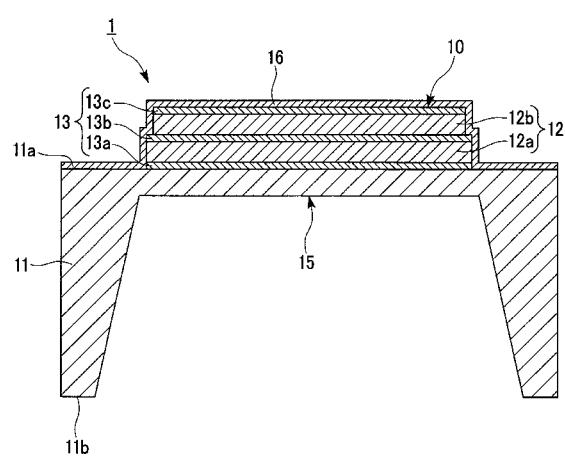
【符号の説明】

【0102】

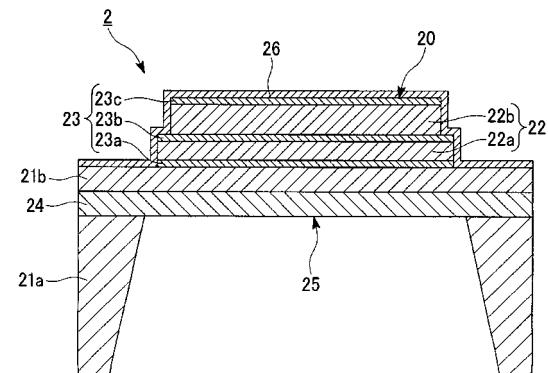
1、2、8…半導体圧力センサ、10、20、30、C…圧電膜積層体、11…基板、21a…第1基板(半導体圧力センサ)、21b…第2基板(半導体圧力センサ)、11a…表面、11b…裏面、15、25、35…ダイアフラム、12、12a、12b、22、22a、22b、P1、P2…圧電膜(半導体圧力センサ)、13、13a、13b、13c、23、23a、23b、23c、M1、M2、M3…電極(半導体圧力センサ)、24…埋め込み酸化膜(埋め込み絶縁膜:半導体圧力センサ)、3…半導体装置、31

a ... 第1基板(半導体装置)、31b ... 第2基板(半導体装置)、32、32a、32b ... 圧電膜(半導体装置)、33、33a、33b、33c ... 電極(半導体装置)、34 ... 埋め込み酸化膜(埋め込み絶縁膜:半導体装置)、4 ... CMOS回路(半導体回路)、5 ... 検知回路、6 ... 腕時計型電子機器(電子機器)、A ... 圧力センサ領域

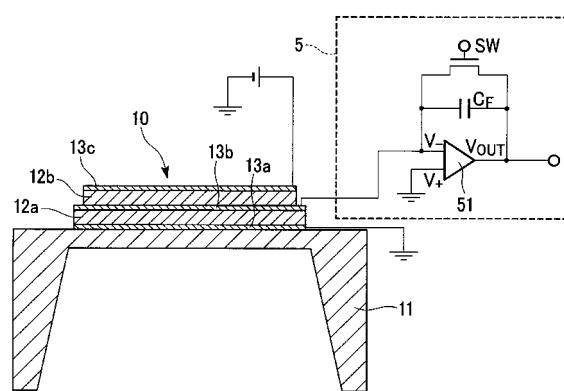
【図1】



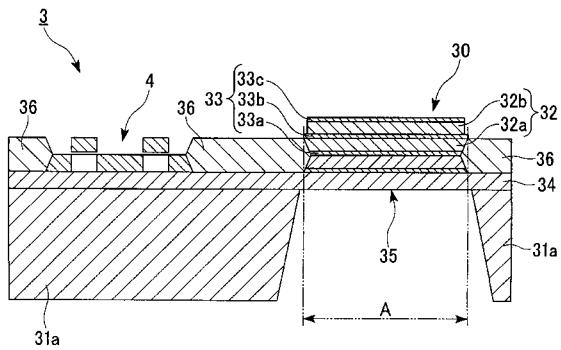
【図2】



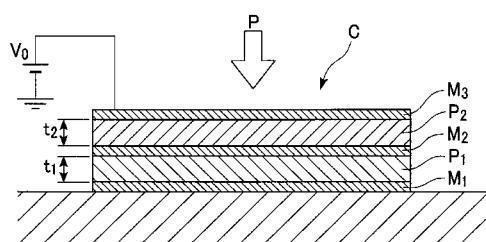
【図3】



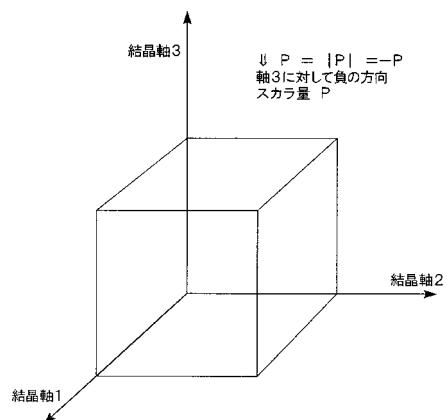
【 図 4 】



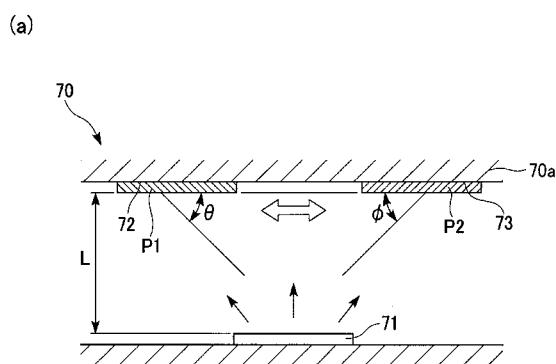
【図5】



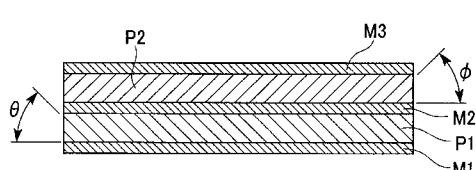
【 図 6 】



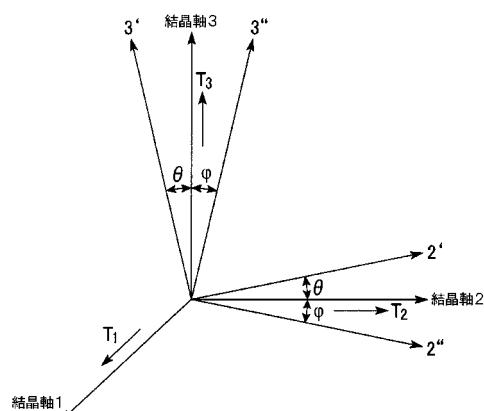
【 7 】



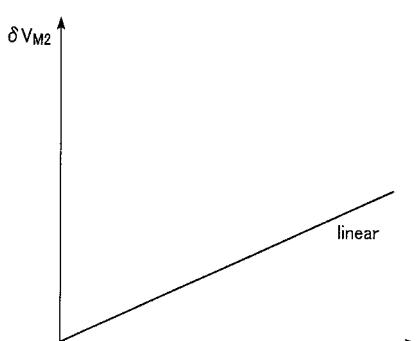
(b)



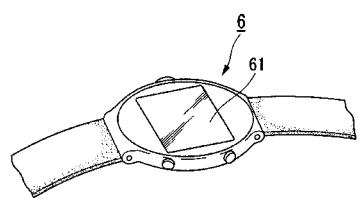
【 図 8 】



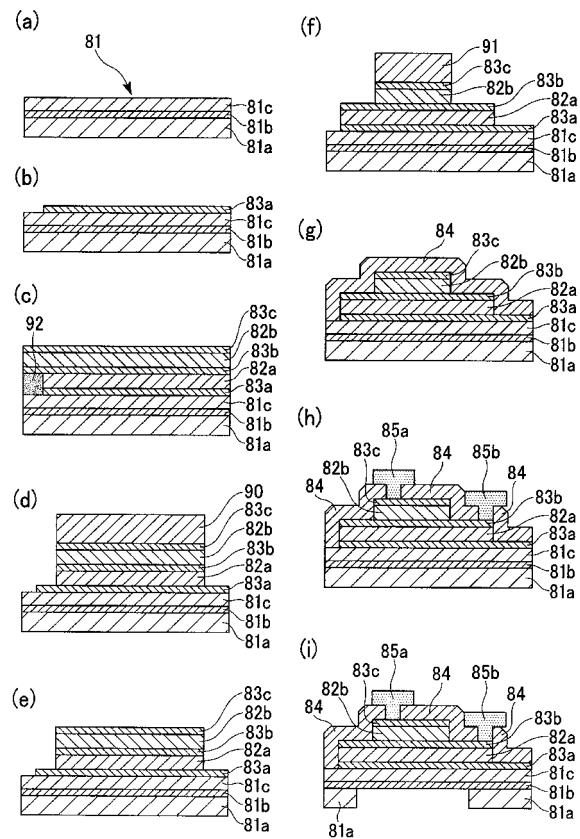
〔 四 9 〕



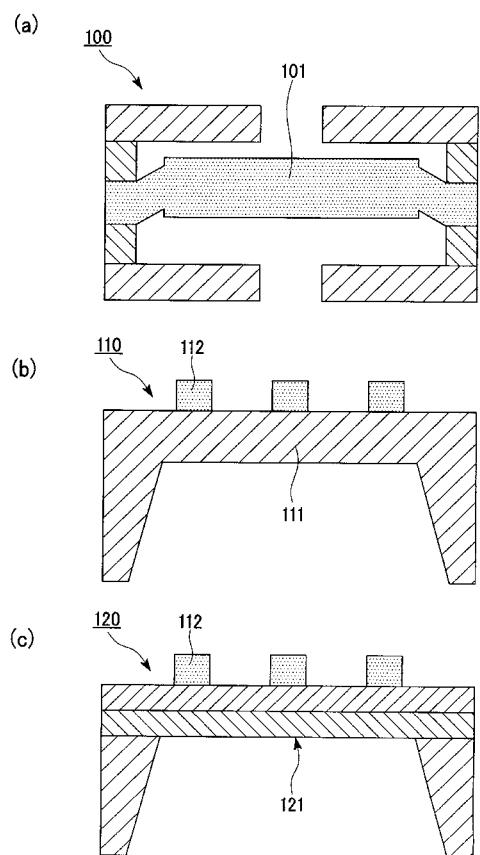
【図10】



【図11】



【図12】



フロントページの続き

(51) Int.Cl. F I テーマコード(参考)
H 01L 41/22 Z

F ターム(参考) 2F055 AA40 BB20 CC02 DD04 DD09 EE23 FF11 FF49 GG12