



(12) 发明专利

(10) 授权公告号 CN 102594357 B

(45) 授权公告日 2014. 10. 15

(21) 申请号 201110043375. 2

审查员 孙韬敏

(22) 申请日 2011. 02. 22

(30) 优先权数据

100100525 2011. 01. 06 TW

(73) 专利权人 瑞鼎科技股份有限公司

地址 中国台湾新竹市

(72) 发明人 左克扬 苗蕙雯 梁彦雄 赵晋杰  
黄仁锋

(74) 专利代理机构 北京康信知识产权代理有限  
责任公司 11240

代理人 李丙林 张英

(51) Int. Cl.

H03M 3/04 (2006. 01)

(56) 对比文件

CN 101088244 A, 2007. 12. 12, 说明书第 2 页  
倒数第 2 段 – 第 3 页第 1 段及图 2-3.

CN 101242678 A, 2008. 08. 13, 全文 .

US 7453288 B2, 2008. 11. 18, 全文 .

JP 特开 2008-309554 A, 2008. 12. 25, 全文 .

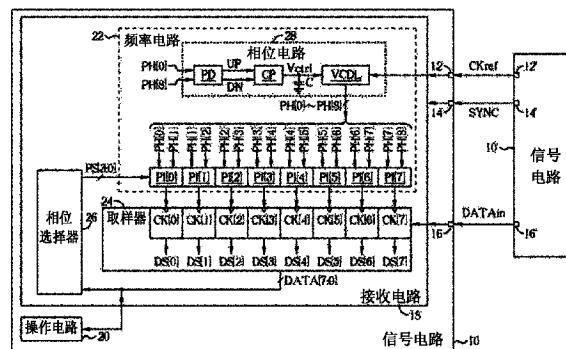
权利要求书1页 说明书7页 附图2页

(54) 发明名称

信号电路

(57) 摘要

本发明提供一信号电路，具有一数据端与一频率端，分别传输一输出入数据与一参考频率，其中，所述参考频率对应所述输出入数据，且所述参考频率的频率小于所述输出入数据的位速率的二分之一。一实施例中，参考频率的频率为输出入数据的位速率的八分之一。



1. 一种信号电路,包含:

频率端,传输一参考频率;以及  
数据端,传输一输出入数据;

其中,所述参考频率对应所述输出入数据,且所述参考频率的频率小于所述输出入数据的位速率的二分之一;

还包含:

同步信号端,传输一同步信号;

其中,所述输出入数据中包含一训练码及一内容数据;所述同步信号在所述训练码对应的时段中为第一位准,所述同步信号在所述内容数据对应的时段中为第二位准,且所述第一位准与所述第二位准相异。

2. 根据权利要求1的信号电路,其中所述参考频率的频率等于所述输出入数据位速率的 $1/M$ ,其中M大于2,其中所述输出入数据位速率表示单位时间中的位数。

3. 根据权利要求1的信号电路,还包含:

接收电路,包含:

频率电路,耦接所述频率端,依据所述参考频率而提供复数个取样频率,使所述取样频率的频率等同于所述参考频率的频率,且所述取样频率的相位互异;以及

取样器,耦接所述数据端与所述频率电路,依据所述取样频率对所述输出入数据取样,以提供复数个取样数据,使所述取样数据的位速率等于所述取样频率的频率。

4. 根据权利要求3的信号电路,其中所述频率电路包含:

相位电路,依据所述参考频率提供复数个相位信号,使所述相位信号的频率等同于所述参考频率的频率,且所述相位信号的相位互异;以及

复数个相位内插器,各所述相位内插器对应所述相位信号中的其中两个,依据一相位选择信号而对所述两个相位信号进行相位内插,并据以产生所述取样频率的其中之一。

5. 根据权利要求4的信号电路,其中所述接收电路还包含:

相位选择器,耦接所述取样器及所述复数个相位内插器,依据所述输出入数据中的所述训练码提供所述相位选择信号。

6. 根据权利要求4的信号电路,其中所述相位电路包含:

相位侦测器,比较所述相位信号其中两个的相位差,以提供一误差信号;

电容;

电荷泵,耦接于所述相位侦测器与所述电容之间,依据所述误差信号而在所述电容上建立一控制电压;

压控延迟线,耦接所述电荷泵与所述频率端,依据所述控制电压与所述参考频率产生所述相位信号。

7. 根据权利要求1的信号电路,其中所述输出入数据是一视讯数据,包含复数个图框,而所述训练码与所述内容数据被包含于各所述图框中。

## 信号电路

### 技术领域

[0001] 本发明涉及一种信号电路,特别是涉及一种以低频率参考频率配合高位速率输出入数据的信号电路。

### 背景技术

[0002] 各种可以储存、控制、处理及 / 或驱动电子信号的信号电路,已成为现代信息社会最重要的硬件基础。例如说,信号电路可形成于芯片 / 晶粒内,被封装为集成电路。不同功能的各种信号电路可进一步组合为电子系统。

[0003] 在电子系统中,不同的信号电路之间会交换数据以协同操作。当信号电路交换数据时,发出数据的信号电路也会提供一对应的参考频率,使接收数据的信号电路能依据参考频率取得数据中的各个位。

### 发明内容

[0004] 在现行技术中,参考频率的频率会等于数据的位速率,或等于位速率的二分之一。在要求高速的趋势下,现代信号电路交换数据的位速率也越来越快;若依照现行技术,参考频率也会是高频的频率。高频参考频率会增加电子系统的功率消耗,也会加重电磁干扰。

[0005] 有鉴于此,本发明的目的是提供一种信号电路,在根据本发明的一种具体实施方式中,该信号电路设有数据端与频率端,分别传输(发出或接收)输出入数据与对应的参考频率。其中,参考频率的频率小于输出入数据位速率的二分之一。例如,参考频率的频率(单位时间中的周期数)可以是输出入数据位速率(单位时间中的位数)的 $1/M$ ;其中M大于2,例如M可以等于8。

[0006] 根据该具体实施方式,该信号电路还包含:同步信号端,传输一同步信号;其中,所述输出入数据中包含一训练码及一内容数据;所述同步信号在所述训练码对应的时段中为第一位准,所述同步信号在所述内容数据对应的时段中为第二位准,且所述第一位准与所述第二位准相异。

[0007] 优选地,该信号电路还包含:接收电路,包含:频率电路,耦接所述频率端,依据所述参考频率而提供复数个取样频率,使所述取样频率的频率等同于所述参考频率的频率,且所述取样频率的相位互异;以及取样器,耦接所述数据端与所述频率电路,依据所述取样频率对所述输出入数据取样,以提供复数个取样数据,使所述取样数据的位速率实质等于所述取样频率的频率。

[0008] 优选地,在该信号电路中,所述频率电路包含:相位电路,依据所述参考频率提供复数个相位信号,使所述相位信号的频率等同于所述参考频率的频率,且所述相位信号的相位互异;以及复数个相位内插器,各所述相位内插器对应所述相位信号中的其中两个,依据一相位选择信号而对所述两对应相位信号进行相位内插,并据以产生所述取样频率的其中之一。

[0009] 优选地,在该信号电路中,所述接收电路还包含:相位选择器,耦接所述取样器及

所述相位内插器，依据所述输出入数据中的所述训练码提供所述相位选择信号。

[0010] 优选地，在该信号电路中，所述相位电路包含：相位侦测器，比较所述相位信号其中两个的相位差，以提供一误差信号；电容；电荷泵，耦接于所述相位侦测器与所述电容之间，依据所述误差信号而在所述电容上建立一控制电压；压控延迟线，耦接所述电荷泵与所述频率端，依据所述控制电压与所述参考频率产生所述相位信号。

[0011] 优选地，在该信号电路中，所述输出入数据是一视讯数据，包含复数个图框，而所述训练码与所述内容数据被包含于各所述图框中。

[0012] 本发明信号电路可以是显示面板电子系统中用以处理视讯(video)的信号电路，例如说是时间控制器与源极驱动器。信号电路的输出入数据可以是串行的视讯数据，包括复数个图框，各图框中包括内容数据(contentdata)。内容数据可以是显示数据，像是各像素在各色频的色彩分量。

[0013] 一实施例中，信号电路为数据交换的接收端(像是源极驱动器)，接收参考频率与输出入数据，以依据参考频率取得输出入数据中的各位。信号电路中设有接收电路与操作电路。接收电路依据参考频率与输出入数据提供M位的并列数据，操作电路依据并列数据进行相关的处理与操作，例如说是依据并列数据的数值内容而向显示面板提供源极驱动电力。

[0014] 一实施例中，接收电路设有频率电路、取样器与相位选择器。频率电路耦接频率端，依据参考频率而提供M个取样频率CK[0]至CK[M-1]，各取样频率CK[m](m=0至(M-1))的频率等同于参考频率的频率，且这些取样频率的相位互异。例如，取样频率CK[m]与取样频率CK[0]间的相位差可以是 $360*(m/M)$ 度。

[0015] 取样器耦接数据端与频率电路，依据取样频率CK[0]至CK[M-1]来对输出入数据取样，以提供M个取样数据，使各取样数据的位速率实质等于各取样频率的频率。依据这M个取样数据，就可形成M位的并列数据。相位选择器则提供一相位选择信号；例如说，相位选择信号可以是四位的二进制数，其十进制数值可以是0到15的整数。

[0016] 一实施例中，频率电路设有相位电路与M个相位内插器。相位电路依据参考频率提供复数个相位信号PH[0]至PH[M-1]与PH[M]，并使相位信号PH[0]至PH[M-1]的频率等同于参考频率的频率，且相位互异。例如，相位信号PH[m]与相位信号PH[0]间的相位差可以是 $360*(m/M)$ 度。一实施例中，相位电路可以设有相位侦测器、电荷泵、电容与压控延迟线(VCDL, Voltage-Controlled Delay Line)。相位侦测器比较相位信号其中两个(如相位信号PH[0]与PH[M])的相位差，以提供一误差信号。电荷泵耦接于相位侦测器与电容之间，依据误差信号而在电容上建立一控制电压。压控延迟线则耦接电容与频率端，依据控制电压与参考频率产生各相位信号PH[0]至PH[M]。

[0017] 在M个相位内插器PI[0]至PI[M-1]中，第m个相位内插器PI[m]对应两相位信号PH[m]与PH[m+1]，其可依据相位选择信号而对两相位信号PH[m]与PH[m+1]进行相位内插，以产生取样频率CK[m]。例如，取样频率CK[m]与相位信号PH[m]间的相位差可以是 $(360/M)*(PS/16)$ 度，PS代表相位选择信号的十进制数值。

[0018] 在输出入数据的各图框中可包括训练码(training code)。训练码可以是具有预设模式的位串行。信号电路可另设置一同步信号端，传输同步信号。同步信号在训练码对应的时段中为高位准，在内容数据对应的时段中为低位准。也就是说，同步信号的位准会指

示输出入数据中的训练码。

[0019] 当同步信号为高位准时,取样器会对输出入数据中的训练码进行取样,相位选择器则会将取样结果与训练码应该呈现的预设模式相比对,以判断各取样频率的相位是否能适当地对输出入数据进行取样。若否,相位选择器可改变相位选择信号的数值,进而调整各取样频率的相位。重复前述的“取样 – 比对 – 调整”,相位选择器可为相位选择信号决定出较佳的数值。等同步信号由高位准回到低位准,相位选择器就可固定以此较佳数值的相位选择信号控制各相位内插器,使各相位内插器产生的取样频率能在较佳的时机触发对输出入数据的取样。

[0020] 为让本发明的上述和其它目的、特征和优点能更明显易懂,下文特举优选实施例,并配合所附图式,作详细说明如下。

## 附图说明

[0021] 图 1 示出了依据本发明一实施例的信号电路。

[0022] 图 2、3 示出了图 1 中相关信号的波形时序。

## 具体实施方式

[0023] 请参考图 1,其所示意的是依据本发明一实施例的信号电路 10 与 10'。信号电路 10' 设有频率端 12'、同步信号端 14' 与数据端 16',分别用以发出参考频率 CKref、同步信号 SYNC 与输出入数据 DATAin。参考频率 CKref 对应输出入数据 DATAin;参考频率 CKref 的频率小于输出入数据 DATAin 位速率的二分之一。例如,参考频率 CKref 的频率(单位时间中的周期数)可以是输出入数据 DATAin 位速率(单位时间中的位数)的  $1/M$ ,而 M 可以等于 8。

[0024] 对应信号电路 10' 的频率端 12'、同步信号端 14' 与数据端 16',信号电路 10 也设有频率端 12、同步信号端 14 与数据端 16,分别接收参考频率 CKref、同步信号 SYNC 与输出入数据 DATAin。在图 1 的例子中,信号电路 10 中设有接收电路 18 与操作电路 20。接收电路 18 依据参考频率 CKref 与输出入数据 DATAin 提供 M 位的并列数据 DATA,例如说是 8 位( $M = 8$ )并列数据 DATA,图 1 中标示为 DATA[7:0]。操作电路 20 依据并列数据 DATA 进行相关的处理与操作。

[0025] 在图 1 的实施例中,接收电路设有频率电路 22、取样器 24 与相位选择器 26。频率电路 22 耦接频率端 12,依据参考频率 CKref 而提供 M 个取样频率 CK[0] 至 CK[M-1](即图 1 中的 CK[0] 至 CK[7]),各取样频率 CK[m]( $m = 0$  至  $(M-1)$ )的频率等同于参考频率 CKref 的频率,且这些取样频率的相位互异。例如,取样频率 CK[m] 与取样频率 CK[0] 间的相位差可以是  $360*(m/M)$  度。

[0026] 取样器 24 耦接数据端 16 与频率电路 22,依据取样频率 CK[0] 至 CK[M-1] 来对输出入数据 DATAin 进行取样,以提供 M 个取样数据 DS[0] 至 DS[M-1](即图 1 中的 DS[0] 至 DS[7]),使各取样数据的位速率是实质等于各取样频率的频率。依据这 M 个取样数据,就可形成 M 位的并列数据 DATA。

[0027] 相位选择器 26 会提供相位选择信号 PS;例如说,相位选择信号 PS 可以是四位的二进制数(因此,图 1 中标示为 PS[3:0]),其十进制数值可以是 0 到 15 的整数。

[0028] 在图 1 实施例中, 频率电路 22 设有相位电路 28 与 M 个相位内插器 PI[0] 至 PI[M-1] (即图 1 的 PI[0] 至 PI[7])。相位电路 28 依据参考频率 CKref 提供复数个相位信号 PH[0] 至 PH[M] (图 1 的 PH[0] 至 PH[8]), 使各相位信号 PH[0] 至 PH[M] 的频率等同于参考频率的频率, 且相位信号 PH[0] 至 PH[M-1] 的相位互异。例如, 相位信号 PH[m] 与相位信号 PH[0] 间的相位差可以是  $360*(m/M)$  度。

[0029] 在图 1 实施例中, 相位电路 28 设有相位侦测器 PD、电荷泵 CP、电容 C 与压控延迟线 VCDL。相位侦测器比较相位信号 PH[0] 与 PH[M] (PH[8]) 的相位差, 以提供误差信号 UP 与 DN。电荷泵 CP 驱动于相位侦测器 PD 与电容 C 之间, 依据误差信号 UP 与 DN 而在电容 C 上建立一控制电压 Vctrl。压控延迟线 VCDL 驱动电容 C 与频率端 12, 依据参考频率 CKref 与控制电压 Vctrl 产生各相位信号 PH[0] 至 PH[M], 使各相位信号 PH[0] 至 PH[M] 的周期与参考频率 CKref 的周期相同, 并使每两个足标相邻的相位信号 PH[m] 与 PH[m+1] ( $m = 0$  至  $(M-1)$ ) 间具有一致的相位差。当相位信号 PH[M] 的相位超前或落后相位信号 PH[0] 的相位时, 相位侦测器 PD 会以误差信号 UP 或 DN 促使电荷泵 CP 对电容 C 充放电以改变控制电压 Vctrl, 而压控延迟线 VCDL 就会对应地增加或减少相邻相位信号 PH[m] 与 PH[m+1] 间的相位差。相位侦测器 PD 的相位侦测与压控延迟线 VCDL 的相位差调整会不断地重复, 直到相位信号 PH[0] 与 PH[M] 的相位趋于一致。此时, 相位信号 PH[0] 至 PH[M-1] 的相位差就会平均分配于 360 度中, 使相位信号 PH[m] 与相位信号 PH[0] 间的相位差为  $360*(m/M)$  度。

[0030] 在 M 个相位内插器 PI[0] 至 PI[M-1] 中, 第 m 个相位内插器 PI[m] 对应两相位信号 PH[m] 与 PH[m+1], 其可依据相位选择信号 PS 而对两相位信号 PH[m] 与 PH[m+1] 进行相位内插, 以产生取样频率 CK[m]。取样频率 CK[m] 的频率与各相位信号 PH[m] 相同, 相位内插器 PI[m] 进行的相位内插则会使取样频率 CK[m] 的相位落在相位信号 PH[m] 与 PH[m+1] 的相位范围内; 例如说, 取样频率 CK[m] 与相位信号 PH[m] 间的相位差可以等于  $(360/M)*(PS/16)$  度, PS 即相位选择信号 PS 的数值。

[0031] 延续图 1 的实施例, 请参考图 2, 其所示意的是图 1 中各相关信号的波形时序。参考频率 CKref 的周期为 T, 在周期 T 中切换于两相异位准 H 与位准 L, 例如说在半周期 T/2 中维持位准 H, 在另半个周期 T/2 中为位准 L。输出入数据 DATAin 中串行复数个位, 如位 D(n)、D(n+1) 等等, 各位维持的时间长短为八分之一个周期 T, 即 T/8。也就是说, 输出入数据 DATAin 的位速率远低于参考频率 CKref 的频率的八倍。虽然参考频率 CKref 的频率远低于输出入数据 DATAin 的位速率, 本发明信号电路 10 依然能依据参考频率 CKref 而取得输出入数据 DATAin 中的每一个位; 其操作情形可描述如下。

[0032] 如先前讨论过的, 相位电路 28 可由参考频率 CKref 衍生出相位信号 PH[0] 至 PH[8]; 各相位信号 PH[0] 至 PH[8] 的周期也为 T, 相位信号 PH[m] 与相位信号 PH[m+1] 间的相位差为  $(360/8)$  度, 相当于时间轴上的时间差 T/8。相位内插器 PI[m] 则依据相位选择信号 PS 而在相位信号 PI[m] 与 PI[m+1] 间进行相位内插, 产生取样频率 CK[m]。图 2 中即以取样频率 CK[0] 为例来说明在相位信号 PH[0] 与 PH[1] 间进行相位内插的情形。对应由小至大的不同数值相位选择信号 PS, 取样频率 CK[0] 的相位也会由相位信号 PH[0] 的相位趋近至相位信号 PH[1] 的相位。例如说, 当相位选择信号 PS 的数值为 0 时, 对应的取样频率 CK[0] (图 2 中标示为 CK[0]@PS = 0) 会接近相位信号 PH[0] 的相位。若相位选择信号 PS 的数值为 1, 取样频率 CK[0]@PS = 1 的相位就会较为远离相位信号 PH[0]。一实施例

中,当相位选择信号 PS 的数值为 p 时,取样频率 CK[0]@PS = p 的相位会和相位信号 PH[0] 的相位相差  $(360/8)*(p/16)$  度,也就是时间轴上的时间差  $(T/8)*(p/16)$ 。

[0033] 换句话说,相位内插器 PI[m] 可在  $(360/8)$  的相位范围内对相位信号 PH[m] 进行相位微调,微调的结果就是取样频率 CK[m]。各相位内插器 PI[0] 至 PI[7] 可统一依据同一相位选择信号 PS 来进行相位内插,故取样频率 CK[m] 与 CK[m+1] 间的相位差会等于相位信号 PH[m] 与 PH[m+1] 间的相位差。

[0034] 依据取样频率 CK[0] 至 CK[7],取样器 24 会由输出入数据 DATAin 中取样出各取样数据 DS[0] 至 DS[7];比如说,当某一取样频率 CK[m] 由位准 L 转变为位准 H 时,取样器 24 对输出入数据 DATAin 进行取样,形成取样数据 DS[m] 的一个位。在图 2 中,也以取样数据 DS[0] 与 DS[1] 为例来说明取样的情形。由于取样频率 CK[0] 的周期 T 是输出入数据 DATAin 中每一位的八倍,取样频率 CK[0] 会在输出入数据 DATAin 中取样到位 D(n) 与 D(n+8),成为取样数据 DS[0] 中的两相邻位;在取样数据 DS[0] 中,每一位会延续周期 T。同理,与取样频率 CK[0] 落后 T/8 的取样频率 CK[1] 会在输出入数据 DATAin 中取样到位 D(n) 与 D(n+8) 的次一位 D(n+1) 与 D(n+9),成为取样数据 DS[1] 中的两相邻位;以此类推,输出入数据 DATAin 中的位 D(n+q) 会被取样到取样数据 DS[r] 中,其中 r 为 q 除以 8 的余数。

[0035] 利用适当的闩锁机制,取样器 24 可进一步将各取样数据 DS[0] 至 DS[7] 中的位对齐,形成 8 位并列数据 DATA。换句话说,即使输出入数据 DATAin 的位速率是参考频率 CKref 的频率的八倍,但接收电路 18 还是能完整取得输出入数据 DATAin 的所有位,并将其转换至位速率较低(为八分之一)的并列数据 DATA。由于信号电路 10 接收、处理的都是低频、低位速率的频率、信号与数据,故信号电路 10 中的接收电路 18 与操作电路 20 均可操作于低频。因此,信号电路 10 便能有效降低功率消耗,对电路设计的频宽要求也能放松。

[0036] 再者,因为信号电路 10' 只需提供低频的参考频率 CKref 而非高频参考频率,信号电路 10' 的功率消耗也可减少,而信号电路 10 在实现前述低频操作时也不需要使用除频器来将高频参考频率除频为低频的频率;信号电路 10 可以直接使用信号电路 10' 所提供的低频参考频率 CKref 来产生各取样频率 CK[0] 至 CK[7]。这可简化信号电路 10 的电路结构,降低电路的复杂程度,布局面积与功率消耗也能进一步缩减。

[0037] 信号电路 10' 与 10 可以实现于不同的芯片中,两者利用电路板上的走线来传输参考频率 CKref。由于两者间不需传输高频参考频率,可有效降低高频频率导致的电磁干扰,对电路板上的走线设计限制也能放松,使走线的安排能更方便。

[0038] 如图 1 与图 2 讨论的,取样器 24 依据取样频率 CK[0] 至 CK[7] 的信号转换(例如说是在各取样频率由位准 L 至转换至位准 H 时)来触发对输出入数据 DATAin 的取样,取样频率 CK[0] 至 CK[7] 的信号转换时机与相位则受控于相位选择器 26 的相位选择信号 PS。为了要能正确无误地取样输出入数据 DATAin 中的各位,取样频率中用以触发取样的信号转换处与输出入数据 DATAin 中各位间的转换处应该要维持特定的相位关系,以在取样时确保足够的设定时间(set-up time)与保持时间(hold time)。

[0039] 为调整取样频率与输出入数据 DATAin 间的相位关系,在输出入数据 DATAin 中,除了携载讯息酬载的内容数据之外,还可加入训练码。训练码可以是具有预设模式的位串行;相位选择器 26 可先依据模式已知的训练码来测试并优化相位选择信号 PS 的数值,再用优化后的相位选择信号 PS 来控制各取样频率的相位,以对输出入数据 DATAin 中的后续内容

数据进行取样。同步信号 SYNC 则指示输出入数据 DATAin 中的训练码。

[0040] 延续图 1 与图 2,请参考图 3,其所示意的即是同步信号 SYNC 与信号电路 10 中各相关信号的波形时序。一实施例中,本发明信号电路 10' 与 10 可以是显示面板电子系统中用以处理视讯(video)的信号电路;例如说,信号电路 10' 是时间控制器,信号电路 10 则是源极驱动器。信号电路 10' 至 10 的输出入数据 DATAin 可以是串行的视讯数据,包括复数个图框,各图框中即包括训练码 TRAINING\_CODE 与内容数据(content data),例如显示数据 DISPLAY\_DATA。在图 3 的例子中,训练码 TRAINING\_CODE 中的位序列具有 0101... 重复的预设模式。显示数据 DISPLAY\_DATA 则可以包括一图框中各像素在各色频的色彩分量。在训练码 TRAINING\_CODE 所对应的时段中,同步信号 SYNC 为位准 H;在显示数据 DISPLAY\_DATA 对应的时段中,同步信号 SYNC 则为低位准。也就是说,同步信号 SYNC 的位准会指示输出入数据中的训练码。

[0041] 当同步信号 SYNC 为位准 H 时,取样器 24 会对输出入数据 DATAin 中的训练码 TRAINING\_CODE 进行取样,相位选择器 26 则会将取样结果与训练码应该呈现的预设模式相比对,以判断各取样频率 CK[0] 至 CK[7] 的相位(如图 3 中的时段 tp)是否能适当地对输出入数据 DATAin 进行取样。若否,相位选择器 26 可改变相位选择信号 PS 的数值,进而调整各取样频率的相位。

[0042] 重复前述的“取样 - 比对 - 调整相位选择信号”,相位选择器 26 可为相位选择信号 PS 决定出较佳的数值。等到同步信号 SYNC 由位准 H 回到低位准 L,相位选择器 26 就可固定以此具有较佳数值的优化后相位选择信号 PS 来控制各相位内插器 PI[0] 至 PI[7],使各相位内插器产生的取样频率 CK[0] 至 CK[7] 能以较佳的相位、较佳的时机来触发对输出入数据 DATAin 的取样。例如说,经过优化调整后的取样频率相位可由时段 tmx 代表,其会使触发取样的时机(例如各取样频率由位准 L 转换为位准 H 的时间)大致落在各位的中间,像是取样频率 CK[0] 触发取样的时机对应位 D(n) 的中间,取样频率 CK[3] 触发取样的时机则对应至位 D(n+3) 的中间,以此类推。

[0043] 总结来说,在现有技术中,信号电路间的输出入数据交换需搭配高频的参考频率(参考频率的频率等于位速率或位速率的一半)。相较之下,本发明技术则可在交换输出入数据时采用低频参考频率,例如说,参考频率的频率可以低至位速率的八分之一。因此,本发明可有效降低功率消耗与电磁干扰,也可简化信号电路的结构与布局。本发明可以应用于显示面板电子系统中的相关信号电路,例如说是采用点对点迷你低压差动信号(PPmL, Point to Point Mini Low-voltage differential signaling) 的时间控制器及 / 或源极驱动器。

[0044] 本发明于图 1 的相位电路 28 采用延迟锁定回路的架构以依据参考频率 CKref 来提供各相位信号 PH[0] 至 PH[8],但相位电路 28 不受限于此;相位电路 28 亦可用其它种具有相同功能的架构来实现,例如用模拟及 / 或数字的相位锁定、延迟锁定回路来实现,或采用其它种类的多重相位频率产生器。图 1 的实施例中,频率电路 22 以相位内插来调整各取样频率 CK[0] 至 CK[7] 的相位,但频率电路 22 亦可采用其它种类可以调整相位的技术,例如说是在相位信号 PH[m] 中导入可调整的延迟以形成取样频率 CK[m]。

[0045] 综上所述,虽然本发明已以优选实施例揭露如上,然其并非用以限定本发明。本发明所属技术领域的普通技术人员,在不脱离本发明的精神和范围内,当可作各种的更动与

润饰。因此，本发明的保护范围当视后附的权利要求书的限定为准。

[0046] 主要组件符号说明

- [0047] 10、10' 信号电路 12、12' 频率端
- [0048] 14、14' 同步信号端 16、16' 数据端
- [0049] 18 接收电路 20 操作电路
- [0050] 22 频率电路 24 取样器
- [0051] 26 相位选择器 28 相位电路
- [0052] PD 相位侦测器 CP 电荷泵
- [0053] C 电容 VCDL 压控延迟线
- [0054] PI[.] 相位内插器 Vctrl 控制电压
- [0055] UP、DN 误差信号 CKref 参考频率
- [0056] SYNC 同步信号 DATAin 输入数据
- [0057] PH[.] 相位信号 CK[.] 取样频率
- [0058] DS[.] 取样数据 DATA 并列数据
- [0059] PS 相位选择信号 D(.) 位
- [0060] T 周期 L、H 位准
- [0061] TRAINING\_CODE 训练码
- [0062] DISPLAY\_DATA 显示数据
- [0063] tp、tmx 时段。

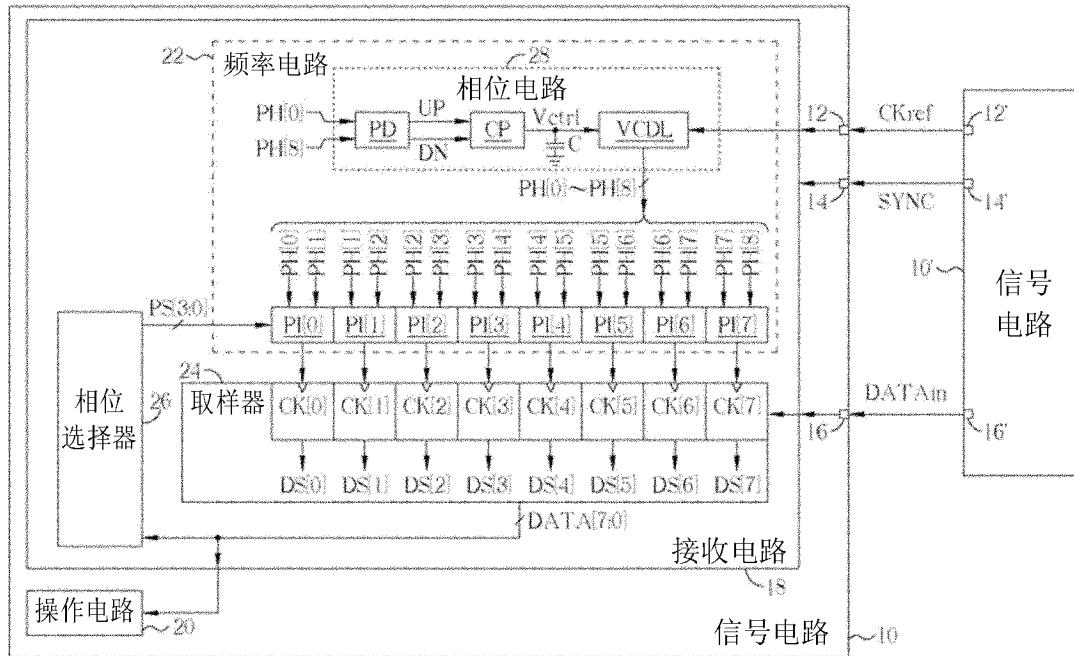


图 1

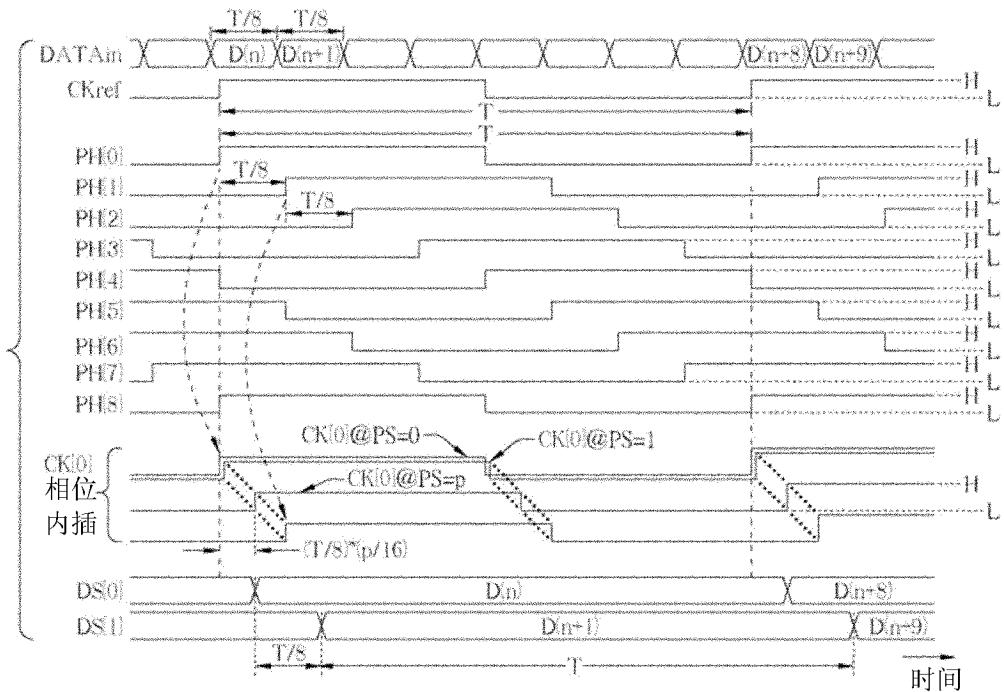


图 2

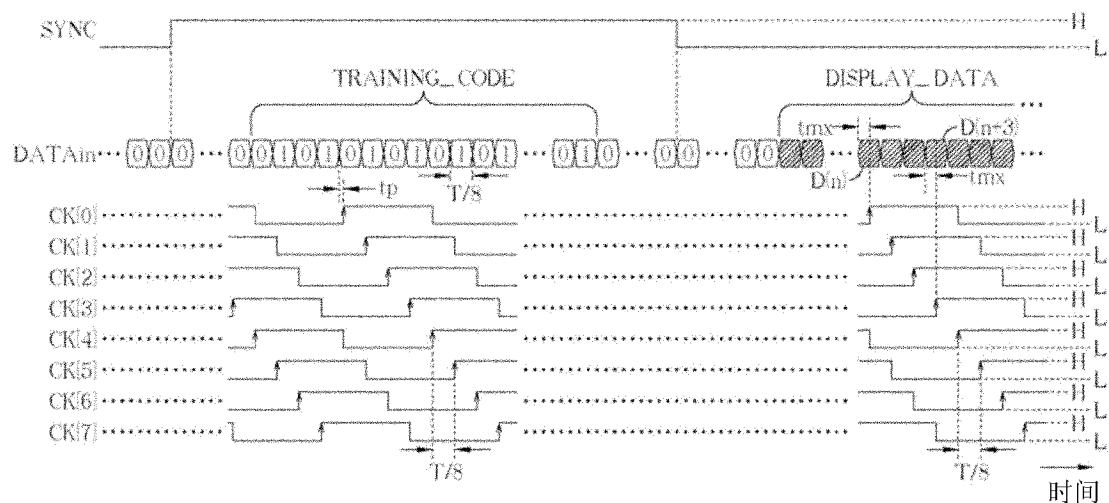


图 3