

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-93230

(P2018-93230A)

(43) 公開日 平成30年6月14日(2018.6.14)

(51) Int.Cl.		F I		テーマコード (参考)
H O 1 L 23/12 (2006.01)		H O 1 L 23/12	J	
H O 1 L 25/04 (2014.01)		H O 1 L 23/12	5 O 1 W	
H O 1 L 25/18 (2006.01)		H O 1 L 23/12	E	
		H O 1 L 25/04	Z	

審査請求 有 請求項の数 10 O L (全 24 頁)

(21) 出願番号	特願2018-38815 (P2018-38815)	(71) 出願人	317006041 東芝メモリ株式会社
(22) 出願日	平成30年3月5日 (2018.3.5)	(74) 代理人	110001737 特許業務法人スズエ国際特許事務所
(62) 分割の表示	特願2013-240238 (P2013-240238) の分割	(72) 発明者	小澤 勲 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
原出願日	平成25年11月20日 (2013.11.20)	(72) 発明者	前田 功 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
		(72) 発明者	工藤 靖雄 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内

最終頁に続く

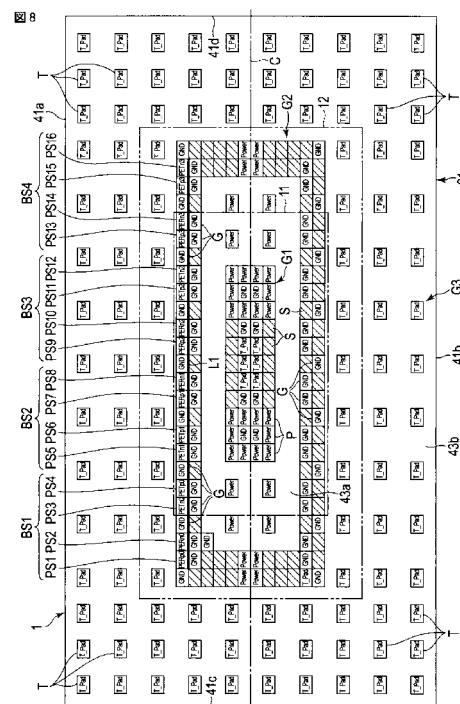
(54) 【発明の名称】 ストレージ装置、及び電子機器

(57) 【要約】

【課題】 良好な放熱性を有するストレージ装置を提供する。

【解決手段】 一つの実施形態によれば、ストレージ装置は、基板と、半導体メモリと、コントローラと、封止部と、複数の放熱ボールとを備える。前記半導体メモリは、前記基板の第1面に配置されている。前記コントローラは、前記基板の前記第1面に配置されており前記半導体メモリを制御する。前記封止部は、前記基板の前記第1面で前記半導体メモリと前記コントローラとを一体に覆う。前記複数の放熱ボールは、前記基板の前記第1面と対向する第2面に配置されている。前記基板は、前記第1面における前記コントローラに対向する前記第2面上の領域である第1の領域と、前記第1の領域の外側に位置した第2の領域とを含む。前記第2の領域における前記放熱ボールの配置密度は、前記第1の領域における前記放熱ボールの配置密度よりも高い。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

基板と、

前記基板の第 1 面側に配置された半導体メモリと、

前記基板の前記第 1 面側に配置されており前記半導体メモリを制御するコントローラと

、

前記基板の前記第 1 面側で前記半導体メモリと前記コントローラとを一体に覆う封止部と、

前記基板の前記第 1 面と対向する第 2 面に配置されている複数の放熱ボールと、

を具備し、

前記基板は、前記第 1 面における前記コントローラに対向する前記第 2 面上の領域である第 1 の領域と、前記第 1 の領域の外側に位置した第 2 の領域とを含み、

前記第 2 の領域における前記放熱ボールの配置密度は、前記第 1 の領域における前記放熱ボールの配置密度よりも高い、

ストレージ装置。

【請求項 2】

前記第 2 の領域に配置される前記放熱ボールの数は、前記第 1 の領域に配置される放熱ボールの数より多い、請求項 1 記載のストレージ装置。

【請求項 3】

複数の差動信号ボールをさらに具備し、

前記複数の差動信号ボールは、前記第 2 面に配置され、

前記複数の差動信号ボールのうちの少なくとも一部は、前記基板の一辺と略平行に並べられている、

請求項 1 記載のストレージ装置。

【請求項 4】

前記複数の差動信号ボールは、前記基板の前記一辺と略平行な第 1 ラインと、該第 1 ラインの両端部から前記基板の前記一辺から離れる方向に延びた一对の第 2 ラインとに沿って並べられた請求項 3 記載のストレージ装置。

【請求項 5】

前記複数の差動信号ボールは、前記第 1 ラインに沿って配置された複数の第 1 差動ペアと、前記第 2 ラインに沿って配置された第 2 差動ペアとを含む請求項 4 記載のストレージ装置。

【請求項 6】

前記第 2 差動ペアは、第 1 ボールと、前記基板の前記一辺から前記第 1 ボールよりも遠くに位置した第 2 ボールとを含み、前記第 1 ボールは、前記第 2 ボールに対して前記基板の内側にずれて配置された請求項 5 記載のストレージ装置。

【請求項 7】

前記複数の差動信号ボールは、前記第 1 ラインに沿って配置された複数の第 1 差動ペアと、一つの前記第 2 ラインに沿って配置された複数の第 2 差動ペアとを含み、

前記複数の第 2 差動ペアは、其々、第 1 ボールと、前記基板の前記一辺から前記第 1 ボールよりも遠くに位置した第 2 ボールとを含み、前記複数の第 2 差動ペアの其々において、前記第 1 ボールは、前記第 2 ボールに対して前記基板の内側にずれて配置された請求項 4 記載のストレージ装置。

【請求項 8】

前記基板の第 2 面に設けられたグランドボールをさらに具備し、

前記複数の差動信号ボールは、複数の差動ペアを含み、

前記グランドボールは、前記複数の差動ペアの間に位置した請求項 3 記載のストレージ装置。

【請求項 9】

前記複数の放熱ボールと、前記複数の差動信号ボールと外部のホストコントローラとを

10

20

30

40

50

電氣的に接続する複数の信号ラインとは、互いに重なる領域を避けて配置される請求項 3 記載のストレージ装置。

【請求項 10】

ストレージ装置と、
複数の信号ラインによって前記ストレージ装置と接続されたホストコントローラと、
を具備し、
前記ストレージ装置は、
基板と、
前記基板の第 1 面側に配置された半導体メモリと、
前記基板の前記第 1 面側に配置されており前記半導体メモリを制御するコントローラと 10
、
前記基板の前記第 1 面側で前記半導体メモリと前記コントローラとを一体に覆う封止部
と、
前記基板の前記第 1 面と対向する第 2 面に配置されている複数の放熱ボールと、
を具備し、
前記基板は、前記第 1 面における前記コントローラに対向する前記第 2 面上の領域であ
る第 1 の領域と、前記第 1 の領域の外側に位置した第 2 の領域とを含み、
前記第 2 の領域における前記放熱ボールの配置密度は、前記第 1 の領域における前記放
熱ボールの配置密度よりも高い、 20
電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、ストレージ装置及び電子機器に関する。

【背景技術】

【0002】

半導体メモリチップを有した半導体装置が提供されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2013-200595 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

半導体装置は、良好な放熱性を有することが好ましい。

【0005】

本発明の目的は、良好な放熱性を有するストレージ装置及び電子機器を提供すること
である。

【課題を解決するための手段】

【0006】

実施形態によれば、ストレージ装置は、基板と、半導体メモリと、コントローラと、封
止部と、複数の放熱ボールとを備える。前記半導体メモリは、前記基板の第 1 面に配置さ
れている。前記コントローラは、前記基板の前記第 1 面に配置されており前記半導体メモ
リを制御する。前記封止部は、前記基板の前記第 1 面で前記半導体メモリと前記コント
ローラとを一体に覆う。前記複数の放熱ボールは、前記基板の前記第 1 面と対向する第 2 面
に配置されている。前記基板は、前記第 1 面における前記コントローラに対向する前記第
2 面上の領域である第 1 の領域と、前記第 1 の領域の外側に位置した第 2 の領域とを含む
。前記第 2 の領域における前記放熱ボールの配置密度は、前記第 1 の領域における前記放
熱ボールの配置密度よりも高い。

【図面の簡単な説明】

【0007】

【図1】第1実施形態に係る電子機器を例示した斜視図。

【図2】図1中に示された回路基板の一部の構成を例示したブロック図。

【図3】図1中に示された半導体パッケージの構成を例示したブロック図。

【図4】図1中に示された半導体パッケージを例示した断面図。

【図5】図1中に示された半導体パッケージの第1変形例を例示した断面図。

【図6】図1中に示された半導体パッケージの第2変形例を例示した断面図。

【図7】図1中に示された半導体パッケージの下面を例示した下面図。

【図8】図7中に示された半田ボールのアサインを例示した図。

【図9】図8中に示されたアサインの内容を例示した図。

10

【図10】第1実施形態に係る回路基板のパッドを例示した平面図。

【図11】第2実施形態に係る半導体パッケージの半田ボールのアサインを例示した図。

【図12】図11中に示された半導体パッケージのF12線で囲まれた領域を拡大して例示した図。

【図13】第2実施形態に係る回路基板のパッドを例示した平面図。

【図14】図13中に示された一部の信号ラインを模式的に例示した図。

【図15】図13中に示された信号ラインの第1変形例を模式的に例示した図。

【図16】図13中に示された信号ラインの第2変形例を模式的に例示した図。

【図17】第3実施形態に係る半導体パッケージの半田ボールのアサインを例示した図。

【図18】図17中に示された半導体パッケージのF18線で囲まれた領域を拡大して例示した図。

20

【図19】第3実施形態に係る一部の信号ラインを模式的に例示した図。

【図20】第4実施形態に係る半導体パッケージの半田ボールのアサインを例示した図。

【図21】図20中に示された半導体パッケージのF21線で囲まれた領域を拡大して例示した図。

【図22】第4実施形態に係る一部の信号ラインを模式的に例示した図。

【発明を実施するための形態】

【0008】

以下、実施の形態について、図面を参照して説明する。

【0009】

30

本明細書では、いくつかの要素に複数の表現の例を付している。なおこれら表現の例はあくまで例示であり、上記要素が他の表現で表現されることを否定するものではない。また、複数の表現が付されていない要素についても、別の表現で表現されてもよい。

【0010】

また、図面は模式的なものであり、厚みと平面寸法との間係や各層の厚みの比率などは現実のものと異なることがある。また、図面相互間において互いの寸法の関係や比率が異なる部分が含まれることもある。

【0011】

(第1実施形態)

図1乃至図10は、第1実施形態に係る半導体パッケージ1を示す。半導体パッケージ1は、「半導体装置」、「半導体メモリ装置」の其一例である。本実施形態に係る半導体パッケージ1は、いわゆるBGA-SSD(Ball Grid Array - Solid State Drive)であり、複数の半導体メモリチップとコントローラとが一つのBGAタイプのパッケージとして一体に構成されている。

40

【0012】

図1は、半導体パッケージ1が搭載される電子機器2の一例を示す。電子機器2は、「システム」、「デバイス」、「ユニット」の其一例である。電子機器2は、筐体3と、この筐体3に収容された回路基板4(例えばメインボード)とを有する。半導体パッケージ1は、回路基板4に取り付けられ、電子機器2のストレージ装置として機能する。回路基板4は、ホストコントローラ5(例えばCPU)を有する。ホストコントローラ5は、

50

例えばサウスブリッジを含み、半導体パッケージ 1 を含む電子機器 2 の全体の動作を制御する。

【0013】

図 2 は、回路基板 4 の構成の一部を模式的に示す。本実施形態に係るホストコントローラ 5 及び半導体パッケージ 1 は、PCI Express（以下、PCIe）の規格に則したインタフェースを有する。ホストコントローラ 5 と半導体パッケージ 1 との間には、複数本の信号ライン 6 が設けられている。半導体パッケージ 1 は、信号ライン 6 を介して、ホストコントローラ 5 との間で PCIe の規格に則した高速信号をやり取りする。

【0014】

回路基板 4 には、電源回路 7 が設けられている。電源回路 7 は、電源ライン 8 a, 8 b を介して、ホストコントローラ 5 及び半導体パッケージ 1 に接続されている。電源回路 7 は、電子機器 2 が動作するための各種の電源をホストコントローラ 5 及び半導体パッケージ 1 に供給する。

【0015】

次に、半導体パッケージ 1 の構成について説明する。

図 3 は、半導体パッケージ 1 の構成の一例を示すブロック図である。半導体パッケージ 1 は、コントローラチップ 11、半導体メモリチップ 12、DRAM チップ 13、オシレータ (OSC) 14、electrically erasable and programmable ROM (EEPROM) 15、及び温度センサ 16 を備える。

【0016】

コントローラチップ 11（すなわちコントローラ）は、半導体メモリチップ 12 の動作を制御する半導体チップである。半導体メモリチップ 12 は、例えば NAND チップ（NAND フラッシュメモリ）である。NAND チップは、不揮発性メモリであり、電源供給を行わない状態でもデータを保持する。DRAM チップ 13 は、半導体メモリチップ 12 の管理情報の保管やデータのキャッシュなどに用いられる。

【0017】

オシレータ (OSC) 14 は、所定周波数の動作信号をコントローラチップ 11 に供給する。EEPROM 15 は、制御プログラム等を固定情報として格納している。EEPROM 15 は、不揮発性メモリの一例である。温度センサ 16 は、半導体パッケージ 1 内の温度を検出し、コントローラチップ 11 に通知する。

【0018】

コントローラチップ 11 は、温度センサ 16 から受信した温度情報を用いて半導体パッケージ 1 の各部の動作を制御する。例えば、温度センサ 16 で検出された温度が所定以上であった場合、コントローラチップ 11 は、半導体パッケージ 1 の動作速度を下げたり、半導体パッケージ 1 の動作を所定時間または所定間隔で停止し、半導体パッケージ 1 の温度を許容値以下に抑える。

【0019】

次に、半導体パッケージ 1 の構造について説明する。

図 4 は、半導体パッケージ 1 の断面図である。半導体パッケージ 1 は、基板 21（パッケージ基板）、コントローラチップ 11、半導体メモリチップ 12、ボンディングワイヤ 22, 23、モールド材 24, 25、マウントフィルム 26、及び複数の半田ボール 27 を備える。

【0020】

基板 21 は、多層の配線基板であり、電源層 28 及びグランド層 29 を有する。基板 21 は、第 1 面 21 a と、該第 1 面 21 a とは反対側に位置した第 2 面 21 b とを有する。コントローラチップ 11 は、基板 21 の第 1 面 21 a に載せられている。コントローラチップ 11 は、例えばマウントフィルム 26 によって基板 21 に固定されている。また、コントローラチップ 11 は、ボンディングワイヤ 22 によって基板 21 に電氣的に接続されている。

【0021】

基板 2 1 の第 1 面 2 1 a には、コントローラチップ 1 1 及びボンディングワイヤ 2 2 を封止する第 1 モールド材 2 4 が設けられている。なお、第 1 モールド材 2 4 に代えて厚膜マウントフィルムを用いてもよい。以上により、コントローラチップ 1 1 を封止するモールドタイプの半導体パッケージ（第 1 モールドパッケージ）が形成される。

【0022】

図 4 に示すように、第 1 モールド材 2 4 の上には、複数の半導体メモリチップ 1 2 が積層されている。複数の半導体メモリチップ 1 2 は、マウントフィルム 2 6 によって第 1 モールド材 2 4 の上に固定される。複数の半導体メモリチップ 1 2 は、ボンディングワイヤ 2 3 を介して基板 2 1 に電氣的に接続されている。半導体メモリチップ 1 2 は、基板 2 1 を介して、コントローラチップ 1 1 に電氣的に接続されている。

10

【0023】

基板 2 1 の第 1 面 2 1 a 上には、第 1 モールド材 2 4、複数の半導体メモリチップ 1 2、及びボンディングワイヤ 2 3 を封止する第 2 モールド材 2 5 が設けられている。以上のように、本実施形態では、第 1 モールド材 2 4 及び第 2 モールド材 2 5 によって、基板 2 1 の第 1 面 2 1 a に設けられた封止部 3 0 が形成されている。封止部 3 0 は、コントローラチップ 1 1、複数の半導体メモリチップ 1 2、オシレータ 1 4、EEPROM 1 5、及び温度センサ 1 6 を一体に覆う。

【0024】

図 5 は、本実施形態に係る半導体パッケージ 1 の第 1 変形例を示す。この第 1 変形例では、DRAMチップ 1 3 が基板 2 1 の第 1 面 2 1 a に載せられている。DRAMチップ 1 3 は、第 1 モールド材 2 4 で覆われている。なお、DRAMチップ 1 3 は、第 1 モールド材 2 4 の外部に位置し、第 2 モールド材 2 5 によって覆われてもよい。

20

【0025】

図 6 は、本実施形態に係る半導体パッケージ 1 の第 2 変形例を示す。この第 2 変形例では、複数の半導体メモリチップ 1 2 が基板 2 1 の第 1 面 2 1 a に積層されている。すなわち、複数の半導体メモリチップ 1 2 は、コントローラチップ 1 1 及び DRAM チップ 1 3 の側方に置かれている。

【0026】

本変形例では、一つのモールド材 2 5 が、コントローラチップ 1 1、DRAMチップ 1 3、及び複数の半導体メモリチップ 1 2 を一体に覆う。この場合、一つのモールド材 2 5 によって、基板 2 1 の第 1 面 2 1 a に設けられた封止部 3 0 が形成されている。なお、半導体パッケージ 1 の封止部 3 0 は、モールド材にて形成されたものに限らず、セラミック材やその他の材料で形成されたものでもよい。

30

【0027】

次に、基板 2 1 に設けられた複数の半田ボール 2 7 について説明する。

図 4 に示すように、基板 2 1 の第 2 面 2 1 b には、外部接続用の複数の半田ボール 2 7 が設けられている。本実施形態では、半田ボール 2 7 は、例えば 0.5mm ピッチで並べられている。

【0028】

図 7 は、基板 2 1 の第 2 面 2 1 b における半田ボール 2 7 の配列を示す。図 7 に示すように、複数の半田ボール 2 7 は、基板 2 1 の第 2 面 2 1 b の全体にフルで配置されているわけではなく、部分的に配置されている。

40

【0029】

図 8 は、半田ボール 2 7 のアサインを模式的に示す。なお図 8 は、説明の便宜上、回路基板 4 に載せられた姿勢を基準（すなわち半導体パッケージ 1 を上方から見た姿勢を基準）にしたボール配置を示す。図 9 は、図 8 中に示されたアサインの内容を示す。図 1 0 は、半田ボール 2 7 が接続される回路基板 4 のパッド 3 2 を示す。

【0030】

本実施形態に係る複数の半田ボール 2 7 は、PCIe 信号ボール PS 1 ～ PS 1 6、その他の信号ボール S、電源ボール P、グランドボール G、及びサーマルボール T（放熱ボール

50

）を含む。PCIe信号ボール P S 1 ～ P S 1 6 は、「差動信号ボール」の一例である。

【0031】

なお、図8中では、信号ボール S をハッチング、電源ボール P を "Power"、グランドボール G を "GND"、サーマルボール T を "T_{pad}" と表記して示す。以下、これら半田ボール 27 の配置を詳しく説明する。

【0032】

図8に示すように、複数の半田ボール 27 は、第1郡 G 1、第2郡 G 2、及び第3郡 G 3 に分かれて配置されている。第1郡 G 1 は、基板 21 の中央部に位置する。第1郡 G 1 は、基板 21 の中央部に設けられた複数のサーマルボール T と、この複数のサーマルボール T を囲むように配置された複数の電源ボール P、グランドボール G、及び信号ボール S

10

【0033】

サーマルボール T（放熱ボール）は、基板 21 のグランド層 29 または電源層 28（すなわち銅層）に電氣的に接続されている。このため、コントローラチップ 11 などの熱は、グランド層 29 または電源層 28 を介してサーマルボール T に移動しやすい。

【0034】

サーマルボール T は、半導体パッケージ 1 の熱の一部を回路基板 4 に逃がす。例えば本実施形態では、コントローラチップ 11 は、基板 21 の中央部に位置し、第1郡 G 1 のサーマルボール T に重なる。コントローラチップ 11 は、他の部品（例えば半導体メモリチップ 12 または DRAM チップ 13）に比べて動作時の発熱量が大きい。第1郡 G 1 のサーマルボール T は、コントローラチップ 11 から基板 21 に伝わる熱の一部を回路基板 4 に逃がす。

20

【0035】

電源ボール P は、基板 21 の電源層 28 に電氣的に接続され、半導体パッケージ 1 に各種の電源を供給する。グランドボール G は、基板 21 のグランド層 29 に電氣的に接続され、接地電位となる。

【0036】

図8に示すように、第2郡 G 2 は、第1郡 G 1 を囲う枠状に並べられている。第2郡 G 2 と第1郡 G 1 との間には隙間が存在する。第2郡 G 2 は、PCIe信号ボール P S 1 ～ P S 1 6、信号ボール S、電源ボール P、及びグランドボール G を有する。

30

【0037】

ここで、PCIe信号ボール P S 1 ～ P S 1 6 について詳しく説明する。図8及び図9に示すように、第1 PCIe信号ボール P S 1 は、PCIe高速差動信号（入力、ポジティブ）1 セット目に対応する。第2 PCIe信号ボール P S 2 は、PCIe高速差動信号（入力、ネガティブ）1 セット目に対応する。第1及び第2 PCIe信号ボール P S 1、P S 2 は、第1 差動信号が流れる差動ペアとなる。

【0038】

第3 PCIe信号ボール P S 3 は、PCIe高速差動信号（出力、ネガティブ）1 セット目に対応する。第4 PCIe信号ボール P S 4 は、PCIe高速差動信号（出力、ポジティブ）1 セット目に対応する。第3及び第4 PCIe信号ボール P S 3、P S 4 は、第2 差動信号が流れる差動ペアとなる。

40

【0039】

そして、これら4つのPCIe信号ボール P S 1、P S 2、P S 3、P S 4 は、一対の高速差動入力信号と高速差動出力信号からなる第1 信号セットに対応した第1 半田ボールセット B S 1（すなわち第1 レーン）を構成する。

【0040】

同様に、第5 PCIe信号ボール P S 5 は、PCIe高速差動信号（出力、ネガティブ）2 セット目に対応する。第6 PCIe信号ボール P S 6 は、PCIe高速差動信号（出力、ポジティブ）2 セット目に対応する。第5及び第6 PCIe信号ボール P S 5、P S 6 は、第3 差動信号が流れる差動ペアとなる。

50

【0041】

第7PCIe信号ボールPS7は、PCIe高速差動信号（入力、ポジティブ）2セット目に対応する。第8PCIe信号ボールPS8は、PCIe高速差動信号（入力、ネガティブ）2セット目に対応する。第7及び第8PCIe信号ボールPS7、PS8は、第4差動信号が流れる差動ペアとなる。

【0042】

そして、これら4つのPCIe信号ボールPS5、PS6、PS7、PS8は、一对の高速差動入力信号と高速差動出力信号からなる第2信号セットに対応した第2半田ボールセットBS2（すなわち第2レーン）を構成する。

【0043】

第9PCIe信号ボールPS9は、PCIe高速差動信号（入力、ポジティブ）3セット目に対応する。第10PCIe信号ボールPS10は、PCIe高速差動信号（入力、ネガティブ）3セット目に対応する。第9及び第10PCIe信号ボールPS9、PS10は、第5差動信号が流れる差動ペアとなる。

【0044】

第11PCIe信号ボールPS11は、PCIe高速差動信号（出力、ポジティブ）3セット目に対応する。第12PCIe信号ボールPS12は、PCIe高速差動信号（出力、ネガティブ）3セット目に対応する。第11及び第12PCIe信号ボールPS11、PS12は、第6差動信号が流れる差動ペアとなる。

【0045】

そして、これら4つのPCIe信号ボールPS9、PS10、PS11、PS12は、一对の高速差動入力信号と高速差動出力信号からなる第3信号セットに対応した第3半田ボールセットBS3（すなわち第3レーン）を構成する。

【0046】

第13PCIe信号ボールPS13は、PCIe高速差動信号（入力、ポジティブ）4セット目に対応する。第14PCIe信号ボールPS14は、PCIe高速差動信号（入力、ネガティブ）4セット目に対応する。第13及び第14PCIe信号ボールPS13、PS14は、第7差動信号が流れる差動ペアとなる。

【0047】

第15PCIe信号ボールPS15は、PCIe高速差動信号（出力、ポジティブ）4セット目に対応する。第16PCIe信号ボールPS16は、PCIe高速差動信号（出力、ネガティブ）4セット目に対応する。第15及び第16PCIe信号ボールPS15、PS16は、第8差動信号が流れる差動ペアとなる。

【0048】

そして、これら4つのPCIe信号ボールPS13、PS14、PS15、PS16は、一对の高速差動入力信号と高速差動出力信号からなる第4信号セットに対応した第4半田ボールセットBS4（すなわち第4レーン）を構成する。以上を換言すると、本実施形態に係る半導体パッケージ1は、PCIeのレーンを構成する半田ボールセットを4セット有する。

【0049】

ここで、半導体パッケージ1の基板21は、4つの辺を有する。この4つの辺は、第1辺41a、第2辺41b、第3辺41c、及び第4辺41dを含む。半導体パッケージ1が基板21に取り付けられた状態で、第1辺41aは、基板21のなかで最もホストコントローラ5に近い。第1辺41aは、ホストコントローラ5に相対する端部（すなわち縁部）である。第1辺41aは、ホストコントローラ5と略平行に延びている。第2辺41bは、第1辺41aとは反対側に位置する。第3辺41c及び第4辺41dは、第1辺41aと第2辺41bとの間に延びている。

【0050】

本実施形態では、第1乃至第4半田ボールセットBS1、BS2、BS3、BS4は、基板21の第1辺41aの近くに纏めて配置されている。第1乃至第4半田ボールセット

10

20

30

40

50

BS1, BS2, BS3, BS4は、基板21の第1辺41aと基板21の中央部との間に位置する。第1乃至第4半田ボールセットBS1, BS2, BS3, BS4は、基板21の第1辺41aと略平行に並べられている。

【0051】

これにより、第1乃至第4半田ボールセットBS1, BS2, BS3, BS4は、基板21の中央部よりも、ホストコントローラ5の近くに位置する。すなわち、第1乃至第4半田ボールセットBS1, BS2, BS3, BS4は、基板21の中心を第1辺41aと略平行に通る中心線Cと第1辺41aとの間の領域に位置する。

【0052】

さらに言えば、本実施形態では、全てのPCIe信号ボールPS1～PS16は、第1ラインL1に沿って1列に並べられている。第1ラインL1は、基板21の第1辺41aと基板21の中央部との間に位置して、基板21の第1辺41aと略平行に延びている。

【0053】

図10に示すように、回路基板4の複数のパッド32は、複数の半田ボール27の配置に対応して設けられている。回路基板4の複数のパッド32は、PCIe信号ボールPS1～PS16が接続され、ホストコントローラ5との間でPCIe信号が流れる16つのPCIeパッドPSPを含む。

【0054】

回路基板4は、PCIeパッドPSPとホストコントローラ5とを電氣的に接続する16つの信号ライン6（配線パターン）を有する。信号ライン6は、例えば回路基板4の表層に設けられている。信号ライン6は、PCIeパッドPSPからホストコントローラ5に向いて直線状に延びている。信号ライン6は、半導体パッケージ1の基板21の第1辺41aと略直交した方向に延びている。この16つの信号ライン6は、例えば同じ配線長を有する。すなわち、ホストコントローラ5と16つのPCIe信号ボールPS1～PS16との間には信号ライン6の等長性が確保されている。

【0055】

次に、グラウンドボールGの配置について説明する。なお、ここでは説明の便宜上、「PCIe信号ボール」を単に「半田ボール」と読み替える。

【0056】

各半田ボールセットBS1, BS2, BS3, BS4は、其々、差動入力信号に対応した2つの第1半田ボールと、差動出力信号に対応した2つの第2半田ボールとを有する。すなわち、PCIe信号ボールPS1、PS2、PS7、PS8、PS9、PS10、PS13、PS14は、上記第1半田ボールに該当する。一方で、PCIe信号ボールPS3、PS4、PS5、PS6、PS11、PS12、PS15、PS16は、上記第2半田ボールに該当する。

【0057】

グラウンドボールGは、PCIe信号ボールPS1～PS16の周囲に設けられ、いくつかのPCIe信号ボールPS1～PS16の間を電氣的にシールドする。本実施形態では、グラウンドボールGは、半田ボールセットBS1, BS2, BS3, BS4の間、及び、各半田ボールセットBS1, BS2, BS3, BS4において、上記第1半田ボールと上記第2半田ボールとの間に設けられている。

【0058】

すなわち、グラウンドボールGは、差動ペアと差動ペアとの間に設けられている。これにより、其々複数の差動入力信号と差動出力信号とが互いに独立するように電氣的にシールドされ、信号の相互干渉や外来ノイズの影響が抑制されている。

【0059】

また、いくつかのグラウンドボールGは、信号ライン6とは反対側からPCIe信号ボールPS1～PS16に面する。これにより、上述の8つの差動信号が他の信号から独立するように電氣的にシールドされ、信号の相互干渉や外来ノイズの影響が抑制されている。

【0060】

10

20

30

40

50

図 8 に示すように、半田ボール 27 の第 3 郡 G 3 は、複数のサーマルボール T を含む。第 3 郡 G 3 は、第 2 郡 G 2 のさらに外側に位置する。第 3 郡 G 3 は、第 2 郡 G 2 と基板 21 の外周縁（4 つの辺 41 a, 41 b, 41 c, 41 d）との間に位置する。すなわち、複数のサーマルボール T は、第 1 乃至第 4 半田ボールセット B S 1 ～ B S 4 よりも、基板 21 の外周縁の近くに位置する。

【0061】

サーマルボール T は、基板 21 の第 1 辺 41 a と第 1 乃至第 4 半田ボールセット B S 1 ～ B S 4 との間の領域において、基板 21 の第 1 辺 41 a と略直交した方向で、第 1 乃至第 4 半田ボールセット B S 1 ～ B S 4 と並ぶ領域を避けて配置されている。すなわち、サーマルボール T は、信号ライン 6 が通る領域を避けて配置されている。これにより、信号

10

【0062】

別の観点で見れば、サーマルボール T は、PCIe 信号ボール P S 1 ～ P S 16 の間に位置したグラウンドボール G に対して、基板 21 の第 1 辺 41 a と略直交した方向で並ぶ領域に配置されている。サーマルボール T は、複数の信号ライン 6 の間及び信号ライン 6 の両側に位置する。サーマルボール T は、例えば基板 21 のグラウンド層 29 に電氣的に接続され、電氣的なシールドとして信号ライン 6 に流れる信号の相互干渉や外来ノイズの影響を抑制することに寄与する。

【0063】

20

図 7 及び図 8 に示すように、基板 21 は、第 1 領域 43 a と、第 2 領域 43 b とを有する。第 1 領域 43 a は、平面視においてコントローラチップ 11 に重なる領域（すなわちコントローラチップ 11 の投射領域）である。一方で、第 2 領域 43 b は、第 1 領域 43 a の外側に位置した領域である。

【0064】

ここで、第 2 領域 43 b におけるサーマルボール T の配置密度は、第 1 領域 43 a におけるサーマルボール T の配置密度よりも高い。なお「配置密度」とは、各領域に配置されたサーマルボール T の数を各領域の面積で割ったものである。

【0065】

図 10 に示すように、回路基板 4 のパッド 32 は、サーマルボール T が接続されるサーマルパッド T P を含む。サーマルパッド T P は、例えば回路基板 4 のグラウンド層または電源層（すなわち銅層）に接続されている。なお、サーマルボール T 及びサーマルパッド T P は、基板 21 や回路基板 4 のグラウンド層や電源層に接続されたものに限らない。銅層に接続されていないサーマルボール T やサーマルパッド T P によっても一定の放熱効果が得られる。

30

【0066】

次に、電源ボール P 及びグラウンドボール G の配置について説明する。

図 8 に示すように、複数の電源ボール P 及び複数のグラウンドボール G は、基板 21 の中心に対して略点対称に配置されている。なお、「略点対象」とは、完全に点対称な場合に加えて、例えば少数（例えば 1 つ）のグラウンドボール G が点対称に配置されていない場合

40

【0067】

別の観点では、複数の電源ボール P 及び複数のグラウンドボール G は、そのどちらか一方が基板 21 の中心に対して点対称に配置されていればよい。本実施形態では、複数の電源ボール P は、基板 21 の中心に対して点対称に配置されている。

【0068】

図 10 に示すように、回路基板 4 のパッド 32 は、電源ボール P が接続される電源パッド P P と、グラウンドボール G が接続されるグラウンドパッド G P とを含む。

【0069】

複数の電源ボール P 及び複数のグラウンドボール G が略点対称に配置されることで、半導

50

体パッケージ 1 を正規の向きに対して誤って 180 度回転させて回路基板 4 に取り付けた場合でも、電源ボール P と電源パッド P P、及びグランドボール G とグランドパッド G P との対応関係が維持される。

【0070】

このような構成によれば、高速動作性を向上させた半導体パッケージ 1 を提供することができる。すなわち、例えば高速信号に対応した半田ボールセットが 1 セットしかない場合、高速動作に限界がある。

【0071】

そこで、本実施形態に係る半導体パッケージ 1 は、基板 2 1 と、封止部 3 0 と、コントローラチップ 1 1 と、半導体チップ（例えば半導体メモリチップ 1 2）と、複数の差動信号ボール（例えば PCIe 信号ボール P S 1 ～ P S 1 6）とを備える。前記複数の差動信号ボールの少なくとも一部は、基板 2 1 の第 1 辺 4 1 a と略平行に並べられている。

【0072】

このような構成によれば、高速信号に対応した半田ボールセットの数を増やすことで、送受信できるデータ量を倍増させることができ、これにより高速動作性を向上させることができる。

【0073】

さらに、前記複数の差動信号ボールが基板 2 1 の第 1 辺 4 1 a と略平行に並べられていると、基板 2 1 の第 1 辺 4 1 a をホストコントローラ 5 に向けて半導体パッケージ 1 を配置することで、前記複数の差動信号ボールとホストコントローラ 5 との間の信号ライン 6 の等長性を確保しやすい。このため、半導体パッケージ 1 が送受信する信号品質を高めることができる。

【0074】

別の観点では、複数の差動信号ボールは、差動ペアを基板 2 1 の第 1 辺 4 1 a と略直交した方向に並べ、該複数の差動信号ボールを基板 2 1 の第 1 辺 4 1 a と略平行な 2 列に配置することも考えられる。しかしこの場合、本実施形態のように 0.5mm ピッチで半田ボール 2 7 を並べると、差動信号ボールと信号ライン 6 の配置が密になり、いくつかの信号ライン 6 に急峻な折曲部を設ける必要が生じる。これは、信号品質や信頼性に影響を与える場合がある。

【0075】

一方で、本実施形態では、複数の差動信号ボールが基板 2 1 の第 1 辺 4 1 a と略平行に一列に並べられている。このような構成によれば、複数の差動信号ボールと信号ライン 6 とが密になりにくく、信号ライン 6 に急峻な折曲部を設けることを避けることができる。このため、信号品質や信頼性をさらに高めることができる。

【0076】

本実施形態では、複数のグランドボール G は、複数の差動信号ボールの周囲に設けられていくつかの差動信号ボールの間を電機的にシールドする。これにより、複数の差動信号ボールの信号の相互干渉や外来ノイズの影響を抑制することができ、信号品質を高めることができる。

【0077】

本実施形態では、複数の半田ボール 2 7 は、基板 2 1 のグランド層 2 9 または電源層 2 8 に電氣的に接続された複数のサーマルボール T を含む。このような構成によれば、半導体パッケージ 1 の熱を効率的に回路基板 4 に逃がすことができる。これより、半導体パッケージ 1 の温度上昇を抑制し、半導体パッケージ 1 の高速動作を促進することができる。

【0078】

本実施形態では、複数のサーマルボール T は、複数の半田ボールセット B S 1 ～ B S 4 よりも、基板 2 1 の外周縁の近くに位置する。このような構成によれば、配線レイアウトが疎な基板 2 1 の周辺部を有効活用してサーマルボール T を配置することができる。これにより、半導体パッケージ 1 のレイアウト設計の自由度を向上させることができる。

【0079】

本実施形態では、複数のサーマルボールTは、基板21の第1辺41aと半田ボールセットBS1～BS4との間の領域において、基板21の第1辺41aと略直交した方向で各半田ボールセットBS～BS4と並ぶ領域を避けて配置されている。これにより、回路基板4のパッドPSPから信号ライン6を直線状に引くことができる。すなわち、サーマルボールTを避けるために信号ライン6を迂回させる必要がなくなる。このため、信号品質をさらに向上させることができる。

【0080】

なお、サーマルボールTは、半導体パッケージ1の低コスト化の観点では、基板21の全面にフルで設けられるのではなく、必要十分な少ない個数であることが望ましい。このようにサーマルボールTの個数に上限を設定する場合、相対的に多くのサーマルボールTを基板21の第2領域43bに配置することは、放熱性の観点からも好ましい。

10

【0081】

ここで、複数のサーマルボールTを第1領域43aに集中して配置することも考えられる。一見すると、発熱部品であるコントローラチップ11の直下に位置した第1領域43aに相対的に多くのサーマルボールTを配置した方が良好な放熱性が得られるようにも思われる。

【0082】

しかしながら、本発明者による試験結果によれば、第2領域43bに相対的に多くのサーマルボールTを配置した方が半導体パッケージ1の温度上昇を低く抑えられることが分かった。これは、第1領域43aに加えて第2領域43bにもサーマルボールTを分けて配置すると、半導体パッケージ1の全体の放熱性を高まるためだと推察される。そこで、本実施形態では、第2領域43bに相対的に多くのサーマルボールTを配置し、半導体パッケージ1の放熱性をさらに高めている。

20

【0083】

本実施形態では、複数の半田ボール27は、基板21の電源層28に電氣的に接続された複数の電源ボールPと、基板21のグランド層29に電氣的に接続された複数のグランドボールGとを含む。複数の電源ボールP及び複数のグランドボールGは、基板21の中心に対して略点对称に配置されている。

【0084】

ここで、複数の電源ボールP及び複数のグランドボールGが略点对称に配置されていない場合、正規の向きに対して誤って180度回転させた状態で半導体パッケージ1を基板21に取り付けると、回路基板4の電源パッドPPと半導体パッケージ1のグランドボールGとが接続され、ショートする可能性がある。

30

【0085】

一方で、本実施形態のように複数の電源ボールP及び複数のグランドボールGは、基板21の中心に対して略点对称に配置されていると、正規の向きに対して誤って180度回転させた状態で半導体パッケージ1を基板21に取り付けた場合でも、複数の電源ボールPと複数の電源パッドPP、及び複数のグランドボールGと複数のグランドパッドGPとの対応関係は維持される。このため、ショートが生じる可能性がなく、システム全体および半導体パッケージ1の損傷を防止することができる。

40

【0086】

(第2実施形態)

次に、図11乃至図16を参照して、第2実施形態に係る半導体パッケージ1について説明する。なお、第1実施形態の構成と同一または類似の機能を有する構成は、同一の符号を付してその説明を省略する。また、下記に説明する以外の構成は、第1実施形態と同じである。

【0087】

図11は、本実施形態に係る半田ボール27のアサインを示す。図12は、図11中のF12で囲まれた部分を拡大して示す。図11及び図12に示すように、本実施形態では、複数のPCIe信号ボールPS1～PS16は、第1ラインL1と、一対の第2ラインL2

50

a, L 2 b とに沿って並べられている。第 1 ライン L 1 は、基板 2 1 の第 1 辺 4 1 a と基板 2 1 の中央部との間に位置して、基板 2 1 の第 1 辺 4 1 a と略平行である。一对の第 2 ライン L 2 a, L 2 b は、第 1 ライン L 1 の両端部から基板 2 1 の第 1 辺 4 1 a から離れる方向に延びている。

【0088】

つまり、複数のPCIe信号ボール P S 1 ~ P S 1 6 のなかで最も外側に位置したいいくつかのPCIe信号ボール P S 1, P S 2, P S 1 5, P S 1 6 は、第 1 ライン L 1 とは交差した（例えば略直交した）第 2 ライン L 2 a, L 2 b に沿うように向きを変えて並べられている。なお、一对の第 2 ライン L 2 a, L 2 b は、この名称に限定されるものではなく、例えば第 2 ライン L 2 a 及び第 3 ライン L 2 b と称してもよい。

10

【0089】

本実施形態では、第 2 及び第 3 ボールセット B S 2, B S 3 のPCIe信号ボール P S 5 ~ P S 1 2 は、第 1 ライン L 1 に沿って一列に配置されている。一方で、第 1 及び第 4 ボールセット B S 1, B S 4 のPCIe信号ボール P S 1 ~ P S 4, P S 1 2 ~ P S 1 6 は、第 2 及び第 3 ボールセット B S 2, B S 3 の両側に位置するとともに、其々少なくとも一部が一对の第 2 ライン L 2 a, L 2 b に沿って配置されている。

【0090】

本実施形態においても、第 1 乃至第 4 半田ボールセット B S 1, B S 2, B S 3, B S 4 の全てのPCIe信号ボール P S 1 ~ P S 1 6 は、基板 2 1 の中心を第 1 辺 4 1 a と略平行に通る中心線 C と第 1 辺 4 1 a との間の領域に位置する。

20

【0091】

詳しく述べると、枠状に配置された第 2 郡 G 2 は、第 1 部分 6 1（第 1 辺）、第 2 部分 6 2（第 2 辺）、第 3 部分 6 3（第 3 辺）、及び第 4 部分 6 4（第 4 辺）を有する。第 1 部分 6 1 は、第 1 ライン L 1 に沿って並べられている。第 2 部分 6 2 は、第 1 部分 6 1 の第 1 端部から第 1 部分 6 1 とは略直交した方向に並べられている。

【0092】

第 3 部分 6 3 は、前記第 1 端部とは反対側に位置した第 1 部分 6 1 の第 2 端部から第 1 部分 6 1 とは略直交した方向に並べられている。第 2 部分 6 2 と第 3 部分 6 3 とは、第 1 郡 G 1 の両側に分かれて位置する。第 4 部分 6 4 は、第 1 部分 6 1 と略平行に並べられている。第 4 部分 6 4 は、第 2 部分 6 2 と第 3 部分 6 3 との間に亘る。第 1 部分 6 1 と第 4 部分 6 4 とは、第 1 郡 G 1 の両側に分かれて位置する。

30

【0093】

本実施形態では、第 2 及び第 3 ボールセット B S 2, B S 3 のPCIe信号ボール P S 5 ~ P S 1 2 は、第 1 部分 6 1 に位置して一列に並べられている。また、第 1 ボールセット B S 1 の 2 つのPCIe信号ボール P S 3, P S 4 は、第 1 部分 6 1 に並べられている。第 3 ボールセット B S 4 の 2 つのPCIe信号ボール P S 1 2, P S 1 3 は、第 1 部分 6 1 に並べられている。

【0094】

一方で、第 1 ボールセット B S 1 の 2 つのPCIe信号ボール P S 1, P S 2 は、第 1 部分 6 1 に繋がる第 2 部分 6 2 の端部に並べられている。同様に、第 4 ボールセット B S 4 の 2 つのPCIe信号ボール P S 1 5, P S 1 6 は、第 1 部分 6 1 に繋がる第 3 部分 6 3 の端部に並べられている。

40

【0095】

これにより、複数のPCIe信号ボール P S 1 ~ P S 1 6 は、第 1 ライン L 1 に沿って配置された複数の第 1 差動ペアと、一对の第 2 ライン L 2 a, L 2 b に沿って配置された第 2 差動ペアとを含む。つまり、PCIe信号ボール（P S 3, P S 4）、（P S 5, P S 6）、（P S 7, P S 8）、（P S 9, P S 1 0）、（P S 1 1, P S 1 2）、（P S 1 3, P S 1 4）は、其々、第 1 差動ペアの一例である。一方で、PCIe信号ボール（P S 1, P S 2）、（P S 1 5, P S 1 6）は、其々、第 2 差動ペアの一例である。

【0096】

50

ここで、各第2差動ペアは、第1ボールAと、第2ボールBとを含む。第2ボールBは、第1ボールAに比べて、基板21の第1辺41aから遠くに位置する。本実施形態では、PCIe信号ボールPS2、PS15は、第1ボールAの一例である。PCIe信号ボールPS1、PS16は、第2ボールBの一例である。

【0097】

図13は、本実施形態に係る回路基板4のパッド32の配置を示す。図13に示すように、信号ライン6は、第2差動ペアを構成するPCIe信号ボール（PS1、PS2）、（PS15、PS16）とホストコントローラ5との間に延びた4本の信号ライン6a、6bを含む。これら4本の信号ライン6a、6bは、PCIeパッドPSPから基板21の第1辺41aと略平行に延びるとともに、曲線状に曲がる部分を有し、ホストコントローラ5に向いて基板の第1辺41aと略直交した方向に延びている。

10

【0098】

具体的には、信号ライン6は、第1ボールAとホストコントローラ5との間の延びた第1信号ライン6aと、第2ボールBとホストコントローラ5との間の延びた第2信号ライン6bとを含む。第1信号ライン6aは、第1曲線部71を有する。第2信号ライン6bは、例えば第1曲線部71よりも大きな曲率半径で、第1曲線部71の外側に位置した第2曲線部72を有する。第1及び第2の曲線部71、72は、例えば1/4円の円弧状に形成されている。

【0099】

本実施形態では、複数のグランドボールG及び複数のサーマルボールTを含む全ての半田ボール27は、曲線部71、72を有した第1及び第2信号ライン6a、6bを避けた領域に配置されている。

20

【0100】

図14は、第2差動ペアを構成する第1及び第2ボールA、Bとホストコントローラ5との間の信号ライン6の配線長を模式的に示す。なお、説明の便宜上、第1ボールAと第2ボールBとで配線長への影響が同じ部分については距離を詰めて示す。

【0101】

図14に示すように、本実施形態では、第1ボールAと第2ボールBとの間の距離を2とした場合、第1信号ライン6aと第2信号ライン6bとの配線長の違いは、 $\pi/2$ （約1.5705）である。

30

【0102】

次に、図15を参照して、信号ライン6の第1変形例を説明する。なお、上記実施形態と同一または類似の機能を有する構成は、同じ符号を付してその説明を省略する。

【0103】

信号ライン6は、第2差動ペアを構成するPCIe信号ボール（PS1、PS2）、（PS15、PS16）とホストコントローラ5との間に延びた4本の信号ライン6a、6bを含む。これら4本の信号ライン6a、6bは、PCIeパッドPSPから基板21の第1辺41aと略平行に延びるとともに、基板21の第1辺41aに対して斜めに延びた部分を有し、ホストコントローラ5に向いて基板の第1辺41aと略直交した方向に延びている。

【0104】

40

具体的には、第1信号ライン6aは、基板21の第1辺41aに対して斜めに延びた第1斜線部73を有する。第2信号ライン6bは、例えば第1斜線部73と略平行で、第1斜線部73の外側に位置した第2斜線部74を有する。第1及び第2斜線部73、74は、例えば基板21の第1辺41aに対して45°の角度で傾いている。

【0105】

本実施形態では、複数のグランドボールG及び複数のサーマルボールTを含む全ての半田ボール27は、斜線部73、74を有した第1及び第2信号ライン6a、6bを避けた領域に配置されている。

【0106】

図15は、本変形例において、第2差動ペアを構成する第1及び第2ボールA、Bとホ

50

ストコントローラ5との間の信号ライン6の配線長を模式的に示す。なお、説明の便宜上、第1ボールAと第2ボールBとで配線長への影響が同じ部分については距離を詰めて示す。

【0107】

図15に示すように、本実施形態では、第1ボールAと第2ボールBとの間の距離を2とした場合、第1信号ライン6aと第2信号ライン6bとの配線長の違いは、 $2\sqrt{2}$ （約2.828）である。

【0108】

次に、図16を参照して、信号ライン6の第2変形例を説明する。なお、上記実施形態と同一または類似の機能を有する構成は、同じ符号を付してその説明を省略する。

10

【0109】

信号ライン6は、第2差動ペアを構成するPCIe信号ボール（PS1、PS2）、（PS15、PS16）とホストコントローラ5との間に延びた4本の信号ライン6a、6bを含む。これら4本の信号ライン6a、6bは、PCIeパッドPSPから基板21の第1辺41aと略平行に延びるとともに、略直角に曲げられ、ホストコントローラ5に向いて基板21の第1辺41aとは略直交した方向に延びている。複数のグランドボールG及び複数のサーマルボールTを含む全ての半田ボール27は、第1及び第2信号ライン6a、6bを避けた領域に配置されている。

【0110】

図16は、本変形例において、第2差動ペアを構成する第1及び第2ボールA、Bとホストコントローラ5との間の信号ライン6の配線長を模式的に示す。なお、説明の便宜上、第1ボールAと第2ボールBとで配線長への影響が同じ部分については距離を詰めて示す。

20

【0111】

図16に示すように、本実施形態では、第1ボールAと第2ボールBとの間の距離を2とした場合、第1信号ライン6aと第2信号ライン6bとの配線長の違いは、4である。

【0112】

以上説明した第2実施形態及びその変形例のような構成によれば、第1実施形態と同様に、高速動作性を向上させることができるとともに、さらに差動信号ボールの接続信頼性を向上させることができる半導体パッケージ1を提供することができる。

30

【0113】

一般的に、基板21の周端部は、例えば半導体パッケージ1の実装時の熱応力で、半田ボール27の接続信頼性が低くなる可能性がある領域である。そのため、基板21の周端部の近くに差動信号ボールを配置すると、その差動信号ボールの接続信頼性が低くなる可能性がある。

【0114】

そこで本実施形態では、複数の差動信号ボール（例えばPCIe信号ボールPS1～PS16）は、基板21の第1辺41aと略平行な第1ラインL1と、該第1ラインL1の両端部から基板21の第1辺41aから離れる方向に延びた一对の第2ラインL2a、L2bとに沿って並べられている。

40

【0115】

このような構成によれば、例えば第1実施形態の構造に比べて、全ての差動信号ボールを基板21の周端部から離して配置することができる。このため、差動信号ボールの接続信頼性を高めることができる。

【0116】

本実施形態では、複数の差動信号ボールは、第1ラインL1に沿って配置された複数の第1差動ペアと、一对の第2ラインL2a、L2bに沿って配置された第2差動ペアとを含む。このような構成によれば、上記第2差動ペアの信号ライン6a、6bの等長性を確保しやすい。このため、第2ラインL2a、L3bに沿って配置された差動信号ボールが送受信する信号の信号品質を高めることができる。

50

【0117】

本実施形態では、第1及び第2信号ライン6a, 6bは、PCIeパッドPSPから基板21の第1辺41aと略平行に延びるとともに、曲線部71, 72を有してホストコントローラ5に向いて延びている。このような構成によれば、例えば本実施形態の上記第2変形例の構造に比べて、第1及び第2信号ライン6a, 6bの配線長の違いを小さくすることができる。そのため、第2ラインL2a, L2bに沿って配置された差動ペアが送受信する信号の信号品質を高めることができる。

【0118】

同様に、本実施形態の上記第1変形例に係る第1及び第2信号ライン6a, 6bは、PCIeパッドPSPから基板21の第1辺41aと略平行に延びるとともに、斜線部73, 74を有してホストコントローラ5に向いて延びている。このような構成によれば、例えば上記第2変形例の構造に比べて、第1及び第2信号ライン6a, 6bの配線長の違いを小さくすることができる。そのため、第2ラインL2a, L2bに沿って配置された差動ペアが送受信する信号の信号品質を高めることができる。

【0119】

(第3実施形態)

次に、図17乃至図19を参照して、第3実施形態に係る半導体パッケージ1について説明する。なお、第1及び第2実施形態の構成と同一または類似の機能を有する構成は、同一の符号を付してその説明を省略する。また、下記に説明する以外の構成は、第2実施形態と同じである。

【0120】

図17は、本実施形態に係る半田ボール27のアサインを示す。図18は、図17中のF18で囲まれた部分を拡大して示す。図19は、本実施形態に係るパッド32の配置を示す。

【0121】

本実施形態では、第2差動ペアを構成するPCIe信号ボール(P S 1, P S 2)、(P S 1 5, P S 1 6)は、上記第2実施形態と同様に、第1ボールAと、該第1ボールAよりも基板21の第1辺41aから遠くに位置した第2ボールBとを有する。

【0122】

本実施形態では、第1ボールAは、例えば基板21の第1辺41aと略平行な方向で、第2ボールBに対して基板21の内側(中央側)にずれて配置されている。なお、「第2ボールに対して基板の内側(中央側)にずれて配置されている」とは、第1ボールAが、第2ボールBに対して、第2郡G2の第1部分61の中央部に向いてずれて配置されていることを意味する。換言すれば、第1ボールAが、第2ボールBに対して、基板21の第1辺41aの中央部に向いてずれて配置されていることを意味する。

【0123】

さらに別の表現で言えば、第2郡G2において半田ボール27が2列の枠状(2重の枠状)に並べられている場合、第2ボールBは、外側の枠に位置し、第1ボールAは、内側の枠に位置する。

【0124】

図19に示すように、第1信号ライン6aは、第1ボールAと第1曲線部71との間に第1直線部81を有する。第1直線部81は、基板21の第1辺41aと略平行に延びている。第2信号ライン6bは、第2ボールBと第2曲線部72との間に第2直線部82を有する。第2直線部82は、基板21の第1辺41aと略平行に延びている。第1直線部81は、第2直線部82よりも長い。

【0125】

図19に示すように、第1ボールAと第2ボールBとの間の距離を2とし、第2ボールBに対して第1ボールAが基板21の内側に距離2だけずれて配置された場合、第1信号ライン6aと第2信号ライン6bとの配線長の違いは、 $-2 + \pi/2$ (約-0.4295)である。

【0126】

このような構成によれば、第1実施形態と同様に、高速動作性を向上させることができる半導体パッケージ1を提供することができる。また、上記構成によれば、上記第2実施形態と同様に、全ての差動信号ボールを基板21の周端部から離して配置することができるため、差動信号ボールの接続信頼性を高めることができる。

【0127】

本実施形態では、第1ボールAは、第2ボールBに対して基板21の内側（中央側）にずれて配置されている。このような構成によれば、例えば第2実施形態の構造に比べて、第1及び第2信号ライン6a、6bの等長性を確保しやすい。これにより、第2ラインL2a、L2bに沿って配置された差動ペアが送受信する信号の信号品質を高めることができる。

10

【0128】

（第4実施形態）

次に、図20乃至図22を参照して、第4実施形態に係る半導体パッケージ1について説明する。なお、第1乃至第3実施形態の構成と同一または類似の機能を有する構成は、同一の符号を付してその説明を省略する。また、下記に説明する以外の構成は、第3実施形態と同じである。

【0129】

図20は、本実施形態に係る半田ボール27のアサインを示す。図21は、図20中のF21で囲まれた部分を拡大して示す。図21は、本実施形態に係るパッド32の配置を示す。

20

【0130】

本実施形態では、複数のPCIe信号ボールPS1～PS16は、第1ラインL1に沿って並べられた複数の第1差動ペアと、一对の第2ラインL2a、L2bの其々に沿って配置された複数の第2差動ペアとを含む。すなわち、本実施形態では、一つの第2ラインL2aに沿って複数の第2差動ペアが配置されている。また、他方の第2ラインL2bに沿って複数の第2差動ペアが配置されている。

【0131】

具体的には、一方の第2ラインL2aに沿って、第1半田ボールセットBS1の2つの差動ペア（PS1、PS2）、（PS3、PS4）が配置されている。他方の第2ラインL2bに沿って、第4半田ボールセットBS4の2つの差動ペア（PS13、PS14）、（PS15、PS16）が配置されている。

30

【0132】

ここでは、一方の第2ラインL2aに沿って配置された差動ペアの信号ライン6について説明する。なお、他方の第2ラインL2bに沿って配置された差動ペアも略同じ構成を有する。

【0133】

信号ライン6は、一つの差動ペア（PS3、PS4）に対応した第1信号ライン6a及び第2信号ライン6bと、他方の差動ペア（PS1、PS2）に対応した第3信号ライン6cと第4信号ライン6dとを有する。

40

【0134】

第1信号ライン6aは、一つの差動ペア（PS3、PS4）の第1ボールAとホストコントローラ5との間に延びている。第2信号ライン6bは、同じ差動ペア（PS3、PS4）の第2ボールBとホストコントローラ5との間に延びている。

【0135】

第3信号ライン6cは、他方の差動ペア（PS1、PS2）の第1ボールAとホストコントローラ5との間に延びている。第4信号ライン6dは、同じ差動ペア（PS1、PS2）の第2ボールBとホストコントローラ5との間に延びている。

【0136】

第1信号ライン6aは、第1曲線部71を含む。第2信号ライン6bは、例えば第1曲

50

線部 7 1 よりも大きな曲率半径で、第 1 曲線部 7 1 の外側に位置した第 2 曲線部 7 2 を有する。第 3 信号ライン 6 c は、第 2 曲線部 7 2 の外側に位置した第 3 曲線部 9 1 を有する。なお、第 3 曲線部 9 1 は、第 2 曲線部 7 2 よりも大きな曲率半径を有してもよいが、そうでなくてもよい。第 4 信号ライン 6 d は、例えば第 3 曲線部 9 1 よりも大きな曲率半径で、第 3 曲線部 9 1 の外側に位置した第 4 曲線部 9 2 を有する。

【0137】

このような構成によれば、第 1 実施形態と同様に、高速動作性を向上させることができる半導体パッケージ 1 を提供することができる。

【0138】

本実施形態では、複数の差動信号ボールは、第 1 ライン L 1 に沿って並べられた複数の第 1 差動ペアと、第 2 ライン L 2 a, L 2 b に沿って配置された複数の第 2 差動ペアとを含む。このような構成によれば、例えば第 2 実施形態の構造に比べて、全ての差動信号ボールを基板 2 1 の周端部からさらに離して配置することができる。このため、差動信号ボールの接続信頼性をさらに高めることができる。

【0139】

なお、本発明は上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具現化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

【0140】

例えば、上記第 3 実施形態に係る半導体パッケージ 1 の第 3 及び第 4 信号ライン 6 c, 6 d として、上記第 2 実施形態の第 1 及び第 2 変形例のような信号ラインの形状を採用してもよい。

【符号の説明】

【0141】

1 … 半導体パッケージ、4 … 回路基板、5 … ホストコントローラ、6 … 信号ライン、11 … コントローラチップ、12 … 半導体メモリチップ、21 … 基板（パッケージ基板）、21 a … 第 1 面、21 b … 第 2 面、27 … 半田ボール、28 … 電源層、29 … グランド層、30 … 封止部、BS ～ BS 4 … 半田ボールセット、PSP 1 ～ 16 … PCIe 信号ボール、P … 電源ボール、G … グランドボール、T … サーマルボール（放熱ボール）、A … 第 1 ボール、B … 第 2 ボール、L 1 … 第 1 ライン、L 2 a, L 2 b … 第 2 ライン、7 1, 7 2 … 曲線部、7 3, 7 4 … 斜線部

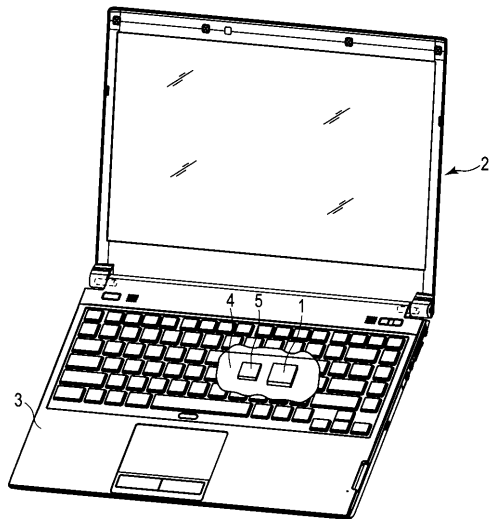
10

20

30

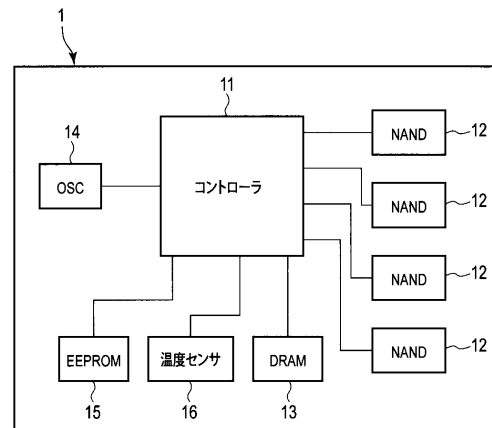
【図 1】

図 1



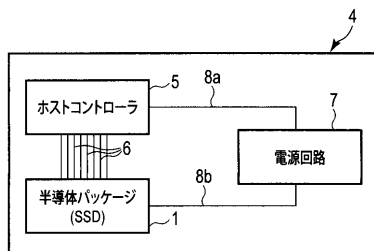
【図 3】

図 3



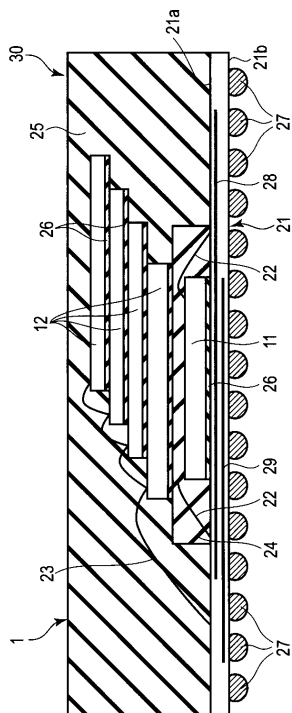
【図 2】

図 2



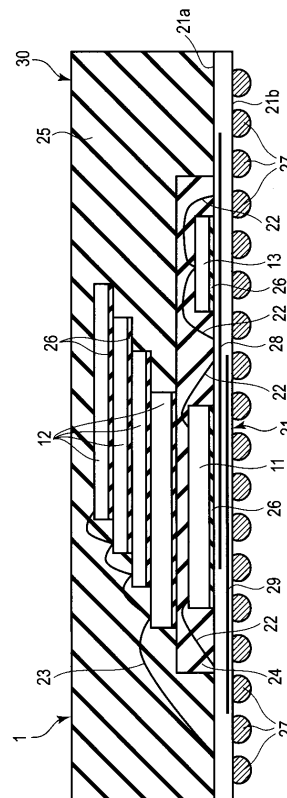
【図 4】

図 4



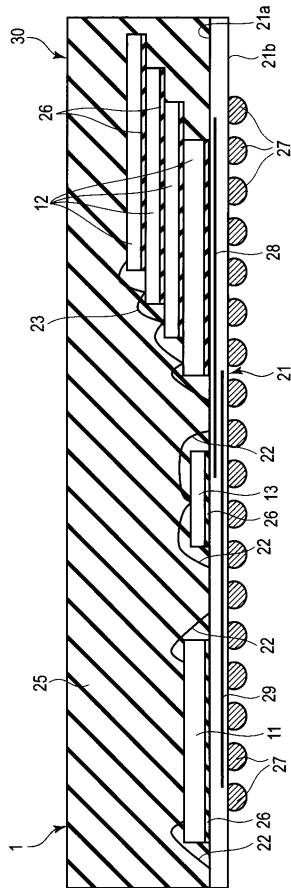
【図 5】

図 5



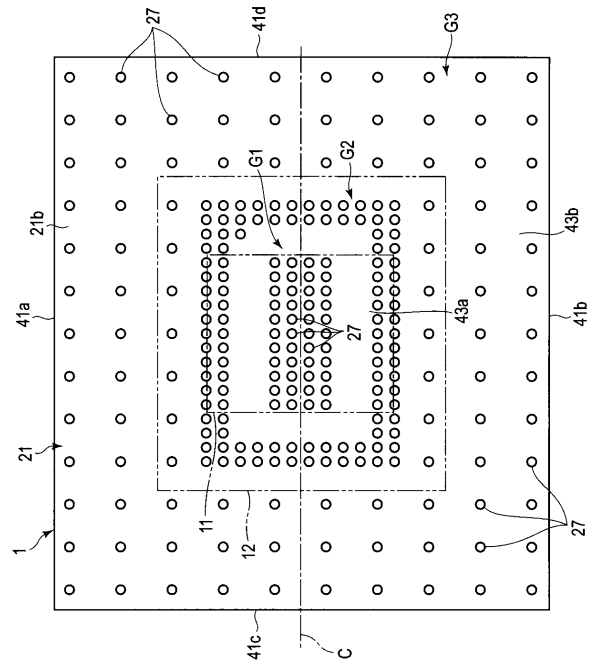
【図 6】

図 6



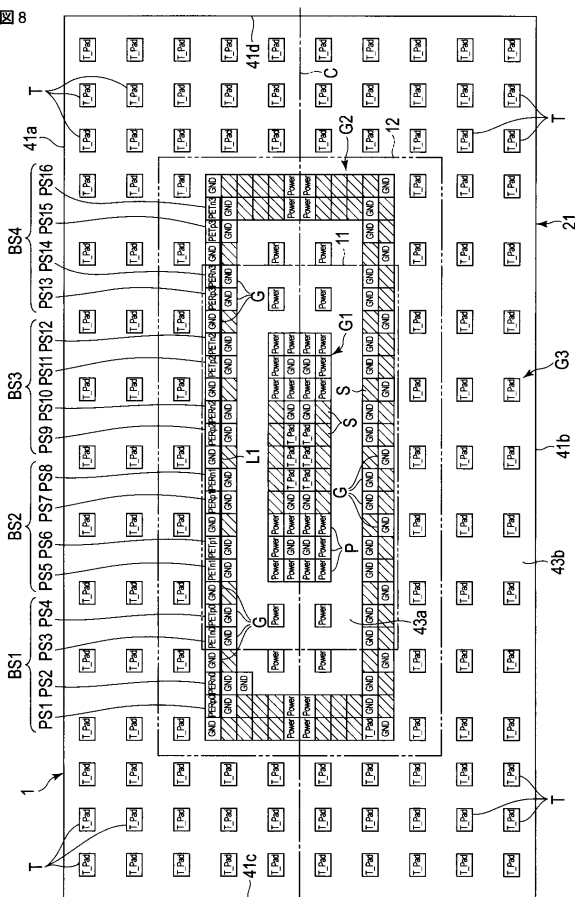
【図 7】

図 7



【図 8】

図 8

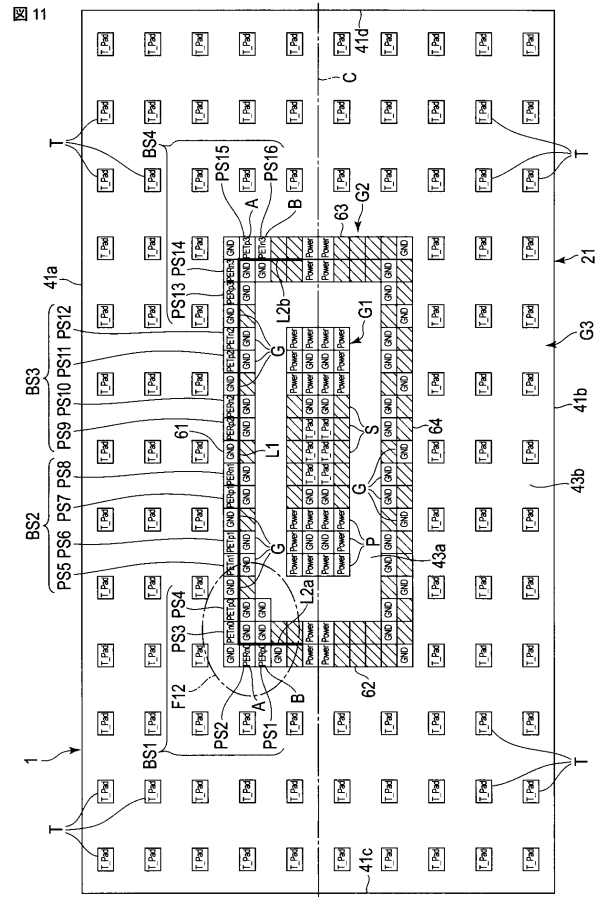


【図 9】

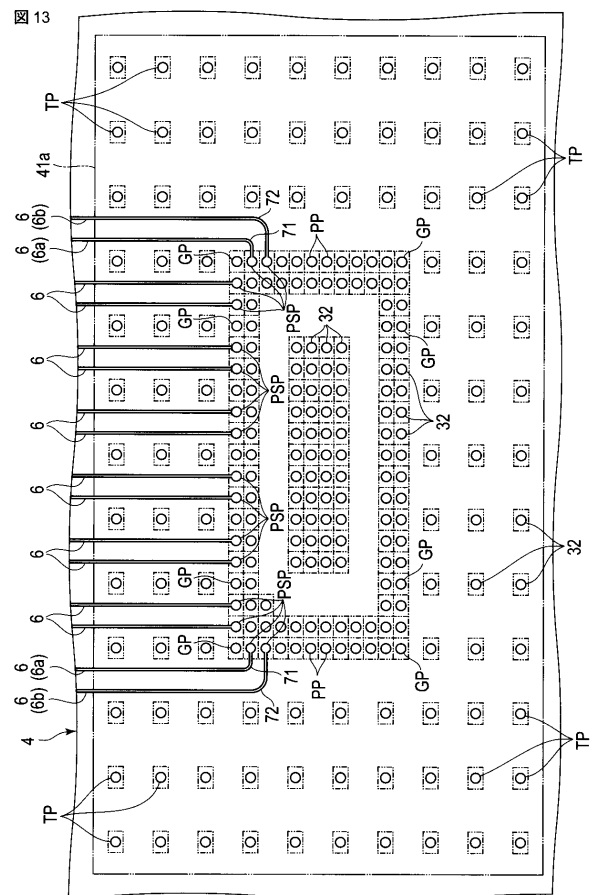
図 9

ボール名	内容
PERp (0)	PCIe高速差動信号(入力) 1セット目
PERn (0)	PCIe高速差動信号(入力) 1セット目
PETp (0)	PCIe高速差動信号(出力) 1セット目
PETn (0)	PCIe高速差動信号(出力) 1セット目
PERp (1)	PCIe高速差動信号(入力) 2セット目
PERn (1)	PCIe高速差動信号(入力) 2セット目
PETp (1)	PCIe高速差動信号(出力) 2セット目
PETn (1)	PCIe高速差動信号(出力) 2セット目
PERp (2)	PCIe高速差動信号(入力) 3セット目
PERn (2)	PCIe高速差動信号(入力) 3セット目
PETp (2)	PCIe高速差動信号(出力) 3セット目
PETn (2)	PCIe高速差動信号(出力) 3セット目
PERp (3)	PCIe高速差動信号(入力) 4セット目
PERn (3)	PCIe高速差動信号(入力) 4セット目
PETp (3)	PCIe高速差動信号(出力) 4セット目
PETn (3)	PCIe高速差動信号(出力) 4セット目

【 図 1 1 】



【 図 1 3 】



【 図 1 5 】

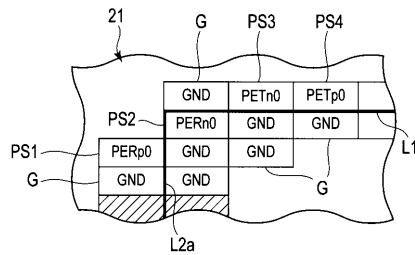
Diagram illustrating a host controller 5 connected to a network 73 via a cable 6a. The cable 6a is connected to a device 74 via a cable 6b. The diagram shows the wiring length calculation for the cable 6a, which is connected to a device 74 via a cable 6b. The calculation is shown in a box:

配線長
 A: $4 + \sqrt{2}$
 B: $4 + 3\sqrt{2}$
 差 $2\sqrt{2}$ (約2.828)

【图 17】

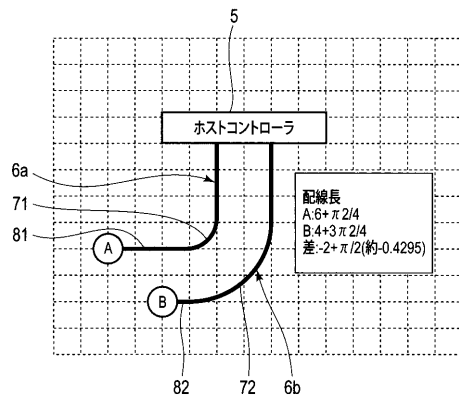
【図 18】

図 18



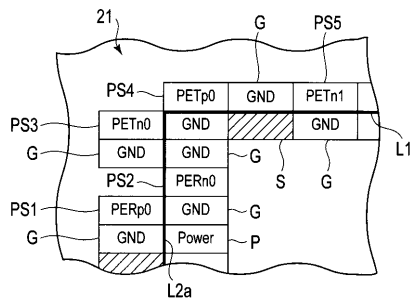
【図 19】

図 19



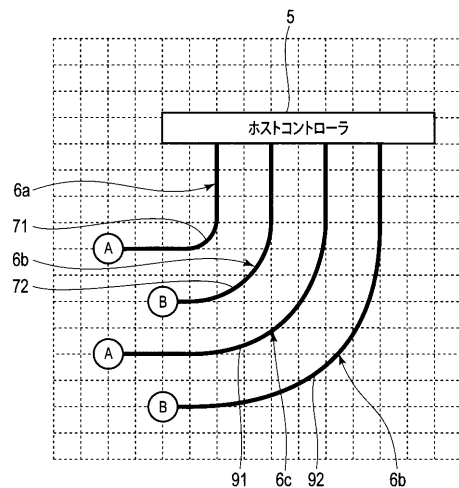
【図 21】

図 21



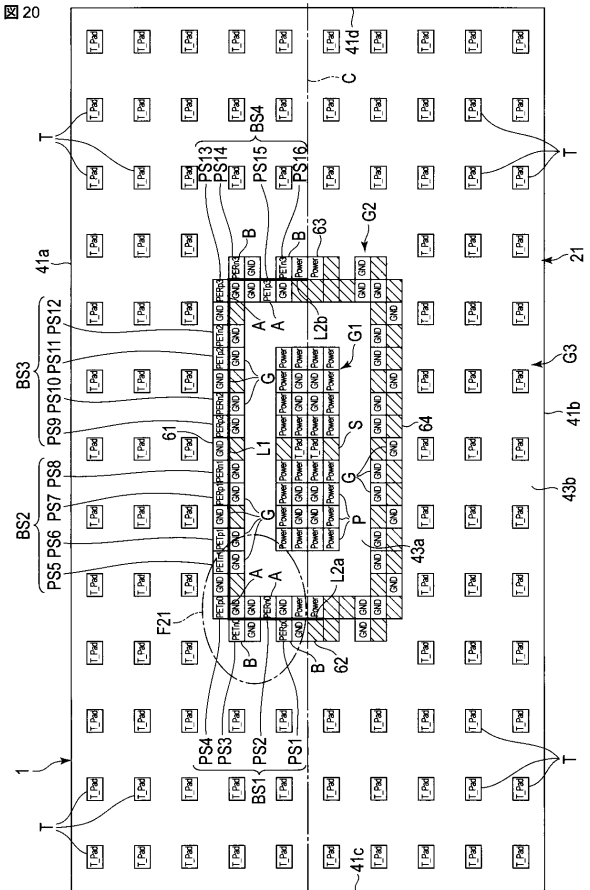
【図 22】

図 22



【図 20】

図 20



フロントページの続き

- (72)発明者 永井 宏一
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
- (72)発明者 村上 克也
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
- (72)発明者 谷本 亮
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内