

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2009-545878

(P2009-545878A)

(43) 公表日 平成21年12月24日 (2009. 12. 24)

(51) Int.Cl.	F I	テーマコード (参考)
H01L 29/786 (2006.01)	H01L 29/78 626C	2H090
H01L 21/336 (2006.01)	H01L 29/78 627D	2H092
G02F 1/1333 (2006.01)	G02F 1/1333 500	3K107
G02F 1/1368 (2006.01)	G02F 1/1368	5F110
H05B 33/02 (2006.01)	H05B 33/02	

審査請求 未請求 予備審査請求 未請求 (全 21 頁) 最終頁に続く

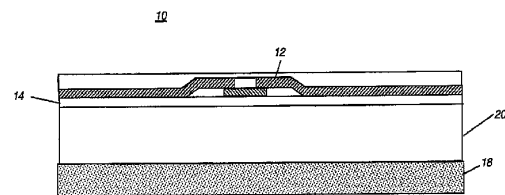
(21) 出願番号	特願2009-522771 (P2009-522771)	(71) 出願人	590000846
(86) (22) 出願日	平成19年7月16日 (2007. 7. 16)		イーストマン コダック カンパニー
(85) 翻訳文提出日	平成21年1月29日 (2009. 1. 29)		アメリカ合衆国 ニューヨーク州 ロチェ
(86) 国際出願番号	PCT/US2007/016085		スター ステート ストリート 343
(87) 国際公開番号	W02008/016479	(74) 代理人	100075258
(87) 国際公開日	平成20年2月7日 (2008. 2. 7)		弁理士 吉田 研二
(31) 優先権主張番号	11/461, 080	(74) 代理人	100096976
(32) 優先日	平成18年7月31日 (2006. 7. 31)		弁理士 石田 純
(33) 優先権主張国	米国 (US)	(72) 発明者	トレッドウェル ティモシー ジョン
			アメリカ合衆国 ニューヨーク フェアボ
			ート カウンティ クレア クレセント
			79

最終頁に続く

(54) 【発明の名称】 電子デバイスが形成されたフレキシブル基板

(57) 【要約】

電子デバイス (10) の製造方法は、プラスチック材料を有する基板 (20) を用意する。微粒子材料 (16) は基板の少なくとも1つの表面内に埋め込まれる。薄膜半導体材料の層は基板 (20) 上に堆積される。



【特許請求の範囲】**【請求項 1】**

電子デバイスの製造方法であって、

- a) 少なくとも 1 つのプラスチック材料を含む基板を用意する工程と、
 - b) 微粒子材料を前記基板の少なくとも 1 つの表面内に埋め込む工程と、
 - c) 前記微粒子材料を有する前記表面上で薄膜電子デバイスを形成する工程と、
- を含む、方法。

【請求項 2】

前記微粒子材料は繊維である、請求項 1 記載の方法。

【請求項 3】

- d) 前記微粒子材料を前記基板の第 2 の表面内に埋め込む工程と、

e) 前記埋め込まれた微粒子材料を有する前記第 2 の表面上に薄膜電子デバイスを形成する工程と、

をさらに含む、請求項 1 記載の方法。

【請求項 4】

前記電子デバイスは 1 つまたは複数の薄膜トランジスタを含む、請求項 1 記載の方法。

【請求項 5】

電子デバイスの製造方法であって、

- a) 少なくとも 1 つのプラスチック材料を含む基板を用意する工程と、
 - b) 微粒子材料を前記基板の少なくとも 1 つの表面内に埋め込む工程と、
 - c) 前記埋め込まれた微粒子材料を有する前記基板表面に平坦化材料を適用し、これにより平坦化層を形成する工程と、
 - d) 前記微粒子材料を有する前記表面上で薄膜電子デバイスを形成する工程と、
- を含む、方法。

【請求項 6】

前記電子デバイスは 1 つまたは複数の薄膜トランジスタを含む、請求項 3 記載の方法。

【請求項 7】

電子デバイスの製造方法であって、

- a) ベース基板として少なくとも 1 つのプラスチック材料を含む基板を用意する工程と、
 - b) 前記ベース基板の少なくとも 1 つの表面上に複合材料をコートし、これにより少なくとも 1 つのコート表面を形成する工程であって、前記複合材料が、少なくとも 1 つのプラスチックバインダ材料と少なくとも 1 つの微粒子材料を含む、工程と、
 - c) 前記少なくとも 1 つのコート表面上で薄膜電子デバイスを形成する工程と、
- を含む、方法。

【請求項 8】

電子デバイスの製造方法であって、

- a) 少なくとも 1 つのプラスチック材料と少なくとも 1 つの微粒子材料を含む基板を用意する工程と、
 - b) 前記基板の少なくとも 1 つの表面を調整し、その表面での微粒子材料のプラスチック材料に対する比率を増加させる工程と、
 - c) 前記少なくとも 1 つの調整表面上で薄膜電子デバイスを形成する工程と、
- を含む、方法。

【請求項 9】

少なくとも 1 つの表面を調整する工程は、前記表面での前記プラスチック材料の化学的除去を含む、請求項 8 記載の方法。

【請求項 10】

少なくとも 1 つの表面を調整する工程は、プラズマエッチングによる前記表面でのプラスチック材料の除去を含む、請求項 8 記載の方法。

【請求項 11】

少なくとも1つの表面を調整する工程は、加熱による前記表面でのプラスチック材料の除去を含む、請求項8記載の方法。

【請求項12】

少なくとも1つの表面を調整する工程は、超臨界CO₂への暴露による前記表面でのプラスチック材料の除去を含む、請求項8記載の方法。

【請求項13】

少なくとも1つの表面を調整する工程は、レーザアブレーションによる前記表面でのプラスチック材料の除去を含む、請求項8記載の方法。

【請求項14】

少なくとも1つの表面を調整する工程は、真空での熱分解による前記表面でのプラスチック材料の除去を含む、請求項8記載の方法。

10

【請求項15】

少なくとも1つの表面を調整する工程は、コロナ放電処理による前記表面でのプラスチック材料の除去を含む、請求項8記載の方法。

【請求項16】

電子デバイスの製造方法であって、

a) ポリテトラフルオロエチレン(PTFE)と、少なくとも1つの微粒子材料を含む基板を用意する工程と、

b) 前記基板の少なくとも1つの表面上で薄膜電子デバイスを形成する工程と、
を含む、方法。

20

【請求項17】

電子デバイスの製造方法であって、

a) ポリテトラフルオロエチレン(PTFE)と、少なくとも1つの他のプラスチック材料と、少なくとも1つの微粒子材料を含む基板を用意する工程と、

b) 前記基板の少なくとも1つの表面上で薄膜電子デバイスを形成する工程と、
を含む、方法。

【請求項18】

電子デバイスの製造方法であって、

a) ポリテトラフルオロエチレン(PTFE)と、少なくとも1つの微粒子材料を含む基板を用意する工程と、

b) 前記基板をキャリアに積層させる工程と、
c) 前記基板上で電子デバイスを形成する工程と、
を含む、方法。

30

【請求項19】

電子デバイスの製造方法であって、

a) ポリテトラフルオロエチレン(PTFE)と、少なくとも1つの微粒子材料と、少なくとも1つの他のプラスチック材料を含む基板を用意する工程と、

b) 前記基板をキャリアに積層させる工程と、
c) 前記基板上で電子デバイスを形成する工程と、
d) 前記電子デバイスを含む前記基板を前記キャリアから層剥離させる工程と、
を含む、方法。

40

【請求項20】

前記少なくとも1つのプラスチック材料はポリイミドである、請求項17記載の方法。

【請求項21】

前記プラスチック材料は、ポリエチレンテレフタレート(HS-PET)、ポリエチレンナフタレート(PEN)、ポリカーボネート(PC)、ポリアリーレート(PAR)、ポリエーテルイミド(PEI)、ポリエーテルスルホン(PES)、ポリイミド(PI)、テフロンポリ(ペルフルオロ-アルボキシ)フルオロポリマー(PFA)、ポリ(エーテルエーテルケトン)(PEEK)、ポリ(エーテルケトン)(PEK)、ポリ(エチレンテトラフルオロエチレン)フルオロポリマー(PETFE)、およびポリ(メチルメタ

50

クリレート)、アクリレート/メタクリレートコポリマー(PMMA)、環状ポリオレフィン類、エチレン-クロロトリフルオロエチレン(E-CTFE)、ポリテトラフルオロエチレン(PTFE)、および高密度ポリエチレン(HDPE)からなる群から選択される、請求項1記載の方法。

【請求項22】

前記微粒子材料は、ガラス、セラミック類、金属類、プラスチック類、およびガラス繊維からなる群より選択される、請求項1記載の方法。

【請求項23】

薄膜電子デバイスを形成する工程は、前記表面上に薄膜半導体材料をスピンコートする工程を含む、請求項5記載の方法。

10

【請求項24】

前記微粒子材料を埋め込む工程は、

a) 前記プラスチック材料を、そのガラス転移温度 T_g 付近の温度まで加熱する工程と、

b) 前記微粒子材料を前記プラスチック材料に適用する工程と、
を含む、請求項1記載の方法。

【請求項25】

誘電材料を前記基板の前記少なくとも1つの表面上に堆積させる工程をさらに含む、請求項1記載の方法。

【請求項26】

前記誘電材料はスピンオンガラスを含む、請求項25記載の方法。

20

【請求項27】

前記微粒子材料は、1つまたは2つの方向に関し実質的に整合されている粒子を含む、請求項1記載の方法。

【請求項28】

前記微粒子材料は磁気を帯びている、請求項1記載の方法。

【請求項29】

前記微粒子材料は強磁性材料を含む、請求項1記載の方法。

【請求項30】

前記微粒子材料は導電性である、請求項1記載の方法。

30

【請求項31】

前記プラスチック材料は1を超えるプラスチックの組み合わせを含む、請求項1記載の方法。

【請求項32】

前記基板をキャリアから除去する工程をさらに含む、請求項1記載の方法。

【請求項33】

前記微粒子材料は繊維、ロッド、または板状晶からなる群より選択される、請求項1記載の方法。

【請求項34】

前記基板を別のデバイス上に積層させる工程をさらに含む、請求項1記載の方法。

40

【請求項35】

電子デバイスの製造方法であって、

a) プラスチック材料と、少なくとも1つの微粒子材料を含む基板を用意する工程と、

b) 前記基板をキャリア層上に載置する工程と、

c) 薄膜半導体材料を堆積するために前記基板の前記表面を調整する工程と、

d) 前記基板上に薄膜半導体材料の層を堆積させる工程と、

e) 前記半導体材料の一部を選択的に除去することによりパターンを形成する工程と、
を含む、方法。

【請求項36】

e) 熱を用いて、前記基板を前記キャリア層から除去する工程

50

をさらに含む、請求項 3 5 記載の方法。

【請求項 3 7】

前記プラスチック材料は実質的に透明である、請求項 1 記載の方法。

【請求項 3 8】

前記プラスチック材料の屈折率は、前記微粒子材料の屈折率と実質的に等しい、請求項 3 7 記載の方法。

【請求項 3 9】

前記プラスチック材料の屈折率は、前記微粒子材料の屈折率と 0 . 1 を超えて異なる、請求項 3 7 記載の方法。

【請求項 4 0】

前記プラスチック材料は実質的に不透明である、請求項 1 記載の方法。

【請求項 4 1】

前記プラスチック材料は光吸収着色剤を含む、請求項 1 記載の方法。

【請求項 4 2】

前記微粒子材料は光吸収着色剤を含む、請求項 1 記載の方法。

【請求項 4 3】

前記平坦化材料は光吸収着色剤を含む、請求項 5 記載の方法。

【請求項 4 4】

電子デバイスの製造方法であって、

- a) 少なくとも 1 つのプラスチック材料を含む基板を用意する工程と、
- b) 前記基板の少なくとも 1 つの表面上でパターンを形成する工程と、
- c) 微粒子材料を前記基板の前記少なくとも 1 つの表面内に埋め込む工程と、
- d) 前記埋め込まれた微粒子材料を有する前記基板の前記表面に平坦化材料を適用し、これにより平坦化層を形成する工程と、
- e) 前記微粒子材料を有する前記表面上で薄膜電子デバイスを形成する工程と、を含む、方法。

【請求項 4 5】

パターンを形成する工程は、エンボス加工を含む、請求項 4 4 記載の方法。

【請求項 4 6】

前記パターンは 1 つまたは複数のレンズ要素を含む、請求項 4 4 記載の方法。

【請求項 4 7】

前記 1 つまたは複数のレンズ要素は、前記表面上に形成された前記薄膜電子デバイスと空間的に整合される、請求項 4 4 記載の方法。

【請求項 4 8】

前記基板を用意する工程は、前記基板をロールから解く工程を含む、請求項 1 記載の方法。

【請求項 4 9】

その上に形成された電子デバイスを有する前記基板をロール上に巻き戻す工程をさらに含む、請求項 4 8 記載の方法。

【請求項 5 0】

前記表面上に形成された電子デバイスを液晶画素と結合させる工程をさらに含む、請求項 1 記載の方法。

【請求項 5 1】

前記表面上に形成された電子デバイスを発光ダイオード画素と結合させる工程をさらに含む、請求項 1 記載の方法。

【請求項 5 2】

前記表面上に形成された電子デバイスを有機発光ダイオード画素と結合させる工程をさらに含む、請求項 1 記載の方法。

【請求項 5 3】

前記表面上に形成された電子デバイスを刺激可能な蛍光体画素と結合させる工程をさら

10

20

30

40

50

に含む、請求項 1 記載の方法。

【請求項 54】

前記表面上に形成された電子デバイスをセンサ画素と結合させる工程をさらに含む、請求項 1 記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般的には電子デバイスに関し、より特定的にはフレキシブル基板上に作製された電子デバイスに関する。

【背景技術】

【0002】

薄膜トランジスタ (TFT) デバイスは電気光学アレイおよびディスプレイパネルのためのスイッチング回路またはドライバ回路において広く使用されている。TFT デバイスは従来、剛性基板上、典型的にはガラスまたはシリコンの上に、周知の順の堆積 (デポジション) 工程、パターニング工程およびエッチング工程を用いて作製される。例えば、アモルファスシリコン TFT デバイスは、金属 (例えば、アルミニウム、クロムまたはモリブデン) の、アモルファスシリコン半導体の、絶縁体 (例えば、 SiO_2 または Si_3N_4) の、基板上への堆積、パターニング、およびエッチングを必要とする。半導体薄膜は、数 nm ~ 数百 nm の典型的な厚さを有する層形態で形成され、数 μm のオーダーの厚さの中間層を有し、剛性基板の上に存在する絶縁表面上に形成されてもよい。

【0003】

剛性基板に対する要件は、主に製造プロセス自体の要求に基づく。TFT デバイスはかなり高い温度で作製されるので、熱的特性は特に重要である。このように、使用に成功した基板材料の範囲は幾分制限され、一般的には、ガラス、石英、または他の剛性のシリコン系材料に限定される。

【0004】

TFT デバイスは、いくつかの型の金属箔およびプラスチック基板上に形成することができ、作製においてある程度の可撓性が得られる。しかしながら、基板と TFT 材料との間の化学的不適合性、基板とデバイス層との間の熱膨張不一致、平面性および表面形態、ならびに容量結合または可能性のある短絡などの問題により、多くの用途では、金属箔基板は望ましくない。

【0005】

明らかに、改善された特性を有するより多くの型のプラスチックおよびプラスチック材料を含むように、TFT などの電子デバイスのために適した基板材料の範囲を改善し、拡大することは好都合である。これにより、フレキシブル基板上での作製が可能になり、ディスプレイおよび他の電子光学部品の全体の重量を減少させるのを助けることができる。より薄いデバイスの作製が実現可能となる。さらに、結晶シリコンおよび従来基板として使用されている多くの型のガラスは大きなシートでは形成および管理がますます困難になるので、この可能性により、より大きなディスプレイおよびデバイスの作製が可能になる。

【0006】

プラスチックおよび他のフレキシブル基板には明らかな利点が存在するが、そのような基板の使用を妨げる重大な欠点が存在し、例えば下記が挙げられる：

TFT 作製に必要とされる高温への不適合性

高温での寸法安定性不足

プラスチックおよび薄膜半導体材料の熱膨張係数 (CTE) の不一致

プラスチックの高い吸湿性

多くの型のプラスチックの透明性不足

プラスチック基板材料のキャリアからの着脱要求

【0007】

10

20

30

40

50

これらの欠点のうち最も重要なのは、温度関連要求である。T F Tのための製造プロセスは200～300 またはそれ以上の範囲の温度を必要とする可能性があり、多くの型のプラスチック基板を使用することができないレベルの温度が含まれる。このように、米国特許第7,045,442号(マルヤマら)に記載されているように、T F Tはプラスチック基板上に直接形成させることができないことは広く受け入れられている。プラスチック基板上に載置されたT F Tデバイスの利点を提供するために、マルヤマらの‘442号には、キャリア基板に最初に付着されている剥離層上にT F Tを形成する方法について記載されている。T F T回路が作製されるとすぐに、剥離層をその後、そのキャリア基板から分離し、より軽量で、よりフレキシブルなプラスチック材料上に積層させることができる。

10

【0008】

1つの別の解決策として、米国特許第6,492,026号(グラフら)は、かなり高いガラス転移温度 T_g 、典型的には120 を超える温度を有するフレキシブルプラスチック基板の使用を開示する。しかしながら、これらの基板が、この範囲よりずっと高い従来のT F T作製温度に耐えることができるかは疑わしい。さらに、これらのプラスチックを使用するためには、基板および形成されたデバイスをスクラッチ損傷および透湿から保護するのに、多層バリヤ層の使用など、かなりの努力が費やされる。

【0009】

さらに別の解決策が米国特許第6,680,485号(ケアリーら)に記載されている。ケアリーらの‘485号の開示において記載されている方法では、パルスレーザ源からのエネルギーを使用して、アモルファスおよび多結晶チャネルシリコンT F Tが低温プラスチック基板上に形成される。この方法の対象となる従来の低温プラスチック基板としては、例えば、ポリエチレンテレフタレート(PET)、ポリエーテルスルホン(PES)、および高密度ポリエチレン(HDPE)が挙げられる。

20

【0010】

同様に、米国特許第6,762,124号(キアンら)は、エキシマレーザを使用して、マスクを介して材料を除去し、基板上にT F T形成のためのパターンニングされた導体または半導体材料を形成するプロセスを開示する。キアンらの‘124号の開示では、使用される基板は、1つまたは複数の障壁層および保護層が補足されたフレキシブルまたは剛性プラスチック材料を有する可能性のある複合「ガラス代替」材料である。

30

【0011】

これらのおよび同様の解決策は、フレキシブル基板上でT F T構成部品を形成するために提案されているが、欠点が存在したままである。T F Tデバイスが装着された剥離層の積層では、マルヤマらの‘442号に記載されているように、追加の作製工程および材料が必要であり、固有の整合問題が生じる。高性能プラスチック、例えば、グラフらの‘026号の開示のものの使用では依然として熱膨張(CTE)問題が存在し、プラスチックを保護するために追加の層およびプロセスが必要となる。ケアリーらの‘485号およびキアンらの‘124号の開示で提案されたエキシマ層解決策は、従来のT F T作製技術を超える全幅の性能を提供せず、このため有用性が制限される。これらの開示のどれも、T F Tがフレキシブル基板の上面に形成されなければならない剥離層またはいくつかの中間層のいずれかの上に形成されなければならないので、真にガラスまたは他のシリコン系基板にとって代わるように機能するフレキシブル基板を提供していない。

40

【0012】

寸法安定性ならびに耐熱性および耐化学性を含む特性を有する、基板として使用するための興味深い1つの特別なフレキシブル材料は、ポリアイミド類のクラスである。しかしながら、その利点を有してさえ、ポリアイミド材料はT F Tの直接堆積を著しく妨害する。例えば、再流動拳動(リフロー拳動)はポリアイミド類の特徴ではないので、追加の剥離層および転写層を使用しなければならない。ポリアイミドのCTEは薄膜半導体材料のものとは異なり、高温作製後に破壊および電気断絶に至る。ポリアイミド材料特性を改善するための1つの試みでは、米国特許出願公開第2005/0163968号(ハンケット)は、

50

改善されたCTEおよび他の耐久性増強剤を有するマイクロ充填(micro-filled)ポリイミド膜を記載する。しかしながら、マイクロフィラー添加物を使用してCTEをより厳密に適合させることができる場合でも、積層に関連する他の問題が残っている。対象となる他のプラスチック、例えばテフロン(登録商標)は、フレキシブル基板として使用するのにより有益ないくつかの特性を有している可能性があるが、従来の作製アプローチと共に使用することを排除する別の組の障害が存在する。

【先行技術文献】

【特許文献】

【0013】

【特許文献1】米国特許第7,045,442号明細書

10

【特許文献2】米国特許第6,492,026号明細書

【特許文献3】米国特許第6,680,485号明細書

【特許文献4】米国特許第6,762,124号明細書

【特許文献5】米国特許出願公開第2005/0163968号明細書

【発明の概要】

【発明が解決しようとする課題】

【0014】

そのため、基板自体の調製または調整のための追加の工程および手順が最小に抑えられた、TFEを直接フレキシブル基板上に形成するための作製法に対する、満たされていない要求が存在することを認識することができる。

20

【課題を解決するための手段】

【0015】

本発明の対象となるのは、電子デバイスを製造する方法を提供することであって、

a)少なくとも1つのプラスチック材料を含む基板を準備する工程と、

b)基板の少なくとも1つの表面内に微粒子材料を埋め込む工程と、

c)微粒子材料を有する表面上で薄膜電子デバイスを形成する工程と、

を含む。

【0016】

フレキシブル基板上に作製された電子デバイスを提供することが本発明の特徴である。フレキシブル基板はポリテトラフルオロエチレン(PTFE)またはテフロン(登録商標)を含むことができ、これにより再流動化が可能になり、そのため、中間積層材料に対する必要性が最小に抑えられ、または排除される。本発明により、電子デバイスをより薄い基板上に作製することも可能になる。

30

【0017】

キャリアへの自己積層を含む、改善された積層を提供することができるプラスチック基板を提供することが、本発明の別の利点である。

【0018】

本発明のこれらのおよび他の目的、特徴および利点は、下記詳細な説明を読み、図面と併せて解釈すると、当業者には明らかになると思われる。ここで、図面には本発明の例示的な実施形態が示され、説明されている。

40

【0019】

明細書は、本発明の対象を特別に指摘し、明確に主張する特許請求の範囲で締めくくられているが、本発明は、下記説明から、図面と併せて解釈するとよりよく理解されると考えられる。

【図面の簡単な説明】

【0020】

【図1】本発明の方法を用いて形成された電子回路を示す断面図である。

【図2】本発明の複合基板の拡大部分を示す断面図である。

【図3】表面調整後の複合基板の拡大部分を示す断面図である。

【図4】1つの実施形態における基準層の上面に複合層を有する基板の拡大部分を示す断

50

面図である。

【発明を実施するための形態】

【0021】

この説明は、特に、本発明による装置の一部を形成する、またはその装置とより直接的に協働する要素を対象とする。特定的に示され、または記載されていない要素は、当業者に周知の様々な形態をとることができることを理解すべきである。

【0022】

この明細書で示した図面は、基板上への堆積に対する層の全体的な空間的關係および配列を代表するものであり、原寸に比例して描かれていない可能性がある。

【0023】

図1について説明すると、本発明により形成された電子デバイス10が示されている。薄膜構成要素12、例えば導体、薄膜トランジスタ、ダイオード、または他の構成要素が、後で説明するように、1つまたは複数の微粒子結合材料および1つまたは複数のプラスチックバインダから構成される、複合材料であるプラスチックなどのフレキシブル基板20上に形成される。複合基板20は、作製処理中ガラスシートなどのキャリア18に附着される。その後の手順により、回路10の作製後、基板20をキャリア18から分離してもよい。電気絶縁および平坦化または平滑さを生じさせるために、ならびに薄膜デバイスを形成するために適した表面を与えるために、1つまたは複数の層14を形成させてもよい。1つの実施形態では、層14は、表面を密閉および絶縁し、薄膜堆積を可能にするために使用される窒化ケイ素である。別の実施形態では、ベンゾシクロブテン(BCB)またはスピンオンガラス(spin-on glass)(SOG)の補足層を平坦化のために使用する。このように使用する場合、層14は従来、ある型の平坦化層と呼ばれる。

【0024】

本発明はまた、プラスチックバインダの、基板の少なくとも1つの表面に適用される微粒子材料およびキャリア材料との共最適化、ならびにデバイス層をフレキシブル基板に接着させ、基板内の応力を最小に抑えるためのプロセスに関する。

【0025】

用語が本記載で使用されるように、「プラスチック」は高いポリマー含量を有し、通常、他の成分、例えば硬化剤、フィラー、強化剤、着色剤および可塑剤と組み合わせてもよいポリマー合成樹脂から製造される材料を示す。「樹脂」は合成または天然ポリマーである。プラスチックはその完成した状態では固体であり、完成物品にするための製造または処理中のいくつかの段階では、フローにより成形することができる。プラスチックは典型的には、溶媒が適した速度で蒸発する硬化プロセスを用いて形成させる。プラスチックは熱可塑性材料および熱硬化性材料を含む。

【0026】

「フレキシブル」という用語は一般に、約1mmより薄く、プラスチックの弾性係数E、典型的には約100,000~500,000psiを示すシート材料を示す。

【0027】

図1に示した電子デバイス10の作製をサポートするために、基板20は適したプラスチックバインダを含み、その表面近くまたはその表面上で含浸させた微粒子材料により調整される独特の調合物を有する。図2について説明すると、1つの実施形態に対する複合基板20の構造配列が拡大視で示されている。微粒子材料16が基板20の基本プラスチック組成物に添加され、プラスチック組成物は微粒子に対しバインダとして機能する。微粒子材料16は、層14への結合を可能にし、そのため層14が絶縁、不動態化、または平滑化を生じさせることができるように、かつプラスチック材料自体のCTEを改善するように適当に選択された、いくつかの型の固体微粒子である。表面近くに微粒子材料16を添加すると、以前は薄膜堆積に適合しなかったPEFEなどの基板上にTFTおよび他の薄膜デバイスを今や作製することができる。このように、基板20の表面のこの調整により、フレキシブル基板上での電子デバイスおよびそれらの関連する連絡配線ならびに他の構成要素の作製が可能になる。複合基板20は、このようにして作製されると、高温に

10

20

30

40

50

耐えることができ、T F T形成に必要とされる様々な型のエッチャントおよびプロセスに対し回復性が高い。

【0028】

<プラスチック材料>

後で説明するように、適当な微粒子材料16をプラスチックに添加することにより、フレキシブル基板のために使用されるプラスチック材料のリストを拡大することができる。例示的なバインダプラスチック材料としては、熱安定ポリエチレンテレフタレート(HS-PE T)が挙げられるが、これに限定されない。多くの他のプラスチック基板、例えば、ポリエチレンナフタレート(PEN)、ポリカーボネート(PC)、ポリアリーレート(PAR)、ポリエーテルイミド(PEI)、ポリエーテルスルホン(PES)、ポリイミド(PI)、テフロン(登録商標)ポリ(ペルフルオロ-アルボキシ)フルオロポリマー(PFA)、ポリ(エーテルエーテルケトン)(PEEK)、ポリ(エーテルケトン)(PEK)、ポリ(エチレンテトラフルオロエチレン)フルオロポリマー(PETFE)、およびポリ(メチルメタクリレート)ならびに様々なアクリレート/メタクリレートコポリマー(PMMA)をバインダとして使用することができる。バインダとして使用するために適したプラスチックとしては、様々な環状ポリオレフィン類、J S R社により作製されたアートン、ゼオンケミカルズ・エル・ピーにより製造されたゼオノアおよびセラニーズ・エー・ジーにより作製されたトパスが挙げられる。他の低温プラスチック基板もまた使用することができ、アウジモント・ユー・エス・エー社からハーラーとして販売されているエチレン-クロロトリフルオロエチレン(E-CTFE)、デュボン社により商標名テフゼルで販売されているエチレン-テトラフルオロエチレン(E-TFE)、ポリ-テトラフルオロ-エチレン(PTFE)、ガラス繊維強化プラスチック(FEP)および高密度ポリエチレン(HDPE)が挙げられる。いくつかの用途では、透明プラスチックは非常に利点があるであろう。

10

20

【0029】

微粒子材料16を添加すると、あるこれらのプラスチック基板は、少なくとも200までのより高い処理温度に耐えることができ、中には、損傷無しで、300 またはそれより高い温度に耐えることができるものもある。

【0030】

特に興味深いプラスチックバインダ材料としては、前に述べたようなポリイミド、およびデュボン社により市販されている、テフロン(登録商標)として商業的に知られている、ポリテトラフルオロエチレン(PTFE)またはポリ(ペルフルオロ-アルボキシ)フルオロポリマー(PFA)が挙げられる。前に述べたように、従来形成されているようなポリイミドもPTFEも、T F T堆積のための基板として本質的によく適していないが、多くの異なる表面処理が限定された成功を示している。しかしながら、これらの材料を本発明に従い処理すると、T F T回路を支持するのに非常に有利な特性を有するフレキシブル基板を提供することができる。

30

【0031】

さらに別の実施形態では、1つまたは複数のこれらのプラスチック材料を含む組成物が好ましい解決策となる可能性がある。例えば、ポリイミドをポリテトラフルオロエチレン(PTFE)またはポリ(ペルフルオロ-アルボキシ)フルオロポリマー(PFA)と組み合わせることが、両方のプラスチックのより有利な特性を得るために、好都合である可能性がある。

40

【0032】

<微粒子材料の特性>

適した微粒子材料16としては、スピンオンガラスを含むガラス、炭素、繊維、金属繊維、およびプラスチックが挙げられる。微粒子材料16はまた、織物材料または繊維、例えば織物ガラス繊維などとして行うことができる。微粒子材料16は様々な構造特性および形状を有する可能性がある。微粒子材料16は、大体球形の粒子、基板の厚さより小さな、またはそれを超える寸法の板状晶であってもよい。微粒子材料16は細長い形状とするこ

50

とができ、例えば、ワイヤ、ロッド、または繊維が含まれる。セラミックフィラーまたは他の誘電材料を微粒子材料 16 として使用することができる。

【0033】

プラスチックバインダ材料内の微粒子材料 16 の角度的配向もまた変動させることができる。例えば、細長い微粒子材料 16 は単一方向でまたは交互の向きの層内で次元的に配列させることができ、または 1 つの面内で 2 つまたはそれ以上の軸に沿って配列させることができる。微粒子材料 16 は基板 20 の表面に対し特定の方向またはパターンで配向させることができ、これは、異方性の光、電子、熱、磁気、化学または物理特性に影響する可能性がある。単なる一例として、バインダ内の微粒子材料 16 の繊維は、垂直に配向させることができ、垂直方向に光または熱を導くことができる。また、横方向に配向させた光ファイバを使用して、別の方向に複合基板 20 を通して光を導くことができる。

10

【0034】

多くの特性、例えば下記を改善するために、無機材料を微粒子材料 16 として導入することができる：

- ・選択された光学特性、例えば色または光散乱；
- ・選択された電子特性、例えば伝導率または静電遮蔽のための炭素充填；
- ・選択された熱特性、例えば熱伝導性を改善するための金属粒子充填；
- ・選択された磁気特性、磁性付与またはデータ保存のために使用される強磁性材料を含む磁性材料を用いて；
- ・化学特性、例えばプロセス化学に対する耐性など、または物理特性、例えば CTE、引張強さ、圧縮強度、モジュラス、またはフレキシビリティ；または
- ・放射特性、例えば放射線遮蔽またはエネルギー選択的 X 線透過または吸収。

20

【0035】

本発明による、微粒子材料 16 のプラスチックバインダ材料との組み合わせの 1 つの重要な結果は、改善された熱膨張係数 (CTE) に関する。複合基板の CTE は、プラスチックバインダの CTE に近似するよりも、TFTE デバイスのためのデバイス層の CTE により密接に近似することが見出されている。このように、複合基板の CTE は、デバイス作製のために従来使用されているガラスまたはシリコンキャリア 18 の CTE により密接に近似する。結果として、デバイス作製中、デバイス層に導入される応力はより低くなり、デバイス性能、寸法安定性、および信頼性が改善される。これによって、TFTE 装置が基板から分離される層間剥離の可能性も最小に抑えられる。

30

【0036】

微粒子材料 16 としてガラスまたはセラミックなどの無機微粒子材料を添加するとまた、下記を含む多くの追加の利点を得られる：

- ・微粒子表面がプラスチックバインダだけの場合よりも良好な接着を生じるので、TFTE 層の接着が改善される。
- ・デバイス作製のための改善された温度制限：微粒子材料の使用により、寸法安定性の喪失前の温度制限が増加し、これにより、より高い温度でデバイス作製が可能になる。
- ・材料のいくつかの組み合わせでは、微粒子材料は基板の誘電定数を減少させる可能性があり、これにより都合よく、容量が減少する。

40

【0037】

透明微粒子材料 16 は多くの用途で好都合である。光挙動が重要な場合、微粒子材料 16 はプラスチックバインダ材料の屈折率 n_2 に対する屈折率 n_1 に基づき選択されてもよい。それらの個々の屈折率 n_1 および n_2 が一致する、または非常に近くで一致する場合、光学散乱は最小に抑えることができる。屈折率 n_1 および n_2 がより近く一致するほど、散乱が少なくなる。また、光学散乱が望ましい場合があり、そのような場合、屈折率 n_1 および n_2 の間の差が、例えば約 0.1 を超える値だけ、増加し、それに応じて散乱が増加する。不透明または反射材料を使用することができる。光吸収着色剤をプラスチック材料に、ならびに微粒子材料 16 に添加し、迷光を吸収し、色を加え、または入射もしくは出射光に対するフィルタを提供することができる。同様に、平坦化層 14 は着色剤を有

50

することができる。

【実施例】

【0038】

[実施例1]

1つの実施形態では、複合基板20のために使用される材料はPTFE織物ガラス繊維積層板、例えば、カリフォルニア州ランチョ・クカモンガから入手可能なジクラッド(DiClad)522、527シリーズ由来の材料である。温度応力下で寸法的に安定な、PTFE織物ガラス繊維積層板が、例えばプリント回路基板(PCB)のために使用されてきたが、この目的のために使用される場合、銅層、典型的には電着銅層が用意される。本発明のフレキシブル基板20では、銅めっきは使用されない。フレキシブル基板20として使用するためには、PTFE織物ガラス繊維積層板に対する理想的な厚さは約25μm～約3000μmの範囲である。

10

【0039】

この基板を前提として、TFT作製処理は下記の通りである：

1．キャリア18上への載置。フレキシブル基板は最初にガラスキャリア18上に積層させる。これは、基板20をキャリア18上に配置し、熱または圧力を印加しPTFE材料の流れ温度(T_g)、約300を達成することによりこの組み合わせを処理することにより実施される。PTFE材料は軟化し、再流動し、キャリア18表面に接着する。

【0040】

2．表面処理。この次の工程は基板20の表面を調整または処理し、層14の接着を可能にする、適した下地を与える。1つの実施形態では、層14は平坦化層である。層14はまた、別の予備材料としてもよく、または薄膜電子デバイス自体を形成する際に使用される材料を含んでもよい。この処理は、微粒子材料16を基板表面に埋め込むことにより実施される。図2に示されるように、微粒子材料16を基板20表面に最も近くで添加することが好都合である。微粒子材料16は、例えば、圧延、またはダスティング(dusting)を含む多くの方法により表面に適用することができる。微粒子材料16はまた、インクジェット堆積、印刷、中間材料からの転写、例えば、溶媒中でのドクターブレードスカイピング技術を用いた塗布、散布、または他の方法により適用することができる。プラスチック材料は加熱することができ、微粒子材料16の埋め込みが促進される。また、微粒子材料16を硬化プロセス中にバインダプラスチック材料に添加することができる。表面処理のためのさらに別の方法を後で記載する。

20

30

【0041】

3．平坦化。TFT堆積のための所望の表面粗さは、いくつかの適用では0.2～0.3μm未満のピーク・トゥ・ピーク(peak-to-peak)のオーダーとすることができる。これを達成するために、スピンオンガラス(SOG)が堆積される。この基板を適用するために、コロイドシリカ粒子を含む溶媒のゾルを基板20表面に適用する。ゾル材料を硬化させるために300～400の温度を適用し、溶媒を除去し、ゲル残留物を残し、これはそれ自体加熱すると、約3～5の間の誘電定数を有するSiO₂膜に変換され、TFT堆積前に必要とされる絶縁および平坦化を生じる。別の平坦化材料は後で説明する。

40

【0042】

CTE一致および応答の改善の他に、本発明の方法はTFT構成要素を改善された様式で基板20の表面に結合させる。表面近くに存在する、または複合基板20の表面からわずかに外に向かって実に延在する微粒子材料16は、絶縁窒化ケイ素または酸化ケイ素層である可能性のある、層14のための結合表面領域を生じる。微粒子材料16が存在しないと、これらのシリコン化合物は表面に接着することができず、機能するTFTデバイスまたは他の型の電子デバイスがその上に作製される可能性が著しく妨げられる。

【0043】

4．電気絶縁層の形成。必要に応じて用いてもよい、基板の表面を調整するための最終表面準備工程として、電気絶縁層を、平坦化層の上面に堆積させる。適した絶縁層材料は

50

、 SiO_2 、 SiN_x 、 SiON 、またはこれらの材料のいくつかの組み合わせとすることができる。これは典型的には、約 $0.5 \sim 1.5 \mu\text{m}$ の範囲である。

【0044】

5．TFT要素の形成。フレキシブル基板20表面の準備後、TFT要素の構築(layer-down)を始めることができる。これには典型的には、薄膜半導体材料層の基板上への堆積、その後、半導体材料の一部の選択的除去によるパターンの形成が必要とされる。この手順は、ゲート、ソース、およびドレイン構成要素ならびに他の支持層の構築のための構成要素作製技術分野において周知のプロセスを使用する。

【0045】

6．キャリア18からの層剥離。これには、基板プラスチック材料の流れ温度付近の温度での熱の適用が必要である可能性がある。これにより基板20がキャリア18から分離される。分離されると直ちに、基板20を他の何らかの表面に積層させることができ、または冷却させることができる。

【0046】

実施例1の方法は、特定の基板および構成要素型のために改良することができる。例えば、他のスピンコート誘電処理を代わりに使用することができる。

【0047】

[実施例2]

この次の実施例は、複合基板20を構築するために必要とされ得る追加の工程を検討する。基本的な工程は下記の通りである：

1．プラスチックをその溶融温度 T_g まで加熱する。

【0048】

2．溶融したプラスチックに微粒子材料16をフィラーとして添加する。改善された接着のために、微粒子材料16は、基板20の表面上または表面近くに堆積されると最もよく機能する。しかしながら、改善されたCTEのためには、プラスチック材料全体に混合された粒子のより一般的な分布が好ましい。ほとんどの場合、基板20表面近くで、より濃度の濃い微粒子材料16、または微粒子材料16の露出した部分を有することが好ましい。このように、この工程では微粒子材料16と溶融プラスチックバインダとのいくらかの混合が必要である。

【0049】

3．キャリア18上への載置。フレキシブル基板は最初にガラスキャリア18上に積層される。これは、基板20をキャリア18上に配置し、熱および圧力を印加してPTFE材料の流れ温度(T_g)、約300を達成することによりこの組み合わせを処理することにより実施される。PTFE材料は軟化し、再流動化し、キャリア18の表面に接着する。

【0050】

4．平坦化。TFT堆積のための望ましい表面粗さは、いくつかの用途で $0.2 \sim 0.3 \mu\text{m}$ 未満のオーダーのピーク・トゥ・ピークとすることができる。これを達成するために、スピンオンガラス(SOG)を堆積させる。この基板を適用するために、コロイドシリカ粒子を含む溶媒のゾルを基板20表面に塗布する。300~400の温度を適用しゾル材料を硬化させ、溶媒を除去し、ゲル残留物を残し、これはそれ自体加熱すると、約3~5の間の誘電定数を有する SiO_2 膜に変換され、TFT堆積前に必要とされる絶縁および平坦化を生じる。別の平坦化材料は後で記載する。

【0051】

5．電気絶縁層の形成。必要に応じて用いてもよい、基板の表面を調整するための最終表面前準備工程として、電気絶縁層を平坦化層の上面に堆積させる。適した絶縁層材料は SiO_2 、 SiN_x 、 SiON 、またはこれらの材料のいくつかの組み合わせとすることができる。これは典型的には約 $0.5 \sim 1.5 \mu\text{m}$ の範囲である。

【0052】

6．TFT要素の形成。フレキシブル基板20表面の準備後、TFT要素の構築を始め

10

20

30

40

50

ることができる。この手順はゲート、ソースおよびドレイン厚生要素および他の支持層の構築のための構成要素作製分野において周知である方法を使用する。TFT作製の一部として、半導体材料を堆積させ、その後、半導体材料の一部を選択的に除去することによりパターンを形成させる。

【0053】

7. キャリア18からの層剥離。これには、基板プラスチック材料の流れ温度付近の温度での熱の適用が必要である可能性がある。これにより基板20がキャリア18から分離される。分離されると直ちに、基板20を他の何らかの表面に積層させることができ、または冷却させることができる。別の層剥離法もまた使用することができる。

【0054】

[実子例3]

別の実施形態では、基板20はポリイミドまたはポリイミド組成物およびバインダから、下記工程を使用して形成される：

1. 未硬化プラスチックバインダ材料に適したキャリア上にコートする。ここで、部分的に硬化させたポリイミドをキャリア上にコートする。ディップスカイピング、スピンオン塗布、または押出を含む任意の適した塗布法を使用することができる。

【0055】

2. 硬化プロセスが大体完了するまで、未硬化プラスチック材料を硬化する。

【0056】

3. 硬化サイクルの約80%が完了すると、微粒子材料16を基板20表面に添加する。ここで、微粒子材料16は表面上に散布され、均一なコーティングが与えられる。

【0057】

4. 硬化プロセスを完了し、残った溶媒を焼いて除去する。

【0058】

5. 平坦化。TFT堆積のための所望の表面粗さは、いくつかの用途で0.2~0.3 μm未満のオーダーのピーク・トゥ・ピークとすることができる。これを達成するために、スピンオンガラス(SOG)を堆積させる。この基板を適用するために、コロイドシリカ粒子を含む溶媒のゾルを基板20表面に塗布する。300~400の温度を適用しゾル材料を硬化させ、溶媒を除去し、ゲル残留物を残し、これはそれ自体加熱すると、約3~5の間の誘電定数を有するSiO₂膜に変換され、TFT堆積前に必要とされる絶縁および平坦化を生じる。別の平坦化材料は後で記載する。

【0059】

6. 電気絶縁層の形成。必要に応じて用いてもよい、基板の表面を調整するための最終表面前準備工程として、電気絶縁層を平坦化層の上面に堆積させる。適した絶縁層材料はSiO₂、SiN_x、SiON、またはこれらの材料のいくつかの組み合わせとすることができる。これは典型的には約0.5~1.5 μmの範囲である。

【0060】

7. TFT要素の形成。フレキシブル基板20表面の準備後、TFT要素の構築を始めることができる。この手順はゲート、ソースおよびドレイン構成要素および他の支持層の構築のための構成要素作製分野において周知である方法を使用する。TFT作製の一部として、半導体材料を堆積させ、その後、半導体材料の一部を選択的に除去することによりパターンを形成させる。

【0061】

8. キャリア18からの層剥離。これには、基板プラスチック材料の流動温度付近の温度での熱の適用が必要である可能性がある。これにより基板20がキャリア18から分離される。分離されると直ちに、基板20を他の何らかの表面に積層させることができ、または冷却させることができる。別の層剥離法もまた使用することができる。

【0062】

別の実施形態では、微粒子材料16は未硬化プラスチックにフィラーとして添加することができる、実施例2で記載したCTEの利点を有する。

10

20

30

40

50

【 0 0 6 3 】

< 表面処理法 >

層 1 4 および薄膜デバイス作製のための他の材料の接着を改善するための基板 2 0 の表面の調整は、多くの様式で実施することができる。前に述べたように、本発明の方法は、微粒子材料 1 6 の表面が基板 2 0 表面上で露出され、これにより接着表面が与えられると、最もよく機能する。基板 2 0 内でバインダとして使用されるプラスチック材料の性質のため、微粒子材料 1 6 のフィラーが使用されている場合でも、基板 2 0 の表面は一般に、高い比率の樹脂量を有する。このように、接着を改善するために微粒子材料 1 6 を露出させるには、表面自体に沿ってある割合のプラスチック材料を除去するためのいくつかの方法が必要となる可能性がある。

10

【 0 0 6 4 】

図 3 の拡大部分は、微粒子材料 1 6 を露出させると、表面 2 2 がどのように特徴づけられるかを示す。このように表面を調整するための方法は下記を含む：

- ・ 多くの適した酸を含む、エッチャント材料を使用するなどの化学的除去
- ・ プラズマエッチング
- ・ コロナ放電処理
- ・ 熱の適用
- ・ 超臨界二酸化炭素、 CO_2 の使用
- ・ レーザアブレーション
- ・ 真空での熱分解

20

【 0 0 6 5 】

プラスチックバインダ材料除去のためのこれらの表面処理法の適用は、表面処理技術分野の当業者によく知られている。微粒子材料 1 6 が、基板 2 0 の表面上および表面近くで著しく集中しているフィラーとして添加され、または埋め込まれている図 1 の例示的な実施形態とは異なり、基板 2 0 がフィラーとしてプラスチックバインダ内で全体的に事実上均一に混合されている微粒子材料 1 6 混合物から構成される場合、これらの表面処理法を使用することができる。前に述べたように、そのような材料の固有の利点はその改善された C T E である。

【 0 0 6 6 】

別の実施形態では、P T F E の再流動の利点を使用すると、表面調整に有利である。微粒子材料 1 6 は P T F E または P T F E 組成物の加熱表面に、別の適した材料と共に、そのガラス転移温度 T_g のより少し高い温度で振りかける、または散布することができる。P T F E 材料を冷却させると、平坦化層または他の層の堆積のために調整された表面が得られる。今述べた調整法を用いる、いくらかの量の処理を使用して、微粒子材料 1 6 の堆積後に、基板 2 0 の表面を改善してもよい。

30

【 0 0 6 7 】

さらに別の実施形態では、図 4 に示されるように、第 1 のプラスチック材料がベース基板 2 4 として用意される。その後、組成物 2 6 をこのベース基板の表面上にコートし、ここで、組成物は少なくとも 1 つの微粒子材料 1 6 と混合されるプラスチックバインダ材料を含む。このように、このプロセスにより、例えば、図 4 で示されるような平坦化層 1 4 、絶縁層、または薄膜電子デバイスのいくつかの部分的形成するために使用される電気活性半導体層であってもよい 1 つまたは複数の層を堆積させるように適当に処理された表面が与えられる。

40

【 0 0 6 8 】

< 平坦化材料 >

スピノングラスの他に、下記平坦化材料を異なる実施形態で使用してもよい：

- ・ ベンゾシクロブテン (B C B)。この材料は半導体グレードでなければならず、可動イオンが存在しない。
- ・ アクリル
- ・ テトラエトキシシラン (T E O S)

50

【 0 0 6 9 】

プラスチック基板を使用しようと試みる他の解決策に対し、ガラス、セラミック、または他の適した微粒子はプラスチックバインダのみの場合よりも良好な接着性を与えるので、本発明の方法はＴＦＴ層の接着の改善を促進する。微粒子材料１６を使用すると、寸法安定性が喪失する前の温度限界が増加し、より高い温度でのデバイス作製が可能になる。

【 0 0 7 0 】

本発明の方法は、ＴＦＴ構成要素を直接フレキシブル基板上に形成することができ、積層などの中間工程が必要ないのも、好都合である。この方法は、特に、ウェブ（web）またはロール・ツウ・ロール（roll-to-roll）作製に適しており、この場合、基板シートは第１のロールから解かれ、前に記述したように微粒子材料１６を埋め込むことにより表面調整を受け、さらに処理され、または第２のロールで将来の使用のために巻き戻される。

10

【 0 0 7 1 】

様々な型の広範囲の微粒子物質を、微粒子材料１６として、または、複数の材料の有利な特性を利用する、使用される微粒子材料の混合物として使用することができる。前に記載したように、電子デバイス作製プロセスにおける様々な点で、プラズマエッチングなどのツールを使用して、別の型の表面調整を使用することができる。基板材料のシートの１つの側または両側を、本発明の方法を用いて処理することができる。エンボス加工を含む様々な方法を、平坦化層１４適用およびＴＦＴデバイス形成前に基板２０の表面を準備するために使用することができる。基板２０または平坦化層１４上に形成した構成要素は、１つまたは複数のレンズまたは小レンズなどの屈折構成要素を含む光学要素を含むことができる。小レンズはＴＦＴ構成要素と空間的に整合させることができ、入力画素要素または出力画素要素が提供される。

20

【 0 0 7 2 】

基板２０上に形成された電子デバイスを使用して、多くの異なる型の構成要素のいずれかへ、またはそれらから信号を与えることができ、画像表示画素またはイメージセンシング画素に対し特別な用途を有する。例えば、基板２０表面上に形成された電子デバイスは、例えば、対応する液晶画素、発光ダイオード画素、またはディスプレイ用の有機発光ダイオード画素と結合させることができる。イメージセンシングでは、基板２０表面上に形成された電子デバイスは、刺激可能な蛍光体画素と、または生物学的検出器を含む別の型のセンサ画素と結合させることができる。

30

【 0 0 7 3 】

本発明はまた、底層がキャリアに関連する特性（例えばキャリアへの接着特性）に対し最適化され、最上層が電子デバイスに関連する特性（例えばデバイス層への接着）に対し最適化され、中間層が選択された特性、例えば、光学、電子、熱、磁気または化学特性を達成するように最適化された多層基板に関する。

【 0 0 7 4 】

このように、基板上で電子デバイスを作製するための装置および方法が提供される。

【 符号の説明 】

【 0 0 7 5 】

40

１０ 電子デバイス、１２ 薄膜構成要素、１４ 層、１６ 微粒子材料、１８ キャリア、２０ 基板、２２ 表面、２４ ベース基板、２６ 組成物。

【図 1】

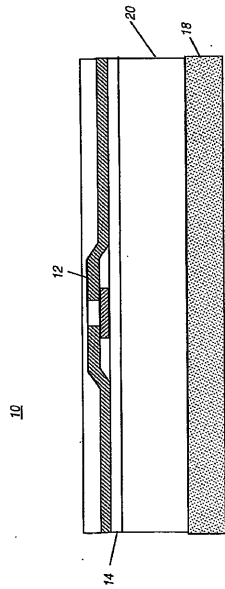


FIG. 1

【図 2】

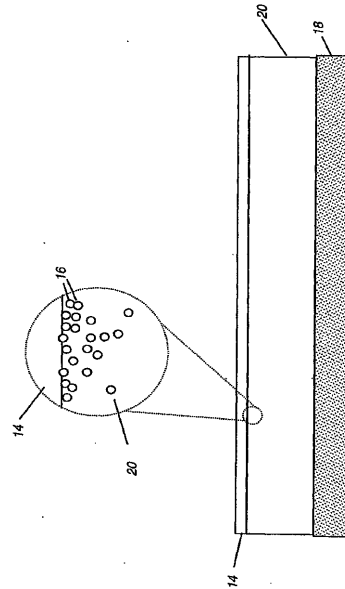


FIG. 2

【図 3】

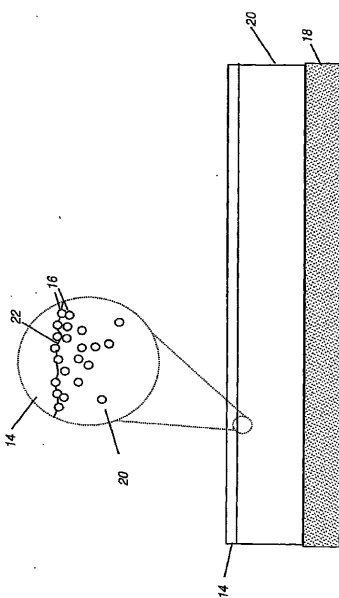


FIG. 3

【図 4】

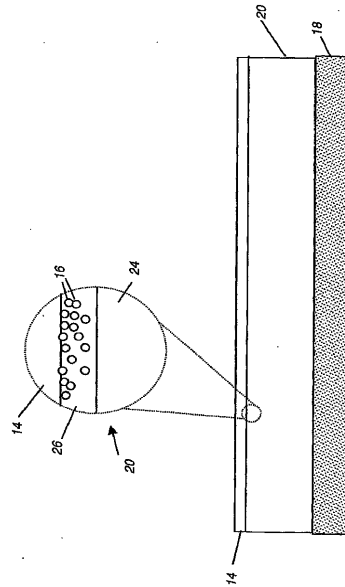


FIG. 4

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2007/016085

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L29/786 H01L21/77

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 680 485 B1 (CAREY PAUL G [US] ET AL) 20 January 2004 (2004-01-20) column 7, line 1 - line 9; figure 4	1-54
X	US 2004/079941 A1 (YAMAZAKI SHUNPEI [JP] ET AL) 29 April 2004 (2004-04-29) paragraphs [0013], [0014], [0085], [0108], [0192]	1-54
X	US 6 762 124 B2 (KIAN KOUROCHE [US] ET AL) 13 July 2004 (2004-07-13) column 9, line 19 - line 29; figure 4	1-54
X	US 2005/163968 A1 (HANKET GREGORY M [US]) 28 July 2005 (2005-07-28) column 7, paragraphs 15-19, 23	1-54
	--- -/-	

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *I* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *G* document member of the same patent family

Date of the actual completion of the international search:

23 November 2007

Date of mailing of the international search report

03/12/2007

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel: (+31-70) 340-2040, Tx: 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Juhl, Andreas

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2007/016085

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2004/014265 A1 (KAZLAS PETER T [US] ET AL KAZLAS PETER T [US] ET AL) 22 January 2004 (2004-01-22) column 7, paragraph 73	18, 19, 35
P, X	GB 2 430 547 A (SEIKO EPSON CORP [JP]) 28 March 2007 (2007-03-28) page 23, line 3 - line 20	1-54

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2007/016085

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6680485	B1	20-01-2004	AT 325428 T AU 2318797 A DE 69735815 T2 EP 0956585 A1 JP 2001508937 T WO 9733307 A1 US 5817550 A	15-06-2006 22-09-1997 05-04-2007 17-11-1999 03-07-2001 12-09-1997 06-10-1998
US 2004079941	A1	29-04-2004	AU 2003269499 A1 CN 1706044 A EP 1554757 A1 WO 2004036652 A1 JP 2004140267 A KR 20050084857 A US 2006186399 A1	04-05-2004 07-12-2005 20-07-2005 29-04-2004 13-05-2004 29-08-2005 24-08-2006
US 6762124	B2	13-07-2004	GB 2389562 A WO 02065527 A1 US 2002110944 A1	17-12-2003 22-08-2002 15-08-2002
US 2005163968	A1	28-07-2005	NONE	
US 2004014265	A1	22-01-2004	NONE	
GB 2430547	A	28-03-2007	JP 2007083723 A	05-04-2007

フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 1 L 51/50 (2006.01)		H 0 5 B 33/14		A
H 0 5 B 33/10 (2006.01)		H 0 5 B 33/10		

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 カー ロジャー スタンリー

アメリカ合衆国 ニューヨーク ブロックポート レイク ロード サウス 5 5 3 0

Fターム(参考) 2H090 JB03 JC07 JD14 JD15 JD18 LA04

2H092 JA24 MA31 NA25 PA01

3K107 AA01 BB01 CC24 CC43 CC45 DD17 DD18 DD19 EE03 EE05
GG22

5F110 AA30 BB01 DD01 DD13 DD14 DD15 DD17 GG02 GG15 QQ16
QQ19