

## (12) 发明专利

(10) 授权公告号 CN 101213534 B

(45) 授权公告日 2012.02.15

(21) 申请号 200680024372.1

(22) 申请日 2006.05.08

## (30) 优先权数据

11/128, 135 2005.05.11 US

## (85) PCT申请进入国家阶段日

2008.01.03

## (86) PCT申请的申请数据

PCT/US2006/017899 2006.05.08

## (87) PCT申请的公布数据

WO2006/124410 EN 2006.11.23

## (73) 专利权人 高通股份有限公司

地址 美国加利福尼亚州

## (72) 发明人 肯尼思·艾伦·多克塞尔

维克托·罗伯茨·奥格斯堡

詹姆斯·诺里斯·迪芬德尔费尔

杰弗里·托德·布里奇斯

(74) 专利代理机构 北京律盟知识产权代理有限责任公司 11287  
代理人 刘国伟

## (51) Int. Cl.

G06F 13/38 (2006.01)

## (56) 对比文件

US 6115760 A, 2000.09.05, 全文.

US 2002/0172156 A1, 2002.11.21, 全文.

CN 1391227 A, 2003.01.15, 全文.

审查员 王晓渊

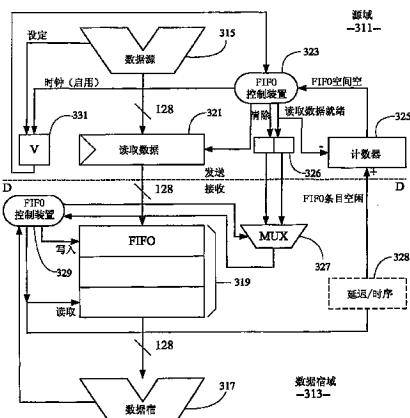
权利要求书 3 页 说明书 13 页 附图 7 页

## (54) 发明名称

用于对延时不敏感的 FIFO 信令协议的方法和设备

## (57) 摘要

将来自以第一数据速率操作的源域(311)的数据传送到以不同数据速率操作的另一域(313)中的 FIFO(319)。所述 FIFO(319)在将数据传送到数据宿之前缓冲数据以便进一步处理或存储。源侧计数器(325)跟踪所述 FIFO 中的可用空间。在所揭示实例中，初始计数器值对应于 FIFO 深度。所述计数器(325)响应于来自所述源域(311)的数据就绪信号而无延迟地递减。所述计数器(325)响应于来自所述数据宿域(313)的从所述 FIFO(319)读出数据的信令而递增。因此，递增经受域之间的信令延时。所述源(315)可在所述计数器(325)指示所述 FIFO(319)满时发送又一个数据拍。从所述源连续发送最后的数据拍，直到指示 FIFO 位置变为可用为止，从而有效地提供一个或一个以上 FIFO 位置。



1. 一种方法,其包括:

在第二域中的存储装置的输入处从第一域接收数据,其中所述第一域和所述第二域以不同的数据速率操作;

响应于从所述第一域接收的第一信号,在所述第二域中的控制器处接收连续就绪信号,所述第一信号指示所述数据在所述存储装置的输入端处可用;

响应于所述连续就绪信号,将所述数据载入到所述存储装置中;

在将所述数据载入到所述存储装置中的同时清除所述连续就绪信号;及

当数据条目从所述存储装置读出时,发送第二信号以使所述第一域中的计数器递增;

其中,当所述存储装置中没有可用空间存储所述数据时,所述第一域中的第一寄存器在所述第二域中的所述存储装置的所述输入处保持所述数据,直到所述存储装置存储所述数据,及

其中,所述第二域中的第二寄存器提供所述连续就绪信号,所述第二寄存器经配置以接收所述第一信号;且其中,清除所述连续就绪信号包含从所述控制器提供清除信号到所述第二寄存器。

2. 根据权利要求 1 所述的方法,其中所述存储装置是 FIFO 存储装置。

3. 根据权利要求 1 所述的方法,其中所述第一域和所述第二域是由边界层分开的单一半导体芯片的不同区域。

4. 根据权利要求 1 所述的方法,其中所述第一信号包含对应于所述第一域的单一时钟周期的脉冲。

5. 一种方法,其包括:

在第二域中的存储装置的输入处从第一域接收数据,其中所述第一域和所述第二域以不同的数据速率操作;

响应于从所述第一域接收的第一信号而在所述第二域中的控制器处接收就绪信号,所述第一信号指示所述数据在所述存储装置的所述输入处可用;

响应所述就绪信号而将所述数据载入到所述存储装置中;及

当数据条目从所述存储装置读出时发送第二信号以调整所述第一域的计数器;

其中,当所述存储装置中空间不可用以存储所述数据时,所述数据由所述第一域中的第一寄存器在所述第二域中的所述存储装置的所述输入处保持直到所述存储装置在空间可用后存储所述数据;

其中在所述控制器处连续接收所述就绪信号直到所述数据被载入到所述存储装置中,及

其中所述第一信号包含对应于所述第一域的单一时钟周期的脉冲,且其中从所述第二域中的第二寄存器接收所述就绪信号,所述第二寄存器经配置响应接收所述脉冲而连续地提供所述就绪信号。

6. 根据权利要求 5 所述的方法,其进一步包括:

在发送所述第二信号后,在所述存储装置的所述输入处从所述第一寄存器接收第二数据;及

其中,当所述存储装置中空间不可用以存储所述第二数据时,所述第二数据由所述第一寄存器在所述存储装置的所述输入处保持直到空间变为可用以便所述存储装置存储所

述第二数据。

7. 根据权利要求 5 所述的方法, 其中所述第一寄存器和所述存储装置直接连接且包含在单一处理设备中。

8. 一种方法, 其包括 :

从数据源载入第一数据到第一域中的寄存器 ;

从所述寄存器提供所述第一数据到第二域中的 FIFO 存储装置的输入, 所述第二域具有与所述第一域的数据速率不同的数据速率 ;

当所述 FIFO 存储装置不具有可用空间以存储所述第一数据时, 在所述 FIFO 存储装置的所述输入处保持所述第一数据直到所述第一数据随后保存到所述 FIFO 存储装置, 其中所述寄存器在所述 FIFO 存储装置的输入处保持所述第一数据 ;

控制所述第一域中的计数器以指示所述 FIFO 存储装置的可用存储空间的减少 ;

发送第一信号到所述第二域, 所述第一信号指示所述第一数据对所述 FIFO 存储装置可用, 所述第一信号是提供到所述第二域的多路复用器的第一输入的连续信号 ;

及

当来自所述数据源的第二数据可用且所述计数器指示所述 FIFO 存储装置中的空间可用时 :

载入所述第二数据到所述寄存器 ; 及

发送第三信号到所述多路复用器的第二输入以指示所述第二数据对所述 FIFO 存储装置可用。

9. 根据权利要求 8 所述的方法, 其进一步包括 :

从所述第二域接收第二信号, 所述第二信号对应于所述 FIFO 存储装置的所述可用存储空间的增加 ; 及

响应于所述第二信号而调整所述计数器。

10. 根据权利要求 9 所述的方法, 其中递减所述计数器以指示所述可用存储空间的减少, 且其中响应于所述第二信号而使所述计数器递增。

11. 根据权利要求 10 所述的方法, 其进一步包括在所述第一信号和所述第二信号间交替以指示从所述数据源载入到所述寄存器的持续数据脉冲。

12. 一种方法, 其包括 :

在第二域中的存储装置的输入处从第一域接收数据, 其中所述第一域和所述第二域以不同的数据速率操作 ;

响应于从所述第一域接收的第一信号而在所述第二域中的控制器处接收连续就绪信号, 所述第一信号指示所述数据在所述存储装置的所述输入处可用 ;

响应所述连续就绪信号而载入所述数据到所述存储装置 ;

在载入所述数据到所述存储装置的同时清除所述连续就绪信号 ;

当数据条目从所述存储装置读出时发送第二信号以使所述第一域中的计数器递增 ;

从所述第一域接收第三信号 ;

其中所述第一信号和第三信号都对应于所述第一域中的第一寄存器的数据可用状态 ;

其中所述第二域中的多路复用器提供所述连续就绪信号, 所述多路复用器经配置以在

第一输入处接收所述第一信号且在第二输入处接收所述第三信号，其中清除所述连续就绪信号包含从所述第二域中的所述控制器发送控制信号到所述多路复用器；

及

其中，当所述存储装置中没有可用空间以存储所述数据时，所述第一寄存器在所述存储装置的所述输入处保持所述数据直到所述存储器保存所述数据。

13. 一种设备，其包括：

寄存器，其经配置以存储来自数据源的数据且连续地提供所述数据到存储装置的输入，其中所述寄存器位于以第一数据速率操作的第一域中以及所述存储装置位于以不同于所述第一数据速率的第二数据速率操作的第二域中；

计数器，其在所述第一域中，所述计数器经配置以指示所述存储装置中的可用存储空间的数量；

控制器，其经配置响应所述计数器而使所述寄存器从所述数据源载入数据且产生第一信号以指示何时所述数据可用，其中所述计数器指示所述存储装置具有可用存储空间；

用于向所述第二域发送数据就绪状态的信号的装置，其响应于所述第一信号，向所述第二域发送数据就绪状态的信号；

用于向所述计数器发送第二信号的装置；

其中，所述计数器经配置响应所述第一信号而指示所述可用存储空间的减少的数量以及响应从所述第二域接收的所述第二信号而指示所述可用存储空间的增加的数量；及

其中，所述用于发送所述数据就绪状态的信号的装置包含 2 位寄存器，所述 2 位寄存器经配置以发送第一数据就绪状态信号、第二数据就绪状态信号和无数据状态信号到所述第二域，其中所述第一数据就绪状态和所述第二数据就绪状态中的每一者对应于所述寄存器的状态。

14. 根据权利要求 13 所述的设备，其中当在所述寄存器处接收持续数据脉冲时，配置所述 2 位寄存器以在发送所述第一数据就绪状态信号和所述第二数据就绪状态信号间交替。

## 用于对延时不敏感的 FIFO 信令协议的方法和设备

### 技术领域

[0001] 本发明主旨涉及用于信令和控制的协议，涉及经由实施此类信令协议的先入先出 (FIFO) 存储装置和设备进行数据传送。

### [0002] 背景技术

[0003] 先入先出 (FIFO) 存储装置用于涉及在不同域之间进行数据传送的处理器和通信应用，通常其中所述域可以不同数据速率操作。尽管数据速率在域之间不同或常常变化，但域之间的信号可相对于同一基础时钟频率而定时（即，同步），或相对于不同基础时钟频率而定时（即，异步）。在同步应用中，由 FIFO 提供的缓冲补偿了两个域的数据速率的差。在异步应用中，由 FIFO 提供的缓冲补偿了两个域的数据速率和时钟频率两者的差。在任一情况下，缓冲均有助于避免由于在接收域无法处理数据的时间或速度下的数据传送带来的数据损失，和 / 或避免因为接收域期望并准备好接收额外数据而发送域仍在传送前一数据所带来的数据复制。

[0004] 然而，多数 FIFO 实施方案受到实施 FIFO 缓冲器的存储器或寄存器的有限大小或深度的限制。举例来说，如果当 FIFO 存储装置已经装满等待传送到接收域中的数据宿的数据时发送域发送更多数据，那么数据仍将丢失。已开发各种技术以将关于 FIFO 的填充水平和 / 或写入状态的信息从接收域或数据宿域馈送到发送或源域。然而在此种技术中仍需要进一步改进。

### [0005] 发明内容

[0006] 计数器跟踪 FIFO 中可用的空间，且源侧使用计数来控制数据传送。为了增强传送控制，计数器实施于源侧而 FIFO 实施于接收器侧。计数器响应于源侧上的信号，所述信号表示用于传送的数据的就绪状态，例如新数据已载入源侧的寄存器中并可被 FIFO 存储装置所用。因为计数器在源侧，所以在接收和响应此信号时不会引起任何传播延迟（即，当前循环内的延迟）或延时（即，一个或一个以上循环的延迟）。计数器还响应于（例如）当数据从 FIFO 存储装置输出且清出 FIFO 存储装置中的空间时发送的信号，所述信号表示 FIFO 存储装置中的空间变为可用。然而，此稍后的信号是从数据宿域发送到源域，且计数器操作经受在域之间传送信号中引起的任何延时。

[0007] 示范性方法使得可实现在以第一数据速率操作的源域与以不同于所述第一数据速率的第二数据速率操作的数据宿域之间经由所述数据宿域中的先入先出 (FIFO) 存储装置传送数据。所述方法要求当源有数据准备传送时，将数据载入所述源域中的寄存器以使所述数据可被所述数据宿域使用，并提供数据就绪信号。在此实例中，响应于所述数据就绪信号而递减维持在所述源域中的计数器中的表示所述 FIFO 存储装置中可用空间的值。所述方法还包含基于所述数据就绪信号向所述数据宿域发出数据就绪状态的信号。一旦在所述数据宿域中接收到所述数据就绪状态的信令，就启动所述 FIFO 存储装置以将所述可用数据从所述源域中的寄存器载入到所述 FIFO 存储装置中。在某个时点，将数据从所述 FIFO 存储装置输出到数据宿，因此清出所述 FIFO 存储装置中的空间。所述方法还要求向所述源域中的所述计数器发出清出了所述 FIFO 存储装置中的空间的信号。响应于接收到此信令，

计数器递增表示所述 FIFO 存储装置中的可用空间的值。响应于维持在所述源域中的所述计数器中的表示所述 FIFO 存储装置中可用的空间的值,控制将就绪数据载入所述源域中的所述寄存器中以使所述数据可被所述数据宿域使用。

[0008] 揭示两种不同的信令技术或协议。一种技术包含向数据宿域中的寄存器发送数据就绪脉冲信号。尽管每一脉冲由单一循环组成,但数据宿域中的寄存器保持脉冲,并提供连续的就绪指示,直到在将新数据载入 FIFO 存储装置中完成之后清除为止。

[0009] 另一揭示的技术利用“乒乓”信令。其要求将信令寄存器状态从先前有效数据就绪状态改变为交替有效数据就绪状态。本质上,寄存器在新的数据拍连续可用于传送时输出在所述两个有效数据就绪状态之间的交替(乒乓)。数据宿侧的多路复用器(MUX)或类似物响应于两个交替状态之间的每一转变而指示新数据拍就绪。数据宿侧的控制元件使用来自 MUX 的此数据就绪指示来控制对 FIFO 的输入。

[0010] 用于传送数据的方法的另一实例涵盖在源域与数据宿域之间传送的多个可能重叠的循环。通常在多个时钟循环内发生的每一传送循环均要求:将数据从源载入所述源域中的寄存器中;向所述数据宿域发出数据就绪的信号;将所述数据从所述源域中的所述寄存器载入所述数据宿域中的先入先出(FIFO)存储装置中;将数据从所述 FIFO 存储装置输出到数据宿装置并在所述 FIFO 存储装置中为数据清出空间;以及向所述源域发出数据输出和清出所述 FIFO 存储装置中的空间的信号。响应于每次将数据载入所述源域中的所述寄存器中,以第一方式修改(例如递减或递增)维持在所述源域中的计数值。响应于每次向所述源域发出清出所述 FIFO 存储装置中的空间的信号,以相反的方式修改(例如递增或递减)所述计数值。在连续的传送循环中,控制将数据从所述源载入所述源域中的所述寄存器中是基于所述计数器的值的当前状态。将数据从源寄存器载入 FIFO 中的步骤还可包含通过一个或一个以上中间寄存器传送数据和就绪信号,其通常将在从源寄存器向 FIFO 的传送无法在单一时钟循环中实际完成时进行。

[0011] 用于在域之间传送数据的方法的又一实例包含许多步骤的重复,其包含:将数据从源载入所述源域中的寄存器中,并使所述数据可被所述数据宿域使用;当所述数据宿域中的先入先出(FIFO)存储装置中的空间可用时,将所述数据从所述源域中的所述寄存器载入所述 FIFO 存储装置中;以及将数据从所述 FIFO 存储装置输出到数据宿装置以在所述 FIFO 存储装置中为数据清出空间。此方法还包含维持所述源域中表示所述 FIFO 存储装置中的可用空间的计数。响应于每次将数据载入所述源域中的所述寄存器中并响应于从所述数据宿域发出每次清出了所述 FIFO 存储装置中的空间的信令来维护所述计数。对于将数据载入源域中的寄存器中的步骤的每一重复,存在基于所述计数的当前状态控制将数据从所述源载入所述寄存器中的相关步骤。而且,在所述计数指示所述 FIFO 存储装置充满的情况下,所述方法允许将下一可用数据拍载入所述源域中的所述寄存器中并保持所述数据拍,使得所述数据拍连续可被所述 FIFO 存储装置使用,以便在空间变为可用时载入所述 FIFO 存储装置中。

[0012] 还揭示使用这些或类似控制和信令技术在域之间传送数据的特定设备。此设备的实例可能包含源域中的读取数据寄存器,其用于从源接收数据并提供所接收数据以用于传送到所述数据宿域。数据宿域中的先入先出(FIFO)存储装置接收来自所述读取数据寄存器的数据以用于传送到数据宿。所述设备还包含源域中的计数器。所述计数器响应于将数

据载入所述读取数据寄存器和从所述 FIFO 存储装置卸载数据。维持在计数器中的值表示所述 FIFO 存储装置中的可用空间。所述设备进一步包含源域中的控制装置，其用于控制响应于所述计数值而将数据载入所述读取数据寄存器中用于传送到所述数据宿域。

[0013] 在一个方面中，一旦所述计数器中的计数值指示所述 FIFO 存储装置充满，那么所述控制器就允许将下一可用数据拍载入所述读取数据寄存器中。读取数据寄存器保持所述数据拍，使得所述数据拍连续提供到所述 FIFO 存储装置，以便在空间变为可用时载入所述 FIFO 存储装置中。

[0014] 在另一方面中，所述设备包含信令装置，其用于在读取数据寄存器中的数据用于传送到 FIFO 存储装置时向数据宿域发出信号以控制 FIFO 存储装置的数据接收。揭示适当信令技术的若干实例。

[0015] 在随后的描述中将部分陈述目的、优点和新颖特征，且所属领域的技术人员在检视以下内容和附图之后或可通过实例的产生或操作而了解所述目的、优点和新颖特征的一部分。通过实践或使用所附权利要求书中特定指出的方法、手段和组合，可实现和获得本发明教示的目的和优点。

## 附图说明

[0016] 附图图式根据本发明教示，仅通过实例而不是限制来描绘一个或一个以上实施方案。图式中，相同参考标号指代相同或类似元件。

[0017] 图 1 是在域之间经由先入先出 (FIFO) 缓冲器传送数据的元件以及用于信令和控制数据交换的元件的功能框图。

[0018] 图 2(A) 到 2(C) 是用于理解图 1 系统中的数据交换的时序图。

[0019] 图 3 是在域之间经由先入先出 (FIFO) 缓冲器传送数据的元件以及稍微不同的一组用于信令和控制数据交换的元件的功能框图。

[0020] 图 4(A) 和 4(B) 是用于理解图 3 系统中的数据交换的时序图。

## 具体实施方式

[0021] 在以下具体实施方式中，借助于实例陈述许多具体细节以便提供对相关教示的详尽理解。然而，所属领域的技术人员应了解，可在没有这些细节的情况下实践本发明的教示。在其它实例中，以相对高的层次描述而不是详细描述众所周知的方法、程序、组件和电路，以便避免不必要的使本发明教示的各方面模糊。

[0022] 本文揭示的技术涉及用于有关向先入先出 (FIFO) 存储装置传送和从 FIFO 存储装置传送数据的信令和控制的协议，以及使用这些协议的设备。现详细参考附图中说明且下文论述的实例。图 1 说明实施有关 FIFO 的信令协议的系统的第一实例。

[0023] 所说明的系统包含两个不同域中的元件，所述两个域为期望发送数据的源域 11 和希望接收数据的数据宿域 13。本质上，由数据源 15 一般表示的域 11 中的元件具有可用数据，且由数据宿 17 一般表示的域 13 中的元件需要接收所述数据以用于进一步处理、存储等。

[0024] 所述两个域通过由虚线 D-D 表示的域边界而分隔。两个域可为由一边界区分隔的单一半导体芯片的不同区，例如一处理器芯片的不同核心部分。不同域也可为不同的芯片，

或经由布线、通过一系列一个或一个以上寄存器或其它接口装置连接的不同装置，或经由局域网或广域网通信的两个单独系统。两个域中电路的操作可相对于同一基础时钟频率而定时（即，同步），或相对于不同基础时钟频率而定时（即，异步）。

[0025] 为了便于论述，假定两个域同步且表示越过边界直接连接在一起的紧密靠近的元件，例如一处理器芯片的越过芯片边界区互连或耦合在一起的两个区段。所述两个区段的分隔可为物理的，例如芯片的两个单独部分或区域，或该分隔可为纯逻辑的，即只是 处于以第一域的数据速率操作的组件与以第二域的数据速率操作的组件之间。

[0026] 因此，两个域的数据速率不同。源域 11 中的元件以一个数据速率操作，而数据宿域 13 中的元件以另一略微不同的数据速率操作。数据宿域 13 的数据速率且因此数据宿装置 17 可能慢于或快于域 11 中的源 15 的数据速率。而且，数据速率且因此数据速率的差可随时间变化，例如随着源 15 和数据宿 17 的处理操作变化而变化。在示范性时序图（图 2(A) 到 2(C)）中，数据宿数据速率略微慢于源数据速率。尽管在实例中时钟速率相同，但使用所属领域的技术人员已知的技术，当时钟不同时仍可获得益处。

[0027] 参看图 1，为了补偿越过边界 D-D 的域 11 与 13 的数据速率差，数据宿域 13 包含先入先出 (FIFO) 存储装置 19，其本质上用于缓冲从源域 11 接收的数据。该缓冲补偿了两个域 11 与 13 的数据速率的差，避免由于在接收域无法处理数据的时间或速度时的数据传送带来的数据损失，和 / 或避免因为接收域 13 期望并准备好接收额外数据而发送域 11 仍在传送前一数据所带来的数据复制。

[0028] 可在各种各样的物理结构（例如，寄存器或存储器）中的任一者中实施 FIFO 存储装置 19。为了论述目的，方便地将 FIFO 19 考虑为接收到的数据移动穿过的寄存器系列或堆栈。然而，FIFO 装置常常利用存储器并通过适当操纵在读取和写入操作期间使用的存储器寻址来提供先入先出操作。当将新的一拍数据（在此实例中为 128 字节）载入或写入 FIFO 存储装置 19 时填充一个寄存器或位置。当将一拍数据从 FIFO 存储装置 19 卸载或读出到数据宿 17 时清出一个寄存器或位置。

[0029] 在源或发送侧 11，数据源 15 将一拍数据（在此实例中为 128 位的数据）供应到寄存器 21（有时称为读取数据寄存器）。在实例中，将寄存器 21 指定为读取数据 (ReadData) 寄存器。ReadData 寄存器 21 保持所述 128 位的数据并在线上提供所述数据位以用于将数据越过边界 D-D 传送到 FIFO 存储装置 19 的输入。尽管图中未图示，但在读取数据寄存器之后和 FIFO 之前可能存在额外的逻辑。当寄存器 21 保持新的一拍（128 字节）数据时，数据在线上到被 FIFO 存储装置 19 的输入使用。然而，当新的一拍数据第一次载入寄存器 21 中时，在数据出现于数据宿域 13 中的 FIFO 存储装置 19 的输入处之前存在一些传播延迟。

[0030] FIFO 控制装置 23 控制到达和通过 ReadData 寄存器 21 的数据流。FIFO 控制装置 23 是有限状态机。所述状态机可实施为可编程处理器，但通常由用于响应于特定输入而产生期望输出，即为实施特定的源侧控制算法的电路和 / 或逻辑块形成。当源 15 有新数据要发送时，如果如寄存器使用计数器 25 指示，FIFO 存储装置 19 中存在可用于最后一拍数据的空间，那么 FIFO 控制装置 23 促使 ReadData 寄存器 21 提供新数据。计数器 的范围或初始值对应于 FIFO 的深度。因此，控制装置 23 可通过检查计数器的状态，例如计数是否仍不为负（无空间可用）来确定 FIFO 中是否存在可用空间。如下文进一步论述，有利的是计数器 25 是源域 11 中的元件。尽管图示为一单独元件，但计数器 25 可集成为用作 FIFO 控制

装置 23 的状态机的一部分。

[0031] 当 FIFO 控制装置 23 促使 ReadData 寄存器 21 提供新数据以用于输入到 FIFO 存储装置 19 时, FIFO 控制装置 23 通过产生在实例中称为读取数据就绪 (ReadDataReady) 信号的就绪脉冲来向数据宿域 13 发信号。此信号通常是针对单一时钟循环宣告的脉冲, 此意味着其并非在数据由 ReadData 寄存器 21 保持可用的时间内保持为高 (或低) 的状态信号。在数据宿域中, 将 ReadDataReady 脉冲信号施加到在示范性图中指定为就绪 (Rdy) 寄存器的寄存器 27。当寄存器 27 接收到就绪脉冲时, 其提供一状态信号, 表示数据准备好传送到数据宿域 13 中的 FIFO 控制装置 29。寄存器 27 维持就绪状态 (保持脉冲), 直到由 FIFO 控制装置 29 清除为止。

[0032] 在数据宿域 13 中, FIFO 控制装置 29 是另一有限状态机。所述状态机可实施为可编程处理器, 但通常由用于响应于特定输入而产生期望输出, 即为实施特定的数据宿侧控制算法的电路和 / 或逻辑块形成。FIFO 控制装置 29 (例如) 将“写入”和“读取”信号提供到 FIFO 存储装置 19 以控制到达 FIFO 存储装置 19 的输入 (写入) 和来自 FIFO 存储装置 19 的输出 (读取)。读取功能清出空间以接收新数据。如所提及, 寄存器 27 响应于来自源域控制装置 23 的就绪脉冲而将就绪状态信号提供到 FIFO 控制装置 29。如果 FIFO 存储装置 19 中有空间可用于接收就绪数据, 那么控制装置 29 产生写入信号, 促使 FIFO 存储装置 19 接受来自源域 11 中 ReadData 寄存器 21 的数据输入。FIFO 控制装置 29 在其产生写入信号时, 即在其指示 FIFO 存储装置 19 接受来自源的一拍数据 (128 位) 时, 对就绪状态寄存器 27 定时 (即, 基于 ReadDataReady 信号的值使其更新)。

[0033] 如所说明, 用作 ReadDataReady 信号的脉冲使计数器 25 递减, 指示 FIFO 存储装置 19 中少了一个寄存器位置。在此方面, 计数器 25 响应于同一域 11 中产生的就绪脉冲而递减, 而对于两个域 11 与 13 之间的信号传送没有任何延迟或延时。来自数据宿侧 FIFO 控制装置 29 的读取信号指示 FIFO 存储装置 19 将数据从其寄存器位置之一输出到数据宿 17 并清出装置 19 中的所述位置。因此, 从数据宿域 13 越过边界 D-D 供应读取信号的脉冲以递增计数器 25。

[0034] 在控制装置 29 发出读取信号与在源域 11 中计数器 25 处的作为 FIFO 条目空闲 (FIFOentry free) 指示的相应信号的出现之间将存在一些延时。信令延时可能是由于穿过芯片发送信号所需的时间。然而, 在读取信号与 FIFO 条目空闲之间可能存在额外的状态由路, 在图中由延迟 / 时序元件 28 一般性表示。尽管在数据宿域 13 中展示, 但电路 28 可物理存在于所述域中的一者或两者中。通常为一个或一个以上触发器的额外电路确保域之间的边界 D 上的适当的信号电平和时序对准。然而, 额外电路 28 将对控制装置 29 发出读取信号与在计数器 25 处作为 FIFO 条目空闲指示的相应信号的出现之间的延时增加一个或一个以上循环的延迟。尽管为了方便而未图示, 但所属领域的技术人员将认识到, 如果提供这种额外电路, 那么在两个域之间的其它线 (例如, ReadData 线与 ReadDataReady 线) 上将提供类似的延迟 / 时序元件。

[0035] 计数器 25 将 FIFO 空闲空间计数供应到源域 11 中的 FIFO 控制装置 23, 以供其对越过边界 D-D 传输新数据的确定。通过在每次数据可被 FIFO 19 使用时递减计数且在每次清出一位置时 (在将数据读出 FIFO 19 时) 递增计数, 计数器 25 的值跟踪 FIFO 存储装置 19 中可用或空闲的空间的量 (寄存器位置的数目)。然而, 因为计数器 25 在源域 11 中, 所

以递减稍微超前于 ReadDataReady 信号的接收以及数据宿域 13 中对其的响应。在越过边界 D-D 将脉冲信号传送到寄存器 27 时存在某一延迟或延时。相反地,由于在越过边界 D-D 传送读取信号中的延迟或延时,源域 11 中计数器 25 的递增稍微落后于或拖后于从数据宿域 13 中的 FIFO 存储装置 19 读取数据。

[0036] 当源初始具有可用于传送到数据宿 17 的数据时,FIFO 控制装置 23 也响应于由数据源 15 设定的一位寄存器 31 中的数据有效性旗标 (V)。换句话说,源 15 设定寄存器 31 中的旗标 V 以通知 FIFO 控制装置 23 :存在有效的新数据可用于载入到 ReadData 寄存器 21 中。FIFO 控制装置 23 将时钟 (启用) 信号提供到所述一位寄存器以用作数据有效性旗标 (V) 31。当数据成功传送到数据宿域中的 FIFO 19 时,FIFO 控制装置 23 提供时钟 (启用) 信号以装载寄存器 31,且因此提供有效性旗标 (V) 的状态。在操作中,将源有效位从寄存器 31 发送到源 FIFO 控制装置 23,以告知此 FIFO 控制装置 23 :数据准备好发送。当数据已发送时从寄存器 31 清出所述位,除非新数据同时从源 15 移入。以此方式,FIFO 控制装置 23 控制寄存器 31 中的 V 旗标以允许源 15 在计数器 25 指示存在可用于新的一拍数据的空间时设定旗标 (并向 ReadData 寄存器 21 输入新的一拍数据)。

[0037] 为了解图 1 系统中的数据传送,参看图 2(A) 到 2(C) 中描绘的简单时序图考虑系统操作的特定时序可能有帮助。每幅图中的顶部行提供时钟循环的编号,且在下一行中展示时钟的脉冲。在实例中,时钟在两个域中是相同的。第三行表示进入 ReadData 寄存器 21 的数据,且第四行表示 ReadDataReady 信号 (信号图中简化为 DataRdy)。

[0038] 现考虑图 2(A) 作为第一实例。在此实例中,为了简单,FIFO 由单一行 (Fifo[0]) 组成。计数 (第五行所示) 表示可发送的数据拍的数目。计数以 FIFO 位置的数目加一开始。此额外的拍表示可保持“运行中”的数据 (ReadData 寄存器中)。零的计数指示需要从前一循环保持源数据。因此,在此一循环中不能宣告 DataReady 信号。由于图 2(A) 的实例仅具有一个 FIFO 位置,因此初始将计数设定为 2。

[0039] 在循环 2 中,当数据  $Q_0$  首先出现于 ReadData 寄存器 21 中时,FIFO 控制装置 23 首先宣告 ReadDataReady 信号 (DataRdy)。在下一循环中,因为其已接收 ReadDataReady 信号,所以计数器将其对可用的 FIFO 缓冲器位置的计数递减 1。在实例中,在图的第五行中,计数在第三循环中降到 1。

[0040] 为此实例的论述假定在 FIFO 中有空间可用。响应于循环 2 中的 ReadDataReady 信号,FIFO 接受第一拍数据  $Q_0$  并将其移动到下一循环 (即,循环 3) 中的行 Fifo[0]。同时在此实例中,数据宿就绪且在此循环中接受所述数据拍 (图的底部行),因此 FIFO 控制装置 29 宣告读取信号 (图中倒数第二行) 以允许将所述数据拍从 FIFO 读出到数据宿中。

[0041] 在此第一实例中,系统在域之间展现单一循环的延时。由于域之间的延时,来自 FIFO 控制装置 29 的读取信号在下一 (第四) 循环中到达计数器,如图 1 所示的 FIFO 条目空闲信号或图 2(A) 中的箭头。此信号表示从 FIFO 清除条目,这通常将引起计数器递增。然而,新的一拍数据在同一循环中也可用,如继续的 ReadDataReady 信号指示。响应于 ReadDataReady 信号的递减抵消响应于读取信号的递增偏移,因此计数保持于 1 (如计数行中的阴影所示)。以类似方式,计数在循环 11 中保持于 1,即只要新数据变为可用且正从数据宿域中的 FIFO 读取数据便保持于 1。

[0042] 在循环 10 中,将最后一拍数据  $Q_8$  载入 ReadData 寄存器,且 ReadDataReady 信号

(DataRdy) 保持为高。然而在循环 11 中,当所述数据拍移动到 FIFO 时,没有新的数据拍可用。控制装置 23 解除宣告 ReadDataReady(图 2(A) 中的 DataRdy) 信号。在下一循环中,当来自控制装置 29 的读取信号到达计数器时,计数器递增(没有相应递减的需要,因为没有新数据可用)。在此简单实例中,在最后数据拍已通过 FIFO 移动到数据宿之后,计数在循环 12 中返回直到 2。

[0043] 图 2(B) 展示一类似实例的时序,其中 FIFO 深度为三行(位置 Fifo[0]、Fifo[1] 和 Fifo[2]),且在两个域之间的信令上存在两个循环的延时,如额外的 FIFO 条目空闲行所表示。额外的延时可能是由于在来自控制装置 29 的读取信号与计数器 25 的 FIFO 条目空闲信号输入之间包含额外的状态电路 28,例如触发器。鉴于相似性,所属领域的技术人员将了解由此图中所示的信令图表示的操作。

[0044] 图 2(C) 是类似于图 2(A) 的另一单一循环延时实例,然而在图 2(C) 中 FIFO 深度为三行(位置 Fifo[0]、Fifo[1] 和 Fifo[2])。而且,图 2(C) 展示数据宿的读取较慢且因此数据移动通过 FIFO 的行较慢。再一次,图的顶部行提供时钟循环的编号,且下一行中展示时钟的脉冲。第三行表示进入 ReadData 寄存器 21 的数据。注意到,当在源处数据可用且在 FIFO 中空间可用时,例如在循环 2、3 和 4 中,数据在一个循环中移入 ReadData 寄存器并在下一循环中从寄存器移出到 FIFO。举例来说,数据拍  $Q_0$ 、 $Q_1$  和  $Q_2$  在寄存器中仅驻留一个循环。然而当数据在 ReadData 寄存器中,但在 FIFO 中空间不可用时,一数据拍在寄存器中保留两个或两个以上循环。在实例中,以  $Q_3$  开始的数据拍在寄存器中驻留至少两个循环。

[0045] 再一次,计数(第五行所示)表示可发送的数据拍的数目。计数以 FIFO 位置的数目加一开始,即对于图 2(C) 的三行 FIFO 实例来说为 4。此额外的拍表示可在 ReadData 寄存器中保持“运行中”的数据。零的计数指示需要从前一循环保持源数据,如寄存器中将以  $Q_3$  开始的每一数据拍保持至少两个循环所表示。再一次,在计数为 0 时的循环中不得宣告 DataReady 信号。

[0046] 如所提及,在此实例中, FIFO 由三行组成,因此初始将第五行所示的计数设定为 4。在循环 2 中,当数据  $Q_0$  首先出现在寄存器 21 中时,FIFO 控制装置 23 首先宣告图的第四行所示的 ReadDataReady 信号(DataRdy)。在下一循环(循环 3)中,因为其已接收来自源域控制装置 23 的 ReadDataReady 信号,所以计数器 25 将其对可用的缓冲器位置的计数递减 1。在实例中,在图的第五行中,计数在第三循环中降到 3。初始地,FIFO 行为空,因此第一数据拍可移入 FIFO 并在第三循环中直接移动到 FIFO 的底部行,即移入行 Fifo[0]。数据宿未准备好接收所述数据,直到稍后某个时间为止(例如循环 6 中),如图的底部所示。因此,Fifo[0] 将第一数据拍  $Q_0$  保持几个循环。

[0047] 然而在循环 3 中,第二数据拍  $Q_1$  移入 ReadData 寄存器,且源侧控制装置 23 保持 ReadDataReady(DataRdy) 信号为高。由于计数器仍未从数据宿域接收到读取或 FIFO 条目空闲信号,因此在此情况下计数器在循环 4 中再一次将计数递减到值 2。在实例中此点处,FIFO 行中的两行为空,因此第二数据拍可移入 FIFO 并在第四循环中直接移动到 FIFO 的倒数第二行,即移入行 Fifo[1]。数据宿仍未准备好接收数据,直到稍后某个时间为止(例如循环 6 中),如图的底部所示。因此,Fifo[1] 将第二数据拍  $Q_1$  保持几个循环。

[0048] 在循环 4 中,第三数据拍  $Q_2$  移入 ReadData 寄存器,且源侧控制装置 23 保持 ReadDataReady(DataRdy) 信号为高。再一次,计数器在下一循环中仍未从数据宿域接 收

到读取或 FIFO 条目空闲信号,因此在此情况下在循环 5 中计数器将计数进一步递减 1 而到达值 1。在实例中此点处, FIFO 行中的一行为空,因此第二数据拍可在第五循环中在行 Fifo[0] 处移入 FIFO。数据宿仍未准备好接收所述数据,直到稍后某个时间为止,因此, Fifo[0] 初始保持第三数据拍  $Q_2$ 。

[0049] 在循环 5 中,另一数据拍  $Q_3$  移入 ReadData 寄存器,且源侧控制装置 23 保持 ReadDataReady (DataRdy) 信号为高。此时,由于没有数据移出 FIFO,因此在循环 6 中计数器将计数进一步递减到值 0。在实例中此点处, FIFO 行中没有行为空,且在 ReadData 寄存器中存在数据。因此,在此循环中不宣告 DataReady 信号。然而,第四数据拍  $Q_3$  在 ReadData 寄存器中保持为“运行中”。

[0050] 在实例中,数据宿首先在第六循环(图的底部行)中准备好接受数据拍,因此 FIFO 控制装置 29 宣告读取信号(图中倒数第二行)以允许将所述数据拍从 Fifo[0] 读出到数据宿中。在此实例中,系统在域之间展现单一循环的延时。由于域之间的延时,来自 FIFO 控制装置 29 的读取信号在下一(第七)循环中到达计数器,如图 1 所示的 FIFO 条目空闲信号或图 2(C) 中的箭头。此信号表示从 FIFO 清除条目,这引起计数器递增回到值 1。

[0051] 当在循环 6 中第一数据拍  $Q_0$  移入数据宿时,在 Fifo[0] 中释放空间,因此 FIFO 中的其它数据在循环 7 中向下移动( $Q_1$  移到 Fifo[0] 且  $Q_2$  移动到 Fifo[1])。顶部行 Fifo[2] 为空且现可从 ReadData 寄存器接收下一数据拍,即在实例中此点处为拍  $Q_3$ 。因为拍  $Q_3$  已移动到 FIFO,所以 ReadData 寄存器现接受下一数据拍  $Q_4$ 。

[0052] 在实例中,数据宿每隔一个循环接受来自 FIFO 底部的数据,因此类似于循环 6 和 7 操作的操作交替,例如,使得在计数器交替递减并接着递增时计数在 1 与 0 之间交替。如图示,数据寄存器 (DataRegister) 保持每一新数据拍“运行中”历时两个连续循环,即直到 FIFO 中空间变为可用为止。以此方式,ReadData 寄存器本质上为额外的 FIFO 行,但其在源域内提供此功能。

[0053] 如上文所述,计数器 25 与源 15 一起位于域 11 中而不是与 FIFO 19 本身一起位于域 13 中。这是有利的,因为对于从 FIFO 到源的信号来说通常存在延时,意味着源在 FIFO 变为就绪之后的某一数目的循环之前无法发送数据。在所说明实例中,计数器 25 不提供 FIFO 19 中内容的时间上的真实快照,因为计数器导致针对递增的延时代价。然而, FIFO 空间空信号可立即用于源 FIFO 控制装置 23(无延时)。因此对于典型条件,可认为计数器 25 “吃掉”域 11 与 13 之间的必要信令的延时。

[0054] 这里的代价在于计数器 25 可能不顺利,因为当实际上在 FIFO 存储装置 19 中存在空间时其可能有时称无法发送数据,因为来自控制装置 29 的空闲信号仍未传播到计数器 25。然而,在所说明设计中可通过根据“空闲”信号延时来设计 FIFO 深度的大小,使得可连续传送数据来克服此情况。也可能通过控制装置 23 的逻辑的适当设计或通过将计数器大小设计为  $N+1$ (其中  $N$  为 FIFO 深度,例如 FIFO 19 中位置的数目)而能够在源侧控制装置 23 相信 FIFO 19 充满时发送一个最后数据拍,来赢得少许带宽。

[0055] 依靠本地计数器和 FIFO 的深度,源 15 可连续发送数据。因此,通过适当设计 FIFO 的大小,可无视信号延时而进行传送,因此,系统大体上“对延时不敏感”。注意到,尤其在目的地或数据宿侧没有足够快地汲取 FIFO 19,且系统丢失等于延时的缓冲时,延时可能在这里起作用。可通过使 FIFO 19 较深以涵盖汲取 FIFO 19 的典型数据速率来补偿此情况。因

此,在典型条件下数据被连续传送。

[0056] 而且,系统不必准确地在其递减计数器 25 时从 FIFO 19 读出数据。而是,用以递减计数器的信号可引起读取,以便稍微较早地递减计数器,只要时序和延时可保证在源侧可响应并转发新数据之前数据宿侧将从 FIFO 装置 19 读出一拍数据并为新数据清出空间。

[0057] 如上文所述,通过适当设计 FIFO 深度的大小,可能在两个域之间提供大体上连续的数据传送。出于此目的,FIFO 深度应至少与往返行程信令延时一样大,即,从 ReadDataReady 直到在源处可见 FIFO 空间空 (FIFO Space Empty) 的循环计数。此数目受到 ReadData 寄存器 21 与 FIFO 19 之间的任何介入级以及 FIFO 与来自数据宿的读取请求之间的介入延时的影响。

[0058] 当数据宿无法与源侧发送数据一样快地读取数据时,FIFO 的大小设计可能较复杂。举例来说,数据宿可能以数据发源的速率的一半速率来消耗数据。所增加级的数目取决于一次性(即,一个突发)发送的数据量、往返行程信令延时以及数据宿的消耗速率。最多将需要将 FIFO 大小增加突发的大小(循环计数)。然而,由于在数据宿读取数据时,额外空间将在 FIFO 中可用,因此实际 FIFO 将稍微较小。在突发大小和突发之间的间隔变化的情况下,确定最优大小可能要求用各种 FIFO 深度进行模拟以实现两个域之间期望的连续数据传送。

[0059] 将计数器初始化为 FIFO 存储装置 19 的大小,并在数据输入到 FIFO 存储装置 19 时递减和从 FIFO 存储装置 19 输出时递增。因此,允许的计数值范围对应于位置的数目 N,即 FIFO 存储装置 19 的深度。即使当计数器称没有空闲空间(0 计数)时,控制装置 23 将允许源将数据载入寄存器 21 并将额外的一组 128 位数据施加于 FIFO 输入线。控制装置将供应保持在寄存器 27 中的 ReadDataReady 脉冲。有效地,寄存器 21 和传送线提供用于 FIFO 存储装置 19 的额外的寄存器位置。而且,此机制本质上采用 FIFO 来 遮蔽(在典型情况下)源与数据宿之间的信令延时。

[0060] 在图 1 的实例中,源侧的 FIFO 控制装置 23 提供单一脉冲作为指示新的有效数据拍可用且准备好传送到 FIFO 19 的信号。然而,代替此从源域到数据宿域的 ReadDataReady 状态的脉冲信令,概念可适合于利用其它技术,例如乒乓信令方法。此乒乓信令方法在源 FIFO 控制装置与数据宿就绪(Sink Ready)逻辑之间采用两个信号。最多这两个信号中的一者为真。当数据被发送通过时,宣告第一信号。在宣告第二信号时,下一数据拍促使第一信号被清除。在宣告第一信号时,下一数据拍促使第二信号被清除,等等。数据宿侧知道在一个信号上接收数据之后查看交替信号。此方法具有的优点在于,当在源相信 FIFO 充满后发送额外数据拍时,信号保持宣告,直到计数器递增且另一数据拍发送为止。因此,不需要捕捉脉冲。本质上,当有效数据就绪且可用于传送到 FIFO 时越过指示的边界宣告一连续信号。

[0061] 图 3 是一系统的功能框图,所述系统大体类似于图 1 的系统,但利用乒乓信令技术。类似于第一实例,此第二说明系统包含处于两个不同域中的元件,源域 311 期望发送数据且数据宿域 313 希望接收数据。本质上,由数据源 315 一般表示的域 311 中的元件有数据可用,且由数据宿 317 一般表示的域 313 中的元件需要接收所述数据以用于进一步处理、存储等。

[0062] 所述两个域通过由虚线 D-D 表示的域边界而分隔。再一次,两个域可为单一半导

体芯片、不同芯片、或经由布线、通过一系列一个或一个以上寄存器或其它接口装置连接的不同装置的不同区，或经由局域网或广域网通信的两个单独系统。如早先论述，两个域中电路的操作可相对于同一基础时钟频率而定时（即，同步），或相对于不同基础时钟频率而定时（即，异步）。

[0063] 为了便于论述，再一次假定两个域同步且表示越过边界直接连接在一起的紧密靠近的元件，例如一处理器芯片的越过芯片边界区互连或耦合在一起的两个核心区段。所述两个区段的分隔可为物理的，例如芯片的两个单独部分或区域，或该分隔可为纯逻辑的，即只是处于以第一域的数据速率操作的组件与以第二域的数据速率操作的组件之间。

[0064] 如前，两个域以不同的数据速率操作。为了补偿越过边界 D-D 的域 311 与 313 的数据速率差，数据宿域 313 包含先入先出 (FIFO) 存储装置 319，其本质上用于缓冲从源域 311 接收的数据。再一次，可在各种各样的物理结构（例如，寄存器或存储器）中的任一者中实施 FIFO 存储装置。为了论述目的，方便地将 FIFO 319 考虑为接收到的数据移动穿过的一系列寄存器或寄存器堆栈。当将一新的数据拍载入或写入装置 319 时填充一个寄存器或位置，且当将一数据拍从装置 319 卸载或读出到数据宿 317 时清出一个寄存器或位置。

[0065] 在源或发送侧 311 上，数据源 315 将一数据拍（在此实例中为 128 位数据）供应到寄存器 321（有时称为读取数据寄存器）。在实例中，将寄存器 321 指定为读取数据 (ReadData) 寄存器。ReadData 寄存器 321 保持所述 128 位的数据并在线上提供所述数据位以用于将数据越过边界 D-D 传送到 FIFO 存储装置 319 的输入。尽管图中未图示，但在读取数据寄存器之后和 FIFO 之前可能存在额外的逻辑。在寄存器 321 保持新的数据拍时，数据在线上可供 FIFO 存储装置 319 的输入使用。然而，当新的数据拍第一次载入寄存器 321 中时，在数据出现于数据宿域 313 中 FIFO 存储装置 319 的输入处之前存在一些传播延迟。

[0066] FIFO 控制装置 323 控制到达和经过 ReadData 寄存器 321 的数据流。FIFO 控制装置 323 是有限状态机，其类似于图 1 中的控制装置 23，但控制装置 323 的状态机的逻辑稍微不同，如下文论述将明了。当源 315 有新数据要发送时，源 315 设定寄存器 331 中的 (V) 旗标，且如果如源域 321 中的寄存器使用计数器 325 指示，FIFO 存储装置 319 中存在可用于最后数据拍的空间，那么 FIFO 控制装置 323 促使 ReadData 寄存器 321 提供新数据。计数器 325 的初始值（且因此计数值的允许范围）对应于 FIFO 319 中位置的数目，即 FIFO 的深度。控制装置 323 可通过检查计数的状态（例如查看计数是否非负）来确定 FIFO 存储装置 319 中是否存在空间来接收一新的数据拍。尽管图示为一单独元件，但计数器 325 可集成为用作 FIFO 控制装置 323 的状态机的一部分。

[0067] 当 FIFO 控制装置 323 促使 ReadData 寄存器 321 提供新数据以用于输入到 FIFO 存储装置 319 时，FIFO 控制装置 323 再一次需要向数据宿域 313 发信号。然而在此情况中，控制装置 323 将 ReadDataReady 信号供应到源域 311 中的乒乓寄存器 326。乒乓寄存器 326 本质上是例如使用两个或两个以上触发器实施的 2 位寄存器。寄存器 326 经控制以具有如下三种有效状态。0,0 状态指示仍没有有效数据就绪。0,1 状态为指示存在数据准备好传送到 FIFO 319 的两种可能有效状态中的第一种。1,0 状态为指示存在数据准备好传送到 FIFO 329 的两种可能有效状态中的第二种。如下文论述，通过 0,1 与 1,0 状态之间的转变来依次指示数据就绪状态。注意到，控制装置 323 和寄存器 326 经配置以便不产生 1,1 状态，因为所述状态在此协议中不是有效的信令状态。

[0068] 在数据变为可用于传送时,源域 311 中的 FIFO 控制装置 323 提供 ReadDataReady 脉冲信号以驱动乒乓寄存器 326 的状态。FIFO 控制装置 323 还将 ReadDataReady 脉冲信号供应到 FIFO 空间使用计数器 325 的递减输入 (-)。当没有数据可用或准备好发送时,且计数器指示在 FIFO 中存在足够的空间用于发送的最后数据时,FIFO 控制装置 323 清出乒乓寄存器 326(成为 0,0 状态)。现假定一拍数据在当前循环中变为可用,且较多数据在稍后循环中变为可用。如果在前一循环中没有数据可用,且在 FIFO 中存在足够的空间用于前一传送,那么寄存器 326 处于 0,0 状态。接着,ReadDataReady 信号的第一脉冲促使寄存器 326 改变为 0,1 数据就绪状态,ReadDataReady 信号的第二脉冲促使寄存器 326 改变为 1,0 数据就绪状态,ReadDataReady 信号的第三脉冲促使寄存器 326 改变回到 0,1 数据就绪状态,等等。以此方式,ReadDataReady 信号的连续脉冲促使寄存器 326 在两个有效数据就绪状态之间交替或“乒乓”,直到 FIFO 控制装置 323 在源 315 没有新数据可用于传送且所有先前数据已被捕捉时清出寄存器 326 为止。

[0069] 寄存器 326 维持每一状态,直到其从 FIFO 控制装置 323 接收到新的脉冲信号或清除命令。如此,每一状态将连续出现在寄存器 326 的 2 位输出线上,只要 FIFO 控制装置 323 不改变寄存器 326 的状态便可。寄存器 326 的输出线将 2 位有效数据状态信息越过边界 D-D 供应到数据宿域 313 中的多路复用器 (MUX) 327。MUX 327 将状态数据供应到数据宿域 313 中的 FIFO 控制装置 329,且 MUX 操作由 FIFO 控制装置 329 控制。在来自数据宿域 FIFO 控制装置 329 的控制下,MUX 327 在每次其输入上出现转变时在其输出上提供 1,直到 FIFO 捕获数据;即,其在每次源域 311 指示存在新的一拍数据或仍存在待捕捉的旧数据准备好发送到 FIFO 存储装置 19 时提供 1。如果 MUX 在其输入上接收到 0,0 状态(没有有效数据准备好发送),那么其总是输出 0。

[0070] 在数据宿域 313 中,FIFO 控制装置 329 是另一有限状态机。所述状态机类似于控制装置 29,但状态机的逻辑稍微不同,如下文论述将明了。FIFO 控制装置 329(例如)将“写入”和“读取”信号提供到 FIFO 存储装置 319 以控制到达 FIFO 存储装置 319 的输入(写入)和来自 FIFO 存储装置 319 的输出(读取)数据。如所提及,MUX 327 响应于来自源域控制装置 323 中寄存器 326 的每一新的乒乓状态(指示新的一拍数据可用于传送)而将 1 信号提供到 FIFO 控制装置 329。如果 FIFO 存储装置 319 中有空间可用于接收就绪数据,那么控制装置 329 产生写入信号,促使 FIFO 存储装置 319 接收来自源域 311 中的 ReadData 寄存器 321 的数据输入。

[0071] 可用单一位信号实施乒乓信令的替代形式。在此情况下,位的切换指示新数据的传递。此方案消除了 0,0 状态,用不转变来将其代替。可通过用互斥 OR 门代替图 3 的 MUX 来将切换转变为脉冲。对于存在待由 FIFO 捕捉的数据的每一循环,无论是新数据还是仍未捕捉的旧数据,互斥 OR 的输出都将为真。

[0072] 如在早先的实例中,用作 ReadDataReady 信号的脉冲使计数器 325 递减,指示 FIFO 存储装置 319 中少了一个寄存器位置。在此方面,计数器 325 响应于同一域 311 中产生的就绪脉冲而递减,而对于两个域 311 与 313 之间的信号传送没有任何延迟或延时。来自数据宿侧的 FIFO 控制装置 329 的读取信号指示 FIFO 存储装置 319 将数据从其寄存器位置之一输出到数据宿 317 并清出装置 319 中的所述位置。因此,从数据宿域 313 越过边界 D-D 供应读取信号的脉冲以递增计数器 325。

[0073] 在控制装置 329 发出读取信号与相应的信号在源域 311 中计数器 325 处作为 FIFO 条目空闲指示出现之间将存在一些延时。信令延时可能是由于信令跨越芯片所需的时间所致。然而,在读取信号与 FIFO 条目空闲之间可能存在额外的状态电路,在图中一般由延迟 / 时序元件 328 表示。尽管在数据宿域 313 中展示,但电路 328 可实际存在于所述域中的一者或两者中。通常为一个或一个以上触发器的额外电路确保越过域之间的边界 D 的适当的信号电平和时序对准。然而,额外电路 328 将给控制装置 329 宣告读取信号与相应的信号在计数器 325 处作为 FIFO 条目空闲指示出现之间的延时增加一个或一个以上延迟循环。尽管为了方便而未图示,但所属领域的技术人员将认识到,如果提供这种额外电路,那么在两个域之间的其它线(例如,ReadData 线与 ReadDataReady 线)上将提供类似的延迟 / 时序元件。

[0074] 计数器 325 将 FIFO 空闲空间计数供应到源域 311 中的 FIFO 控制装置 323,以供其用于确定越过边界 D-D 传输新数据。通过在每次数据可用于 FIFO 319 时递减计数且在每次清出一位置时(在将数据读出 FIFO 319 时)递增计数,计数器 325 的值跟踪 FIFO 存储装置 319 中可用或空闲空间的量(寄存器位置的数目)。然而,因为计数器 325 在源域 311 中,所以递减稍微超前于对来自寄存器 326 的状态信息的接收以及数据宿域 313 中对其的响应。在越过边界 D-D 将 2 位状态信息传送到 MUX 327 时存在某一延迟或延时。相反地,由于在越过边界 D-D 传送读取信号中有延迟或延时,源域 311 中计数器 325 的递增稍微落后于或拖后于从数据宿域 313 中的 FIFO 存储装置 319 读取数据。

[0075] 当源初始具有可用于传送到数据宿 317 的数据时,FIFO 控制装置 323 也响应于由数据源 315 设定的一位寄存器 331 中的数据有效性旗标(V)。换句话说,源 315 设定寄存器 331 中的旗标 V 以通知 FIFO 控制装置 323 存在有效的新数据可用于载入到 ReadData 寄存器 321 中。FIFO 控制装置 323 将一时钟(启用)信号提供到所述一位寄存器以用作数据有效性旗标(V)31。当数据成功传送到数据宿域中的 FIFO 319 时,FIFO 控制装置 323 提供一时钟(启用)信号以装载寄存器 331,且因此提供有效性旗标(V)的状态。在操作中,将源有效位从寄存器 331 发送到源 FIFO 控制装置 323,以告知此 FIFO 控制装置 323 数据准备好发送。当数据已发送时从寄存器 331 清出所述位,除非新数据同时从源 315 移入。以此方式,FIFO 控制装置 323 控制寄存器 331 中的 V 旗标 以允许源 315 在计数器 325 指示存在可用于新的一拍数据的空间时设定旗标(并向 ReadData 寄存器 321 输入新的一拍数据)。

[0076] 图 4(A) 和 4(B) 是图 3 系统的操作的简单实例的时序图。一般地,这些实例类似于上文相对于图 2(A) 和 2(C) 所论述的实例,但这里来自源域的读取数据就绪的信令采用如图 4(A) 和 4(B) 的第四和第五行所示的“乒乓”和“乒乓”信号的形式。如图所示,向两个有效乒乓状态之一(向 0,1 或 1,0)的每一转变发出寄存器中数据就绪的信号。

[0077] 在这些实例中,计数再一次表示可发送的数据拍的数目,且计数以 FIFO 位置的数目加一开始(参见这些图中每一图中的第五行)。此额外的拍表示可在源域中的 ReadData 寄存器中保持“运行中”的数据。零的计数指示需要从前一循环保持源数据。因此,在乒乓协议实例中,在此一循环中一定不会发生状态改变。

[0078] 如上文所述,计数器 325 与源 315 一起位于域 311 中而不是与 FIFO 319 本身一起位于域 313 中。如上文论述和图 3 所示,第二实例类似地依赖于源域中的计数器 325 以跟踪 FIFO 存储装置 319 中空间的使用。与第一实例几乎相同,计数器有效地“吃掉”域 311

与 313 之间的信令的延时。数据在可用时经由寄存器 321 立即被施加,且在该处保持可用于 FIFO,直到读入 FIFO 为止,其本质上为 FIFO 寄存器堆栈提供一额外的存储位置。计数器 325 导致针对递增的延时代价,但可立即用于源侧。

[0079] 这里的代价在于计数器 325 可能不顺利,因为当实际上在 FIFO 存储装置 319 中存在空间时其可能有时称无法发送数据,因为空闲信号仍未传播到计数器 325。可通过根据“空闲”信号延时来设计 FIFO 深度的大小,使得可连续传送数据来克服此情况。也可能通过逻辑 323 的适当设计或通过将计数器大小设定为 N+1(其中 N 为 FIFO 深度,例如 FIFO 319 中位置的数目)而能够在源由于其他原因相信 FIFO 充满时经由寄存器 321 发送一个最后数据拍,来赢得少许带宽。

[0080] 依靠本地计数器和 FIFO 的深度,源 315 可连续发送数据。因此,通过适当设定 FIFO 319 的大小,可无视信号延时而进行传送,且处理大体上“对延时不敏感”。注意到,尤其在目的地没有足够快地汲取 FIFO 319 且丢失等于延时的缓冲时,延时可能在这里起作用。可通过使 FIFO 319 较深以涵盖汲取 FIFO 319 的典型数据速率来补偿此情况。因此,在典型条件下数据被连续传送。用以实现域之间大体上连续的数据传送的 FIFO 深度将类似于上文相对于图 1 的实例论述的 FIFO 深度。

[0081] 而且,系统不必准确地在其递减计数器 325 时从 FIFO 319 读出数据。而是,用以递减计数器的信号可引起读取,以便稍微较早地递减计数器,只要时序和延时可保证在源侧可响应并转发新数据之前数据宿侧将从 FIFO 装置 319 读出一拍数据并为新数据清出空间便可。

[0082] 第二实例的这些优点大体上类似于第一实例的优点。然而,乒乓信令计数增加了一些独特益处。通过乒乓方法,当在源相信 FIFO 充满之后发送额外数据拍时,信号保持宣告,直到计数器 325 递增且另一拍被发送为止。因此,不需要在数据宿侧捕捉和保持 ReadDataReady 脉冲。

[0083] 尽管上文已描述考虑的最佳模式和 / 或其它实例,但应了解可在其中做出各种修改,且可以各种形式和实例实施本文揭示的主旨,且所述教示可应用于许多应用中,本文仅描述了这些应用中的某些应用。希望由所附权利要求书来主张落在本发明教示的真实范围内的任何和所有应用、修改和变更。

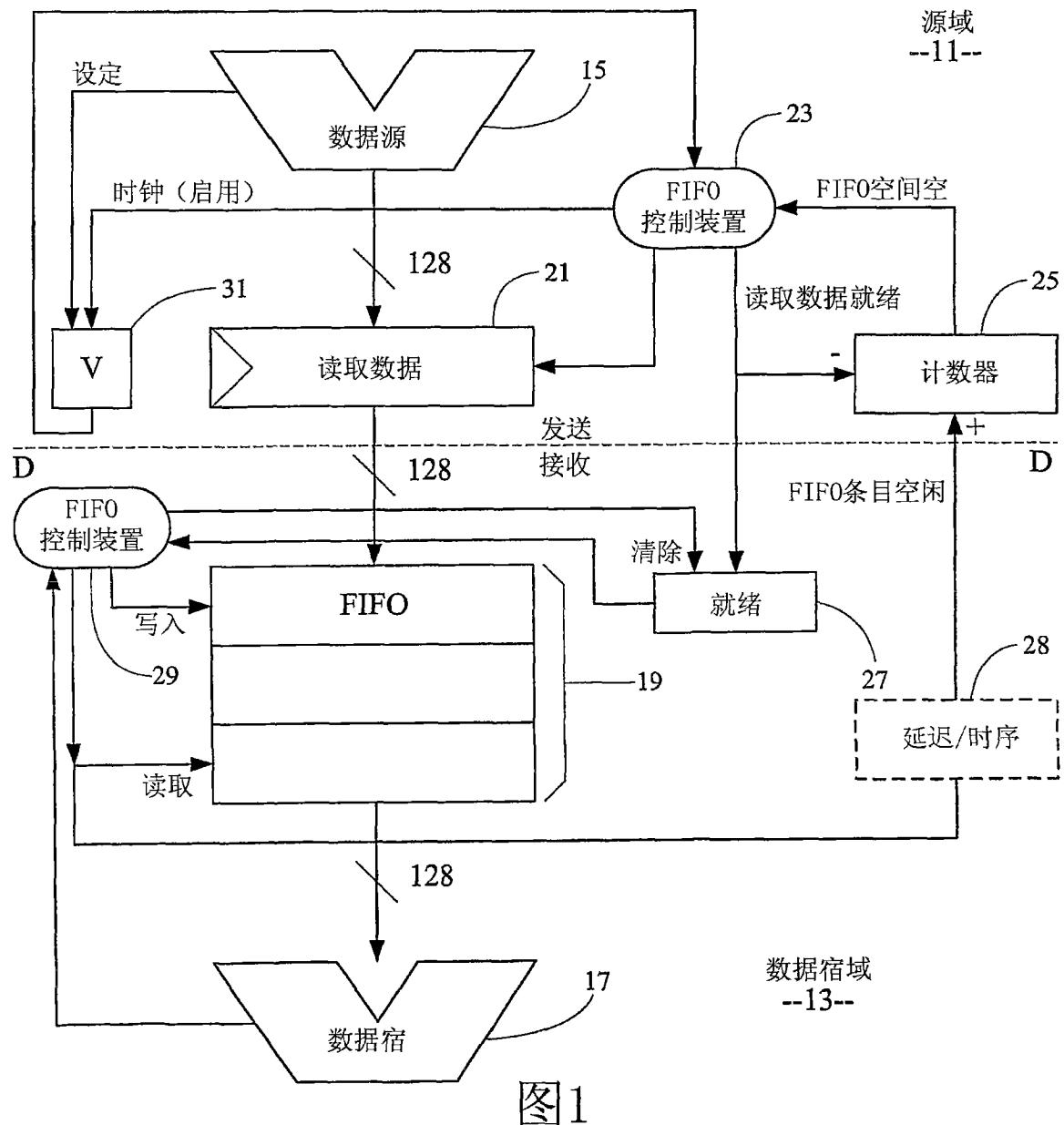
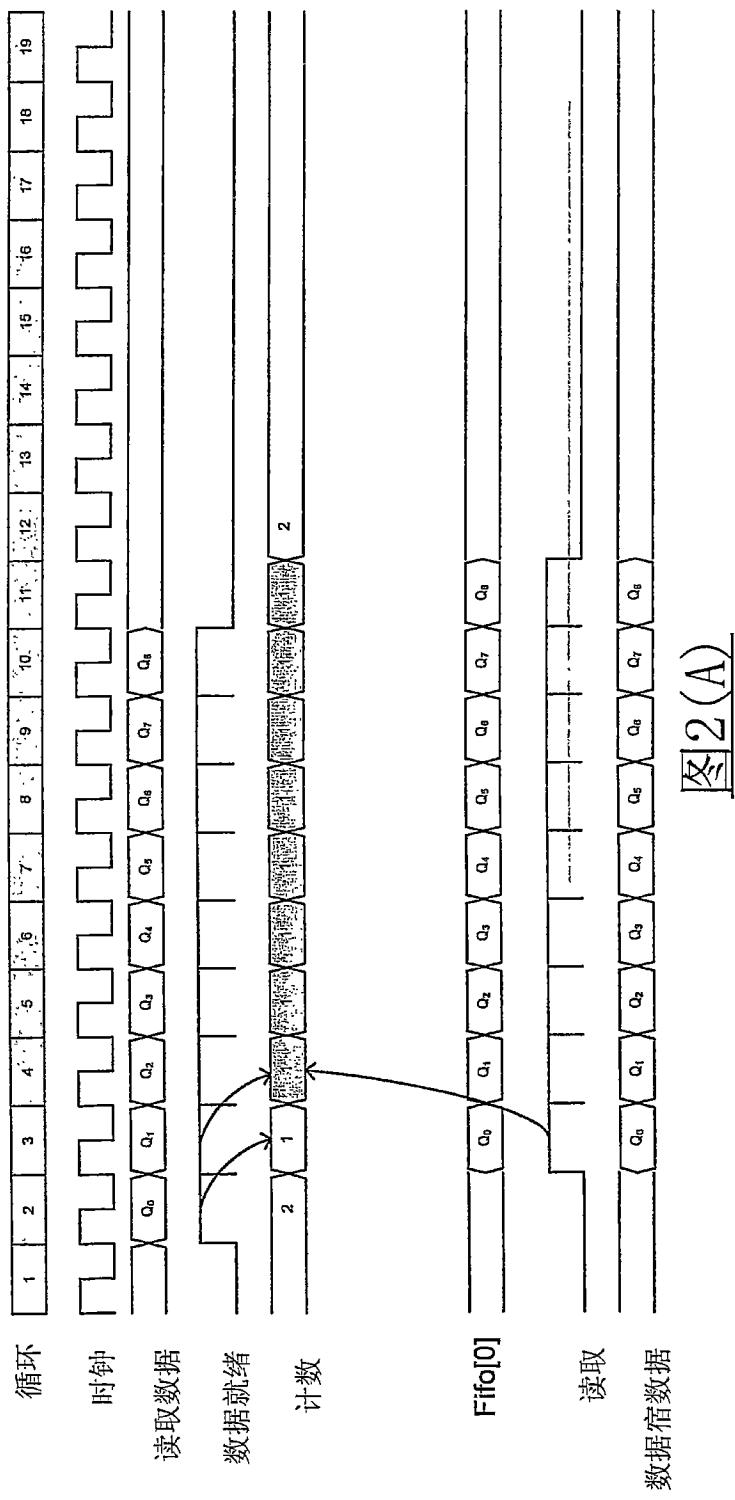
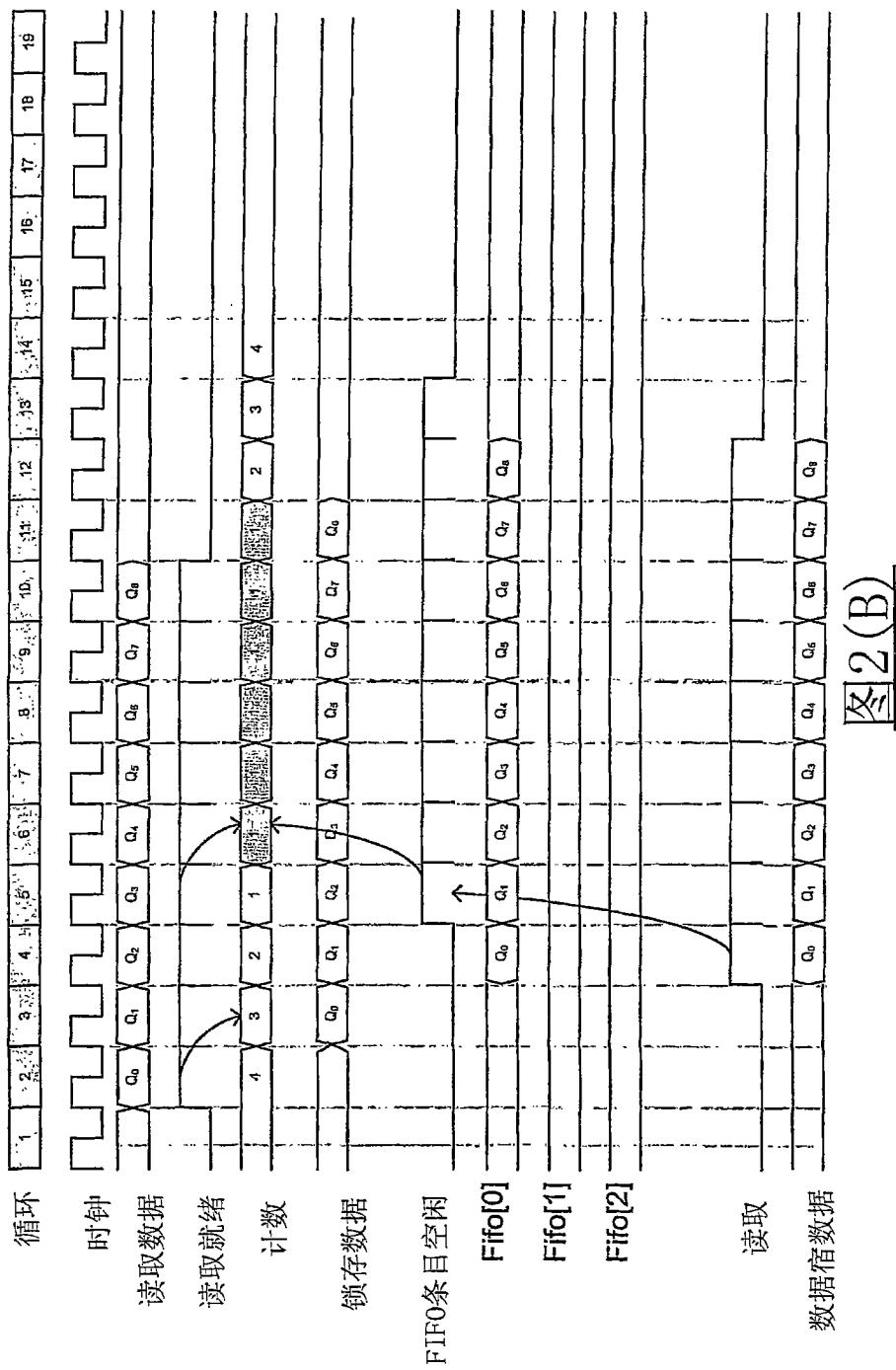


图 1





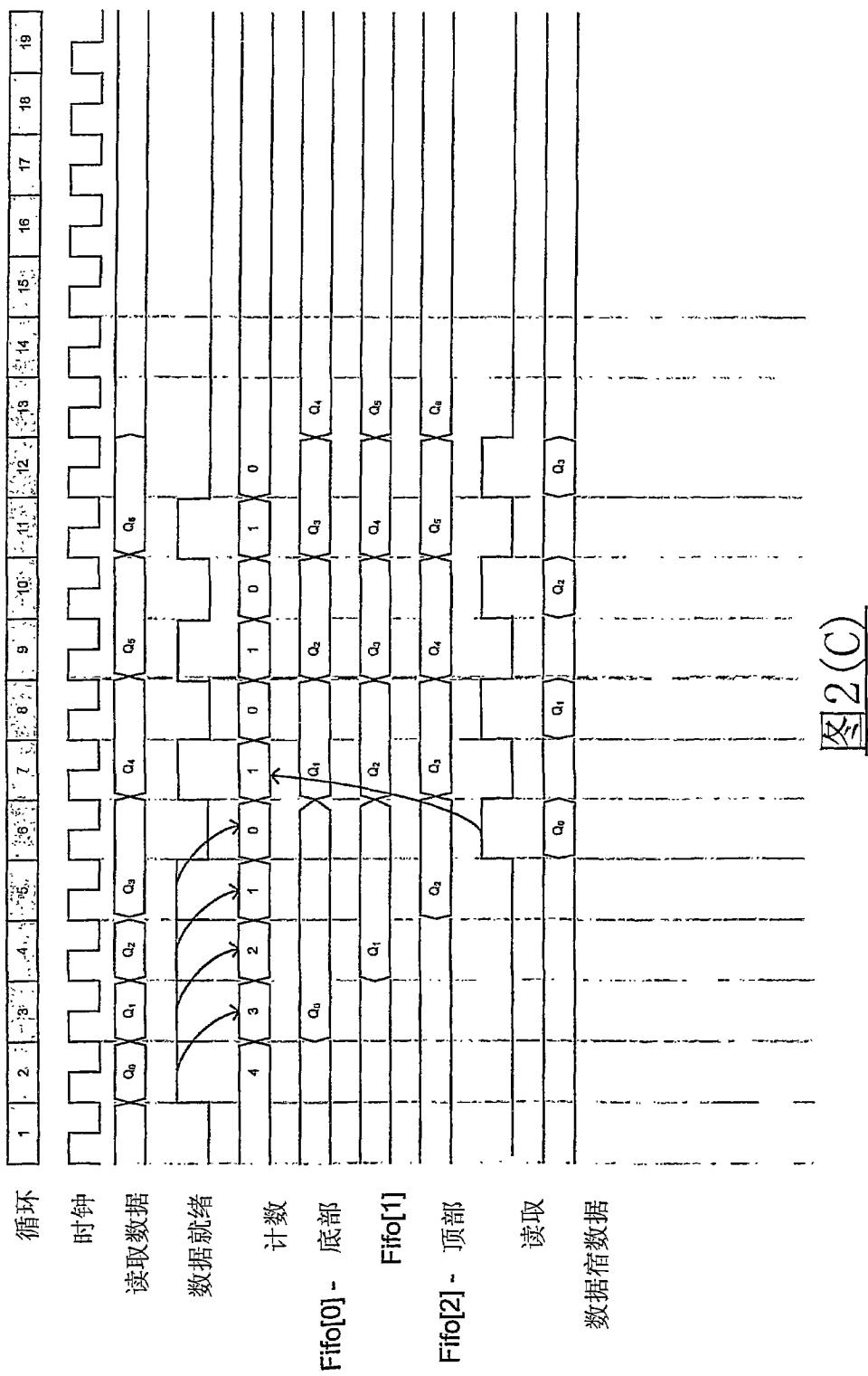


图2(C)

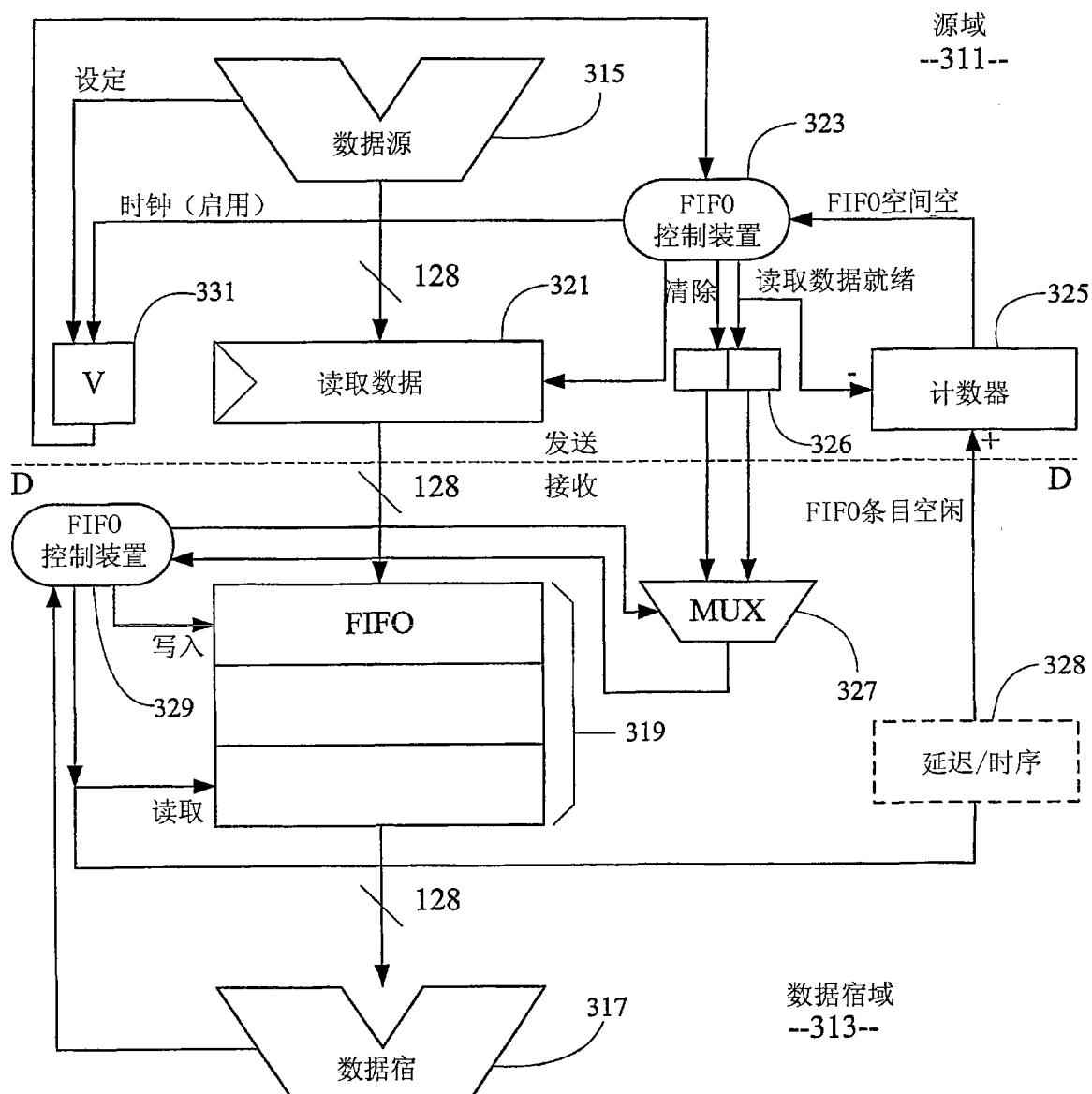
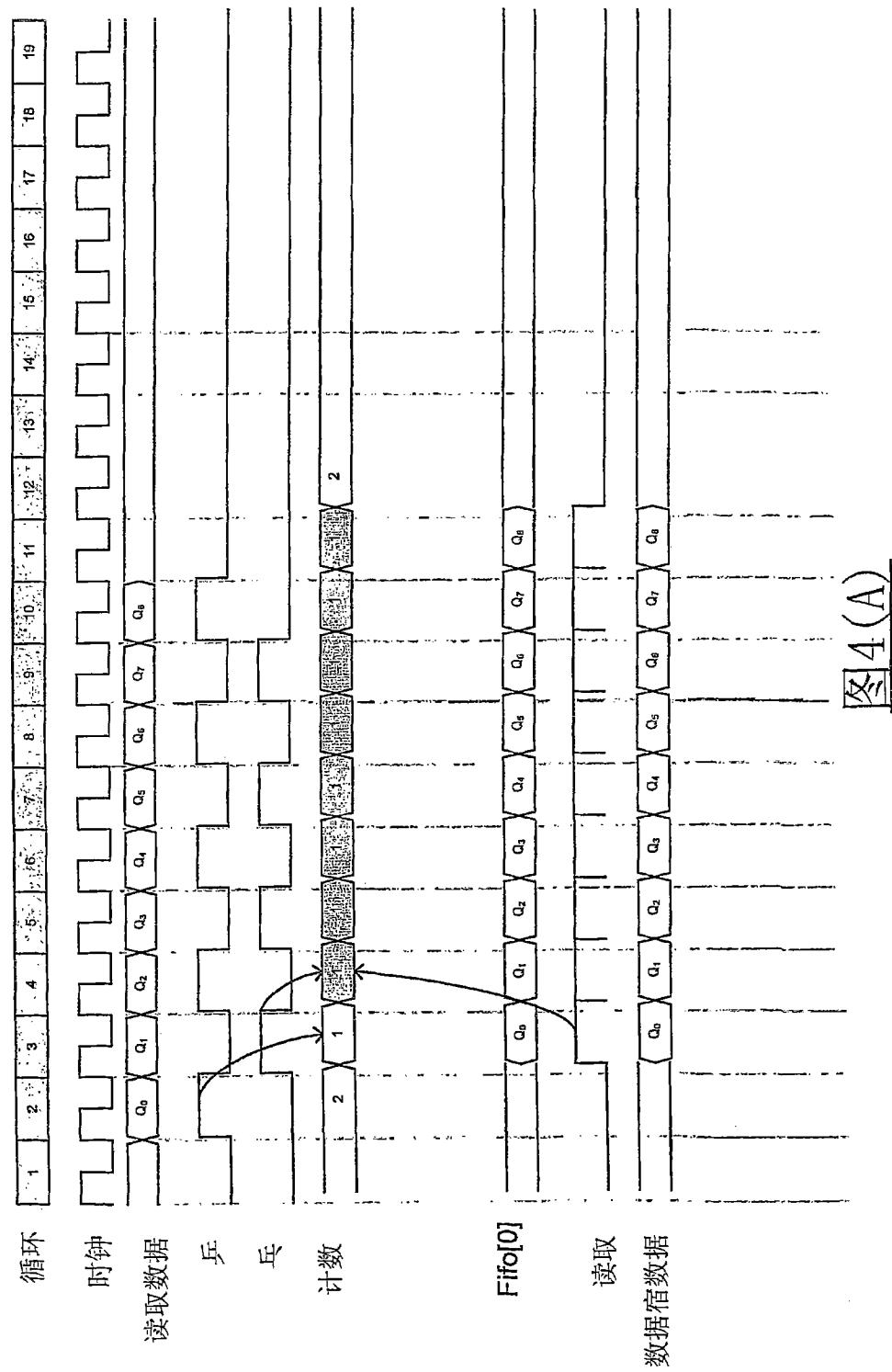
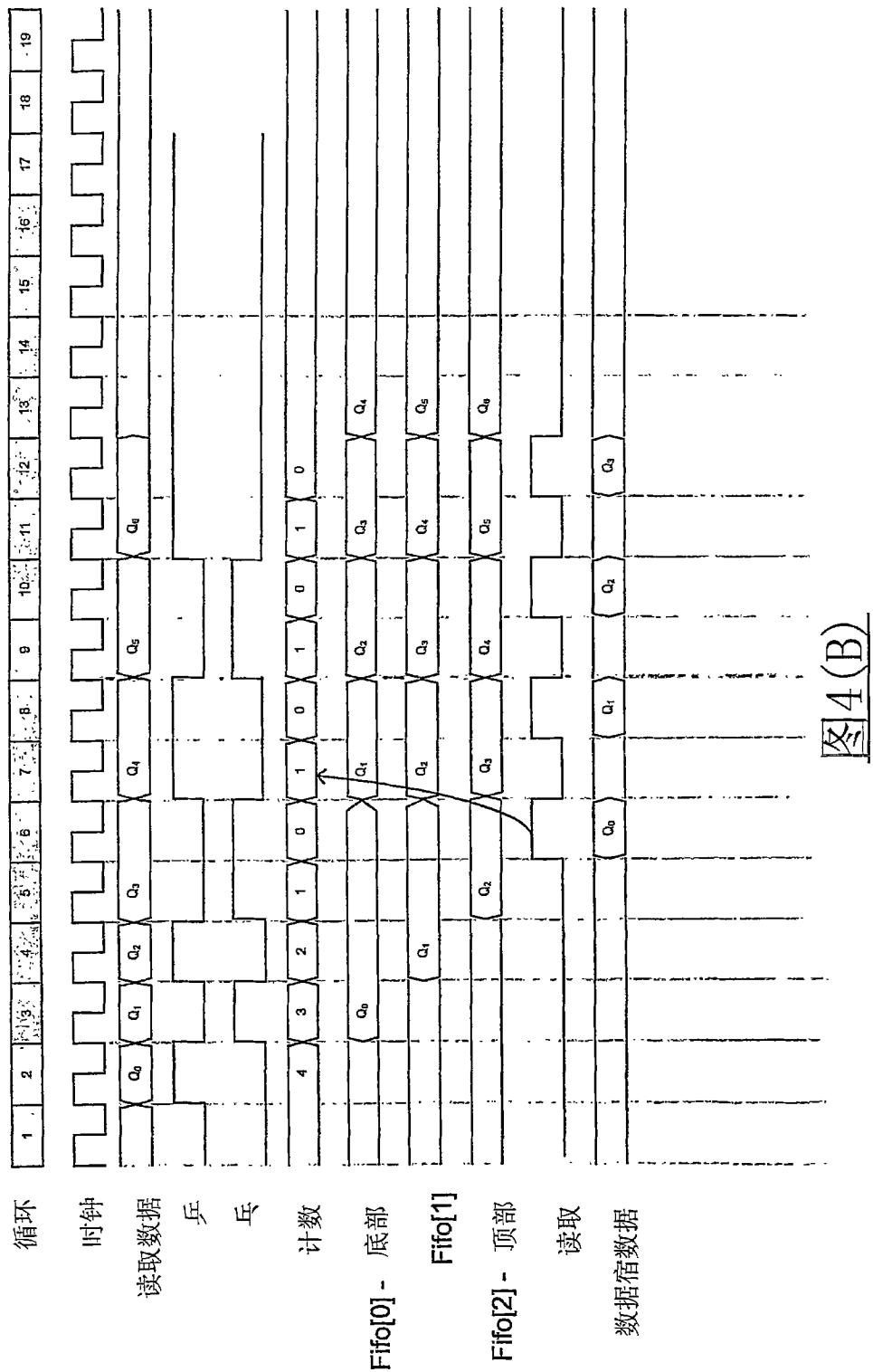


图3



图4(B)