



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 600 04 124 T2 2004.03.11**

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 050 882 B1**

(51) Int Cl.<sup>7</sup>: **G11C 5/06**

(21) Deutsches Aktenzeichen: **600 04 124.7**

(96) Europäisches Aktenzeichen: **00 303 775.1**

(96) Europäischer Anmeldetag: **05.05.2000**

(97) Erstveröffentlichung durch das EPA: **08.11.2000**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **30.07.2003**

(47) Veröffentlichungstag im Patentblatt: **11.03.2004**

(30) Unionspriorität:

|                   |                   |           |
|-------------------|-------------------|-----------|
| <b>12671699</b>   | <b>07.05.1999</b> | <b>JP</b> |
| <b>2000076045</b> | <b>17.03.2000</b> | <b>JP</b> |

(84) Benannte Vertragsstaaten:

**DE, GB**

(73) Patentinhaber:

**Fujitsu Ltd., Kawasaki, Kanagawa, JP**

(72) Erfinder:

**Suzuki, Takaaki, Kawasaki-shi, Kanagawa  
211-8588, JP; Uchida, Toshiya, Kawasaki-shi,  
Kanagawa 211-8588, JP; Sato, Kotoku,  
Kawasaki-shi, Kanagawa 211-8588, JP; Yagishita,  
Yoshimasa, Kawasaki-shi, Kanagawa 211-8588, JP**

(74) Vertreter:

**W. Seeger und Kollegen, 81369 München**

(54) Bezeichnung: **Halbleiterspeicheranordnungen und ihre Betriebsverfahren**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

## Beschreibung

[0001] Die vorliegende Erfindung betrifft ein Verfahren zum Betreiben einer Halbleiterspeichervorrichtung, die eine Vielzahl von Operationsmodi hat, und eine Halbleiterspeichervorrichtung, die eine Vielzahl von Operationsmodi hat.

[0002] Halbleiterspeichervorrichtungen wie etwa DRAMs können zwei verschiedene Adressensignale von demselben Adressenanschluß jeweilig zu verschiedenen Zeiten empfangen, um die Anzahl von Anschlüssen zu reduzieren. Solch eine Halbleiterspeichervorrichtung, die multiplexierte Adressensignale empfängt, kann trotz ihrer großen Speicherkapazität in einer kleinen Packung geformt sein.

[0003] Ein synchroner **DRAM (SDRAM)** ist eine andere Halbleiterspeichervorrichtung, die multiplexierte Adressensignale empfangen kann. Der **SDRAM** ist eine Speichervorrichtung, die Eingangs-/Ausgangsschnittstellenschaltungen mit hoher Geschwindigkeit synchron mit einem Taktsignal betreibt und Daten mit hoher Geschwindigkeit schreibt und liest.

[0004] Der **SDRAM** ist zum Ausführen von Lese- und Schreiboperationen mit hoher Geschwindigkeit in einer Vielzahl von Speicherzellen in der Lage, die mit derselben Wortleitung verbunden sind. In Speicherzellen, die mit verschiedenen Wortleitungen verbunden sind, müssen die Wortleitungen jedoch zu einer Zeitlage ähnlich wie bei den zuvor betrachteten **DRAMs** selektiert werden. Deshalb ist eine Zugriffszeit bei einem wahlfreien Zugriff mit jener bei den **DRAMs** äquivalent.

[0005] Ein Operationsmodus von **SDRAMs** wird beim Eingeben eines Befehls einmal bestimmt; dann führen die **SDRAMs** den bestimmten Operationsmodus aus. Auf Grund dessen ist eine Anzahl von Anschlüssen zum Empfangen von multiplen Befehlssignalen erforderlich, wie etwa von einem Chipselektionssignal (**/CS**), einem Reihenadressen-Strobe-Signal (**/RAS**), einem Spaltenadressen-Strobe-Signal (**/CAS**), einem Schreibfreigabesignal (**/WE**) und einem Taktfreigabesignal (**CKE**). Da die Sequenz zum Eingeben von Befehlen nicht vorbestimmt ist, kann zusätzlich eine Zeitlage zum Ausführen einer Vorladeoperation einer Bitleitung nicht innerhalb eines Chips erzeugt werden. Daher muß ein Vorladen einer Bitleitung ausgeführt werden, indem ein chipexterner Befehl zugeführt wird.

[0006] In den letzten Jahren ist ein **RAM** mit schnellem Zyklus [**fast cycle RAM (FCRAM)**] als **DRAM** entwickelt worden, dessen Operationszyklus signifikant verkürzt wurde, um Datenlese-/ -schreiboperationen mit hoher Geschwindigkeit während des wahlfreien Zugriffs auszuführen.

[0007] Der **FCRAM** ist so konstruiert, daß seine interne Operation in drei Stufen unterteilt ist. Eine Operation in jeder Stufe wird automatisch vollendet. Dadurch wird es möglich, eine Pipeline-Verarbeitung nicht nur für Dateneingabe-/ -ausgabeeinheiten auszuführen, sondern auch für eine Adresse, die eine Operation akzeptiert, und eine Operation einer Speicherkerneinheit. Der Einsatz von solch einer Pipeline-Verarbeitung ermöglicht es, den Operationszyklus zu verkürzen. Da der **FCRAM** zusätzlich so konstruiert ist, um vorrangig das Verkürzen einer Zugriffszeit zu erreichen, sind Adressenanschlüsse nicht multiplexiert, und alle Adressensignale werden zu derselben Zeit der Eingabe eines Befehls zugeführt. Beim Eingeben eines einzelnen Befehls wird ein Operationsmodus bestimmt, und dann wird der vorbestimmte Operationsmodus ausgeführt.

[0008] Die oben beschriebenen **SDRAMs** haben den Nachteil, daß sie eine große Anzahl von Befehlseingabeanschlüssen erfordern. Eine Erhöhung der Anzahl von Befehlseingabeanschlüssen kompliziert eine Konfiguration der Schaltung, die eine Befehlseingabe steuert, auf gedruckten Verdrahtungsplatten.

[0009] Die obenerwähnten **FCRAMs** haben den Nachteil, daß sie im Vergleich zu **DRAMs** und **SDRAMs**, die gleiche Speicherkapazitäten aufweisen, auf Grund der nichtmultiplexierten Adressierung mehr Anschlüsse erfordern. Eine Erhöhung der Anschlußanzahl führt zur Zunahme von zugeordneten Komponenten, wie etwa von Adressenkontaktstellen und Adresseneingangsschaltungen und anderen, wodurch das Problem verursacht wird, daß der Chip größer wird. Ein anderer Nachteil ist der, daß solch eine Erhöhung der Anschlußanzahl bewirken kann, daß die Packungsgröße ebenfalls zunimmt. Im besonderen sind im Falle der **CSP** (chip size package: Packung in Chipgröße), die zu einer Hauptströmung in der Technik geworden ist, Kugeln, die mit einer gedruckten Verdrahtungsplatte verbunden sind, in Form einer zweidimensionalen Anordnung an ihr vorgesehen. Dies kann zu einer Zunahme der Packungsgröße in Abhängigkeit von der Anzahl von Anschlüssen führen.

[0010] Deshalb ist es wünschenswert, die Anzahl von Anschlüssen zu reduzieren, die zur Eingabe von Befehlen und Adressen benötigt werden.

[0011] Es ist auch wünschenswert, eine Zunahme der Größe des Chips und der Packungsgröße desselben durch Reduzieren der Anzahl von Anschlüssen zu verhindern.

[0012] Weiterhin ist es wünschenswert, einen Operationszyklus mit hoher Geschwindigkeit beizubehalten, auch wenn die Anzahl von Anschlüssen verringert wird.

[0013] Ferner ist es wünschenswert, ein Signal mit hoher Geschwindigkeit zu akzeptieren, um einen Operationszyklus mit hoher Geschwindigkeit beizubehalten.

[0014] Es kann davon ausgegangen werden, daß US-5,749,086 ein Verfahren zum Betreiben einer Halbleiterspeichervorrichtung mit einer Vielzahl von Operationsmodi zum Steuern einer internen Schaltung umfaßt,

welches Verfahren das sukzessive Holen einer Serie von Befehlen enthält, die dazu dienen, einen der Operationsmodi zu selektieren, wobei die Selektion durch jeden sukzessiven Befehl der genannten Serie beschränkt wird, und die folgenden Schritte umfaßt: Initiieren einer ersten Operation als Antwort auf einen ersten Befehl in der Serie von Befehlen; und Fortsetzen der ersten Operation, wenn ein zweiter Befehl, der dem ersten Befehl in der Serie von Befehlen folgt, die erste Operation verlangt.

[0015] Ein Verfahren zum Betreiben einer Halbleiterspeichervorrichtung gemäß einem ersten Aspekt der vorliegenden Erfindung ist gekennzeichnet durch das Beenden der ersten Operation als Antwort auf den zweiten Befehl, wenn der zweite Befehl nicht wenigstens die Fortsetzung der ersten Operation verlangt, und ferner dadurch gekennzeichnet, daß der zweite Befehl, der die genannte Fortsetzung nicht verlangt, eine zweite Operation verlangt und die zweite Operation durch den zweiten Befehl initiiert wird.

[0016] Da die Informationen, die zur Bestimmung eines Operationsmodus erforderlich sind, zu einer Vielzahl von Zeiten akzeptiert werden, kann die Anzahl von Anschlüssen, die zum Eingeben von Befehlen benötigt werden, reduziert werden. Im besonderen sind im Falle der Eingabe von Befehlen an einem dedizierten Anschluß dessen Eingangskontaktstellen, Eingangsschaltungen oder dergleichen nicht mehr erforderlich, so daß die Chipgröße verkleinert werden kann. Bei einem Beispiel können jeweilig vier oder acht Operationsmodi identifiziert werden, wenn Befehle an zwei Anschlüssen zu zwei oder drei Zeiten akzeptiert werden. Die Verkleinerung wird durch das Reduzieren der Anzahl von Anschlüssen erreicht, wodurch der Packungsgröße Grenzen gesetzt werden.

[0017] Bei einem Verfahren zum Betreiben einer Halbleiterspeichervorrichtung, das die vorliegende Erfindung verkörpert, werden Befehle vorzugsweise zu zwei Zeiten akzeptiert. In diesem Fall wird die Anzahl von Operationsmodi durch den ersten Befehl eingeschränkt. Dabei wird ein Teil der Schaltung betrieben, der zum Ausführen eines vorbestimmten Operationsmodus von den eingeschränkten Operationsmodi erforderlich ist. Dann wird ein Operationsmodus durch den zweiten Befehl bestimmt; wenn der Operationsmodus ein vorbestimmter Operationsmodus ist, wird der Rest der Schaltung betrieben. Das Ausführen eines Teils des vorbestimmten Operationsmodus im voraus ermöglicht es, die Zugriffszeit auch in dem Fall zu verkürzen, wenn Befehle zu zwei Zeiten akzeptiert werden.

[0018] Bei einem Verfahren zum Steuern einer Halbleiterspeichervorrichtung, das die vorliegende Erfindung verkörpert, ist vorzugsweise ein Modusregistereinstellmodus vorgesehen, der nicht mit einer internen Operation einhergeht, so daß die Operation innerhalb einer vorbestimmten Periode vollendet werden kann, auch wenn eine Operation nach dem Empfang des zweiten Befehls initiiert wird. Ähnlich ist vorzugsweise ein Datenhaltemodus vorgesehen, der das Eingeben/Ausgeben von Daten von/nach außen nicht erfordert, so daß die Operation innerhalb einer vorbestimmten Periode vollendet werden kann, auch wenn die Operation nach dem Empfang des zweiten Befehls initiiert wird.

[0019] Bei einem Verfahren zum Steuern einer Halbleiterspeichervorrichtung, das die vorliegende Erfindung verkörpert, ist es vorzugsweise unnötig, Informationen zum Einstellen des Modusregisters zusammen mit dem ersten Befehl von einem Adressenanschluß zu akzeptieren. Deshalb ist es in diesem Fall unnötig, die Informationen zu halten, bis der zweite Befehl zugeführt wird; als Resultat ist es möglich, die Komplikation einer Steuerschaltung zu verhindern.

[0020] Bei einem Verfahren zum Betreiben einer Halbleiterspeichervorrichtung, das die vorliegende Erfindung verkörpert, wird die Steuerung, die zum Umstellen auf den Datenhaltemodus erforderlich ist, vorzugsweise dann ausgeführt, wenn ein durch den zweiten Befehl bestimmter Operationsmodus ein Datenhaltemodus ist. Danach wird vorzugsweise die Steuerung zum Umstellen auf einen Bereitschaftsmodus ausgeführt, wenn ein Signal, das einem vorbestimmten Anschluß zugeführt wird, während des Datenhaltemodus auf einen vorbestimmten Pegel gesetzt wird. Durch das Überwachen eines Signals an einem vorbestimmten Anschluß, das nicht durch einen Befehl erfolgt, ist es möglich, während eines vorbestimmten Operationsmodus auf einen anderen Operationsmodus zu schalten.

[0021] Bei einem Verfahren zum Betreiben einer Halbleiterspeichervorrichtung, das die vorliegende Erfindung verkörpert, wird die Steuerung, die zum Umstellen auf einen Selbstauffrischmodus erforderlich ist, vorzugsweise dann ausgeführt, wenn ein Signal, das einem vorbestimmten Anschluß zugeführt wird, während eines automatischen Auffrischmodus auf einen vorbestimmten Pegel gesetzt wird. Der Unterschied zwischen dem automatischen Auffrischmodus und dem Selbstauffrischmodus ist der, daß ersterem eine Auffrischzeitlage von außen zugeteilt wird, während letzterer solch eine Zeitlage selbst erzeugt. Eine identische Schaltung kann zum Ausführen sowohl einer Auffrischzähleroperation als auch einer Auffrischoperation verwendet werden. Deshalb wird der automatische Auffrischmodus kontinuierlich und reibungslos auf den Selbstauffrischmodus umgestellt, wodurch die für das Umstellen erforderliche Zeit verkürzt wird.

[0022] Bei einem Verfahren zum Betreiben einer Halbleiterspeichervorrichtung, das die vorliegende Erfindung verkörpert, wird die Akzeptanz des ersten Befehls vorzugsweise durch ein Signal verhindert, das einem vorbestimmten Anschluß zugeführt wird, und die Vorrichtung wird in einen Bereitschaftszustand versetzt. Wenn ein Signal, das einem anderen vorbestimmten Anschluß zugeführt wird, in dem Bereitschaftszustand einen vorbestimmten Pegel erreicht, wird vorzugsweise die Steuerung zur Umstellung auf den Bereitschaftsmodus

ausgeführt. Durch das Überwachen eines Signals an einem vorbestimmten Anschluß während der Verhinderung der Eingabe des ersten Befehls ist ein Umstellen auf einen anderen Operationsmodus möglich, wobei dies nicht durch einen Befehl erfolgt.

[0023] Bei einem Verfahren zum Betreiben einer Halbleiterspeichervorrichtung, das die vorliegende Erfindung verkörpert, wird dann, wenn ein Signal, das einem vorbestimmten Anschluß zugeführt wird, einen vorbestimmten Pegel erreicht, während die Vorrichtung in dem Bereitschaftszustand ist, vorzugsweise die Steuerung zum Umstellen auf einen Modus mit niedrigem Energieverbrauch ausgeführt. In diesem Modus mit niedrigem Energieverbrauch ist die Vorrichtung in einem statischen Zustand und steht nicht direkt mit einer Zugriffsoperation in Verbindung. Die Steuerung zur Umstellung auf den Modus mit niedrigem Energieverbrauch wird vorzugsweise ausgeführt, indem ein vorbestimmtes Signal einem Anschluß zugeführt wird, woraus sich die verbesserte Nutzbarkeit ergibt.

[0024] Bei einem Verfahren zum Betreiben einer Halbleiterspeichervorrichtung, das die vorliegende Erfindung verkörpert, werden die ersten und zweiten Befehle vorzugsweise synchron mit einem Taktsignal akzeptiert. Der zweite Befehl wird vorzugsweise einen halben oder einen Takt nach der Akzeptanz des ersten Befehls akzeptiert. Daher sind die Informationen des zweiten Befehls in kurzer Zeit nach der Akzeptanz des ersten Befehls erhältlich. Als Resultat kann eine etwaige Verzögerung beim Steuern des zweiten Befehls minimiert werden, wenn Befehle zu zwei Zeiten akzeptiert werden.

[0025] Bei einem Verfahren zum Betreiben einer Halbleiterspeichervorrichtung, das die vorliegende Erfindung verkörpert, werden ein Schreiboperationsmodus und ein Leseoperationsmodus vorzugsweise durch den ersten Befehl unterschieden. Mit anderen Worten, die durch den ersten Befehl eingeschränkten Operationsmodi enthalten nicht sowohl den Schreib- als auch den Leseoperationsmodus. Nach der Akzeptanz des ersten Befehls initiiert die Schaltung, die sowohl dem Schreib- als auch dem Leseoperationsmodus gemeinsam ist, die Operation. Das Starten der Operation von solch einer Schaltung, die für die Schreib- und Leseoperationsmodi erforderlich ist, im voraus macht es möglich, die Zugriffszeit zu verkürzen.

[0026] Bei einem Verfahren zum Betreiben einer Halbleiterspeichervorrichtung, das die vorliegende Erfindung verkörpert, wird ein Signal, das einem Adressenanschluß durch den ersten Befehl zugeführt wird, vorzugsweise als Teil einer Adresse akzeptiert, die für eine Schreib- oder Leseoperation erforderlich ist. Wenn ein durch den zweiten Befehl bestimmter Operationsmodus entweder der Schreib- oder der Leseoperationsmodus ist, wird ein Signal, das dem Adressenanschluß zugeführt wird, vorzugsweise als Rest der Adresse akzeptiert, die für die Schreib- oder die Leseoperation benötigt wird. Das Akzeptieren der Adresse, die für die Schreib- oder die Leseoperation erforderlich ist, zu zwei Zeiten führt zu einem signifikanten Reduzieren der Anzahl von Adressenanschlüssen. Demzufolge wird die Anzahl von Adressenkontaktstellen, Adresseneingangsschaltungen oder dergleichen verringert und kann die Chipgröße verkleinert werden. Die Verkleinerung wird erreicht, indem die Anzahl von Anschlüssen reduziert wird, wodurch der Packungsgröße Grenzen gesetzt werden.

[0027] Bei einem Verfahren zum Betreiben einer Halbleiterspeichervorrichtung, das die vorliegende Erfindung verkörpert, wird eine Wortleitung vorzugsweise vor dem Empfang des zweiten Befehls selektiert, um die Zugriffszeit zu verkürzen.

[0028] Bei einem Verfahren zum Betreiben einer Halbleiterspeichervorrichtung, das die vorliegende Erfindung verkörpert, wird dann, wenn ein durch den zweiten Befehl bestimmter Operationsmodus ein automatischer Auffrischmodus ist, eine Wortleitung, die der zusammen mit dem ersten Befehl akzeptierten Adresse entspricht, vorzugsweise nicht selektiert. Dann wird vorzugsweise eine Wortleitung selektiert, die einer intern erzeugten Auffrischadresse entspricht. Speicherzellen werden durch das Umschalten der Selektion einer Wortleitung zuverlässig aufgefrischt.

[0029] Bei einem Verfahren zum Betreiben einer Halbleiterspeichervorrichtung, das die vorliegende Erfindung verkörpert, wird vorzugsweise wenigstens eine Subwortleitung gemäß einer Adresse, die zusammen mit dem ersten Befehl akzeptiert wurde, spezifiziert und selektiert. Nach der Akzeptanz des ersten Befehls ist es möglich, die Schaltung, die zum Betreiben von vorbestimmten Speicherzellen erforderlich ist, vor dem Empfang des zweiten Befehls zu steuern. Daher kann die Zugriffszeit verkürzt werden.

[0030] Bei einem Verfahren zum Betreiben einer Halbleiterspeichervorrichtung, das die vorliegende Erfindung verkörpert, wird die Aktivierung eines Spaltendecodierers vorzugsweise durch den ersten Befehl zuerst initiiert. Wenn der durch den zweiten Befehl bestimmte Operationsmodus entweder ein Schreiboperationsmodus oder ein Leseoperationsmodus ist, wird vorzugsweise eine akzeptierte Adresse verwendet, um eine Spaltenselektionsleitung zu selektieren. Die Zugriffszeit kann verkürzt werden, da der Spaltendecodierer im voraus vor dem Bestimmen der Adresse zum Selektieren der Spaltenselektionsleitung aktiviert wird.

[0031] Bei einem Verfahren zum Betreiben einer Halbleiterspeichervorrichtung, das die vorliegende Erfindung verkörpert, wird ein Signal, das einem vorbestimmten Anschluß zugeführt wird, vorzugsweise als Informationen zum Spezifizieren der Länge von Schreibdaten akzeptiert, wenn der durch den zweiten Befehl bestimmte Operationsmodus der Schreiboperationsmodus ist. Vorzugsweise wird die Länge von Schreibdaten auf der Basis der akzeptierten Informationen direkt gesteuert. Falls eine Vielzahl von Daten in Folge von einem Eingangs-/Ausgangsanschluß (von Eingangs-/Ausgangsanschlüssen) während der Schreiboperation akzeptiert

wird, ist es daher möglich, die Länge von akzeptierten Daten bei den einfachen Steuerprozeduren zu verändern. In bezug auf Daten, die nicht geschrieben zu werden brauchen (das heißt, ein Abschnitt, der länger als die spezifizierte Datenlänge ist), ist zusätzlich keine Schreibsteuerung erforderlich. Dadurch wird Zeit eingespart, die zum Steuern der Schreiboperation benötigt wird. Daher ist es möglich, eine Eingabezeitlage des ersten Befehls im nächsten Zyklus früher anzuordnen. Die Länge von Schreibdaten kann nur durch die Steuerung der Eingangs-/Ausgangsschaltungen verändert werden, so daß die Steuerung durch das Akzeptieren von Informationen zusammen mit dem zweiten Befehl zuverlässig ausgeführt werden kann.

[0032] Bei einem Verfahren zum Betreiben einer Halbleiterspeichervorrichtung, das die vorliegende Erfindung verkörpert, wird ein Signal, das einem vorbestimmten Anschluß zugeführt wird, vorzugsweise als Maskierungsinformationen akzeptiert, die einen Teil von Schreibdaten ungültig machen, die in Folge zugeführt werden, wenn der durch den zweiten Befehl bestimmte Operationsmodus der Schreiboperationsmodus ist. Ein Teil der Schreibdaten wird vorzugsweise auf der Basis der akzeptierten Maskierungsinformationen maskiert. Um die Maskierungsinformationen durch einen dedizierten Anschluß zu steuern, müssen die Informationen von dem dedizierten Anschluß immer dann akzeptiert werden, wenn die Schreiboperation ausgeführt wird, und dadurch wird die Steuerprozedur kompliziert. Das Akzeptieren der Maskierungsinformationen zusammen mit dem zweiten Befehl ermöglicht ein einfaches Steuern der Maskierung von Schreibdaten.

[0033] Bei einem Verfahren zum Betreiben einer Halbleiterspeichervorrichtung, das die vorliegende Erfindung verkörpert, wird ein Signal, das einem vorbestimmten Anschluß zugeführt wird, vorzugsweise als Informationen zum Spezifizieren der Länge von Lesedaten akzeptiert, wenn der durch den zweiten Befehl bestimmte Operationsmodus der Leseoperationsmodus ist. Vorzugsweise wird die Länge von Lesedaten auf der Basis der akzeptierten Informationen direkt gesteuert. Falls eine Vielzahl von Daten von einem Eingangs-/Ausgangsanschluß (von Eingangs- und Ausgangsanschlüssen) während der Leseoperation in Folge akzeptiert wird, ist es daher möglich, die Länge von akzeptierten Daten bei der einfachen Steuerprozedur zu verändern. In bezug auf Daten, die zum Lesen nicht benötigt werden (das heißt, ein Abschnitt, der länger als die Länge von spezifizierten Daten ist), ist zusätzlich keine Ausgangsteuerung erforderlich. Dadurch wird Zeit eingespart, die zum Steuern der Leseoperation benötigt wird. Daher ist es möglich, eine Eingabezeitlage des ersten Befehls in dem nächsten Zyklus früher anzuordnen. Die Länge von Lesedaten kann nur durch die Steuerung der Eingangs-/Ausgangsschaltungen verändert werden, so daß die Steuerung zuverlässig ausgeführt wird, indem Informationen zusammen mit dem zweiten Befehl akzeptiert werden.

[0034] Bei einem Verfahren zum Betreiben einer Halbleiterspeichervorrichtung, das die vorliegende Erfindung verkörpert, wird ein Signal, das einem vorbestimmten Anschluß zugeführt wird, vorzugsweise als Maskierungsinformationen akzeptiert, die einen Teil von Lesedaten, die in Folge zugeführt werden, ungültig machen, wenn der durch den zweiten Befehl bestimmte Operationsmodus der Leseoperationsmodus ist. Vorzugsweise wird ein Teil der Lesedaten auf der Basis der akzeptierten Maskierungsinformationen maskiert. Um die Maskierungsinformationen durch einen dedizierten Anschluß zu steuern, müssen die Informationen immer dann, wenn die Schreiboperation ausgeführt wird, von dem dedizierten Anschluß akzeptiert werden, und dadurch wird die Steuerprozedur kompliziert. Das Akzeptieren der Maskierungsinformationen zusammen mit dem zweiten Befehl macht es möglich, die Maskierung von Schreibdaten leicht zu steuern.

[0035] Bei einem Verfahren zum Betreiben einer Halbleiterspeichervorrichtung, das die vorliegende Erfindung verkörpert, werden in dem Fall, wenn die Operationsmodi, die dem ersten Befehl entsprechen, den Schreiboperationsmodus enthalten, vorzugsweise die Schreibdaten und die Adressen verwendet, die in dem vorhergehenden Schreiboperationsmodus akzeptiert wurden, um die Schreiboperation auszuführen. Dadurch wird es möglich, den Schreibzyklus früh zu vollenden. Falls eine Leseoperation nach einer Schreiboperation ausgeführt wird, ist es möglich, die Leseoperation früh zu initiieren.

[0036] Bei einem Verfahren zum Betreiben einer Halbleiterspeichervorrichtung, das die vorliegende Erfindung verkörpert, wird in dem Fall, wenn die Operationsmodi, die eingeschränkt werden, bei der Eingabe des ersten Befehls einen Schreiboperationsmodus enthalten, vorzugsweise ein Teil der Schaltung betrieben, der zum Ausführen einer Schreiboperation erforderlich ist. Wenn der durch die Eingabe des zweiten Befehls bestimmte Operationsmodus ein automatischer Auffrischmodus ist, wird vorzugsweise eine Auffrischoperation nach Ausführung der Schreiboperation ausgeführt. Daher ist es möglich, die Schreiboperation effektiv auszuführen, indem die Schaltung genutzt wird, die ihre Operation durch die Eingabe des ersten Befehls initiiert hat.

[0037] Gemäß einem anderen Aspekt der vorliegenden Erfindung ist eine Halbleiterspeichervorrichtung vorgesehen, mit einer Vielzahl von Operationsmodi zum Steuern einer internen Schaltung, welche Vorrichtung eine Steuerschaltung zum sukzessiven Holen einer Serie von Befehlen umfaßt, die dazu dienen, einen der Operationsmodi zu bestimmen, wobei die Selektion durch jeden sukzessiven Befehl von der Serie beschränkt wird und die Steuerschaltung betriebsfähig ist, um: eine erste Operation als Antwort auf einen ersten Befehl in der Serie von Befehlen zu initiieren; und die erste Operation fortzusetzen, wenn ein zweiter Befehl, der dem ersten Befehl in der Serie von Befehlen folgt, die erste Operation verlangte gekennzeichnet durch das Beenden der ersten Operation als Antwort auf den zweiten Befehl, wenn der zweite Befehl nicht wenigstens die Fortsetzung der ersten Operation verlangte und ferner dadurch gekennzeichnet, daß der zweite Befehl, der die ge-

nannte Fortsetzung nicht verlangt, eine zweite Operation verlangt und die zweite Operation durch den zweiten Befehl initiiert wird.

[0038] Da die Informationen, die zum Bestimmen des Operationsmodus erforderlich sind, zu einer Vielzahl von Zeiten akzeptiert werden, kann die Anzahl von Anschlüssen reduziert werden, die zur Eingabe von Befehlen benötigt werden. Im besonderen sind in dem Fall, wenn Befehle an einem dedizierten Anschluß eingegeben werden, dessen Eingangskontaktstellen, Eingangsschaltungen oder dergleichen nicht mehr erforderlich, so daß die Chipgröße verkleinert werden kann. Die Verkleinerung wird durch das Reduzieren der Anzahl von Anschlüssen erreicht, wodurch der Packungsgröße Grenzen gesetzt werden. Bei einem Beispiel können jeweilig vier oder acht Operationsmodi identifiziert werden, wenn Befehle an zwei Anschlüssen zu zwei oder drei Zeiten akzeptiert werden.

[0039] In einer Halbleiterspeichervorrichtung, die die vorliegende Erfindung verkörpert, akzeptiert die Befehlssteuerschaltung vorzugsweise Befehle zu zwei Zeiten, schränkt eine Vielzahl von Operationsmodi durch den ersten Befehl ein und betreibt einen Teil der Schaltung, der zum Ausführen eines vorbestimmten Operationsmodus von den eingeschränkten Operationsmodi erforderlich ist. Die Befehlssteuerschaltung bestimmt einen Operationsmodus vorzugsweise durch den zweiten Befehl. Wenn der Operationsmodus ein vorbestimmter Operationsmodus ist, wird vorzugsweise der Rest der Schaltung betrieben.

[0040] Die Anzahl von Anschlüssen, die zum Akzeptieren von Befehlen benötigt werden, kann reduziert werden, da die Informationen, die zum Bestimmen eines Operationsmodus erforderlich sind, zu einer Vielzahl von Zeiten akzeptiert werden. Falls Befehle an einem dedizierten Anschluß eingegeben werden, sind im besonderen dessen Eingangskontaktstellen, Eingangsschaltungen oder dergleichen nicht mehr erforderlich, so daß die Chipgröße verkleinert werden kann. Die Verkleinerung wird durch das Reduzieren der Anzahl von Anschlüssen erreicht, wodurch der Packungsgröße Grenzen gesetzt werden. Das Ausführen eines Teils des vorbestimmten Operationsmodus im voraus macht es möglich, die Zugriffszeit zu verkürzen, auch wenn Befehle zu zwei Zeiten akzeptiert werden.

[0041] In einer Halbleiterspeichervorrichtung, die die vorliegende Erfindung verkörpert, umfaßt die Befehlssteuerschaltung vorzugsweise eine Vielzahl von Akzeptanzschaltungen. Jede der Akzeptanzschaltungen akzeptiert jeweilig Signale, die jeweils zu einer Vielzahl von Zeiten zugeführt werden. Mit anderen Worten, gemäß der Zeitlage der Signalzuführung wird jeweilig eine verschiedene Akzeptanzschaltung betrieben und die interne Schaltung gesteuert. Daher kann eine Befehlssteuerschaltung ohne weiteres auch in der Halbleiterspeichervorrichtung konstruiert werden, die eine komplizierte Befehlskombination hat. Demzufolge kann die Verifizierung der Konstruktion erleichtert werden.

[0042] In einer Halbleiterspeichervorrichtung, die die vorliegende Erfindung verkörpert, akzeptiert jede der Akzeptanzschaltungen vorzugsweise Signale synchron mit den verschiedenen Flanken eines Taktsignals. Auf Grund des direkten Akzeptierens der Signale durch dasselbe Taktsignal wird die Geschwindigkeit der Akzeptanzprozedur erhöht. Dadurch wird es möglich, eine Operation der internen Schaltung früh zu initiieren und die Zugriffszeit zu verkürzen.

[0043] In einer Halbleiterspeichervorrichtung, die die vorliegende Erfindung verkörpert, ist vorzugsweise ein Zeitlagengenerator vorgesehen, der eine Vielzahl von Akzeptanzsignalen auf der Basis eines Taktsignals erzeugt. Jede der Akzeptanzschaltungen akzeptiert jeweilig Signale synchron mit den Akzeptanzsignalen. Es ist nicht mehr erforderlich, das Taktsignal mit der Vielzahl von Akzeptanzschaltungen zu verdrahten, da die Signale unter Verwendung der Akzeptanzsignale akzeptiert werden, die aus dem Taktsignal erzeugt werden. Selbst wenn Signale, die zugeführt werden, und die Akzeptanzschaltungen eine beachtliche Anzahl haben, können die Signale als Resultat akzeptiert werden, ohne die Belastung des Taktsignals zu erhöhen.

[0044] Als Beispiel wird nun Bezug auf die beiliegenden Zeichnungen genommen, in denen:

[0045] **Fig. 1** ein Flußdiagramm ist, welches das Grundprinzip der ersten Ausführungsform bei dem Verfahren zum Betreiben der Halbleiterspeichervorrichtung gemäß der vorliegenden Erfindung zeigt;

[0046] **Fig. 2** ein Blockdiagramm ist, das die Grundprinzipien der ersten Ausführungsform der Halbleiterspeichervorrichtung gemäß der vorliegenden Erfindung zeigt;

[0047] **Fig. 3** ein Zustandsübergangsdiagramm ist, das eine Ausführungsform des Verfahrens zum Betreiben der Halbleiterspeichervorrichtung und die Halbleiterspeichervorrichtung gemäß der vorliegenden Erfindung zeigt;

[0048] **Fig. 4** ein Diagramm der gesamten Konfiguration eines Chips in der ersten Ausführungsform des Verfahrens zum Betreiben der Halbleiterspeichervorrichtung und der Halbleiterspeichervorrichtung gemäß der vorliegenden Erfindung ist;

[0049] **Fig. 5** ein Blockdiagramm ist, das die Details einer Decodiereinheit von **Fig. 4** zeigt;

[0050] **Fig. 6** ein schematisches Diagramm ist, das die Details eines Modusregisters von **Fig. 5** zeigt

[0051] **Fig. 7** ein Blockdiagramm ist, das die Details einer Speicheroperationseinheit von **Fig. 4** zeigt;

[0052] **Fig. 8** ein Schaltungsdiagramm ist, das die Details eines Spaltendecodierers von **Fig. 7** zeigt;

[0053] **Fig. 9** ein Blockdiagramm ist, das die Details einer Speicherkerneinheit von **Fig. 7** zeigt;

[0054] **Fig. 10** ein Blockdiagramm ist, das die Details einer Eingabe-/Ausgabeeinheit von **Fig. 4** zeigt;

- [0055] **Fig. 11** ein Zeitlagendiagramm ist, welches das Verfahren zum Betreiben der Halbleiterspeichervorrichtung und eine Leseoperation in der ersten Ausführungsform der Halbleiterspeichervorrichtung gemäß der vorliegenden Erfindung zeigt;
- [0056] **Fig. 12** ein Blockdiagramm ist, das ein anderes Beispiel für die Konfiguration der Speicheroperationseinheit zeigt;
- [0057] **Fig. 13** ein Blockdiagramm ist, das die zweite Ausführungsform der Halbleiterspeichervorrichtung gemäß der vorliegenden Erfindung zeigt;
- [0058] **Fig. 14** ein Blockdiagramm ist, das die Details eines Puffers und eines Befehlsdecodierers zeigt;
- [0059] **Fig. 15** ein Blockdiagramm ist, das die dritte Ausführungsform der Halbleiterspeichervorrichtung gemäß der vorliegenden Erfindung zeigt;
- [0060] **Fig. 16** ein Diagramm der gesamten Konfiguration eines Chips in der zweiten Ausführungsform des Verfahrens zum Betreiben einer Halbleiterspeichervorrichtung und auch in der vierten Ausführungsform der Halbleitervorrichtung gemäß der vorliegenden Erfindung ist;
- [0061] **Fig. 17** ein Blockdiagramm ist, das die Details eines Decodierers und einer Eingabe-/Ausgabeeinheit von **Fig. 16** zeigt;
- [0062] **Fig. 18** ein Blockdiagramm ist, das die Details einer Speichersteuereinheit und einer Speicheroperationseinheit von **Fig. 16** zeigt;
- [0063] **Fig. 19** ein Zeitlagendiagramm ist, das Leseoperationen der Halbleiterspeichervorrichtung von **Fig. 16** zeigt;
- [0064] **Fig. 20** ein Zeitlagendiagramm ist, das Schreiboperationen der Halbleiterspeichervorrichtung von **Fig. 16** zeigt;
- [0065] **Fig. 21** ein Diagramm der gesamten Konfiguration eines Chips in der dritten Ausführungsform des Verfahrens zum Betreiben einer Halbleiterspeichervorrichtung und auch in der fünften Ausführungsform der Halbleitervorrichtung gemäß der vorliegenden Erfindung ist;
- [0066] **Fig. 22** ein Blockdiagramm ist, das die Details einer Speichersteuereinheit und einer Speicheroperationseinheit von **Fig. 16** zeigt;
- [0067] **Fig. 23** ein Zeitlagendiagramm ist, das Leseoperationen der Halbleiterspeichervorrichtung von **Fig. 21** zeigt; und
- [0068] **Fig. 24** ein Zeitlagendiagramm ist, das Schreiboperationen der Halbleiterspeichervorrichtung von **Fig. 21** zeigt.
- [0069] Unter Bezugnahme auf die beiliegenden Zeichnungen werden nun einige bevorzugte Ausführungsformen der vorliegenden Erfindung eingehend erläutert.
- [0070] **Fig. 1** ist ein Flußdiagramm, welches das Grundprinzip der ersten Ausführungsform in dem Verfahren zum Betreiben der Halbleiterspeichervorrichtung gemäß der vorliegenden Erfindung zeigt.
- [0071] In dieser Ausführungsform werden zuerst eine Befehlseingabe und eine Adressenakzeptanz ausgeführt und wird die Anzahl von Operationsmodi eingeschränkt. Der Ausdruck "Einschränken der Anzahl von Operationsmodi" kann sich zum Beispiel darauf beziehen, ob es eine Möglichkeit zum Ausführen eines Schreiboperationsmodus oder eines Leseoperationsmodus gibt. Danach wird ein Teil von Schaltungen in der Speichervorrichtung betrieben und der nächste Befehl eingegeben. Ein Operationsmodus wird durch diesen Befehl bestimmt, wobei dadurch der Rest der Schaltungen zu arbeiten beginnen kann. Wenn der bestimmte Operationsmodus entweder die Schreiboperation oder die Leseoperation ist, werden Adressen akzeptiert.
- [0072] **Fig. 2** ist ein Blockdiagramm, welches das Grundprinzip der ersten Ausführungsform in der Halbleiterspeichervorrichtung gemäß der vorliegenden Erfindung zeigt.
- [0073] Die Halbleiterspeichervorrichtung umfaßt Befehlssteuerschaltungen **39, 41**. Die Befehlssteuerschaltungen **39, 41** akzeptieren Signale, die von einem vorbestimmten Anschluß zugeführt werden, als Befehle zu einer Vielzahl von Zeiten und schränken die Anzahl von Operationsmodi auf der Basis des jeweiligen Befehls sequentiell ein und steuern eine interne Schaltung gemäß dem eingeschränkten Operationsmodus. Zum Beispiel akzeptieren die Befehlssteuerschaltungen **39, 41** Signale, die von dem vorbestimmten Anschluß zugeführt werden, als Befehle zu zwei Zeiten. Die Befehlssteuerschaltungen **39, 41** schränken die Anzahl von Operationsmodi zu der Zeit der Eingabe des ersten Befehls ein und betreiben einen Teil von Schaltungen, der zum Ausführen eines vorbestimmten Operationsmodus von den eingeschränkten Operationsmodi erforderlich ist. Die Befehlssteuerschaltungen **39, 41** bestimmen dann einen Operationsmodus zu der Zeit der Eingabe des zweiten Befehls und betreiben den Rest der Schaltungen, wenn der bestimmte Operationsmodus der vorbestimmte Operationsmodus ist.
- [0074] **Fig. 3** zeigt ein Zustandsübergangsdiagramm in den ersten Ausführungsformen des Verfahrens zum Betreiben einer Halbleiterspeichervorrichtung und einer Halbleiterspeichervorrichtung gemäß der vorliegenden Erfindung.
- [0075] Die Halbleiterspeichervorrichtung dieser Ausführungsform ist als dynamischer Speicher mit wahlfreiem Zugriff (DRAM) gebildet, wobei dessen interne Schaltung in drei Stufen unterteilt ist, und funktioniert so, daß jede von ihnen eine Pipeline-Operation ausführen kann.

[0076] Der **DRAM** hat sechs verschiedene Operationsmodi und drei Operationszustände. Die Operationsmodi umfassen einen Modus mit niedrigem Energieverbrauch, einen Modusregistereinstellmodus, einen Leseoperationsmodus, einen Schreiboperationsmodus, einen automatischen Auffrischmodus und einen Selbstauffrischmodus. Die Operationszustände enthalten einen Bereitschaftszustand, einen Aktivierungszustand **R** und einen Aktivierungszustand **W**.

[0077] Jeder der Operationsmodi und Operationszustände wird in einen anderen versetzt, wenn irgendeiner von einem RDA-Befehl, einem WRA-Befehl, einem DESL-Befehl, einem MRS-Befehl, einem LAL-Befehl, einem REF-Befehl, einem SELFN-Befehl, einem SELFX-Befehl, einem PDEX-Befehl und einem PDEN-Befehl empfangen wird. Pfeile werden zum Bezeichnen der Richtungen verwendet.

[0078] Der RDA-Befehl, der WRA-Befehl, der DESL-Befehl, der MRS-Befehl, der LAL-Befehl und der REF-Befehl sind durch ein Chipselektionssignal **/CS** und ein Funktionssignal **FN** bestimmbar, wie es später beschrieben ist. Der RDA-Befehl, der WRA-Befehl und der DESL-Befehl, die in der Zeichnung durch dicke durchgehende Linien gekennzeichnet sind, werden als erste Befehle bezeichnet, die im Bereitschaftszustand akzeptabel sind. Der MRS-Befehl, der LAL-Befehl und der REF-Befehl, die durch dicke unterbrochene Linien gekennzeichnet sind, werden als zweite Befehle bezeichnet, die in dem Aktivierungszustand **R** oder dem Aktivierungszustand **W** akzeptabel sind. Mit anderen Worten, die zweiten Befehle können akzeptiert werden, nachdem die ersten Befehle empfangen worden sind. Demzufolge erfolgt das Umstellen auf den Leseoperationsmodus, den Schreiboperationsmodus, den Modusregistereinstellmodus und den automatischen Auffrischmodus durch das Empfangen des zweiten Befehls, nachdem der erste Befehl empfangen worden ist. Zusätzlich ist der Aktivierungszustand **R** ein Zustand mit einer Möglichkeit zum Umstellen auf den Leseoperationsmodus nach Empfang des zweiten Befehls. Der Aktivierungszustand **W** ist ein Zustand mit einer Möglichkeit zum Umstellen auf den Schreiboperationsmodus nach Empfang des zweiten Befehls.

[0079] Der SELFN-Befehl, der SELFX-Befehl, der PDEN-Befehl und der PDEX-Befehl, die durch dünne durchgehende Linien gekennzeichnet sind, werden in Abhängigkeit davon bestimmt, ob ein Energieabschaltsignal **PD**, das später beschrieben ist, auf seinem hohen Pegel oder niedrigen Pegel ist. Genauer gesagt, wenn das Energieabschaltsignal **PD** in dem automatischen Auffrischmodus auf **L** schaltet, tritt die Vorrichtung in den Selbstauffrischmodus ein (SELFN-Befehl). Wenn das Energieabschaltsignal **PD** in dem Selbstauffrischmodus auf **H** schaltet, wird die Vorrichtung in den Bereitschaftszustand versetzt (SELFX-Befehl). Wenn das Energieabschaltsignal **PD** im Bereitschaftszustand auf **L** schaltet, tritt die Vorrichtung in den Modus mit niedrigem Energieverbrauch ein (PDEN-Befehl). Wenn das Energieabschaltsignal **PD** in dem Modus mit niedrigem Energieverbrauch auf **H** schaltet, wird die Vorrichtung in den Bereitschaftszustand versetzt (PDEX-Befehl).

[0080] Die dünnen unterbrochenen Linien geben an, daß das Umstellen auf den Bereitschaftszustand nach dem Ausführen der Operationsmodi automatisch erfolgt. Nach der Leseoperation, der Schreiboperation, der Modusregistereinstelloperation oder der automatischen Auffrischoperation erreicht die Vorrichtung den Bereitschaftszustand.

[Tabelle 1]

| Funktion                         | Befehl | Signalbezeichnung |     |    |         |     |     |        |       |
|----------------------------------|--------|-------------------|-----|----|---------|-----|-----|--------|-------|
|                                  |        | CLK               | /CS | FN | BA1-BA0 | A14 | A13 | A12-A9 | A8-A0 |
| Vorrichtung ohne Selektion       | DESL   | L-H               | H   | X  | X       | X   | X   | X      | X     |
| Möglichkeit der Leseoperation    | RDA    | L-H               | L   | H  | BA      | UA  | UA  | UA     | UA    |
| Möglichkeit der Schreiboperation | WRA    | L-H               | L   | L  | BA      | UA  | UA  | UA     | UA    |

[0081] Tabelle 1 zeigt mehrere Zustände von Signalen bei dem ersten Befehl. In dieser Tabelle bezeichnet das Symbol "**L-H**" eine Veränderung von dem niedrigen Pegel auf den hohen Pegel; bezeichnet "**H**" den hohen Pegel; bezeichnet "**L**" den niedrigen Pegel; "**X**" den hohen oder niedrigen Pegel; "**BA**" eine spezifizierte Bankadresse; "**UA**" eine spezifizierte höhere Adresse.

[0082] Der DESL-Befehl kann bei der ansteigenden Flanke eines Taktsignals **CLK** empfangen werden, wenn das Chipselektionssignal **/CS** auf dem hohen Pegel ist. Nach Empfang des DESL-Befehls wird die Vorrichtung



wieder in den Bereitschaftszustand versetzt. Der DESL-Befehl hält den Nichtselektionszustand der Vorrichtung.

[0083] Der ADA-Befehl kann bei der ansteigenden Flanke des Taktsignals **CLK** empfangen werden, wenn das Chipselektionssignal **/CS** auf dem niedrigen Pegel ist und das Funktionssignal **FN** auf dem hohen Pegel ist. Zu derselben Zeit, zu der der ADA-Befehl empfangen wird, werden Bankadressensignale **BA1**, **BA0** als Bankadressen akzeptiert und Adressensignale **A14–A0** als höhere Adressen (z. B. Reihenadressen) akzeptiert. Die Vorrichtung wird bei Empfang des ADA-Befehls in den Aktivierungszustand **R** versetzt.

[0084] Der WRA-Befehl kann bei der ansteigenden Flanke des Taktsignals **CLK** empfangen werden, wenn das Chipselektionssignal **/CS** auf dem niedrigen Pegel ist und das Funktionssignal **FN** auf dem niedrigen Pegel ist. Zu derselben Zeit, zu der der WRA-Befehl empfangen wird, werden die Bankadressensignale **BA1**, **BA0** als Bankadressen akzeptiert und die Adressensignale **A14–A0** als höhere Adressen (z. B. Reihenadressen) akzeptiert. Die Vorrichtung wird bei Empfang des WRA-Befehls in den Aktivierungszustand **W** versetzt.

[0085] Tabelle 2 zeigt einige Zustände von Signalen für die Akzeptanz der zweiten Befehle. In dieser Tabelle bezeichnen die Symbole "**V**", "**WBLO**" und "**WBL1**" entweder einen hohen Pegel oder einen niedrigen Pegel, und das Symbol "**LA**" bezeichnet die spezifizierte niedrigere Adresse.

[0086] Der LAL-Befehl wird bei der ansteigenden Flanke des Taktsignals **CLK** empfangen, wenn das Chipselektionssignal **/CS** auf dem hohen Pegel ist. Zu derselben Zeit, zu der der LAL-Befehl empfangen wird, werden Bankadressensignale **BA1**, **BA0** als Bankadressen akzeptiert und wird ein Adressensignal **A14** als Bit **WBLO** geladen, wird ein Adressensignal **A13** als Bit **WBL1** akzeptiert und werden Adressensignale **A12–A0** als niedrigere Adressen (z. B. Spaltenadressen) akzeptiert. Bei Empfang des LAL-Befehls im Aktivierungszustand **R** tritt die Vorrichtung in den Leseoperationsmodus zum Ausführen der Leseoperation ein. Bei Empfang des LAL-Befehls im Aktivierungszustand **W** tritt die Vorrichtung in den Schreiboperationsmodus zum Ausführen der Schreiboperation ein. Genauer gesagt, auf der Basis des bereits empfangenen Befehls (RDA- oder WRA-Befehl) wird die Anzahl von Operationsmodi als Antwort auf den neu empfangenen LAL-Befehl eingeschränkt. Mit anderen Worten, durch den LAL-Befehl allein werden keine Operationsmodi bestimmt.

[0087] Der MRS-Befehl wird bei der ansteigenden Flanke des Taktsignals **CLK** empfangen, wenn das Chipselektionssignal **/CS** auf dem niedrigen Pegel ist. Zu der Zeit, wenn der MRS-Befehl empfangen wird, werden die niedrigen Pegel der Bankadressensignale **BA1**, **BA0** und Adressensignale **A14–A13** akzeptiert und wird der spezifizierte Wert von den Adressensignalen **A12–A0** akzeptiert. Die Werte von solchen Adressensignalen **A12–A0** werden verwendet, um ein Modusregister **49** einzustellen, wie es später beschrieben ist.

[Tabelle 2]

| Funktion                           | Be-<br>fehl | Signalbezeichnung |     |    |             |      |      |            |           |
|------------------------------------|-------------|-------------------|-----|----|-------------|------|------|------------|-----------|
|                                    |             | CLK               | /CS | FN | BA1-<br>BA0 | A14  | A13  | A12-<br>A9 | A8-<br>A0 |
| Verriegeln der niedrigeren Adresse | LAL         | L-H               | H   | X  | X           | WBLO | WBL1 | X          | LA        |
| Modusregistereinstellung           | MRS         | L-H               | L   | X  | L           | L    | L    | V          | V         |
| Automatisches Auffrischen          | REF         | L-H               | L   | X  | X           | X    | X    | X          | X         |

[0088] Der REF-Befehl wird bei der ansteigenden Flanke des Taktsignals **CLK** empfangen, wenn das Chipselektionssignal **/CS** auf dem niedrigen Pegel ist. Bei Empfang des REF-Befehls tritt die Vorrichtung in den automatischen Auffrischmodus zum Ausführen einer automatischen Auffrischoperation ein.

[0089] Der LAL-Befehl wird gewöhnlich zum Ausführen der Schreib- oder der Leseoperation verwendet. Ob die Schreiboperation oder die Leseoperation ausgeführt wird, hängt von dem ersten Befehl nach dem LAL-Befehl ab. Zusätzlich sind der MRS-Befehl und der REF-Befehl akzeptabel, wenn das Chipselektionssignal **/CS** auf dem niedrigen Pegel ist.

[0090] Deshalb kann ein **DRAM**, der diese Erfindung verkörpert, irgendeines von der Leseoperation, der Schreiboperation, der Modusregistereinstellung und der automatischen Auffrischoperation selektiv ausführen, indem lediglich das Chipselektionssignal **/CS** und das Funktionssignal **FN** als Befehlssignale verwendet werden. Zusätzlich ist es unnötig, Lese-/Schreibanschlüsse wie etwa **/WE** oder dergleichen zum Ausführen der Lese- und Schreiboperationen zu steuern.

[0091] Tabelle 3 zeigt die Einzelheiten des Bits **WBLO** und des Bits **WBL1**, so wie sie mit den LAL-Befehlen, die in Tabelle 2 gezeigt sind, eingestellt werden. Das Bit **WBLO** und das Bit **WBL1** werden verwendet, um eine

Anzahl von Schreibdaten bei der Schreiboperation einzustellen, die später beschrieben wird. Die Burst-Länge **BL** kann die Anzahl von Datensignalen bezeichnen, die während einer einzelnen Schreib- oder Leseoperation eingegeben und ausgegeben werden kann.

[Tabelle 3]

| BL=2 | WBL0 | WBL1 | Schreibdatenlänge     |
|------|------|------|-----------------------|
|      | L    | X    | Alle Daten            |
|      | H    | X    | Erstes Datum          |
| BL=4 | WBL0 | WBL1 | Schreibdatenlänge     |
|      | L    | L    | Reserviert            |
|      | H    | L    | Alle Daten            |
|      | L    | H    | Die ersten zwei Daten |
|      | H    | H    | Das erste Datum       |
| BL=8 | WBL0 | WBL1 | Schreibdatenlänge     |
|      | L    | L    | Alle Daten            |
|      | H    | L    | Die ersten vier Daten |
|      | L    | H    | Die ersten zwei Daten |
|      | H    | H    | Das erste Datum       |

[0092] Falls die Burst-Länge **BL** auf "2" eingestellt ist, wird die Schreiboperation aller Datenbits ausgeführt, wenn das Bit **WBL0** auf dem niedrigen Pegel ist. Wenn das Bit **WBL0** auf dem hohen Pegel ist, wird nur das erste Datum geschrieben.

[0093] Falls die Burst-Länge **BL** auf "4" eingestellt ist, wird die Schreiboperation aller Datenbits ausgeführt, wenn das Bit **WBL0** auf dem hohen Pegel ist und das Bit **WBL1** auf dem niedrigen Pegel ist. Wenn das Bit **WBL0** auf dem niedrigen Pegel ist und das Bit **WBL1** auf dem hohen Pegel ist, werden nur die ersten zwei Daten geschrieben. Wenn sowohl das Bit **WBL0** als auch das Bit **WBL1** auf dem hohen Pegel ist, wird nur das erste Datum geschrieben.

[0094] Falls die Burst-Länge **BL** auf "r" eingestellt ist, wird die Schreiboperation aller Daten ausgeführt, wenn das Bit **WBL0** und das Bit **WBL1** beide auf dem niedrigen Pegel sind. Wenn das Bit **WBL0** auf dem hohen Pegel ist und das Bit **WBL1** auf dem niedrigen Pegel ist, werden nur die ersten vier Datenbits dem Schreiben unterzogen. Wenn das Bit **WBL0** auf dem niedrigen Pegel ist und **WBL1** auf dem hohen Pegel ist, werden nur die ersten zwei Daten geschrieben. Wenn die beiden Bits **WBL0** und **WBL1** auf dem hohen Pegel sind, wird nur das erste Datum geschrieben.

[0095] Nach der Schreiboperation entsprechend der eingestellten Anzahl der Schreibdatenbits geht die Vorrichtung von dem Schreiboperationsmodus sofort in den Bereitschaftszustand über. Auf Grund dessen führt das Verhindern jeglicher unnötigen Schreiboperationen zur Verkürzung der Zeit, die für einen Schreibzyklus benötigt wird.

[0096] Tabelle 4 zeigt einige Zustände von Signalen in dem Modus mit niedrigem Energieverbrauch und dem Selbstauffrischmodus.

[0097] Die Umstellung auf den Modus mit niedrigem Energieverbrauch erfolgt dann, wenn in dem Bereitschaftszustand das Energieabschaltsignal **PD** von seinem hohen Pegel auf den niedrigen Pegel wechselt, während das Chipselektionssignal **/CS** auf dem hohen Pegel bleibt (PDEN-Befehl). Der Modus mit niedrigem Energieverbrauch wird beibehalten, indem das Energieabschaltsignal **PD** auf dem niedrigen Pegel gehalten wird. Alle Schaltungen außer einem Eingabepuffer zum Empfangen des Energieabschaltsignals **PD** werden inaktiviert, wie es später beschrieben ist. Der Modus mit niedrigem Energieverbrauch wird freigegeben, wenn das Energieabschaltsignal **PD** potentiell von dem niedrigen Pegel auf den hohen Pegel wechselt, während das Chipselektionssignal **/CS** auf dem hohen Pegel bleibt (PDEX-Befehl).

[0098] Die Umstellung auf den Selbstauffrischmodus erfolgt dann, wenn sich das Energieabschaltsignal **PD** in dem automatischen Auffrischmodus von seinem hohen Pegel auf den niedrigen Pegel verändert, während das Chipselektionssignal **/CS** auf dem niedrigen Pegel ist (SELFN-Befehl). Der Zustand des Selbstauffrischmodus wird beibehalten, indem das Energieabschaltsignal **PD** auf dem niedrigen Pegel gehalten wird. Zu dieser Zeit wird die Selbstauffrischoperation kontinuierlich ausgeführt. Der Selbstauffrischmodus wird gesperrt, wenn das Energieabschaltsignal **PD** von dem niedrigen Pegel auf den hohen Pegel wechselt, während das Chipselektionssignal **/CS** auf dem hohen Pegel bleibt (SELFN-Befehl).

[0099] **Fig. 4** zeigt die gesamte Konfiguration eines **DRAM**, der auf eine Ausführungsform der vorliegenden Erfindung angewendet wird.

[0100] Der DRAM umfaßt eine Decodierereinheit **21**, vier separate Speicheroperationseinheiten **23** und eine Eingabe-/Ausgabereinheit **25**. Die Decodierereinheit **21** ist ein Schaltungsblock zum Steuern der ersten Stufe. Die Speicheroperationseinheiten **23** sind Blöcke zum Steuern der zweiten Stufe. Die Eingabe-/Ausgabereinheit **25** ist ein Block zum Steuern der dritten Stufe. Jeder von diesen drei Blöcken hat unabhängig voneinander eine Funktion zum Ausführen einer Pipeline-Operation. Jede Speicheroperationseinheit **23** enthält eine Speichereinheit **27**.

[Tabelle 4]

| Funktion                           |                      | Be-<br>fehl | Gegen-<br>wärtiger<br>Zustand      | PD  |   | /CS | FN | BA1-<br>BA0 | A14-<br>A0 |
|------------------------------------|----------------------|-------------|------------------------------------|-----|---|-----|----|-------------|------------|
|                                    |                      |             |                                    | n-1 | n |     |    |             |            |
| Niedriger<br>Energie-<br>verbrauch | Um-<br>stel-<br>lung | PDEN        | Bereit-<br>schaft                  | H   | L | H   | X  | X           | X          |
|                                    | Opera-<br>tion       | —           | niedriger<br>Energie-<br>verbrauch | L   | L | X   | X  | X           | X          |
|                                    | Frei-<br>gabe        | PDEX        | niedriger<br>Energie-<br>verbrauch | L   | H | H   | X  | X           | X          |
| Selbst-<br>auf-<br>frischung       | Um-<br>stel-<br>lung | SELFN       | autom.<br>Auffrischen              | H   | L | L   | X  | X           | X          |
|                                    | Opera-<br>tion       | —           | Selbst-<br>auffrischen             | L   | L | X   | X  | X           | X          |
|                                    | Frei-<br>gabe        | SELFX       | Selbst-<br>auffrischen             | L   | H | H   | X  | X           | X          |

[0101] Die Decodierereinheit **21** empfängt jeweilig das Taktsignal **CLK**, das Energieabschaltsignal **PD**, das Chipselektions-signal **/CS**, das Funktionssignal **FN**, die Bankadressensignale **BA1**, **BA0** und Adressensignale **A14-A0** über einen Taktanschluß **CLK**, einen Energieabschaltanschluß **PD**, einen Chipselektionsanschluß **/CS**, einen Funktionsanschluß **FN**, über Bankadressenanschlüsse **BA1**, **BA0** und über Adressenanschlüsse **A14-A0** von außen. Die Decodierereinheit **21** gibt Aktivierungssignale **ACT**, Bankadressensignale **B-ADD**, ein internes Taktsignal **CLKIN**, Steuersignale **CNT1** und ein Modussteuersignal **MD** aus.

[0102] Jede der Speicheroperationseinheiten **23** empfängt die Aktivierungssignale **ACT** und die Bankadressensignale **B-ADD**.

[0103] Jede Speicheroperationseinheit **23** gibt Steuersignale **CNT2**, ein Vordecodiersignal **PDECC** und Lesedatensignale **RDATA** an die Eingabe-/Ausgabereinheit **25** aus und empfängt Schreibdatensignale **WDATA** von der Eingabe-/Ausgabereinheit **25**.

[0104] Die Eingabe-/Ausgabereinheit **25** empfängt Dateneingangs-/ -ausgangssignale **DQ15-DQ0** über Dateneingangs-/ -ausgangsanschlüsse **DQ15-DQ0** von außen. Die Eingabe-/Ausgabereinheit **25** empfängt von der Decodierereinheit **21** die Steuersignale **CNT1**, das interne Taktsignal **CLKIN** und das Modussteuersignal **MD**.

[0105] Die dicken durchgehenden Linien in der Zeichnung bezeichnen eine Vielzahl von Signalleitungen. Es sei erwähnt, daß zum Vereinfachen der Erläuterung das Taktsignal **CLK** beispielsweise einfach als "CLK-Signal" bezeichnet wird ähnlich wird der Kürze halber das Chipselektionssignal **/CS** als "/CS-Signal" bezeichnet.

[0106] **Fig. 5** zeigt die Einzelheiten der Decodierereinheit **21** von **Fig. 4**. Die Decodierereinheit **21** ist ein Block, dessen Hauptfunktion das Empfangen und Decodieren von Befehlen und Adressen ist. Nachdem die Signale decodiert sind, wird die Decodierereinheit **21** automatisch zurückgesetzt und ist sie zum Empfang der nächsten Befehle und Adressen bereit.

[0107] Die Decodierereinheit **21** enthält einen Taktpuffer **29**, einen Steuersignalpuffer **31**, eine Energieabschaltsignalverriegelung **33**, einen Reihenadressenpuffer **35**, einen Spaltenadressenpuffer **37**, einen Befehlsdecodierer **39**, eine Befehlsverriegelung **41**, einen Auffrischzähler **43**, eine Reihenadressenverriegelung **45**, eine Spaltenadressenverriegelung **47**, ein Modusregister **49** und eine Modussteuerschaltung **51**.

[0108] Der Taktpuffer **29** empfängt das Taktsignal **CLK** und gibt das interne Taktsignal **CLKIN** aus. Der Steuersignalpuffer **31** akzeptiert das Chipselektionssignal **/CS** und das Funktionssignal **FN** synchron mit dem inter-

nen Taktsignal **CLKIN** und gibt solche empfangenen Signale jeweilig an den Befehlsdecodierer **39** als interne Signale **CIN** aus. Die Energieabschaltungsverriegelung **33** akzeptiert das Energieabschaltsignal **PD** synchron mit dem internen Taktsignal **CLKIN** und gibt dann das akzeptierte Signal an den Befehlsdecodierer **39** als internes Energieabschaltsignal **PDIN** aus. Der Reihenadressenpuffer **35** akzeptiert die Bankadressensignale **BA1–BA0** und Adressensignale **A14–A0** synchron mit dem internen Taktsignal **CLKIN** und gibt solche akzeptierten Signale an die Reihenadressenverriegelung **45** und das Modusregister **49** als interne Reihenadressensignale **ADRIN** aus. Der Spaltenadressenpuffer **37** akzeptiert Adressensignale **A8–A0** synchron mit dem internen Taktsignal **CLKIN** und gibt die akzeptierten Signale an die Spaltenadressenverriegelung **47** und das Modusregister **49** als interne Spaltenadressensignale **ADCIN** aus. Jedes der Steuersignale **CNT1**, das dem Reihenadressenpuffer **35** und dem Spaltenadressenpuffer **37** zugeführt wird, wird zum jeweiligen Inaktivieren des Reihenadressenpuffers **35** und des Spaltenadressenpuffers **37** in dem Modus mit niedrigem Energieverbrauch verwendet.

[0109] Der Befehlsdecodierer **39** decodiert Befehle bei Empfang des internen Taktsignals **CLKIN**, der internen Signale **CIN** und des internen Energieabschaltsignals **PDIN** und erzeugt die Steuersignale **CNT1** zum Steuern anderer Schaltungen und Aktivierungssignale **ACT**, um die Speicheroperationseinheiten **23** zu steuern. Die Steuersignale **CNT1** können eine Vielzahl von Signalen zum Steuern jeder der Schaltungen umfassen. Der Befehlsdecodierer **39** gibt den akzeptierten ersten Befehl an die Befehlsverriegelung **41** als Befehlssignal **CMD1** aus. Der Befehlsdecodierer **39** empfängt die Informationen des ersten Befehls, der in der Befehlsverriegelung **41** verriegelt wurde, durch ein Befehlssignal **CMD2**. Die Befehlsverriegelung **41** hat eine Funktion zum Verriegeln der Informationen des ersten Befehls und zum Speichern des Zustandes der Vorrichtung, der entweder der Aktivierungszustand **R** oder der Aktivierungszustand **W** ist, der in **Fig. 3** gezeigt ist.

[0110] Der Auffrischzähler **43** empfängt das spezifizierte Steuersignal **CNT1** und gibt seine intern erzeugten Auffrischadressensignale **ADREF** aus, wenn ein gegenwärtiger Operationsmodus entweder der automatische Auffrischmodus oder der Selbstauffrischmodus ist.

[0111] Die Reihenadressenverriegelung **45** gibt entweder die internen Reihenadressensignale **ADRIN** oder die Auffrischadressen **ADREF** als Bankadressensignale **B-ADD** aus. Die Spaltenadressenverriegelung **47** gibt entweder die internen Spaltenadressensignale **ADCIN** oder die Auffrischadressen **ADREF** als Bankadressensignale **B-ADD** aus.

[0112] Das Modusregister **49** ist ein Register zum Einstellen eines Operationszustandes der Vorrichtung. Das Modusregister **49** empfängt die internen Reihenadressensignale **ADRIN**, die internen Spaltenadressensignale **ADCIN** und ein spezifiziertes Steuersignal **CNT1** und gibt dann ein Moduseinstellsignal **MSET** aus.

[0113] Die Modussteuerschaltung **51** empfängt die im Modusregister **49** eingestellten Informationen (wie etwa eine Datenlatenz **DL**, einen Burst-Typ **BT**, eine Burst-Länge **BL**, wie später eingehend beschrieben) durch das Moduseinstellsignal **MSET** und gibt ein Modussteuersignal **MD** aus.

[0114] **Fig. 6** zeigt Bitinhalte des Modusregisters **49**. Das Modusregister **49** umfaßt fünfzehn (**15**) Bits, die in der Anzahl den Bankadressensignalen **BA1**, **BA0** und den Adressensignalen **A12–A0** entsprechen. 8 Bits von ihnen, die den Bankadressensignalen **BA1**, **BA0** und den Adressensignalen **A12–A7** entsprechen, sind dafür bestimmt, um die Signale immer mit niedrigem Pegel zu schreiben. Weitere 3 Bits, die den Adressensignalen **A6–A4** entsprechen, werden zum Einstellen der Datenlatenz **DL** entweder auf "2" oder auf "3" verwendet, welche Latenz zum Bestimmen einer Eingabe-/Ausgabezeitlage eines Datensignals dient. Ein Bit, das dem Adressensignal **A3** entspricht, wird zum Einstellen des Burst-Typs **BT**, der eine Sequenz der Eingabe/Ausgabe von Datensignalen angibt, entweder auf "sequentiell" oder "verschachtelt" verwendet. Die übrigen 3 Bits, die den Adressensignalen **A2–A0** entsprechen, werden zum Einstellen der Burst-Länge **BL** entweder auf "2", "4" oder "8" verwendet.

[0115] **Fig. 7** zeigt die Einzelheiten der Speicheroperationseinheiten **23**. Die Speicheroperationseinheit **23** enthält einen RAS-Generator **53**, einen Vorladegenerator **55**, eine erste Steuerschaltung **57**, Vordecodierer **59a**, **59b**, einen Blockdecodierer **61**, einen Wortdecodierer **63**, einen Viertel-(1/4)-Decodierer **65**, einen BLT-Decodierer **67**, einen Leseverstärkergenerator **69**, einen Spaltendecodierer **71**, eine zweite Steuerschaltung **73** und einen Lese-/Schreibpuffer **75**.

[0116] Der RRS-Generator **53** empfängt das Aktivierungssignal **ACT**, um ein Vorladesteuersignal **PRE** und ein Wortleitungsselektionssignal **RASZ** an die erste Steuerschaltung **57** auszugeben. Der RAS-Generator **53** gibt an den Vorladegenerator **55** auch ein Steuersignal **P1** aus, das im wesentlichen dieselbe Zeitlage wie das Wortleitungsselektionssignal **RASZ** hat, und empfängt ein Steuersignal **P2** von dem Vorladegenerator **55**. Der Vorladegenerator **55** gibt das Steuersignal **P2** eine vorbestimmte Zeit nach Empfang des Steuersignals **P1** aus.

[0117] Die erste Steuerschaltung **57** empfängt das Vorladesteuersignal **PRE** und das Wortleitungsselektionssignal **RASZ** und gibt die Steuersignale **CNT2** aus. Das Steuersignal **CNT2** umfaßt eine Vielzahl von Signalen, die dem Wortdecodierer **63**, dem 1/4-Decodierer **65**, dem BLT-Decodierer **67**, den Vordecodierern **59a**, **59b**, dem Leseverstärkergenerator **69**, dem Spaltendecodierer **71**, der zweiten Steuerschaltung **73** bzw. der Eingabe-/Ausgabeeinheit **25** von **Fig. 5** zugeführt werden. Zwei Steuersignale **CNT2** werden der Eingabe-/Ausgabe-

beeinheit **25** zugeführt.

[0118] Der Vordecodierer **59a** empfängt das spezifizierte Steuersignal **CNT2** und die Bankadressen **B-ADD** und gibt Vordecodiersignale **PDECB** und ein Vordecodiersignal **PDECC** aus. Der Vordecodierer **59b** empfängt das spezifizierte Steuersignal **CNT2** und Bankadressen **B-ADD** und gibt Vordecodiersignale **PDECC** aus.

[0119] Der Blockdecodierer **61** empfängt das Vordecodiersignal **PDECB** von dem Vordecodierer **59a** und gibt Decodiersignale **DECB** aus.

[0120] Der Wortdecodierer **63** empfängt das spezifizierte Steuersignal **CNT2**, die Decodiersignale **DECB** und die Vordecodiersignale **PDECR** und gibt an die Speicherkerneinheit **27** Hauptwortleitungsdecodiersignale **WDEC** aus.

[0121] Der 1/4-Decodierer **65** empfängt das spezifizierte Steuersignal **CNT2** und die Vordecodiersignale **PDECR**, **PDECC** und gibt Subwortleitungsdecodiersignale **1/4DEC** an die Speicherkerneinheit **27** aus. Die Subwortleitungsdecodiersignale **1/4DEC** dienen zum Selektieren irgendeiner der vier Subwortleitungen, die von einer selektierten Hauptwortleitung abzweigen.

[0122] Der BLT-Decodierer **67** empfängt das spezifizierte Steuersignal **CNT2**, die Decodiersignale **DECB** und die Vordecodiersignale **PDECR** und gibt Bitleitungsübertragungsdecodiersignale **BLT** an die Speicherkerneinheit **27** aus.

[0123] Der Leseverstärkergenerator **69** empfängt das spezifizierte Steuersignal **CNT2**, die Decodiersignale **DECB** und die Vordecodiersignale **PDECR**, **PDECC** und gibt Leseverstärkeraktivierungssignale **MW**, **SW** an die Speicherkerneinheit **27** aus.

[0124] Der Spaltendecodierer **71** empfängt das spezifizierte Steuersignal **CNT2** und die Vordecodiersignale **PDECC** und gibt an die Speicherkerneinheit **27** Spaltenleitungsselektionssignale **CL** zum Selektieren einer Spaltenselektionsleitung (nicht gezeigt) aus. Der Spaltendecodierer **71** ist, wie in **Fig. 8** gezeigt, aus einer Vielzahl von Decodierschaltungen **71a** konfiguriert. Jede Decodierschaltung **71a** umfaßt NAND-Gatter **71b**, **71c**, die durch einen Inverter kaskadiert sind, und eine Vielzahl von Invertern. Das NAND-Gatter **71b** auf der Eingangsseite empfängt die Vordecodiersignale **PDECC(a)**, **PDECC(b)**, **PDECC(c)**. Das NAND-Gatter **71c** auf der Ausgangsseite empfängt ein Ausgangssignal des NAND-Gatters **71b** und das Steuersignal **CNT2**.

[0125] Die in **Fig. 7** gezeigte zweite Steuerschaltung **73** empfängt das spezifizierte Steuersignal **CNT2** und die Vordecodiersignale **PDECC** und gibt ein Steuersignal **CNT3** zur Steuerung des Lese-/Schreibpuffers **75** aus.

[0126] Der Lese-/Schreibpuffer **75** arbeitet unter der Steuerung des Steuersignals **CNT3**, so daß dieser Puffer Schreibdatensignale **WDATA**, die von der Eingabe-/Ausgabeeinheit **25** gesendet werden, während der Schreiboperation zu der Speicherkerneinheit **27** überträgt; während der Leseoperation überträgt er Lesedatensignale **RDATA**, die von der Speicherkerneinheit **27** ausgegeben wurden, zu der Eingabe-/Ausgabeeinheit **25**.

[0127] **Fig. 9** gibt einen kleinen Überblick über die Speicherkerneinheiten **27** von **Fig. 4**. Die Speicherkerneinheit **27** enthält Hauptwortdecodierer **27a**, 1/4-Wortselektoren **27b**, Subwortleitungstreiber **27c**, Subwortdecodierer **27d**, Leseverstärker **27e** und Speicherzellen MC, die alle mehrfach angeordnet sind.

[0128] Jeder der Hauptwortdecodierer **27a** empfängt das Hauptwortleitungsdecodiersignal **WDEC** und selektiert die spezifizierte Hauptwortleitung MWL. Die 1/4-Wortselektoren **27c**, die Subwortleitungstreiber **27b** und die Subwortdecodierer **27d** empfangen das Subwortleitungsdecodiersignal **1/4DEC** und selektieren die spezifizierte Subwortleitung SWL. Zum Beispiel werden die Hauptwortleitung **MWL** und die Subwortleitung **SWL**, wie es durch dicke Linien gekennzeichnet ist, in einem einzelnen Leseoperationsvorgang selektiert. Daten werden von den Speicherzellen MC ausgegeben, die mit der selektierten Hauptwortleitung **MWL** und der Subwortleitung **SWL** verbunden sind.

[0129] Der Leseverstärker **27e** verstärkt Daten, wie sie während der Leseoperation von den Speicherzellen **MC** ausgegeben werden, und schreibt die verstärkten Daten in den Speicherzellen um.

[0130] **Fig. 10** zeigt die Einzelheiten der Eingabe-/Ausgabeeinheit **25**. Die Eingabe-/Ausgabeeinheit **25** enthält einen Datenkonverter **77** zur Leseoperation, einen Datenkonverter **79** zur Schreiboperation, einen Datenausgabepuffer **81**, einen Dateneingabepuffer **83** und eine Schreibdatenlängensteuerschaltung **85**.

[0131] Der Datenkonverter **77** konvertiert parallele Lesedatensignale **RDATA**, die von dem Lese-/Schreibpuffer **75** von **Fig. 7** zugeführt werden, in serielle Datensignale und gibt die konvertierten Daten **DOUT** an den Datenausgabepuffer **81** aus. Der Datenkonverter **79** konvertiert serielle Lesedaten DIN, die von dem Dateneingabepuffer **83** zugeführt werden, in parallele Daten und gibt die konvertierten Schreibdatensignale **WDATA** an den Lese-/Schreibpuffer **75** von **Fig. 7** aus. Die Datenkonverter **77**, **79** empfangen die spezifizierten Steuersignale **CNT1**, **CNT2**, die Vordecodiersignale **PDECC**, das Modussteuersignal **MD** mit den Informationen über die Datenlatenz DL bzw. das interne Taktsignal **CLKIN**.

[0132] Die Schreibdatenlängensteuerschaltung **85** empfängt das spezifizierte Steuersignal **CNT1** und gibt an den Datenkonverter **79** ein Steuersignal **CNT3** zum Steuern der Datenlänge während der Schreiboperation aus. Die Schreibdatenlänge wird durch die Bits **WBL0**, **WBL1**, wie sie von den Adressenanschlüssen **A14-A13** zugeführt werden, beim Eingeben eines LAL-Befehls während der Schreiboperation spezifiziert (siehe Tabelle 3).

[0133] Unten wird eine Leseoperation als typische Operation des **DRAM** erläutert.

[0134] Wie in **Fig. 3** gezeigt, wird die Leseoperation so ausgeführt, daß die Vorrichtung durch den LAL-Befehl (zweiter Befehl) in den Leseoperationsmodus eintritt, nachdem die Vorrichtung ausgehend von dem Bereitschaftsmodus durch einen RDA-Befehl (erster Befehl) den Aktivierungszustand **R** einnimmt.

[0135] **Fig. 11** zeigt die Zeitlagen von einigen Hauptsignalen während der Leseoperation.

[0136] Zuerst akzeptiert der Steuersignalpuffer **31** von **Fig. 5** den ersten Befehl synchron mit der ansteigenden Flanke des CLK-Signals (**Fig. 11(a)**). Der Befehlsdecoder **39** empfängt ein internes Signal CIN, das durch den Steuersignalpuffer **31** akzeptiert wurde, und verändert dann den Pegel des ACT-Signals für eine vorbestimmte Periode auf einen hohen Pegel (**Fig. 11(b)**).

[0137] Der Reihenadressenpuffer **35** von **Fig. 5** akzeptiert zu derselben Zeit, zu der der erste Befehl akzeptiert wird, Adressen von den Signalen **BA1–BA0** und den Signalen **A14–A0**. Die Reihenadressenverriegelung **45** gibt die internen Reihenadressensignale **ADRIN**, die von dem Reihenadressenpuffer **35** ausgegeben wurden, als Bankadressen **B-ADD** aus (**Fig. 11(c)**).

[0138] Als Antwort auf den RDA-Befehl geht die Vorrichtung in den Aktivierungszustand **R** über. Die Leseoperation und die Schreiboperation sind zu dieser Zeit voneinander unterscheidbar, da der Aktivierungszustand **R** nie in den Schreiboperationsmodus eintritt. Mit anderen Worten, die Anzahl von Operationsmodi wird als Antwort auf die Akzeptanz des ersten Befehls eingeschränkt.

[0139] Bei Empfang eines ACT-Signals verändert der RAS-Generator **53** von **Fig. 7** den Pegel des Wortleitungssselektionssignals **RASZ** für eine vorbestimmte Periode auf den hohen Pegel und jenen des Vorladesteuersignals PRE auf den niedrigen Pegel (**Fig. 11(d)**). Danach ist das Vorladen der Bitleitungen beendet. Ferner werden die spezifizierten Hauptwortleitung **MWL** und die Subwortleitung SWL selektiert, ohne den zweiten Befehl zu empfangen. In dem Zustand, wenn der erste Befehl akzeptiert worden ist, beginnt die Steuerung der zweiten Stufe, das heißt, die Speicheroperationseinheit **23** wird zur Operation aktiv gemacht.

[0140] An diesem Punkt empfängt der Spaltendecodierer **71** ein Steuersignal **CNT2** an dem NAND-Gatter **71c** vor dem Empfang der Vordecodiersignale **PDECC(a)**, **PDECC(b)** und **PDECC(c)**, wie in **Fig. 8** gezeigt. Der Spaltendecodierer **71** tritt zum Empfangen der Vordecodiersignale **PDECC(a)**, **PDECC(b)** und **PDECC(c)** in den Bereitschaftszustand ein, so daß die Geschwindigkeit der Operation erhöht wird.

[0141] Der Steuersignalpuffer **31** von **Fig. 5** akzeptiert den zweiten Befehl bei der ansteigenden Flanke des CLK-Signals, die jener des ersten Befehls am nächsten ist (**Fig. 11(e)**). Deshalb werden die Informationen, die erhalten werden, wenn der zweite Befehl eingegeben wird, in der Steuerung in kurzer Zeit nach Eingabe des ersten Befehls widerspiegelt. Dies führt zum Minimieren der Verzögerung bei der Steuerprozedur, die dem zweiten Befehl entspricht, wenn Befehle zu zwei Zeiten eingegeben werden. Die oben erwähnte Steuerprozedur ist auch auf den WRA-Befehl anwendbar.

[0142] Der Befehlsdecoder **39** empfängt das interne Signal CIN und decodiert dann den eingegebenen Befehl als LAL-Befehl. Der Zustand der Vorrichtung geht durch den LAL-Befehl in den Leseoperationsmodus über. Mit anderen Worten, der Operationsmodus wird bestimmt, indem Befehle zu zwei Zeiten eingegeben werden. Da die Anzahl von Operationsmodi sequentiell eingeschränkt wird, werden die Anschlüsse, die für die Befehlseingaben erforderlich sind, in der Anzahl reduziert.

[0143] Der Spaltenadressenpuffer **37** akzeptiert die Adressen als Signale **A8–A0** zu derselben Zeit, zu der der zweite Befehl akzeptiert wird. Die Spaltenadressenverriegelung **47** gibt interne Spaltenadressensignale **ADCIN**, die von dem Spaltenadressenpuffer **37** ausgegeben wurden, als Bankadressen **B-ADD** aus (**Fig. 11(f)**). Da die Adressen, die zum Ausführen der Leseoperation erforderlich sind, zu zwei Zeiten akzeptiert werden, werden die Adressenanschlüsse in der Anzahl signifikant reduziert. Dies führt zu einer Verringerung der Anzahl von Adressenkontaktstellen, Adresseneingangsschaltungen oder dergleichen, wodurch die Chipgröße entsprechend verkleinert wird. Diese Verkleinerung wird durch Verringerung der Anzahl von Anschlüssen erreicht, wodurch der Pakkungsgröße Grenzen gesetzt werden.

[0144] Es sei erwähnt, daß die Speicheroperationseinheit **23** nach Empfang des ersten Befehls weiterarbeitet. Lesedaten werden von den Speicherzellen **MC**, die mit der selektierten Subwortleitung SWL verbunden sind, an eine Bitleitung (nicht gezeigt) ausgegeben (**Fig. 11(g)**).

[0145] Der BLT-Decodierer **67** von **Fig. 7** empfängt das Signal CNT2 und die spezifizierte Adresse zum Verändern des Pegels des Signals **BLT** auf den niedrigen Pegel (**Fig. 11(h)**). Der Leseverstärkergenerator **69** empfängt das Signal **CNT2** und die spezifizierte Adresse und verändert den Pegel der Leseverstärkeraktivierungssignale MW, SW auf den hohen Pegel (**Fig. 11(j)**).

[0146] Auf Grund des hohen Pegels der Leseverstärkeraktivierungssignale **MW**, **SW** wird der Leseverstärker aktiviert (bei "ACTV" in **Fig. 11**), und der Signalpegel einer Bitleitung wird verstärkt (**Fig. 11(k)**).

[0147] Der Spaltendecodierer **71** empfängt das Signal **CNT2** und die Vordecodiersignale **PDECC** und verändert den Pegel des Spaltenleitungssselektionssignals **CL** auf den hohen Pegel (**Fig. 11(1)**). Auf Grund des hohen Pegels des CL-Signals werden die Datensignale **DATA** von der Speicherkerneinheit **27** an den Lese-/Schreibpuffer **75** ausgegeben (**Fig. 11(m)**).

[0148] Der Lese-/Schreibpuffer **75** gibt die Datensignale **DATA** als Lesedatensignale **RDATA** an den Daten-

konverter **77** von **Fig. 10** aus. Der Datenkonverter **77** wendet eine Parallel-Seriell-Konvertierung auf die Lese-datensignale **RDATA** an und gibt die konvertierten Signale als Dateneingangs-/ausgangssignale **DQ15–DQ0** durch den Datenausgabepuffer **81** aus (**Fig. 11(n)**).

[0149] Der RAS-Generator **53** von **Fig. 7** empfängt das Ausgangssignal **P2** von dem Vorladegenerator **55** und verändert den Pegel des PRE-Signals auf den hohen Pegel (**Fig. 11(o)**). Auf Grund des niedrigen Pegels des PRE-Signals gibt die erste Steuerschaltung **57** Steuersignale **CNT2** jeweilig an den BLT-Decodierer **67** und den Leseverstärkergenerator **69** aus. Der BLT-Decodierer **67** verändert den Pegel des BLT-Signals auf den hohen Pegel und beendet das Ausgeben von Daten von dem (den) Leseverstärker(n) (**Fig. 11(p)**). Der Leseverstärkergenerator **69** verändert die Pegel des MW-Signals und des SW-Signals auf den niedrigen Pegel (**Fig. 11(q)**) und inaktiviert die Leseverstärker ("RESET" von **Fig. 11**).

[0150] Des weiteren wird bei dem vierten Taktsignal nach Akzeptanz des ersten Befehls der erste Befehl für die nächste Leseoperation akzeptiert. Das ACT-Signal bleibt für eine vorbestimmte Periode bei Empfang des Eingangsbefehls auf dem hohen Pegel (**Fig. 11(r)**). Auf Grund des hohen Pegels des ACT-Signals verändert sich der Pegel des PRE-Signals auf **L**, wodurch das Vorladen der Bitleitung ausgeführt wird (**Fig. 11(s)**). Mit anderen Worten, die Vorladeoperation wird im Inneren der Vorrichtung als Antwort auf den ersten Befehl in dem nächsten Zyklus automatisch ausgeführt.

[0151] Zu dieser Zeit führen die Speicheroperationseinheit **23** und die Eingabe-/Ausgabeeinheit **25** die Leseoperation in dem ersten Lesezyklus aus. Solch eine Pipeline-Operation ist deshalb erreichbar, weil die Decodiereereinheit **21**, die Speicheroperationseinheit **23** und die Eingabe-/Ausgabeeinheit **25** unabhängig voneinander betriebsfähig sind. Danach erfolgt die Akzeptanz des ersten Befehls bei der nächsten Leseoperation in Intervallen von vier Taktsignalen.

[0152] In dem in **Fig. 11** gezeigten Zeitlagendiagramm ist eine Operation von einer von vier Banken gezeigt. In der Praxis können Lesedaten synchron mit jedem Taktimpuls ohne Intervalle durch alternierendes Vorsehen eines Zugriffs zu zwei Zeiten Banken in Intervallen von zwei Takten ausgegeben werden.

[0153] Als nächstes wird unten eine Schreiboperation erläutert.

[0154] Die Schreiboperation ist im wesentlichen dieselbe wie die oben beschriebene Leseoperation bis zu der Adressenakzeptanz auf der Basis des zweiten Befehls.

[0155] Zuerst geht die Vorrichtung, wie in **Fig. 3** gezeigt, wenn der WRA-Befehl als erster Befehl im Bereitschaftszustand empfangen wird, in den Aktivierungszustand **W** über. Gleichzeitig werden die oberen Schreibadressen (**BA1–BA0, A14–A0**) akzeptiert.

[0156] Bei Empfang des LAL-Befehls als zweiten Befehl geht die Vorrichtung danach in den Schreiboperationsmodus über. Gleichzeitig werden die unteren Schreibadressen (**A8–A0**) und die Schreibdatenlängen (**WBL0, WBL1**) akzeptiert. Zusätzlich werden synchron mit dem CLK-Signal die Schreibdaten (**DQ15–DQ0**) sukzessive akzeptiert.

[0157] Die Anzahl von Ereignissen zum Akzeptieren von Schreibdaten ist bestimmbar, wenn die in dem Modusregister eingestellte Burst-Länge deren Maximalanzahl ist. Bei der tatsächlichen Akzeptanz wird die Anzahl von Ereignissen in Abhängigkeit von der Länge von Schreibdaten bestimmt, so wie sie gleichzeitig mit dem zweiten Befehl akzeptiert werden. Wenn die Burst-Länge zum Beispiel auf "4" eingestellt ist, ist dann, wenn **WBL1**, die als Schreibdatenlängen akzeptiert werden, auf dem niedrigen Pegel bzw. dem hohen Pegel sind, die Anzahl von Ereignissen zum Akzeptieren der Schreibdaten so wie in Tabelle 3 gezeigt. Auf der Basis der Schreibdatenlänge, die zusammen mit dem zweiten Befehl zu derselben Zeit akzeptiert wird, wird die Anzahl von Ereignissen für das Akzeptieren direkt durch die Schreibdatenlängensteuerschaltung **85** gesteuert; demnach kann dann, wenn eine Vielzahl von Datenbits sukzessive akzeptiert wird, die Schreibdatenlänge ohne weiteres gesteuert werden. Da es möglich ist, die Schreibdatenlänge nur durch die Eingabe-/Ausgabeeinheit **25** zu steuern, wird die Schreibdatenlänge, so wie sie beim Eingeben des zweiten Befehls akzeptiert wird, zur Steuerung von solch einer Schreiboperation mit Toleranz verwendet.

[0158] Die sukzessive akzeptierten Schreibdaten werden durch den Dateneingabepuffer **83**, der in **Fig. 10** gezeigt ist, sequentiell dem Datenkonverter **79** zugeführt. Der Datenkonverter **79** konvertiert solche seriellen Daten in parallele Daten. Der Datenkonverter **79** gibt auch die konvertierten Daten an die Speicheroperationseinheit **23** als Schreibdaten **WDATA** aus. Die Speicheroperationseinheit **23** schreibt die Daten in spezifizierte Speicherzellen.

[0159] Hier arbeiten die Eingabe-/Ausgabeeinheit **25** und die Speicheroperationseinheit **23** mit der eingestellten Anzahl von Ereignissen für die Akzeptanz. Nach diesen Operationen ist der Schreiboperationsmodus vollendet und tritt die Vorrichtung in den Bereitschaftszustand ein. Kurz gesagt, Daten, die nicht geschrieben werden müssen (ein Teil, der länger als die spezifizierte Datenlänge ist), werden nicht gesteuert, so daß die für die Schreiboperation benötigte Zeit eingespart werden kann. Als Resultat wird die Eingabezeitlage des ersten Befehls im nächsten Zyklus bestimmt.

[0160] Als nächstes wird unten der Modusregistereinstellmodus erläutert.

[0161] Die Umstellung auf den Modusregistereinstellmodus erfolgt bei Empfang des MRS-Befehls als zweiten Befehl, während die Vorrichtung im Aktivierungszustand **R** ist. Wenn auf den Modusregistereinstellmodus zu

derselben Zeit umgestellt wird, zu der der MRS-Befehl akzeptiert wird, werden die Signale **BA0–BA1** und die Signale **A14–A0** akzeptiert, um einen Wert des Modusregisters einzustellen. Der Modusregistereinstellmodus, der mit keiner internen Operation einhergeht, kann den spezifizierten Wert innerhalb einer vorbestimmten Periode einstellen, auch wenn solch eine Steuerprozedur nach Empfang des zweiten Befehls beginnt. Zu der Zeit der Eingabe des ersten Befehls ist es nicht erforderlich, den spezifizierten Wert des Modusregisters einzustellen, so daß der Einstellwert nicht mehr gehalten zu werden braucht, bis der zweite Befehl eingegeben wird. Als Resultat ist es möglich, die Komplikation der Steuerschaltung zu verhindern.

[0162] Unten wird als nächstes der automatische Auffrischmodus erläutert.

[0163] Die Umstellung auf den automatischen Auffrischmodus erfolgt bei Empfang des REF-Befehls als zweiten Befehl, während die Vorrichtung im Aktivierungszustand **W** ist. Da es während des automatischen Auffrischmodus nicht erforderlich ist, Daten von und nach außen einzugeben/auszugeben, kann der automatische Auffrischmodus den spezifizierten Wert innerhalb einer vorbestimmten Periode einstellen, auch wenn solch eine Steuerprozedur nach Empfang des zweiten Befehls als Eingabe dafür beginnt.

[0164] Nach Empfang des REF-Befehls selektiert die Vorrichtung die Hauptwortleitung **MWL** und die Subwortleitung **SWL** nicht, die durch Eingabe des ersten Befehls selektiert worden sind. Danach selektiert die Vorrichtung die Hauptwortleitung **MWL** und die Subwortleitung **SWL**, die Adressen entsprechen, wie sie durch den Auffrischzähler von **Fig. 5** erzeugt wurden. Auf Grund dessen kann die Auffrischoperation mit Zuverlässigkeit ausgeführt werden.

[0165] Unten wird als nächstes der Selbstauffrischmodus erläutert.

[0166] Die Umstellung auf den Selbstauffrischmodus erfolgt, wenn sich der Pegel eines PD-Signals im automatischen Auffrischmodus auf einen niedrigen Pegel verändert. Mit anderen Worten, das Überwachen solch eines PD-Signals, das nicht durch Befehlseingabe erfolgt, macht es möglich, daß die Vorrichtung während des automatischen Auffrischmodus auf den Selbstauffrischmodus umgestellt werden kann.

[0167] Ein Unterschied zwischen dem automatischen Auffrischen und dem Selbstauffrischen ist der, daß ersterem eine Auffrischzeitlage von außen zugeteilt wird, während letzteres die Zeitlage selbst erzeugt. Für das Betreiben des Auffrischzählers **43** sowie das Ausführen einer Auffrischoperation wird eine identische Schaltung verwendet. Daher erfolgt die Umstellung von dem automatischen Auffrischmodus auf den Selbstauffrischmodus kontinuierlich und reibungslos, wodurch es möglich wird, die für die Umstellung benötigte Zeit zu verkürzen.

[0168] Unten wird der Modus mit niedrigem Energieverbrauch erläutert.

[0169] Die Umstellung auf den Modus mit niedrigem Energieverbrauch erfolgt, wenn der Pegel des PD-Signals im Bereitschaftszustand auf einen niedrigen Pegel verändert wird. Genauer gesagt, das Überwachen des PD-Signals, das nicht durch Befehlseingabe erfolgt, gestattet den Eintritt der Vorrichtung in den Modus mit niedrigem Energieverbrauch während des Bereitschaftszustandes. Der Modus mit niedrigem Energieverbrauch ist einer der Zustände der Vorrichtung und von der Zugriffsoperation direkt unabhängig. Die Umstellung auf den Modus mit niedrigem Energieverbrauch wird durch den Empfang des PD-Signals im Bereitschaftszustand gesteuert. Als Resultat wird die Nutzbarkeit verbessert.

[0170] Bei dem Verfahren zum Betreiben der Halbleiterspeichervorrichtung und bei der Halbleiterspeichervorrichtung gemäß der oben beschriebenen Ausführungsform werden die Informationen, die zum Bestimmen des Operationsmodus erforderlich sind, zu zwei Zeiten akzeptiert. Daher ist es möglich, die Anschlußanzahl, die zum Eingeben von Befehlen benötigt wird, zu reduzieren. In dieser Ausführungsform können die fünf verschiedenen Modi (nämlich der Bereitschaftsmodus, der Leseoperationsmodus, der Schreiboperationsmodus, der Modusregistereinstellmodus und der automatische Auffrischmodus) durch das Chipselektionssignal **/CS** und das Funktionssignal **FN** gesteuert werden. Falls ein dedizierter Anschluß zur Befehlseingabe vorgesehen ist, kann die notwendige Anschlußanzahl weiter reduziert werden. Dadurch wird es möglich, zugeordnete Eingangskontaktstellen, Schaltungen oder dergleichen zu reduzieren, wodurch die Chipgröße verkleinert wird. Die Verkleinerung wird durch die Verringerung der Anzahl von Anschlüssen erreicht, wodurch der Packungsgröße Grenzen gesetzt werden.

[0171] Bei Eingabe des ersten Befehls wird die Anzahl der Operationsmodi eingeschränkt, während die Schreib- und Leseoperationsmodi unterschieden werden. Nach Vollendung der Eingabe des ersten Befehls wird eine Schaltung initiiert, die den Schreib- und Leseoperationsmodi gemeinsam ist. Daher ist es möglich, die Schaltung zu aktivieren, die sowohl für die Schreib- als auch für die Leseoperationen benötigt wird, um dadurch die Zugriffszeit zu verkürzen.

[0172] Bei Eingabe des ersten Befehls wird ein Teil von Adressen, der zum Ausführen der Schreib- oder Leseoperation erforderlich ist, akzeptiert, wenn der durch den zweiten Befehl bestimmte Operationsmodus entweder der Schreib- oder der Leseoperationsmodus ist. Da die für die Schreib- oder Leseoperation benötigten Adressen zu zwei Zeiten akzeptiert werden können, kann daher die Anzahl von Adressenanschlüssen signifikant reduziert werden. Dadurch wird es möglich, Adresseneingangskontaktstellen, Adresseneingangsschaltungen oder dergleichen zu reduzieren, wodurch die Chipgröße verkleinert wird.

[0173] Wenn der REF-Befehl als zweiter Befehl während des Aktivierungszustandes **W** empfangen wird, er-



folgt die Umstellung auf den automatischen Auffrischmodus. Da der automatische Auffrischmodus nicht das Eingeben/Ausgeben von Daten von und nach außen erfordert, kann er den spezifizierten Wert innerhalb der vorbestimmten Periode einstellen, auch wenn solch eine Steuerprozedur nach Empfang des zweiten Befehls beginnt.

[0174] Bei Empfang des MRS-Befehls als zweiten Befehl während des Aktivierungszustandes **R** erfolgt die Umstellung auf den Modusregistereinstellmodus. Da der Modusregistereinstellmodus keine internen Operationen begleitet, kann er den spezifizierten Wert innerhalb der vorbestimmten Periode einstellen, selbst wenn solch eine Steuerprozedur nach Empfang des zweiten Befehls beginnt.

[0175] Da es nicht erforderlich ist, den zum Einstellen des Modusregisters **49** akzeptierten Wert zu halten, ist es möglich, die Komplikation der Steuerschaltung zu verhindern.

[0176] Die Umstellung der Operationsmodi erfolgt bei der Steuerung durch das Überwachen des PD-Signals, das keine Befehlseingabe darstellt. Daher erfolgt zum Beispiel die Umstellung auf den Selbstauffrischmodus während des automatischen Auffrischmodus, und die Umstellung auf den Modus mit niedrigem Energieverbrauch erfolgt während des Bereitschaftsmodus.

[0177] Wenn der niedrige Pegel des PD-Signals während des automatischen Auffrischmodus empfangen wird, erfolgt die Umstellung auf den Selbstauffrischmodus. Deshalb wird die Umstellung von dem automatischen Auffrischmodus auf den Selbstauffrischmodus kontinuierlich und reibungslos ausgeführt, wodurch es als Resultat möglich ist, die Zeit zu verkürzen, die für die Umstellung benötigt wird.

[0178] Wenn der hohe Pegel des PD-Signals im Bereitschaftszustand empfangen wird, wird der Bereitschaftszustand gehalten. Daher ermöglicht das Überwachen des niedrigen Pegels des PD-Signals die Umstellung auf einen anderen Operationsmodus, ohne während des Bereitschaftszustandes irgendeinen Befehl zu empfangen.

[0179] Wenn der niedrige Pegel des PD-Signals im Bereitschaftszustand empfangen wird, erfolgt die Umstellung auf den Modus mit niedrigem Energieverbrauch. Daher kann die Umstellung auf solch einen Modus mit niedrigem Energieverbrauch direkt ohne Beziehung zur Zugriffsoperation einfach ausgeführt werden, woraus sich eine Verbesserung der Nutzbarkeit ergibt.

[0180] Zu derselben Zeit, zu der der erste Befehl akzeptiert wird, werden die Adressen akzeptiert, die zum Selektieren der Hauptwortleitung **MWL** und der Subwortleitung **SWL** benötigt werden. Dadurch wird es möglich, die Speicheroperationseinheit **23** nach Akzeptanz des ersten Befehls zu betreiben, ohne den zweiten Befehl zu empfangen, und die vorbestimmte Hauptwortleitung **MWL** und die Subwortleitung **SWL** zu selektieren. Während der Leseoperation ermöglicht daher lediglich das Akzeptieren des ersten Befehls das Übertragen von Daten, die in der spezifizierten Speicherzelle gespeichert sind, im voraus zu der Bitleitung, wodurch eine Zugriffszeit verkürzt wird. Während der Schreiboperation ermöglicht die bloße Akzeptanz des ersten Befehls das Verbinden der Speicherzelle, die beschrieben werden soll, mit der Bitleitung, wodurch eine Zugriffszeit verkürzt wird.

[0181] Die Hauptwortleitung **MWL** und die Subwortleitung **SWL**, die durch den ersten Befehl selektiert worden sind, werden nicht selektiert, wenn die Umstellung auf den automatischen Auffrischmodus erfolgt. Es werden die Hauptwortleitung **MWL** und die Subwortleitung **SWL** selektiert, die einer Adresse entsprechen, die durch den Auffrischzähler **43** erzeugt wurde. Deshalb kann die Auffrischoperation zuverlässig ausgeführt werden.

[0182] Der Steuersignalpuffer **31** akzeptiert den zweiten Befehl bei der nächsten ansteigenden Flanke des CLK-Signals, die nach der Akzeptanz des ersten Befehls auftritt. Dadurch können sich die Informationen, die bei Eingabe des zweiten Befehls erhältlich sind, in der Steuerung in kurzer Zeit nach Eingabe des ersten Befehls widerspiegeln. Als Resultat ist es möglich, eine Verzögerung der Steuerung zu minimieren, die dem zweiten Befehl entspricht, wenn Befehle zu zwei Zeiten eingegeben werden.

[0183] Nach dem Akzeptieren des ersten Befehls empfängt der Spaltendecodierer **71** das Steuersignal **CNT2** vor dem Empfang der Vordecodiersignale **PDECC**, wie sie durch die Eingabe des zweiten Befehls erzeugt werden, und aktiviert dann das NAND-Gatter **71c**. Dies ermöglicht, daß der Spaltendecodierer **71** mit hoher Geschwindigkeit arbeiten kann.

[0184] Die Schreibdatensteuerschaltung **85** steuert während des Schreibens von Daten direkt die Anzahl von Ereignissen zum Akzeptieren von Daten entsprechend der Länge von zu schreibenden Daten. Dadurch wird es möglich, nur Schreibdaten zu akzeptieren, ohne irgendwelche komplizierten Steuerprozeduren auszuführen, wenn eine Vielzahl von Daten sukzessive akzeptiert wird. Da die Schreibdatenlänge nur durch die Eingabe-/Ausgabeeinheit **25** steuerbar ist, kann die Steuerung durch bloßes Akzeptieren der Informationen bei Eingabe des zweiten Befehls zuverlässig ausgeführt werden.

[0185] Zusätzlich zeigt **Fig. 12** eine andere typische Konfiguration der Speicheroperationseinheit **23**.

[0186] Diese Speicheroperationseinheit **23** enthält einen Schreibpuffer **87** und die Schreibadressenpuffer **89a**, **89b**. Die übrigen Schaltungen sind dieselben wie jene von **Fig. 7**. Der Schreibpuffer **87** empfängt die Schreibdaten **WDATA**, hält temporär die Daten gemäß dem spezifizierten Steuersignal **CNT2** und gibt sie an den Lese-/Schreibpuffer **75** aus. Die Schreibadressenpuffer **89a**, **89b** empfangen das spezifizierte Steuersignal **CNT2** zum Steuern von Vordecodierern **59a**, **59b**. Die Puffer **89a**, **89b** halten temporär Bankadressen

**B-ADD**, die von außen zuzuführen sind.

[0187] Die in **Fig. 12** gezeigte Speicheroperationseinheit **23** kann die Schreiboperation unter Verwendung der Schreibdaten und der Schreibadresse ausführen, die in dem vorherigen Schreiboperationsmodus akzeptiert worden sind. In diesem Fall ist der Schreibzyklus früh vollendet, da die Schreiboperation während des Schreiboperationsmodus unter Verwendung der zuvor akzeptierten Schreibadresse und der Schreibdaten beginnt. Deshalb ist es möglich, den Beginn der Schaltungsoperation des Lesezyklus zu beschleunigen, falls die Leseoperation nach der Schreiboperation ausgeführt wird.

[0188] **Fig. 13** zeigt eine Halbleiterspeichervorrichtung der zweiten Ausführungsform gemäß der vorliegenden Erfindung. Die Schaltungen, die dieselben wie jene der ersten Ausführungsform sind, sind mit identischen Bezugszeichen versehen, und ihre Beschreibung wird hier weggelassen.

[0189] Diese Ausführungsform unterscheidet sich von der ersten Ausführungsform in einer Decodiereinheit **91**. Der übrige Teil dieser Ausführungsform ist derselbe wie in der ersten Ausführungsform.

[0190] Die Decodiereinheit **91** enthält einen Taktpuffer **29**, eine Akzeptanzsteuerschaltung **92**, einen Steuersignalpuffer **31a**, eine Energieabschaltsignalverriegelung **33**, einen Reihenadressenpuffer **35a**, einen Spaltenadressenpuffer **37a**, einen Befehlsdecoder **93**, einen Auffrischzähler **43**, eine Reihenadressenverriegelung **45**, eine Spaltenadressenverriegelung **47**, ein Modusregister **49** und eine Modussteuerschaltung **51**.

[0191] Anders als bei der ersten Ausführungsform empfangen der Steuersignalpuffer **31a**, der Reihenadressenpuffer **35a** und der Spaltenadressenpuffer **37a** jeweilige Signale asynchron mit dem internen Taktsignal **CLKIN**. Die Akzeptanzsteuerschaltung **92** empfängt das interne Taktsignal **CLKIN** zusammen mit einem Rückkopplungssignal **FB** von dem Befehlsdecoder **93** und gibt dann Akzeptanzsteuersignale **ACON1**, **ACON2** aus. Der Befehlsdecoder **93** empfängt das interne Taktsignal **CLKIN**, akzeptiert die Steuersignale **ACON1**, **ACON2**, die internen Signale **CIN**, das interne Energieabschaltsignal **PDIN** und das interne Reihenadressensignal **ADRINO**, decodiert den Operationsbefehl und gibt das Steuersignal **CNT1** und die Aktivierungssignale **ACT1**, **ACT2** zum Steuern von anderen Schaltungen aus. Die Schaltungskonfiguration und ihre Zwischenverbindung sind dieselben wie in der ersten Ausführungsform, obiges ausgenommen.

[0192] **Fig. 14** zeigt die Einzelheiten des Steuersignalpuffers **31a**, des Reihenadressenpuffers **35a** und des Befehlsdecoders **93**.

[0193] Der Steuersignalpuffer **31a** und der Reihenadressenpuffer **35a** enthalten eine Vielzahl von Eingangsschaltungen **31b**, **35b** zum jeweiligen Empfangen von ankommenden Signalen. Interne Signale **CIN** und das interne Reihenadressensignal **ADRINO**, die von den Eingangsschaltungen **31b**, **35b** ausgegeben werden, werden an Akzeptanzschaltungen **94a** und Akzeptanzschaltungen **94b** ausgegeben, die jeweilig den Aktivierungssignalen **ACT1**, **ACT2** des Befehlsdecoders **93** entsprechen.

[0194] Der Befehlsdecoder **93** enthält drei Akzeptanzschaltungen **94a** und eine Decodierschaltung **95a**, die Aktivierungssignalen **ACT1** entsprechen, und ferner drei Akzeptanzschaltungen **94b** und eine Decodierschaltung **95b**, die Aktivierungssignalen **ACT2** entsprechen. Jede Akzeptanzschaltung **94a** wird bei Aktivierung des Akzeptanzsteuersignals **ACON1** aktiviert und akzeptiert entweder das interne Signal **CIN** oder das interne Reihenadressensignal **ADRINO** synchron mit dem internen Taktsignal **CLKIN** und gibt dann die akzeptierten Signale an die Decodierschaltung **95a** aus. Jede Akzeptanzschaltung **94b** wird bei Aktivierung des Akzeptanzsteuersignals **ACON2** aktiviert und akzeptiert entweder das interne Signal **CIN** oder das interne Reihenadressensignal **ADRINO** synchron mit dem internen Taktsignal **CLKIN** und gibt dann die akzeptierten Signale an die Decodierschaltung **95b** aus. Die Decodierschaltungen **95a**, **95b** geben decodierte Resultate als Aktivierungssignale **ACT1**, **ACT2** aus. Die Decodierschaltung **95a** gibt das Rückkopplungssignal **FB** an die Akzeptanzsteuerschaltung **92** aus.

[0195] In der Halbleiterspeichervorrichtung dieser Ausführungsform aktiviert die Akzeptanzschaltung **92** zuerst in ihrem Inaktivierungszustand das Akzeptanzsteuersignal **ACON1** und inaktiviert das Akzeptanzsteuersignal **ACON2**, das als Antwort auf die Inaktivierung des Rückkopplungssignals **FB** inaktiviert wird.

[0196] Bei Eingabe des ersten Befehls aktiviert der Befehlsdecoder **93** dann die Akzeptanzschaltung **94a** als Antwort auf das Akzeptanzsteuersignal **ACON1** und gibt die decodierten Resultate an eine vorbestimmte Schaltung als Aktivierungssignal **ACT1** aus. Zu dieser Zeit wird die Akzeptanzschaltung **94b** inaktiviert. Mit anderen Worten, das Chipselektionssignal **/CS**, das Funktionssignal **FN** und das Reihenadressensignal **A0**, die dem ersten Befehl entsprechen, werden durch die Decodierschaltung **95a** decodiert. Die Decodierschaltung **95a** aktiviert das Rückkopplungssignal **FB** im wesentlichen zu derselben Zeitlage wie jener zum Ausgeben des Aktivierungssignals **ACT1**.

[0197] Die Akzeptanzsteuerschaltung **92** aktiviert das Akzeptanzsteuersignal **ACON2** und inaktiviert das Steuersignal **ACON1** als Antwort auf die Aktivierung des Rückkopplungssignals **FB**. Der Befehlsdecoder **93** aktiviert die Akzeptanzschaltung **94b** als Antwort auf die Aktivierung des Akzeptanzsteuersignals **ACON2** und gibt decodierte Resultate an eine vorbestimmte Schaltung als Aktivierungssignal **ACT2** aus. Zu dieser Zeit ist die Akzeptanzschaltung **94a** inaktiviert. Mit anderen Worten, das Chipselektionssignal **/CS**, das Funktionssignal **FN** und das Reihenadressensignal **A0**, die dem nächsten Befehl entsprechen, werden durch die Decodierschaltung **95b** decodiert. Die Akzeptanzschaltungen **94a**, **94b** akzeptieren jeweilige Signale synchron mit den

Impulsflanken des internen Taktsignals **CLKIN** zu verschiedenen Zeitlagen.

[0198] In dieser Ausführungsform sind die Akzeptanzschaltungen **93a**, **93b** und die Decodierschaltungen **93c**, **93d** gemäß den Aktivierungssignalen **ACT1**, **ACT2** separat konfiguriert. Dadurch wird es möglich, die Befehlssteuerschaltung auch in den Halbleiterspeichervorrichtungen mit komplizierten Befehlskombinationen einfach zu konstruieren. Demzufolge ist es auch möglich, die Verifizierung der Schaltungsstruktur zu erleichtern.

[0199] Auf Grund der direkten Akzeptanz von Signalen synchron mit demselben Taktsignal wird die Geschwindigkeit der Akzeptanzprozeduren erhöht. Als Resultat ist es möglich, eine Operation der internen Schaltung früh zu initiieren und die Zugriffszeit zu verkürzen.

[0200] Das Umschalten von Befehlen wird nicht direkt durch das Taktsignal gesteuert, sondern es erfolgt durch den Akzeptanzteil dicht bei der Steuerschaltung, der eine Speicheroperation innerhalb des Chips ausführt. Dies führt auch in den Halbleiterspeichervorrichtungen, die mit hoher Frequenz arbeiten, zum leichten Umschalten von Befehlen.

[0201] Zusätzlich wird das interne Taktsignal **CLKIN**, das ein gemeinsames Triggersignal der Akzeptanzschaltungen **94a**, **94b** ist, durch den Taktpuffer **29** direkt von außen zugeführt. Da der Taktpuffer **29** nicht durch irgendwelche anderen Steuersignale gesteuert wird, wird eine Verzögerung des internen Taktsignals **CLKIN** bezüglich des Taktsignals **CLK** minimiert. Als Resultat ist es möglich, die Akzeptanzprozeduren der Akzeptanzschaltungen **94a**, **94b** zu beschleunigen und die Operationen des Befehlsdecodierers **93** und der internen Schaltung zu initiieren. Somit kann die Zugriffszeit verkürzt werden.

[0202] **Fig. 15** zeigt die Einzelheiten einer Decodiereinheit in der Halbleiterspeichervorrichtung der dritten Ausführungsform gemäß der vorliegenden Erfindung. Die Schaltungen, die dieselben wie jene der ersten und zweiten Ausführungsformen sind, sind mit identischen Bezugszeichen versehen, und ihre Beschreibung wird hier weggelassen.

[0203] Diese Ausführungsform unterscheidet sich von der zweiten Ausführungsform in einem Taktpuffer **96** und einem Befehlsdecodierer **97**. Der übrige Teil dieser Ausführungsform ist derselbe wie in der zweiten Ausführungsform.

[0204] Der Taktpuffer **96** empfängt das Taktsignal **CLK** von außen, gibt dann das empfangene Taktsignal **CLK** als Akzeptanzsignal **ACLK1** bei Aktivierung des Rückkopplungssignals **FB** aus und gibt ein Akzeptanzsignal **ACLK2** bei Inaktivierung des Rückkopplungssignals **FB** aus. Das Akzeptanzsignal **ACLK1** wird bei Inaktivierung des Rückkopplungssignals **FB** nicht ausgegeben. Ähnlich wird das Akzeptanzsignal **ACLK2** bei Aktivierung des Rückkopplungssignals **FB** nicht ausgegeben.

[0205] Der Befehlsdecodierer **97** enthält drei Akzeptanzschaltungen **98a**, die jeweils das Akzeptanzsignal **ACLK1** empfangen, und die Decodierschaltung **95a** und ferner drei Akzeptanzschaltungen **98b**, die jeweils das Akzeptanzsignal **ACLK2** empfangen, das Aktivierungssignalen **ACT2** entspricht, und die Decodierschaltung **95b**. Die Akzeptanzschaltungen **98a** und die Decodierschaltung **95a** sind entsprechend den Aktivierungssignalen **RCT1** gebildet. Die Akzeptanzschaltungen **98b** und die Decodierschaltung **95b** sind entsprechend den Aktivierungssignalen **ACT2** gebildet. Jede Akzeptanzschaltung **98a** akzeptiert entweder das interne Signal **CIN** oder das interne Reihenadressensignal **ADRINO** synchron mit dem Akzeptanzsignal **ACLK1** und gibt dann das akzeptierte Signal an die Decodierschaltung **95a** aus. Jede Akzeptanzschaltung **98b** akzeptiert entweder das interne Signal **CIN** oder das interne Reihenadressensignal **ADRINO** synchron mit dem Akzeptanzsignal **ACLK2** und gibt dann das akzeptierte Signal an die Decodierschaltung **95b** aus. Die Decodierschaltungen **95a**, **95b** sind dieselben wie jene, die in der zweiten Ausführungsform verwendet wurden.

[0206] In dieser Ausführungsform akzeptieren die Akzeptanzschaltungen **98a**, **98b**, die den Aktivierungssignalen **ACT1**, **ACT2** entsprechen, die Signale synchron mit jeweiligen verschiedenen Akzeptanzsignalen **ACLK1**, **ACLK2**. Jeweilige Akzeptanzsignale **ACLK1**, **ACLK2** werden nur den Akzeptanzschaltungen **98a**, **98b** zum Akzeptieren von jeweiligen Signalen zugeführt, die dazu dienen, die Last (parasitäre Kapazität) von Verdrahtungen der Signale zu minimieren.

[0207] Genauer gesagt, in den Fällen, wo in dieser Ausführungsform viele Akzeptanzschaltungen **98a**, **98b** verwendet werden, ist es möglich, die Last (parasitäre Kapazität) von jeder Taktsignalverdrahtung durch das Verwenden einer Vielzahl von Taktsignalen für Akzeptanzsignale zu reduzieren. Dies ist besonders in den Fällen effektiv, wenn eine große Anzahl von Befehlseingangsanschlüssen verwendet wird.

[0208] Als nächstes folgt eine Erläuterung der zweiten Ausführungsform des Verfahrens zum Betreiben einer Halbleiterspeichervorrichtung der vorliegenden Erfindung und der vierten Ausführungsform der Halbleiterspeichervorrichtung der vorliegenden Erfindung. Die Schaltungen und Signale, die jenen der obenerwähnten Ausführungsformen entsprechen, sind mit identischen Bezugszeichen versehen, und ihre eingehende Beschreibung wird hier weggelassen.

[0209] Die Halbleiterspeichervorrichtung dieser Ausführungsform ist als **FCRAM** gebildet, wobei dessen interne Schaltung in drei Stufen unterteilt ist, und funktioniert so, daß jede von ihnen eine Pipeline-Operation ausführen kann. Das Zustandsübergangsdiagramm von diesem **FCRAM** ist dasselbe wie in **Fig. 3**. Genauer gesagt, der **FCRAM** geht in einen Aktivierungszustand **R** über, wenn ein RDA-Befehl als erster Befehl empfangen

wird; er geht in einen Aktivierungszustand **W** über, wenn ein WRA-Befehl als erster Befehl empfangen wird. Wenn ein LAL-Befehl und ein MRS-Befehl als zweiter Befehl im Aktivierungszustand **R** empfangen werden, tritt der **FCRAM** in einen Leseoperationsmodus bzw. einen Modusregistereinstellmodus ein. Wenn der LAL-Befehl und ein REF-Befehl als zweiter Befehl im Aktivierungszustand **W** empfangen werden, tritt der **FCRAM** in einen Schreiboperationsmodus bzw. einen automatischen Auffrischmodus ein.

[0210] **Fig. 16** zeigt die gesamte Konfiguration des **FCRAM**, auf den eine Ausführungsform der vorliegenden Erfindung angewendet wird.

[0211] Der **FCRAM** enthält eine Decodiereinheit **100**, eine Speichersteuereinheit **102**, vier Speicheroperationseinheiten **104** und eine Eingabe-/Ausgabeeinheit **106**. Die Speicheroperationseinheiten **104** werden allgemein als "Bänke" bezeichnet, von denen jede ihre Speicherkerneinheit **27** hat, die dieselbe wie jene in der ersten Ausführungsform ist. Die dicken Pfeile in der Zeichnung bezeichnen eine Vielzahl von Signalleitungen.

[0212] Die Decodiereinheit **100** empfängt ein Taktsignal **CLK**, Befehlssignale **CMD**, Reihenadressensignale **RAD** und Spaltenadressensignale **CAD** und gibt dann an die Speichersteuereinheit **102** Aktivierungssignale **RDACT**, **WRACT**, **LALACT**, **REFACT**, **MRACT** sowie interne Reihenadressensignale **IRAD** und interne Spaltenadressensignale **ICAD** aus, die dem RDA-Befehl, dem WRA-Befehl, dem LAL-Befehl, dem REF-Befehl bzw. einem MRS-Befehl entsprechen. Die Speichersteuereinheit **102** empfängt Signale von der Decodiereinheit **100** und gibt an die Speicheroperationseinheiten **104** Aktivierungssignale **ACT2**, interne Reihenadressensignale **IRAD2** und interne Spaltenadressensignale **ICAD2** aus. Zusätzlich gibt die Speichersteuereinheit **102** ein Ausgabeverhinderungssignal **IODIS** an die Eingabe-/Ausgabeeinheit **106** aus. Die Eingabe-/Ausgabeeinheit **106** nimmt von außerhalb der Vorrichtung Dateneingangs-/ -ausgangssignale **DQ** auf und gibt diese nach außen aus, während Datensignale **DATA** von den Speicheroperationseinheiten **104** aufgenommen und an diese ausgegeben werden.

[0213] **Fig. 17** zeigt die Einzelheiten der Decodiereinheit **100** und der Eingabe-/Ausgabeeinheit **106**.

[0214] Die Decodiereinheit **100** umfaßt einen Taktpuffer **96**, eine Befehlsverriegelung **108**, den ersten Befehlsdetektor **110**, den zweiten Befehlsdetektor **112**, einen Reihenadressenpuffer **114**, einen Spaltenadressenpuffer **116**, eine Reihenadressenverriegelung **118** und eine Spaltenadressenverriegelung **120**. Die Eingabe-/Ausgabeeinheit **106** enthält einen Eingabe-/Ausgabepuffer **122** und eine Eingabe-/Ausgabedatenverriegelung **124**.

[0215] Der Taktpuffer **96** ist dieselbe Schaltung wie jene von **Fig. 15**. Der Taktpuffer **96** wird durch ein Rückkopplungssignal **FB** gesteuert und gibt ein Akzeptanzsignal **ACLK1** bei Eingabe des ersten Befehls aus, während ein Akzeptanzsignal **ACLK2** bei Eingabe des zweiten Befehls ausgegeben wird. Die Befehlsverriegelung **108** empfängt Befehlssignale **CMD** und gibt dann die empfangenen Signale als interne Befehlssignale **ICMD** aus. Der erste Befehlsdetektor **110** enthält einen Lesebefehl-Detektionsteil **110a** und einen Schreibbefehl-Detektionsteil **110b**. Der Lesebefehl-Detektionsteil **110a** akzeptiert das interne Befehlssignal **ICMD** synchron mit dem Akzeptanzsignal **ACLK1** und aktiviert das Aktivierungssignal **RDACT**, wenn das akzeptierte Signal der RDA-Befehl ist. Der Schreibbefehl-Detektionsteil **110b** akzeptiert das interne Befehlssignal **ICMD** synchron mit dem Akzeptanzsignal **ACLK1** und aktiviert das Aktivierungssignal **WRACT**, wenn das akzeptierte Signal der WDA-Befehl ist.

[0216] Der zweite Befehlsdetektor **112** enthält einen Operationsbefehl-Detektionsteil **112a**, einen Auffrischbefehl-Detektionsteil **112b** und einen Modusregisterbefehl-Detektionsteil **112c**. Der Operationsbefehl-Detektionsteil **112a** akzeptiert interne Befehlssignale **ICMD** synchron mit dem Akzeptanzsignal **ACLK2** und aktiviert das Aktivierungssignal **LALACT**, wenn das akzeptierte Signal der LAL-Befehl ist. Der Auffrischbefehl-Detektionsteil **112b** akzeptiert die internen Befehlssignale **ICMD** synchron mit dem Akzeptanzsignal **ACLK2** und aktiviert das Aktivierungssignal **REFACT**, wenn das akzeptierte Signal der REF-Befehl ist. Der Modusregisterbefehl-Detektionsteil **112c** akzeptiert die internen Befehlssignale **ICMD** synchron mit dem Akzeptanzsignal **ACLK2** und aktiviert das Aktivierungssignal **MRACT**, wenn das akzeptierte Signal der MRS-Befehl ist.

[0217] Der Reihenadressenpuffer **114** empfängt Reihenadressensignale **RAD** und gibt die empfangenen Signale an die Reihenadressenverriegelung **118** aus. Die Reihenadressenverriegelung **118** akzeptiert die Adressensignale synchron mit dem Akzeptanzsignal **ACLK1** und gibt die akzeptierten Signale als interne Reihenadressensignale **IRAD** aus. Die Spaltenadressenverriegelung **116** empfängt Spaltenadressensignale **CAD** und gibt die empfangenen Signale an die Spaltenadressenverriegelung **120** aus. Die Spaltenadressenverriegelung **120** akzeptiert die Adressensignale synchron mit dem Akzeptanzsignal **ACLK2** und gibt die akzeptierten Signale als interne Reihenadressensignale **ICAD** aus.

[0218] Der Eingabe-/Ausgabepuffer **122** nimmt Dateneingangs-/ -ausgangssignale **DQ** von außerhalb der Vorrichtung auf und gibt sie nach außerhalb aus, während diese Signale gleichzeitig bezüglich der Eingabe-/Ausgabedatenverriegelung **124** aufgenommen und ausgegeben werden. Die Eingabe-/Ausgabedatenverriegelung **124** funktioniert so, um serielle Daten, die von dem Eingabe-/Ausgabepuffer **122** zugeführt werden, in parallele Daten zu konvertieren und auch um parallele Datensignale **DATA**, die von den Speicheroperationseinheiten **104** zugeführt werden, in serielle Daten zu konvertieren. Die Eingabe-/Ausgabedatenverriegelung **124** ist so, daß dann, wenn ein Ausgabeverhinderungssignal **IODIS** empfangen wird, die Datenverriegelung

das Ausgeben von Datensignalen an den Eingabe-/Ausgabepuffer **122** beendet.

[0219] **Fig. 18** zeigt die Einzelheiten der Speichersteuereinheit **102** und der Speicheroperationseinheiten **104**.

[0220] Die Speichersteuereinheit **102** enthält einen RAS-Generator **126**, eine Auffrischsteuerschaltung **128**, einen Auffrischzähler **43**, ein Modusregister **130** und ihre zugeordnete Steuerschaltung **132**, einen Reihenadressenschalter **134**, einen Spaltenadressenschalter **136** und einen Datenschalter **138**. Die Speicheroperationseinheiten **104** enthalten jeweils die erste Steuerschaltung **140**, einen Blockdecodierer **142**, eine Reihenadressenverriegelung **144**, eine Spaltenadressenverriegelung **146**, Vordecodierer **148**, **150**, die zweite Steuerschaltung **152**, einen Lese-/Schreibpuffer **154**, einen Wortdecodierer **63**, einen 1/4-Decodierer **65**, einen BLT-Decodierer **67**, einen Leseverstärkergenerator **69**, einen Spaltendecodierer **71** und eine Speicherkerneinheit **27**.

[0221] Der RAS-Generator **126** empfängt Aktivierungssignale **RDACT**, **WRACT**, **LALACT** und gibt Steuersignale an die Auffrischsteuerschaltung **128**, den Auffrischzähler **43**, das Modusregister **130**, die Steuerschaltung **132** bzw. die erste Steuerschaltung **140** aus, die später beschrieben sind. Der RAS-Generator **126** ist hinsichtlich der Funktion derselbe wie der RAS-Generator **53** von **Fig. 7**.

[0222] Die Auffrischsteuerschaltung **128** empfängt das Steuersignal von dem RAS-Generator **126** zusammen mit dem Aktivierungssignal **REFACT** und gibt ein Steuersignal an den RAS-Generator **126** aus. Mit anderen Worten, die Auffrischsteuerschaltung **128** steuert den RAS-Generator **126**, wenn das Aktivierungssignal **REFACT** aktiviert wird (in einem automatischen Auffrischmodus).

[0223] Der Auffrischzähler **43** zählt bei Empfang des Steuersignals von dem RAS-Generator **126** aufwärts und gibt Auffrischadressen **REFADD** aus, die der Wert solch eines Zählers sind.

[0224] Das Modusregister **130** und die Steuerschaltung **132** empfangen ein Steuersignal von dem RAS-Generator **126** zusammen mit dem Aktivierungssignal **MRACT** und geben ein Ausgabeverhinderungssignal **IODIS** aus, wenn das Aktivierungssignal **MRACT** aktiviert wird. Das Modusregister **130** ist mit einer Datensignalleitung verbunden, die in der Zeichnung nicht gezeigt ist; das Modusregister **130** wird durch ein Datensignal eingerichtet, das durch die Datensignalleitung zugeführt wird.

[0225] Der Reihenadressenschalter **134** gibt an die Reihenadressenverriegelung **144** die internen Reihenadressensignale **IRAD** und die Auffrischadressen **REFADD** aus. Der Spaltenadressenschalter **136** empfängt die internen Reihenadressensignale **ICAD** und gibt die empfangenen Signale an die Spaltenadressenverriegelung **146** aus. Zusätzlich werden auf Grund einer Schaltoperation des Reihenadressenschalters **134** und des Spaltenadressenschalters **136** die Adressensignale irgendeiner der vier separaten Speicheroperationseinheiten **104** zugeführt.

[0226] Der Datenschalter **138** ist eine Schaltung, die arbeitet, um Datensignale (**DATA**) von irgendeiner der vier Speicheroperationseinheiten **104** aufzunehmen und an sie auszugeben.

[0227] Die erste Steuerschaltung **140** empfängt die Steuersignale von dem RAS-Generator **126** und steuert den Wortdecodierer **63** und dergleichen. Die erste Steuerschaltung **140** ist hinsichtlich der Funktion dieselbe wie die erste Steuerschaltung **57** von **Fig. 7**.

[0228] Die Reihenadressenverriegelung **144** und die Spaltenadressenverriegelung **146** sind die Schaltung, die Adressensignale bezüglich jeder der Speicheroperationseinheiten **104** verriegelt.

[0229] Der Blockdecodierer **142**, die Vordecodierer **148**, **150**, die zweite Steuerschaltung **152** und der Lese-/Schreibpuffer **154** sind hinsichtlich der Funktion dieselben wie der Blockdecodierer **61**, die Vordecodierer **59a**, **59b**, die zweite Steuerschaltung **73** und der Lese-/Schreibpuffer **75** von **Fig. 7**. Der Wortdecodierer **63**, der 1/4-Decodierer **65**, der BLT-Decodierer **67**, der Leseverstärkergenerator **69**, der Spaltendecodierer **71** und die Speicherkerneinheit **27** sind dieselben wie jene von **Fig. 7**.

[0230] **Fig. 19** zeigt die Zeitlagen von einigen Hauptsignalen während Leseoperationen. Es sei erwähnt, daß eine Erläuterung bezüglich derselben Operation wie jener von **Fig. 11** weggelassen wird. Bei diesem Beispiel werden Leseoperationen und Modusregistereinstelloperationen alternierend ausgeführt.

[0231] Zuerst akzeptiert die Befehlsverriegelung **108** von **Fig. 17** den RDA-Befehl als ersten Befehl. Die Reihenadressensignale **RAD** werden dann synchron mit der Akzeptanz des ersten Befehls akzeptiert. Der RDA-Befehl wird als interne Befehlssignale **ICMD** dem ersten Befehlsdetektor **110** und dem zweiten Befehlsdetektor **112** zugeführt. Bei Akzeptanz des ersten Befehls wird hier das Akzeptanzsignal **RCLK1** ausgegeben, während die Ausgabe des Akzeptanzsignals **ACLK2** verhindert wird. Dadurch wird gewährleistet, daß der zweite Befehlsdetektor **112** die internen Befehlssignale **ICMD** nicht akzeptiert.

[0232] Der Lesebefehl-Detektionsteil **110a** und der Schreibbefehl-Detektionsteil **110b** des ersten Befehlsdetektors **110** akzeptieren die internen Befehlssignale **ICMD** (RDA-Befehl) synchron mit dem Akzeptanzsignal **ACLK1**. Der Lesebefehl-Detektionsteil **110a** detektiert, daß der RDA-Befehl zugeführt worden ist, wodurch das Aktivierungssignal **RDACT** aktiviert wird (**Fig. 19(a)**). Da der Schreibbefehl-Detektionsteil **110b** die Zufuhr des WDA-Befehls nicht detektieren kann, hält er den Inaktivierungszustand des Aktivierungssignals **WRACT**. Danach empfangen die Speichersteuereinheit **102** und die Speicheroperationseinheiten **104** das Aktivierungssignal **RDACT** und arbeiten dann auf dieselbe Weise wie in **Fig. 11**. Genauer gesagt, bei Zufuhr des ersten Be-

fehls wird das Wortleistungsselektionssignal **RASZ** aktiviert, während das Vorladesteuersignal **PRE** inaktiviert wird.

[0233] Als nächstes akzeptiert die Befehlsverriegelung **108** den LAL-Befehl als zweiten Befehl. Die Spaltenadressensignale **CAD** werden synchron mit der Akzeptanz des ersten Befehls akzeptiert. Der LAL-Befehl wird dann als interne Befehlssignale **ICMD** dem ersten Befehlsdetektor **110** und dem zweiten Befehlsdetektor **112** zugeführt. Bei Akzeptanz des zweiten Befehls wird hier das Akzeptanzsignal **ACLK2** ausgegeben, während die Ausgabe des Akzeptanzsignals **ACLK1** verhindert wird. Auf Grund dessen akzeptiert der erste Befehlsdetektor **110** die internen Befehle **ICMD** nicht mehr.

[0234] Der Operationsbefehl-Detektionsteil **112a**, der Auffrischbefehl-Detektionsteil **112b** und der Modusregisterbefehl-Detektionsteil **112c** des zweiten Befehlsdetektors **112** akzeptieren die internen Befehlssignale **ICMD** (LAL-Befehl) synchron mit dem Akzeptanzsignal **ACLK2**. Der Operationsbefehl-Detektionsteil **112a** detektiert, daß der LAL-Befehl zugeführt worden ist, und aktiviert dann das Aktivierungssignal **LRLACT** (Fig. 19(b)). Da der Auffrischbefehl-Detektionsteil **112b** und der Modusregisterbefehl-Detektionsteil **112c** die Zufuhr des REF-Befehls und des MRS-Befehls nicht detektieren können, halten diese Einheiten die Inaktivierungszustände der Aktivierungssignale **REFACT**, **MRACT**. Danach arbeiten die Speichersteuereinheit **102** und die Speicheroperationseinheiten **104** genauso wie in Fig. 11, wodurch eine Leseoperation ausgeführt wird.

[0235] Ferner akzeptiert die Befehlsverriegelung **108** den RDA-Befehl als ersten Befehl bei dem vierten Takt, wobei ab dem Akzeptanzereignis des anfänglichen ersten Befehls gezählt wird. Eine Operation, die nach Akzeptanz des ersten Befehls auszuführen ist, ist dieselbe wie oben beschrieben.

[0236] Als nächstes akzeptiert die Befehlsverriegelung **108** den MRS-Befehl als zweiten Befehl. Der Modusregisterbefehl-Detektionsteil **112c** des zweiten Befehlsdetektors **112** akzeptiert die internen Befehlssignale **ICMD** (MRS-Befehl) synchron mit dem Akzeptanzsignal **ACLK2** und aktiviert dann das Aktivierungssignal **MRACT** (Fig. 19(c)). Die Steuerschaltung **132** von Fig. 18 empfängt das Aktivierungssignal **MRACT** und inaktiviert dann das Ausgabeverhinderungssignal **IODIS** (dessen Wellenform in der Zeichnung nicht gezeigt ist). Die Eingabe-/Ausgabedatenverriegelung **124** von Fig. 17 empfängt das Ausgabeverhinderungssignal **IODIS** und wird dann inaktiv gemacht. Als Resultat dessen wird verhindert, daß irgendein Datensignal in dem Modusregistereinstellmodus nach außen ausgegeben wird (Fig. 19(d)). Danach wird jedes Bit des Modusregisters durch Datenleitungen gesetzt, die in der Zeichnung nicht gezeigt sind.

[0237] Fig. 20 zeigt die Zeitlagen von einigen Hauptsignalen während einer Schreiboperation. Es sei erwähnt, daß eine Erläuterung bezüglich derselben Operation wie jener von Fig. 19 weggelassen wird. Bei diesem Beispiel werden eine Schreiboperation und eine automatische Auffrischoperation alternierend ausgeführt.

[0238] Zuerst akzeptiert die Befehlsverriegelung **108** von Fig. 17 den WRA-Befehl als ersten Befehl. Die Reihenadressensignale **RAD** werden dann synchron mit solch einer Akzeptanz des ersten Befehls akzeptiert. Der Schreibbefehl-Detektionsteil **110b** des ersten Befehlsdetektors **110** akzeptiert die internen Befehlssignale **ICMD** (WRA-Befehl) synchron mit dem Akzeptanzsignal **ACLK1** und aktiviert dann das Aktivierungssignal **WRACT** (Fig. 20(a)).

[0239] Als nächstes akzeptiert die Befehlsverriegelung **108** den LAL-Befehl als zweiten Befehl. Der Operationsbefehl-Detektionsteil **112a** des zweiten Befehlsdetektors **112** akzeptiert die internen Befehlssignale **ICMD** (LAL-Befehl) synchron mit dem Akzeptanzsignal **ACLK2** und aktiviert das Aktivierungssignal **LALACT** (Fig. 20(b)). Zusätzlich werden Schreibsignale synchron mit der ansteigenden Flanke eines Taktsignals **CLK** wie bei Akzeptanz durch den zweiten Befehl und auch mit seiner fortschreitenden Flanke des Taktsignals akzeptiert. Und die Speichersteuereinheit **102** und die Speicheroperationseinheiten **104** werden betrieben, um eine Schreiboperation auszuführen.

[0240] Des weiteren akzeptiert die Befehlsverriegelung **108** den WRA-Befehl als ersten Befehl bei dem vierten Takt, gezählt ab der Akzeptanz des anfänglichen ersten Befehls. Eine Operation, die nach der Akzeptanz des ersten Befehls auszuführen ist, ist dieselbe wie die oben erwähnte Operation. Als nächstes akzeptiert die Befehlsverriegelung **108** den REF-Befehl als zweiten Befehl. Der Auffrischbefehl-Detektionsteil **112b** des zweiten Befehlsdetektors **112** akzeptiert die internen Befehlssignale **ICMD** (REF-Befehl) synchron mit dem Akzeptanzsignal **RCLK2** und aktiviert das Aktivierungssignal **REFACT** (Fig. 20(c)). Das Aktivieren des Aktivierungssignals **REFACT** führt zur Ausführung einer automatischen Auffrischoperation. Zusätzlich wird die Aktivierung des Spaltenselektionssignals **CL** als Antwort auf die Aktivierung des Aktivierungssignals **REFACT** verhindert, wodurch das Schreiben von irgendwelchen ungültigen Daten unterdrückt wird.

[0241] In dieser Ausführungsform können dieselben Effekte wie jene in der ersten Ausführungsform erhalten werden. Im besonderen ist die vorliegende Erfindung so, daß beachtliche Effekte durch das Anwenden auf einen **FCRAM** erhalten werden können, dessen interne Schaltung in eine Vielzahl von Stufen unterteilt ist, so daß jede Stufe eine Pipeline-Verarbeitung ausführen kann, um dadurch Lese- und Schreiboperationen auszuführen.

[0242] Fig. 21 zeigt die dritte Ausführungsform des Verfahrens zum Betreiben einer Halbleiterspeichervorrichtung und die fünfte Ausführungsform der Halbleiterspeichervorrichtung gemäß der vorliegenden Erfindung. Die Schaltungen und Signale, die dieselben wie jene der obigen Ausführungsformen sind, sind mit identischen

Bezugszeichen versehen, und ihre eingehende Erläuterung wird hier weggelassen.

[0243] In dieser Ausführungsform unterscheiden sich die Speichersteuereinheit **158** und die Speicheroperationseinheiten **160** von denen von **Fig. 16**. Die übrigen Teile sind dieselben wie jene von **Fig. 16**. Zusätzlich hat der **FCRAM** dieser Ausführungsform eine spezifische Funktion, die als "Verzögerungsschreiben" oder "spätes Schreiben" bezeichnet wird, zum Schreiben von Schreibdaten, die entsprechend einem Schreibbefehl zugeführt werden, in eine Speicherzelle zu einer Zeit der Zufuhr des nächsten Schreibbefehls, um die Nutzungseffektivität des Datenbusses zu verbessern.

[0244] **Fig. 22** zeigt die Einzelheiten der Speichersteuereinheit **158** und der Speicheroperationseinheiten **160**.

[0245] Die Speichersteuereinheit **158** umfaßt eine Auffrischsteuerschaltung **162**, die sich von jener von **Fig. 18** unterscheidet. Die Speicheroperationseinheiten **160** enthalten einen Lese-/Schreibpuffer **164**, der sich von dem von **Fig. 18** unterscheidet. Zusätzlich enthalten die Speicheroperationseinheiten **160** hier einen E/A-Schalter **166** und einen Schreibdatenpuffer **168**. Es sei erwähnt, daß die Speicheroperationseinheiten **160** hier einen Schreibadressenpuffer zum Halten einer Schreibadresse haben, obwohl es in der Zeichnung nicht speziell dargestellt ist.

[0246] Die Auffrischsteuerschaltung **162** empfängt ein Steuersignal von dem RAS-Generator **126** und das Aktivierungssignal **REFACT** zusammen mit einem Schreibdatenfreigabesignal **WEN** von dem Schreibdatenpuffer **168** und gibt ein Steuersignal an den RAS-Generator **126** aus, während ein Schreibsteuersignal **WCON** an den Schreibdatenpuffer **168** ausgegeben wird.

[0247] Das Schreibdatenfreigabesignal **WEN** ist ein Signal, das dann, wenn in dem Schreibdatenpuffer **168** gültige Schreibdaten sind, die Übertragung der Informationen (hoher Pegel) zu der Auffrischsteuerschaltung **162** zuläßt. Die Auffrischsteuerschaltung **162** führt keine Auffrischoperation aus, wie es später beschrieben ist, wenn der Auffrischbefehl **REF** während einer Periode empfangen wird, in der das Schreibdatenfreigabesignal **WEN** auf den hohen Pegel eingestellt ist. Die Auffrischsteuerschaltung **162** führt eine Auffrischoperation nur dann aus, wenn der Auffrischbefehl **REF** während einer Periode empfangen wird, in der das Schreibdatenfreigabesignal **WEN** auf den niedrigen Pegel eingestellt ist.

[0248] Das Schreibsteuersignal **WCON** ist ein Signal, das bei Empfang des Auffrischbefehls **REF** ausgegeben wird. Der Schreibdatenpuffer **168** ist so, wie es später beschrieben ist, daß der Puffer in dem Zustand, wenn gültige Schreibdaten existieren, die Daten an den Lese-/Schreibpuffer **164** nur dann ausgibt, wenn das Schreibsteuersignal **WCON** empfangen wird. Dann wird eine Schreiboperation ausgeführt.

[0249] Der E/A-Schalter **166** ist eine Schaltung zum Übertragen, während einer Leseoperation, entweder der Daten, die aus der Speicherkerneinheit **27** ausgelesen werden, oder der Daten, die in dem Schreibdatenpuffer **168** gespeichert sind, zu dem Datenschalter **138**. Genauer gesagt, falls Schreibdaten und eine Schreibadresse auf Grund einer Schreiboperation in dem Schreibdatenpuffer **168** und dem Schreibadressenpuffer (nicht gezeigt) gespeichert werden und dann eine Leseoperation bezüglich derselben Adresse unmittelbar nach Vollendung des Schreibens der Daten/Adresse ausgeführt wird, werden die in dem Schreibdatenpuffer **168** gespeicherten Schreibdaten durch den E/A-Schalter **166** und den Datenschalter **138** als Lesedaten nach außen ausgegeben.

[0250] **Fig. 23** zeigt die Zeitlagen von einigen Hauptsignalen während einer Schreiboperation. Es sei erwähnt, daß eine Erläuterung bezüglich derselben Operation wie jener von **Fig. 20** weggelassen wird. Bei diesem Beispiel wird eine Schreiboperation nach Ausführung von Schreiboperationen und einer automatischen Auffrischoperation kontinuierlich ausgeführt.

[0251] Bei der anfänglichen Schreiboperation werden die gültigen Schreibdaten **DBUF**, wie sie in dem Schreibdatenpuffer **168** gespeichert sind, in die Speicherkerneinheit **27** geschrieben (**Fig. 23(a)**). Zusätzlich akzeptiert der Schreibdatenpuffer **168** neu zugeführte Schreibdaten-Eingangs-/Ausgangssignale **DQ** (**Fig. 23(b)**). Da die Auffrischsteuerschaltung **162** die gültigen Schreibdaten **DBUF** hält, gibt sie das Schreibdatenfreigabesignal **WEN** mit hohem Pegel aus (**Fig. 23(c)**).

[0252] Als nächstes werden der WRA-Befehl und der REF-Befehl zugeführt (**Fig. 23(d)**). Die Auffrischsteuerschaltung **162** empfängt das Aktivierungssignal **REFACT** zusammen mit dem Schreibdatenfreigabesignal **WE** mit hohem Pegel und gibt dann das Schreibsteuersignal **WCON** aus (die Wellenform ist in der Zeichnung nicht gezeigt). Der Schreibdatenpuffer **168** empfängt das Schreibsteuersignal **WCON** und gibt seine Haltedaten **DBUF** an den Lese-/Schreibpuffer **164** aus. Speziell führt in dem Fall, wenn gültige Daten **DBUF** in dem Schreibdatenpuffer **168** existieren, der zuerst eine Schreiboperation aus, wenn der REF-Befehl empfangen wird.

[0253] Zusätzlich verändert der Schreibdatenpuffer **168** den Pegel des Schreibdatenfreigabesignals **WEN** auf den niedrigen Pegel (**Fig. 23(e)**). Danach wird das RASZ-Signal bei Empfang des Aktivierungssignals **REF-ACT** aktiviert, woraus sich das Ausführen einer Auffrischoperation ergibt (**Fig. 23(f)**). In der Zeichnung bezeichnet das Bezugszeichen "**W**", das zu Bitleitungen hinzugefügt ist, eine Schreiboperation, während "**REF**" eine Auffrischoperation bezeichnet. Zusätzlich gibt "**(REF)**" an, daß eine Wortleitung auf Grund der Aktivierung des Wortleitungsselektionssignals **RASZ** selektiert wird und dann automatisch eine Auffrischoperation ausgeführt

wird.

[0254] Als nächstes werden der WRA-Befehl und der LAL-Befehl zugeführt. Zu dieser Zeit speichert der Schreibdatenpuffer **168** keine gültigen Schreibdaten (Schreibdatenfreigabesignal **WEN** = niedriger Pegel), so daß in der Speicherkerneinheit **27** nie eine Schreiboperation ausgeführt wird. Daher wird das Spaltenleitungsselektionssignal **CL** auf dem niedrigen Pegel gehalten (**Fig. 23(g)**). Zusätzlich akzeptiert der Schreibdatenpuffer **168** Schreibdaten-Eingangs-/Ausgangssignale **DQ**, die von außen zugeführt werden (**Fig. 23(h)**), und gibt dann das WEN-Signal mit hohem Pegel aus (**Fig. 23(i)**).

[0255] Weiterhin werden der WRA-Befehl und der LAL-Befehl zugeführt, und dann wird eine Schreiboperation ausgeführt.

[0256] **Fig. 24** zeigt ein anderes Beispiel für die Zeitlagen von Hauptsignalen während einer Schreiboperation. Es sei erwähnt, daß eine Erläuterung bezüglich derselben Operation wie jener von **Fig. 23** weggelassen wird. Bei diesem Beispiel wird die automatische Auffrischoperation zweimal in Folge nach Vollendung einer Schreiboperation ausgeführt; danach wird eine weitere Schreiboperation ausgeführt. Die anfängliche Schreiboperation und die anfängliche Auffrischoperation sind dieselben wie jene von **Fig. 23**.

[0257] Als nächstes werden der WRA-Befehl und der REF-Befehl zugeführt (**Fig. 24(a)**). Zu dieser Zeit hält der Schreibdatenpuffer **168** keine gültigen Daten, so daß er ein Schreibdatenfreigabesignal **WEN** mit niedrigem Pegel ausgibt (**Fig. 24(b)**). Auf Grund dessen empfängt die Auffrischsteuerschaltung **162** das Aktivierungssignal **REFRCT** und das Schreibdatenfreigabesignal **WEN** mit niedrigem Pegel, wodurch eine Auffrischoperation ausgeführt wird. Zusätzlich inaktiviert die Auffrischsteuerschaltung **162** das Schreibsteuersignal **WCON** während der vorherigen Auffrischoperation (die Wellenform ist in der Zeichnung nicht gezeigt). Als Resultat empfängt der Schreibdatenpuffer **168** das inaktivierte Schreibsteuersignal **WCON**, so daß keine ungültigen Schreibdaten DBUF ausgegeben werden, die in dem Schreibdatenpuffer **168** gespeichert sind (**Fig. 24(c)**).

[0258] Danach werden der WRA-Befehl und der LAL-Befehl zugeführt und wird eine Schreiboperation ausgeführt.

[0259] In dieser Ausführungsform können dieselben Effekte wie jene in den obigen Ausführungsformen erhalten werden. Ferner kann die vorliegende Erfindung in dieser Ausführungsform ohne weiteres auch auf **FCRAMs** mit einer Verzögerungsschreibfunktion angewendet werden.

[0260] Weiterhin werden in dem Fall, wenn gültige Daten in dem Schreibdatenpuffer **168** vorhanden sind, wenn der durch die Eingabe des zweiten Befehls bestimmte Operationsmodus ein automatischer Auffrischmodus ist, zuerst eine Schreiboperation und dann eine Auffrischoperation ausgeführt. Das Ausnutzen der Schaltung, deren Operation durch die Eingabe des ersten Befehls initiiert wird, ermöglicht somit die effektive Schreiboperation.

[0261] Es sei erwähnt, daß in der obigen Ausführungsform ein spezifisches Beispiel beschrieben worden ist, bei dem die Schreibdatenlängensteuerschaltung **85**, die den Datenkonverter **79** für Schreibdaten steuert, zum Steuern der Länge von Schreibdaten vorgesehen ist. Die vorliegende Erfindung sollte jedoch nicht nur auf solch eine Ausführungsform begrenzt sein.

[0262] Zum Beispiel kann eine Lesedatenlängensteuerschaltung, die den Datenkonverter **77** für die Leseoperation steuert, zum Steuern der Länge von Lesedaten vorgesehen sein. Wenn der Operationsmodus in diesem Fall, so wie er beim Eingeben des zweiten Befehls bestimmt wird, ein Leseoperationsmodus ist, wird ein Signal, das einem vorbestimmten Anschluß zugeführt wird, als Informationen zum Spezifizieren der Länge von Lesedaten akzeptiert. Und die Lesedatenlängensteuerung erfolgt direkt auf der Basis von solchen akzeptierten Informationen. Daher ist es möglich, dann, wenn eine Vielzahl von Daten in Folge ausgegeben wird, die Länge von Ausgangsdaten zu verändern, ohne irgendwelche komplizierten Steuerprozeduren auszuführen. Hinsichtlich der Daten, die nicht gelesen zu werden brauchen (ein Teil, der länger als die spezifizierte Datenlänge ist), braucht zusätzlich keine Ausgangssteuerung ausgeführt zu werden, so daß die Zeit eingespart werden kann, die zum Steuern der Leseoperation benötigt wird. Die Eingabe des ersten Befehls in dem nächsten Zyklus kann bestimmt werden.

[0263] Zusätzlich ist es möglich, die Steuerung zum Akzeptieren eines Signals, das einem vorbestimmten Anschluß zugeführt wird, als Maskierungsinformationen auszuführen, die einen Teil der in Folge zugeführten Schreibdaten ungültig machen, und zum Maskieren eines Teils der Schreibdaten auf der Basis der Maskierungsinformationen, die akzeptiert werden, wenn der bei Eingabe des zweiten Befehls bestimmte Operationsmodus der Schreiboperationsmodus ist. Um die Maskierungsinformationen durch einen dedizierten Anschluß zu steuern, müssen die Informationen von solch einem dedizierten Anschluß einmal zu einer Zeit gemäß der Schreiboperation akzeptiert werden, was zu einer Komplizierung der Steuerprozeduren führt. Solche Maskierungssteuerprozeduren können erleichtert werden, indem die Maskierungsinformationen bei Eingabe des zweiten Befehls akzeptiert werden.

[0264] Die Lesedatenmaskierungssteuerung kann auf eine Weise ausgeführt werden, die jener der Schreibdatenmaskierungssteuerung ähnlich ist.

[0265] Ferner sollte erwähnt werden, daß die obigen Ausführungsformen unter der Annahme erläutert wor-



den sind, daß die vorliegende Erfindung auf **DRAMs** angewendet wird. Diese Erfindung sollte jedoch nicht auf solche Ausführungsformen begrenzt sein. Zum Beispiel können dieselben Effekte auch dann erhalten werden, wenn die Erfindung auf andere Halbleiterspeichervorrichtungen angewendet wird, wie etwa auf statische Speicher mit wahlfreiem Zugriff (**SRAMs**) und Flash-Speicher.

[0266] Die Erfindung ist nicht auf die obigen Ausführungsformen begrenzt, und verschiedene Abwandlungen können vorgenommen werden, ohne den Schutzbereich der Erfindung zu verlassen. Jede Verbesserung kann teilweise an allen Komponenten vorgenommen werden.

### Patentansprüche

1. Verfahren zum Betreiben einer Halbleiterspeichervorrichtung, die eine Vielzahl von Operationsmodi zum Steuern einer internen Schaltung hat, welches Verfahren das sukzessive Holen einer Serie von Befehlen (**RDA, MRS, LAL, WRA, REF**) umfaßt, die dazu dienen, einen der Operationsmodi zu selektieren, wobei die Selektion durch jeden sukzessiven Befehl der Serie beschränkt wird, das die folgenden Schritte umfaßt: Initiieren einer ersten Operation (**Fig. 11(a)–(n)**) als Antwort auf einen ersten Befehl (**RDA, WRA**) in der Serie von Befehlen; und

Fortsetzen der ersten Operation, wenn ein zweiter Befehl (**LAL**), der dem ersten Befehl in der Serie von Befehlen folgt, die erste Operation verlangt;

gekennzeichnet durch das Beenden der ersten Operation (**Fig. 19(d); Fig. 20(d)**) als Antwort auf den zweiten Befehl, wenn der zweite Befehl (**MRS, REF**) nicht wenigstens die Fortsetzung der ersten Operation verlangt; und ferner **dadurch gekennzeichnet**, daß der zweite Befehl, der die Fortsetzung nicht verlangt, eine zweite Operation verlangt und die zweite Operation durch den zweiten Befehl initiiert wird.

2. Verfahren nach Anspruch 1, bei dem die Operationsmodi einen Modusregistereinstellmodus zum Einstellen einer Operationsbedingung der Vorrichtung enthalten, welches Verfahren ferner den Schritt zum Beenden der ersten Operation und zum Einstellen von Informationen in einem Modusregister (**49, 130**) als die zweite Operation umfaßt, wenn der durch den zweiten Befehl (**MRS**) bestimmte Operationsmodus der Modusregistereinstellmodus ist.

3. Verfahren nach Anspruch 2, bei dem dann, wenn der durch den zweiten Befehl (**MRS**) bestimmte Operationsmodus der Modusregistereinstellmodus ist, ferner der Schritt enthalten ist zum Akzeptieren, bei der zweiten Operation, eines Signals, das einem Adressenanschluß (**BA1–BA0, A12–A0**) zugeführt wurde, als Informationen zum Einstellen jedes Bits eines Modusregisters (**49, 130**).

4. Verfahren nach Anspruch 1, bei dem die Operationsmodi einen Datenhaltemodus zum Halten von Daten in Speicherzellen (**MC**) enthalten, welches Verfahren ferner den Schritt zum Beenden der ersten Operation und Ausführen einer Auffrischoperation als die zweite Operation umfaßt, wenn der durch den zweiten Befehl (**REF**) bestimmte Operationsmodus der Datenhaltemodus ist.

5. Verfahren nach Anspruch 4, bei dem der durch den zweiten Befehl (**REF**) bestimmte Operationsmodus der Datenhaltemodus ist, ferner mit dem Schritt zum Umstellen auf einen Bereitschaftsmodus, wenn ein Signal mit einem vorbestimmten Pegel (**SELFN; PD=L**), das einem vorbestimmten Anschluß (**PD**) zugeführt wurde, empfangen wird.

6. Verfahren nach Anspruch 5, bei dem der Datenhaltemodus ein automatischer Auffrischmodus ist, der eine vorbestimmte Adresse erzeugt und Daten in Speicherzellen (**MC**), die der Adresse entsprechen, auffrischt, und der Bereitschaftsmodus ein Selbstauffrischmodus ist, zum sequentiellen Erzeugen von vorbestimmten Adressen und sequentiellen Auffrischen von Daten in Speicherzellen (**MC**), die den Adressen entsprechen, wobei zwischen jeder Auffrischoperation Zeitintervalle liegen.

7. Verfahren nach Anspruch 1, ferner mit den folgenden Schritten: Unterdrücken der Akzeptanz des ersten Befehls gemäß einem Signal, das einem vorbestimmten Anschluß (**/CS**) zugeführt wurde, und

Umstellen auf einen Bereitschaftsmodus, wenn der Pegel eines Signals, das einem vorbestimmten Anschluß (**PD**) zugeführt wurde, während des Unterdrückungszustandes einen vorbestimmten Pegel (**PDEN; PD=L**) erreicht.

8. Verfahren nach Anspruch 7, bei dem der Bereitschaftsmodus ein Modus mit niedrigem Energieverbrauch ist, der eine vorbestimmte Eingangsschaltung inaktiviert.

9. Verfahren nach Anspruch 1, das die folgenden Schritte umfaßt:

Akzeptieren jedes Befehls synchron mit einem Taktsignal (CLK) und

Akzeptieren des zweiten Befehls ein halbes oder ein Taktsignal nach der Akzeptanz des ersten Befehls.

10. Verfahren nach Anspruch 1, bei dem die Operationsmodi einen Schreiboperationsmodus zum Schreiben von Daten in Speicherzellen (**MC**) und einen Leseoperationsmodus zum Lesen von Daten aus Speicherzellen (**MC**) enthalten, welches Verfahren ferner die folgenden Schritte umfaßt:

Unterscheiden des Schreiboperationsmodus von dem Leseoperationsmodus durch den ersten Befehl und Starten einer Operation einer Schaltung, die sowohl dem Schreiboperationsmodus als auch dem Leseoperationsmodus gemeinsam ist, die Teil der ersten Operation ist.

11. Verfahren nach Anspruch 10, das bei der ersten Operation ferner die Schritte umfaßt:

Akzeptieren eines Signals, das einem Adressenanschluß (**BA1–BA0, A14–A0**) zugeführt wurde, bei dem ersten Befehl als Teil der Adresse, die entweder für eine Schreiboperation oder eine Leseoperation erforderlich ist; und

Akzeptieren eines Signals, das dem Adressenanschluß (**A8–A0**) zugeführt wurde, als Rest der Adresse, die entweder für die Schreiboperation oder die Leseoperation erforderlich ist, wenn der durch den zweiten Befehl bestimmte Operationsmodus der Schreiboperationsmodus oder der Leseoperationsmodus ist.

12. Verfahren nach Anspruch 11, das bei der ersten Operation den Schritt zum Selektieren einer Wortleitung (**MWL, SWL**) umfaßt, die einem Teil der bei dem ersten Befehl akzeptierten Adresse entspricht.

13. Verfahren nach Anspruch 12, bei dem die Operationsmodi einen automatischen Auffrischmodus enthalten, der eine vorbestimmte Adresse erzeugt und Daten in Speicherzellen an der Adresse auffrischt, und dann, wenn der durch den zweiten Befehl bestimmte Operationsmodus der automatische Auffrischmodus ist, ferner die folgenden Schritte enthalten sind:

Nichtselektieren der Wortleitung, die der bei dem ersten Befehl akzeptierten Adresse entspricht, um die erste Operation zu beenden; und

Selektieren, bei der zweiten Operation, der Wortleitung, die der vorbestimmten Adresse entspricht, die intern erzeugt wird.

14. Verfahren nach Anspruch 12, bei dem die Wortleitung eine Hauptwortleitung (**MWL**) umfaßt, und Subwortleitungen (**SWL**), die von der Hauptwortleitung abzweigen, welches Verfahren ferner die folgenden Schritte umfaßt:

Spezifizieren wenigstens der Subwortleitungen durch die Adresse, die zusammen mit dem ersten Befehl akzeptiert wurde, und

Selektieren der Subwortleitungen.

15. Verfahren nach Anspruch 11, das ferner die folgenden Schritte umfaßt:

Starten einer Aktivierung eines Spaltendecodierers (**71**) durch den ersten Befehl und

Selektieren einer Spaltenselektionsleitung (**CL**), wobei die bei dem zweiten Befehl akzeptierte Adresse genutzt wird.

16. Verfahren nach Anspruch 11, bei dem der bestimmte Operationsmodus der Schreiboperationsmodus ist, wobei das Verfahren ferner die folgenden Schritte umfaßt:

Akzeptieren eines Signals, das einem vorbestimmten Anschluß (**A14, A13**) zugeführt wurde, als Informationen (**WBL0, WBL1**), um die Länge von Schreibdaten zu spezifizieren, und Steuern der Datenlänge (**BL**) auf der Basis der akzeptierten Informationen.

17. Verfahren nach Anspruch 11, bei dem der bestimmte Operationsmodus der Schreiboperationsmodus ist, ferner mit den folgenden Schritten:

Akzeptieren eines Signals, das einem vorbestimmten Anschluß (**A14, A13**) zugeführt wird, als Maskierungsinformationen (**WBL0, WBL1**), die einen Teil von jedem der Schreibdaten, die sukzessive zugeführt wurden, ungültig machen, und

Maskieren des Teils von jedem der Schreibdaten auf der Basis der akzeptierten Maskierungsinformationen.

18. Verfahren nach Anspruch 11, bei dem der bestimmte Operationsmodus der Leseoperationsmodus ist, ferner mit den folgenden Schritten:

Akzeptieren eines Signals, das einem vorbestimmten Anschluß (**A14, A13**) zugeführt wird, als Informationen (**WBL0, WBL1**), um die Länge (**BL**) von Lesedaten zu spezifizieren, und

Steuern der Datenlänge (**BL**) auf der Basis der akzeptierten Informationen.

19. Verfahren nach Anspruch 11, bei dem der bestimmte Operationsmodus der Leseoperationsmodus ist, welches Verfahren ferner die folgenden Schritte umfaßt:

Akzeptieren eines Signals, das einem vorbestimmten Anschluß (**A14**, **A13**) zugeführt wird, als Maskierungsinformationen (**WBL0**, **WBL1**), die einen Teil von jedem der Lesedaten, die sukzessive ausgegeben werden, ungültig machen, und

Maskieren des Teils von jedem der Lesedaten auf der Basis der akzeptierten Maskierungsinformationen.

20. Verfahren nach Anspruch 11, bei dem die Adresse, die bei dem vorherigen Schreiboperationsmodus akzeptiert wurde, und Schreibdaten verwendet werden, um die Schreiboperation auszuführen, wenn der bestimmte Operationsmodus der Schreiboperationsmodus ist.

21. Verfahren nach Anspruch 20, bei dem die Operationsmodi, die durch den ersten Befehl beschränkt wurden, den Schreiboperationsmodus enthalten und eine Auffrischoperation nach dem Ausführen der Schreiboperation ausgeführt wird, wenn der Operationsmodus, der zu der Zeit des Eingehens des zweiten Befehls bestimmt wurde, ein automatischer Auffrischmodus ist, der eine vorbestimmte Adresse erzeugt und Daten auffrischt, die in Speicherzellen gespeichert sind.

22. Halbleiterspeichervorrichtung mit einer Vielzahl von Operationsmodi zum Steuern einer internen Schaltung, welche Vorrichtung eine Steuerschaltung (**39**, **41**, **93**, **97**) zum sukzessiven Holen einer Serie von Befehlen (**RDA**, **MRS**, **LAL**, **WRA**, **REF**) umfaßt, die dazu dienen, einen der Operationsmodi zu bestimmen, wobei die Selektion durch jeden sukzessiven Befehl von der Serie beschränkt wird und die Steuerschaltung betriebsfähig ist, um

eine erste Operation (**Fig. 11(a)–(n)**) als Antwort auf einen ersten Befehl (**RDA**, **WRA**) in der Serie von Befehlen zu initiieren; und

die erste Operation fortzusetzen, wenn ein zweiter Befehl (**LAL**), der dem ersten Befehl in der Serie von Befehlen folgt, die erste Operation verlangt;

gekennzeichnet durch das Beenden der ersten Operation (**Fig. 19(d)**; **Fig. 20(d)**) als Antwort auf den zweiten Befehl, wenn der zweite Befehl (**MRS**, **REF**) nicht wenigstens die Fortsetzung der ersten Operation verlangt; und ferner dadurch gekennzeichnet, daß der zweite Befehl, der die genannte Fortsetzung nicht verlangt, eine zweite Operation verlangt und die zweite Operation durch den zweiten Befehl initiiert wird.

23. Halbleiterspeichervorrichtung nach Anspruch 22, bei der die Steuerschaltung eine Befehlssteuerschaltung (**94a**, **94b**, **98a**, **98b**) umfaßt, die Signale akzeptiert, die vorbestimmten Anschlüssen als die genannten Befehle zu einer Vielzahl von Zeiten zugeführt wurden, welche Befehlssteuerschaltung eine Vielzahl von Akzeptanzschaltungen umfaßt, die jeweilig jedes der genannten Signale akzeptieren, die zu einer Vielzahl von Zeiten zugeführt wurden.

24. Halbleiterspeichervorrichtung nach Anspruch 23, bei der jede der Akzeptanzschaltungen das Signal jeweilig synchron mit den verschiedenen Flanken eines Taktsignals akzeptiert.

25. Halbleiterspeichervorrichtung nach Anspruch 23, ferner mit einem Zeitlagengenerator (**92**, **96**) zum Erzeugen einer Vielzahl von Akzeptanzsignalen (**ACON1**, **ACON2**, **ACLK1**, **ACLK2**), die verschiedene Triggerzeitlagen haben, auf der Basis eines Taktsignals (**CLK**), bei der jede der Akzeptanzschaltungen jedes Signal jeweilig synchron mit jedem Akzeptanzsignal akzeptiert.

Es folgen 24 Blatt Zeichnungen

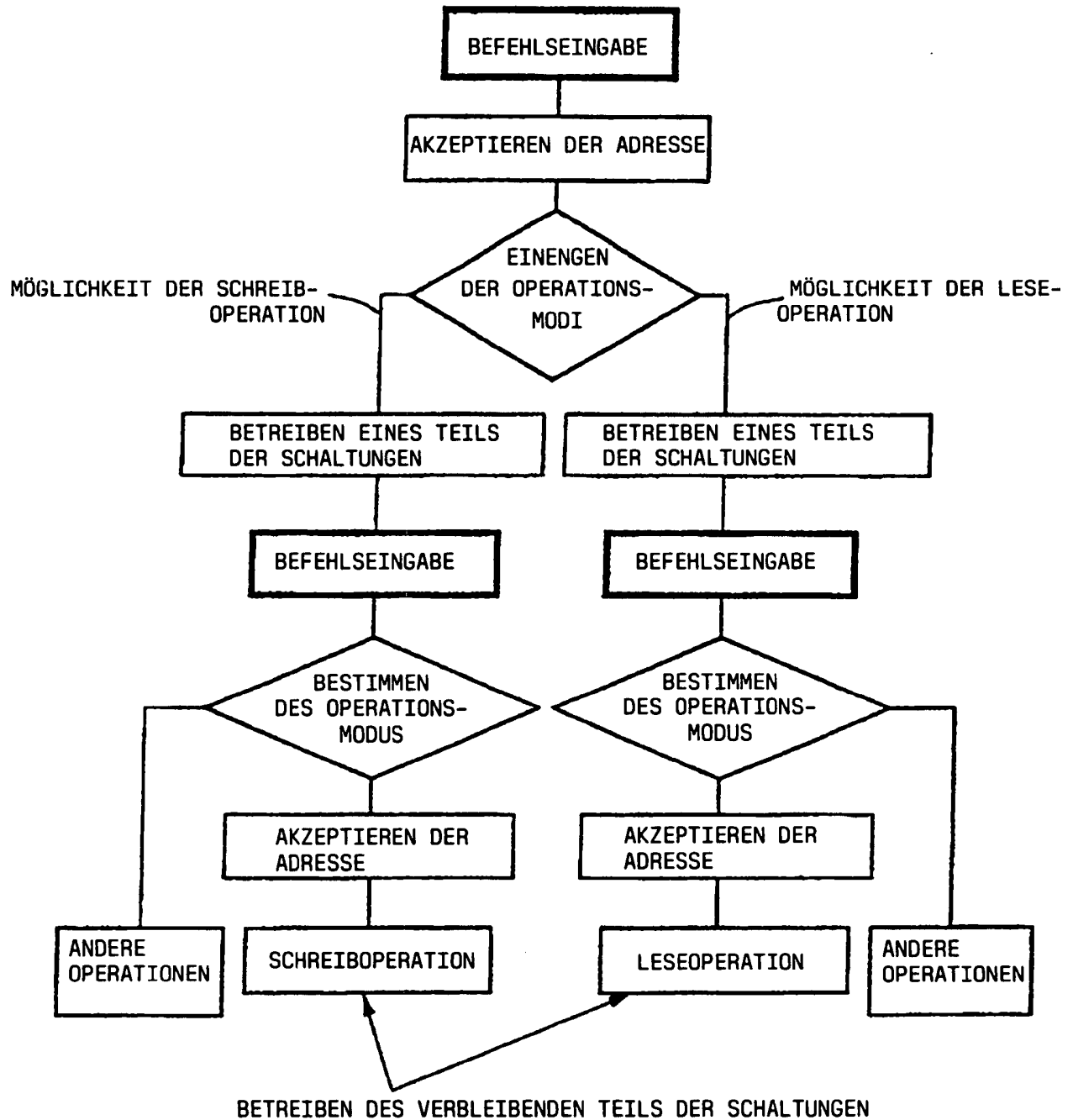


Fig.1

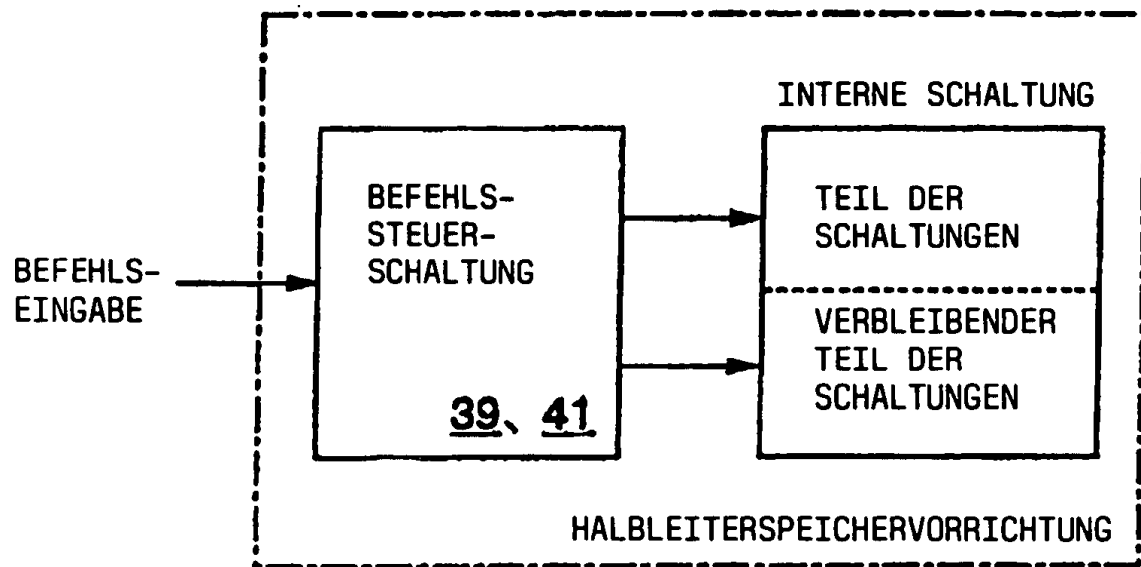


Fig.2

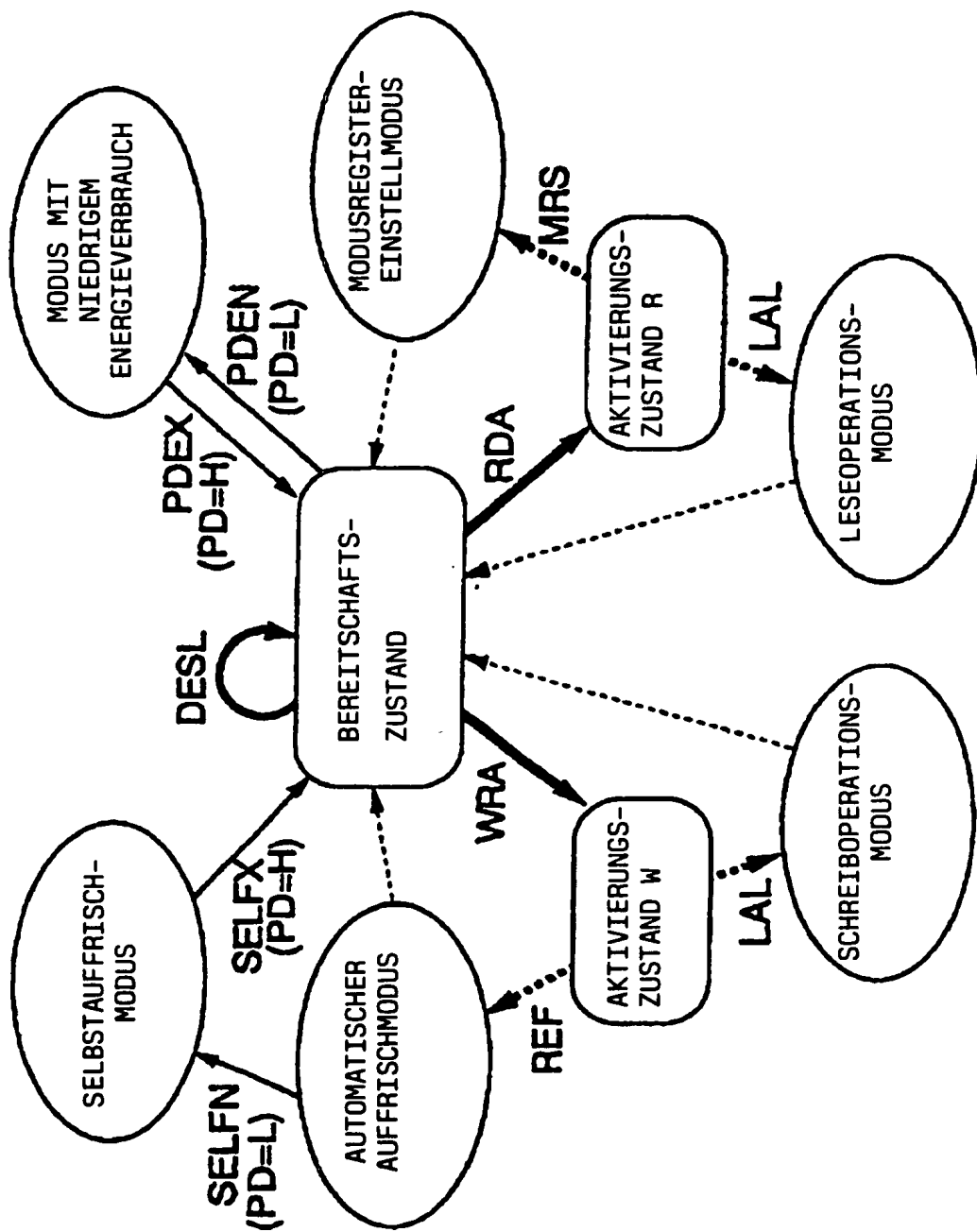


Fig.3

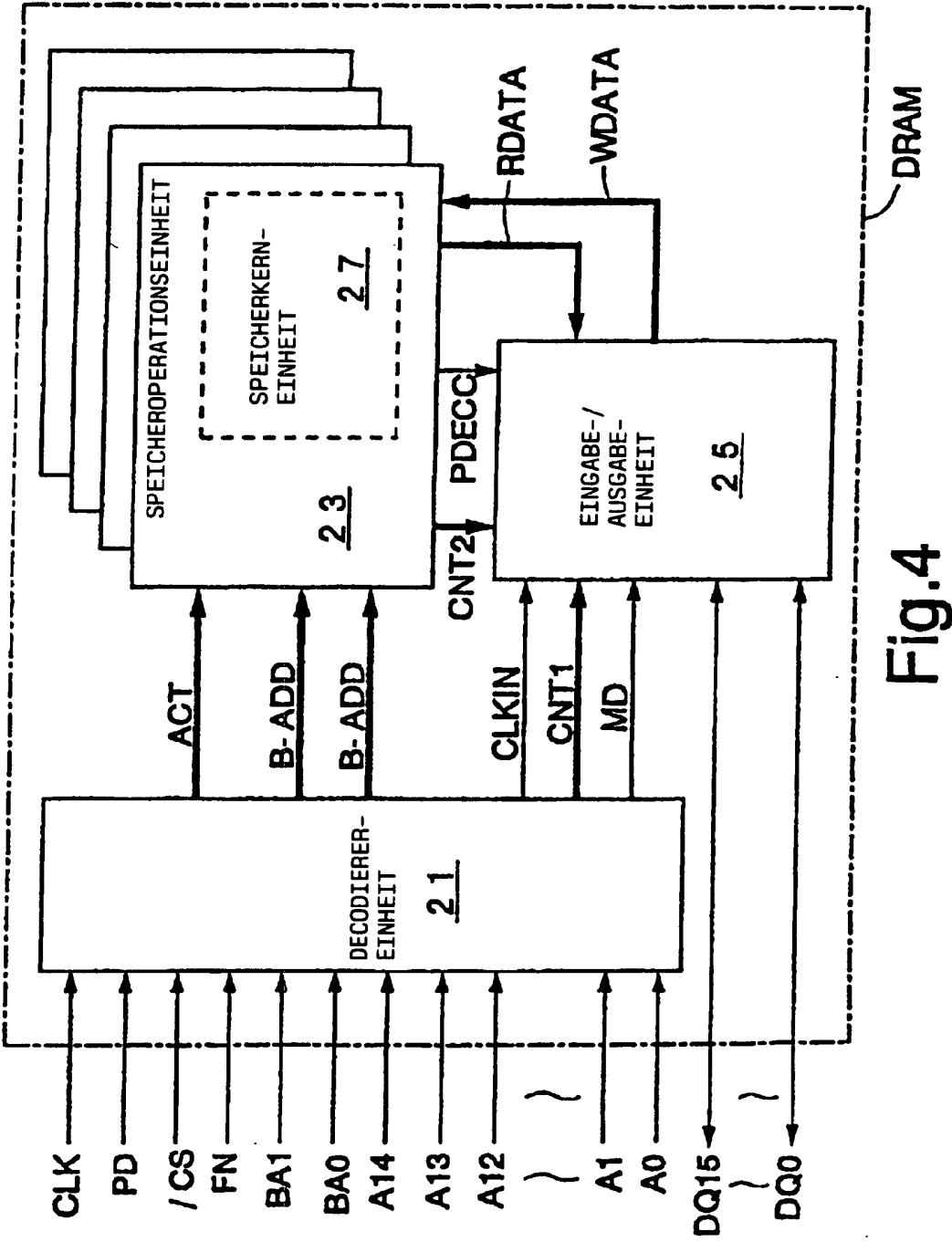


Fig.4

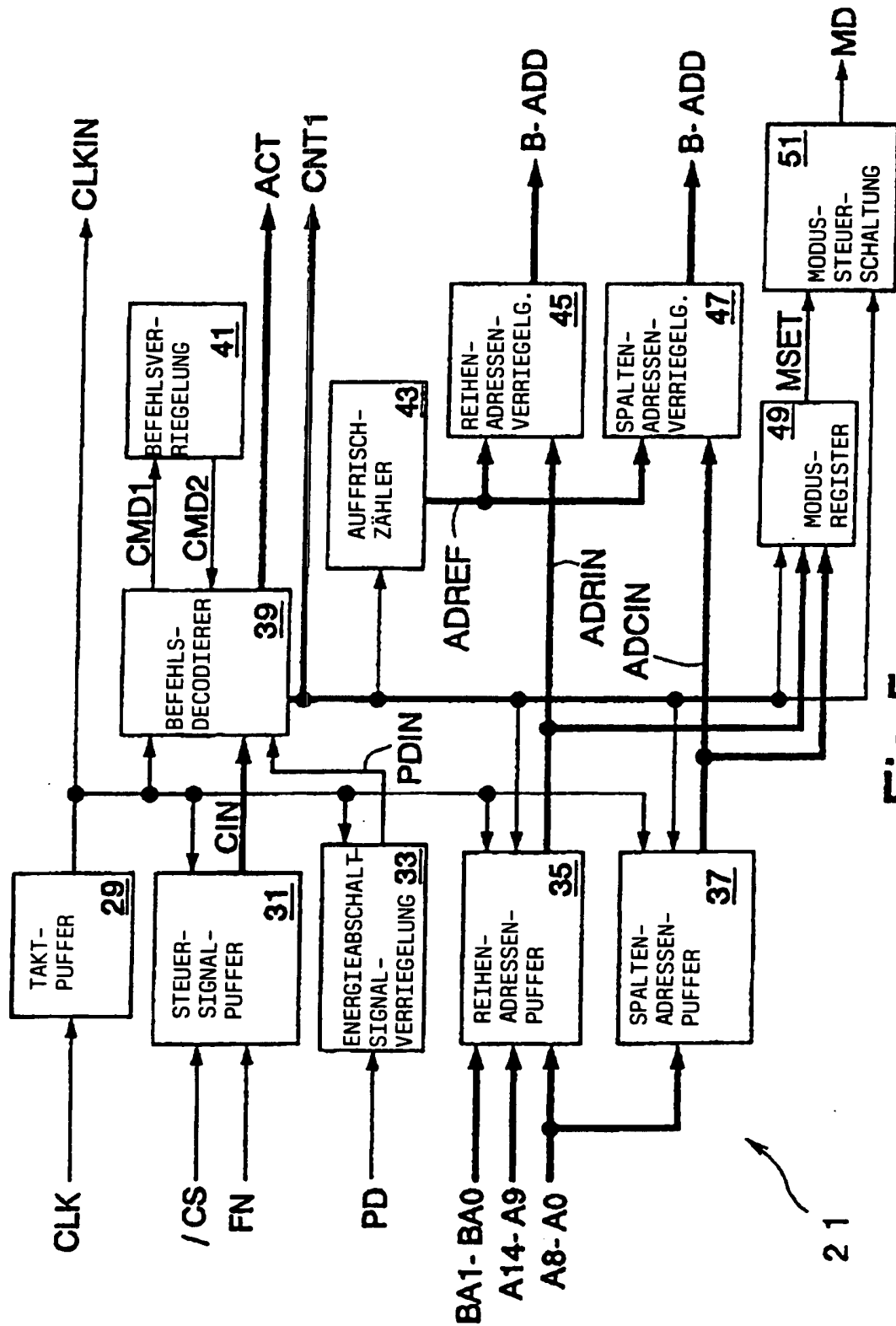


Fig.5



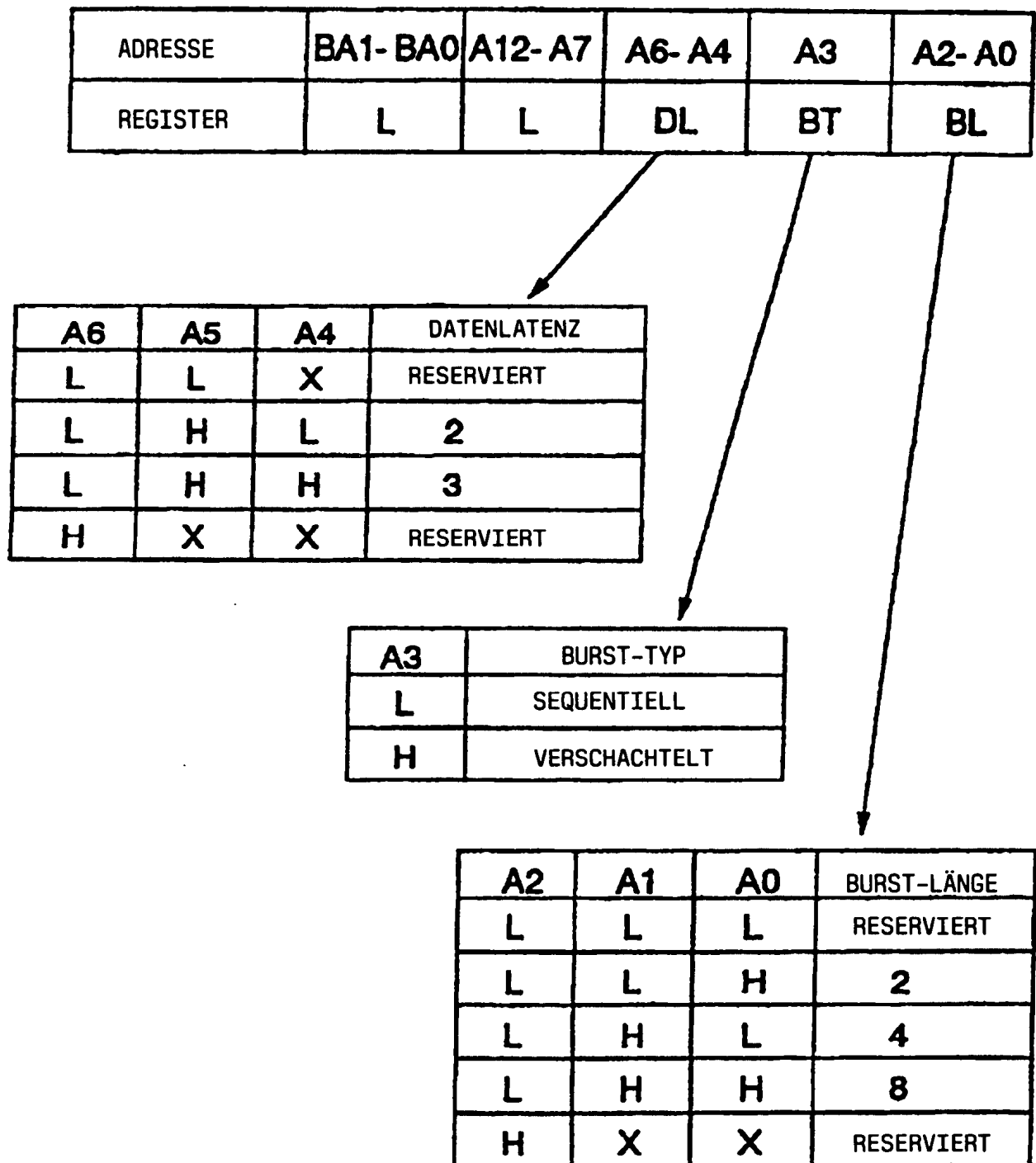
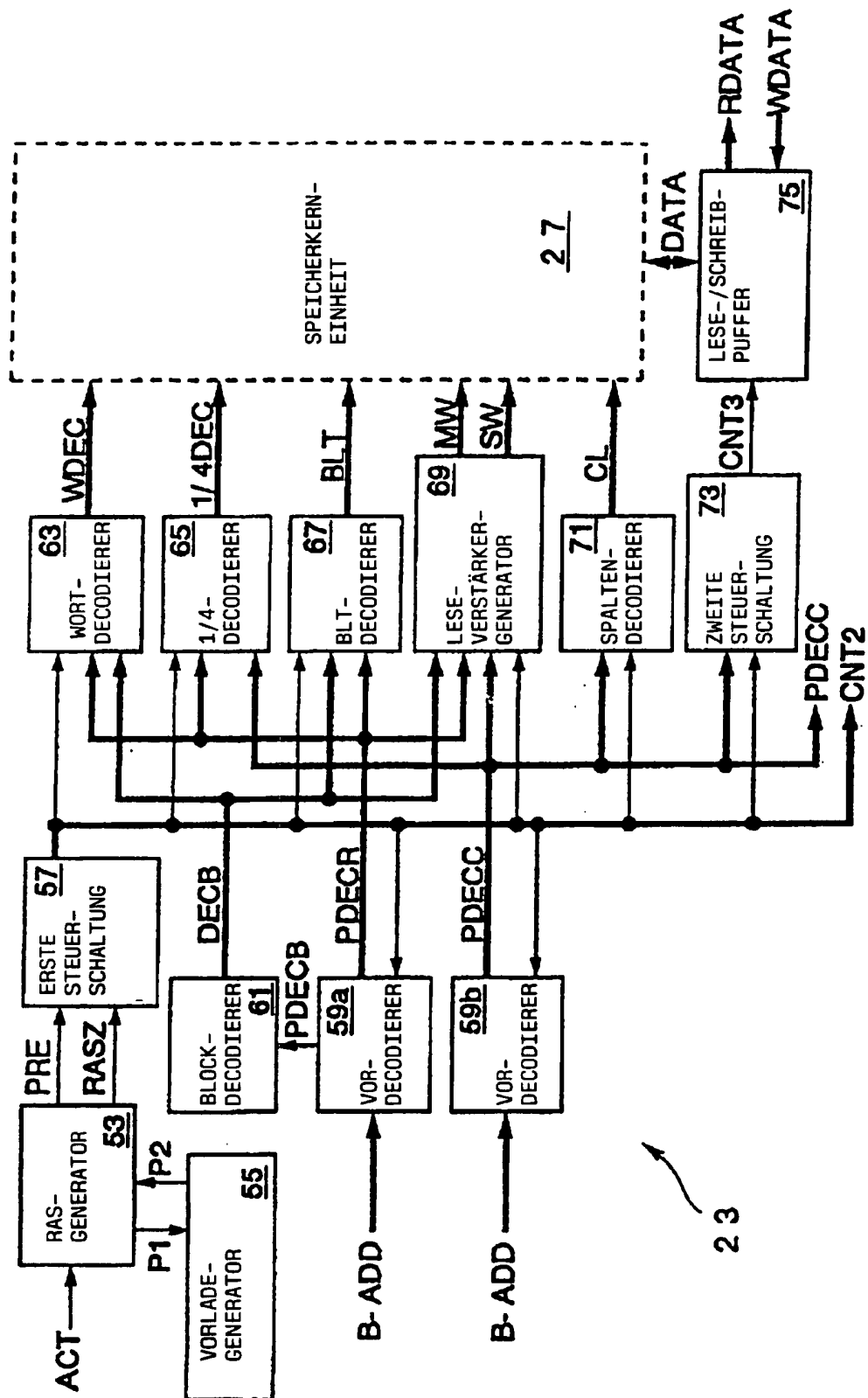


Fig.6



**Fig. 7**

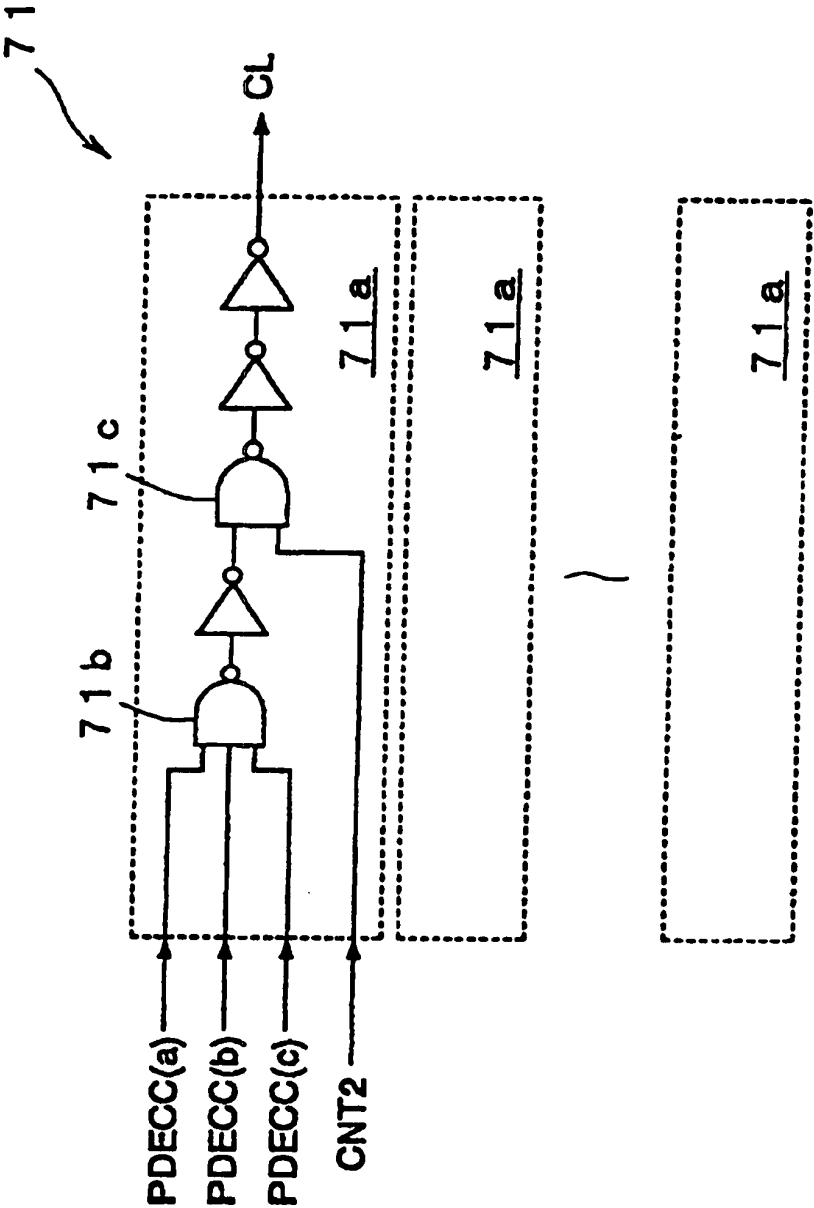


Fig.8

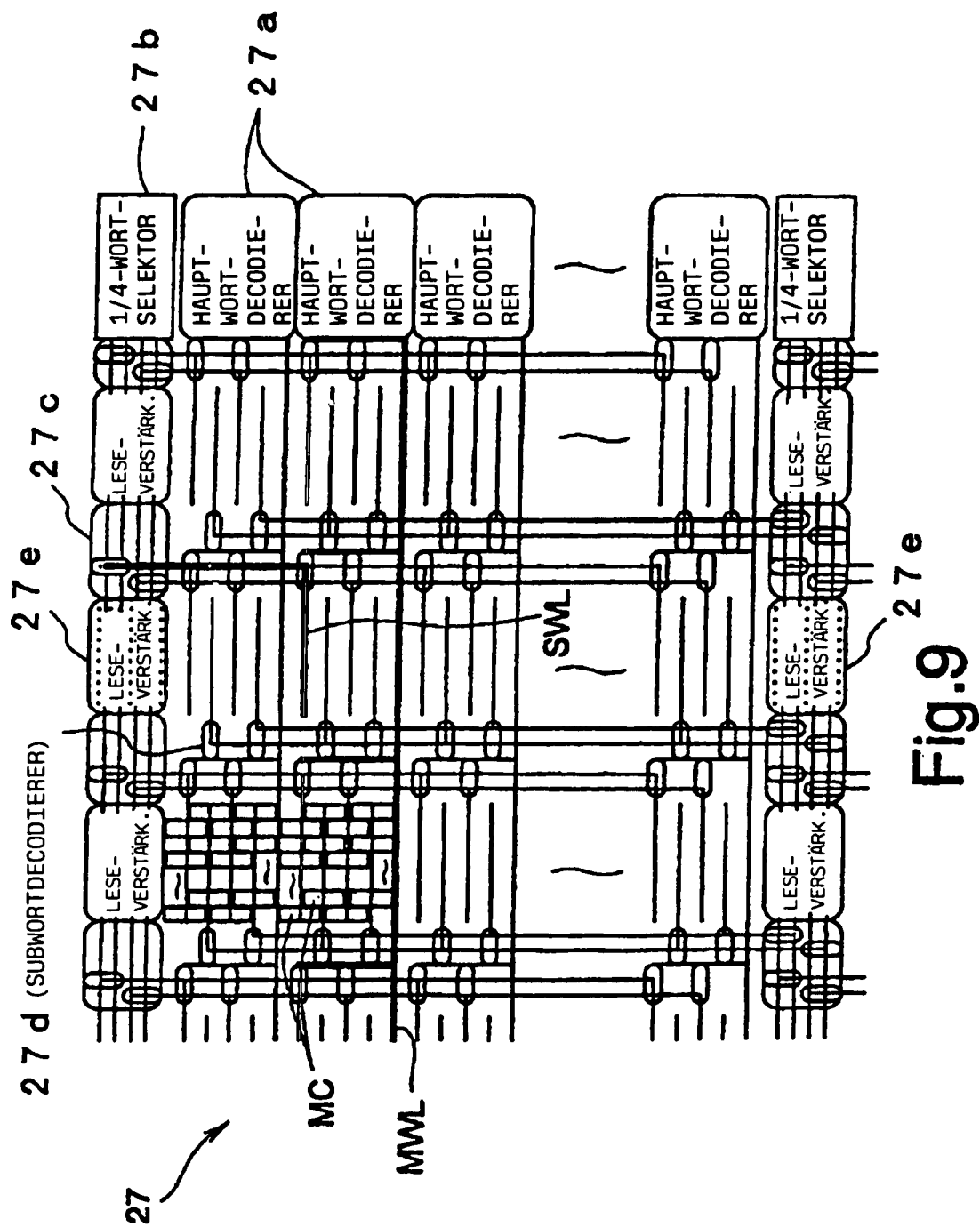


Fig.9

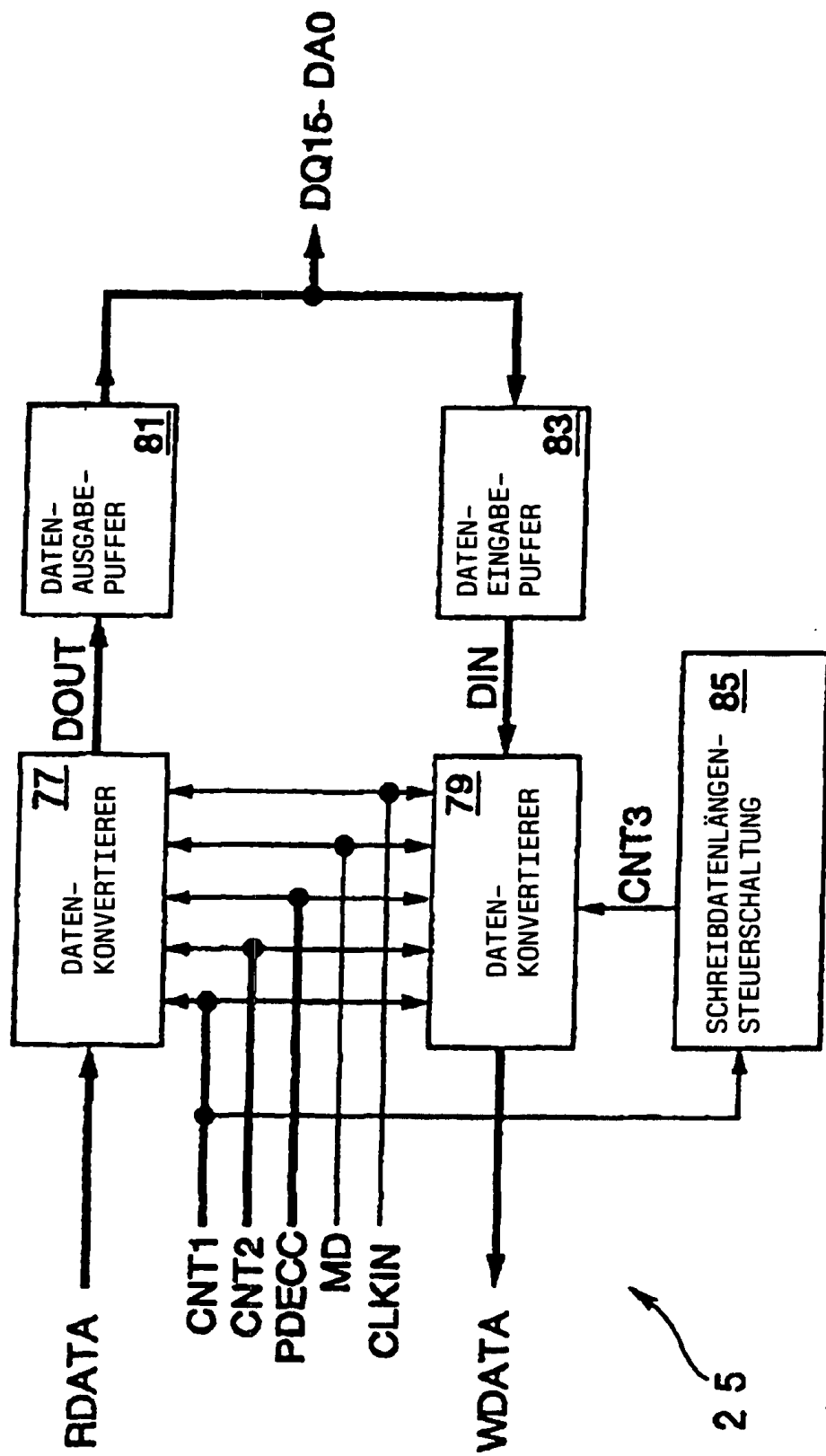


Fig.10

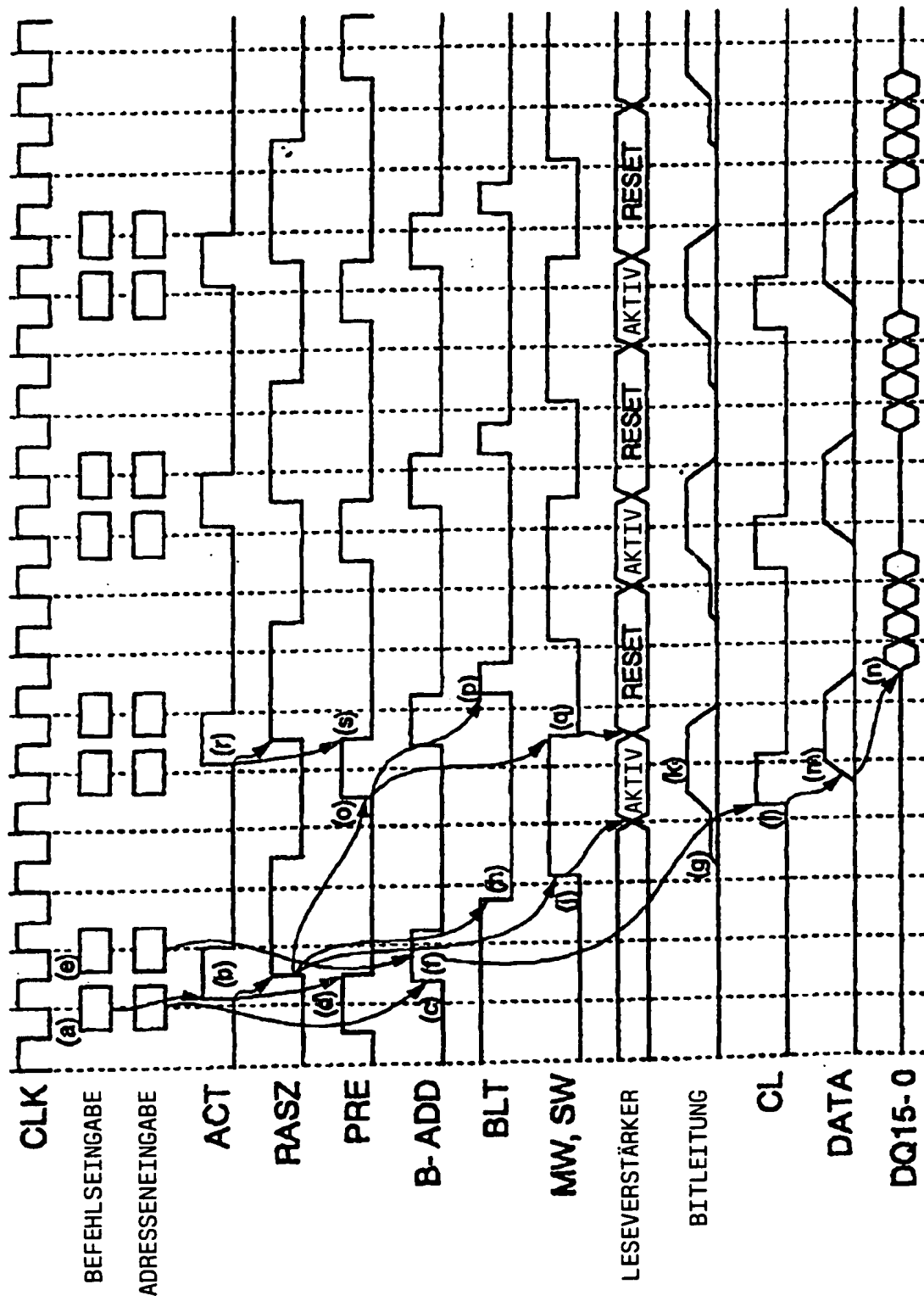


Fig.11

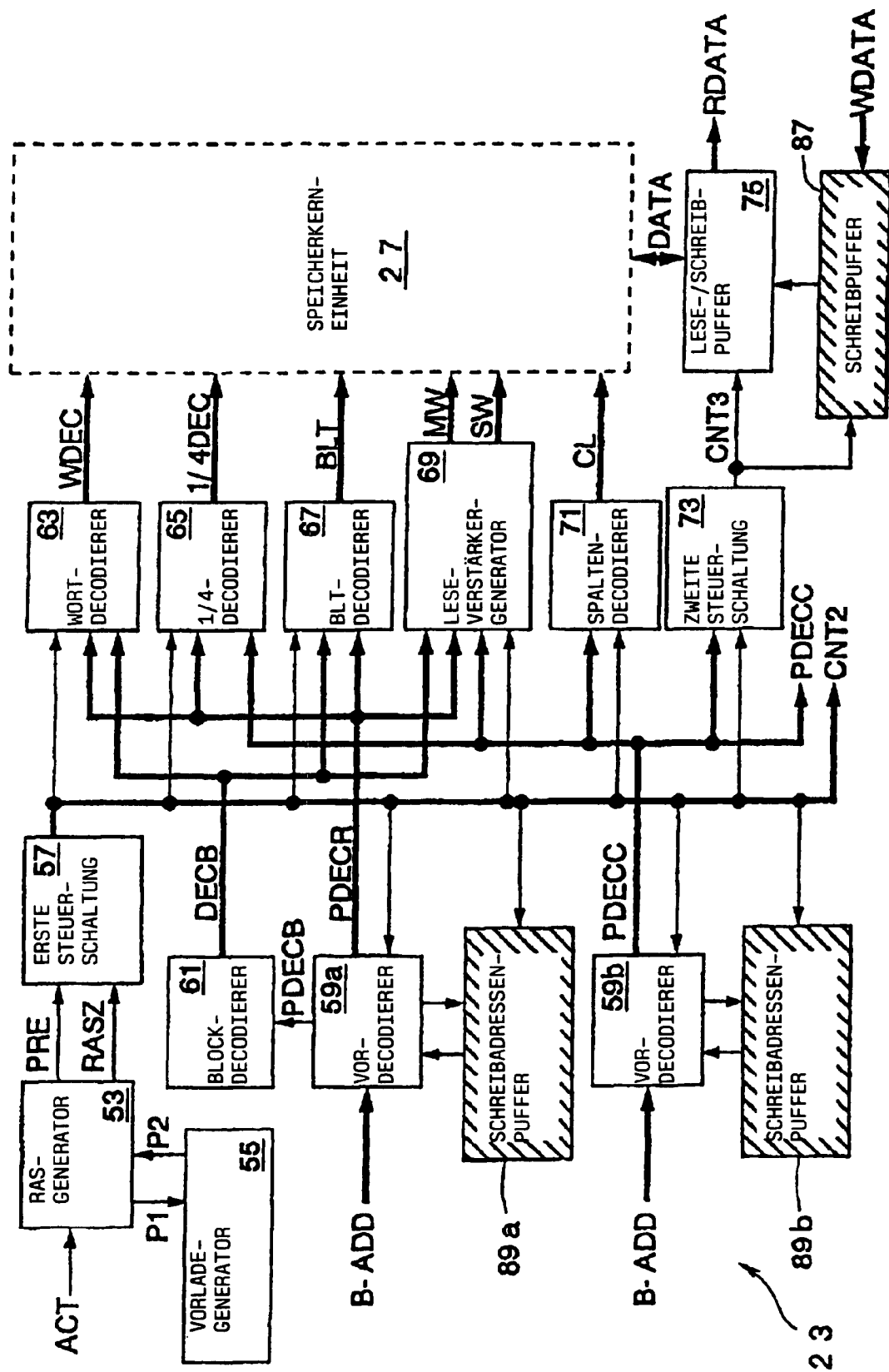


Fig.12

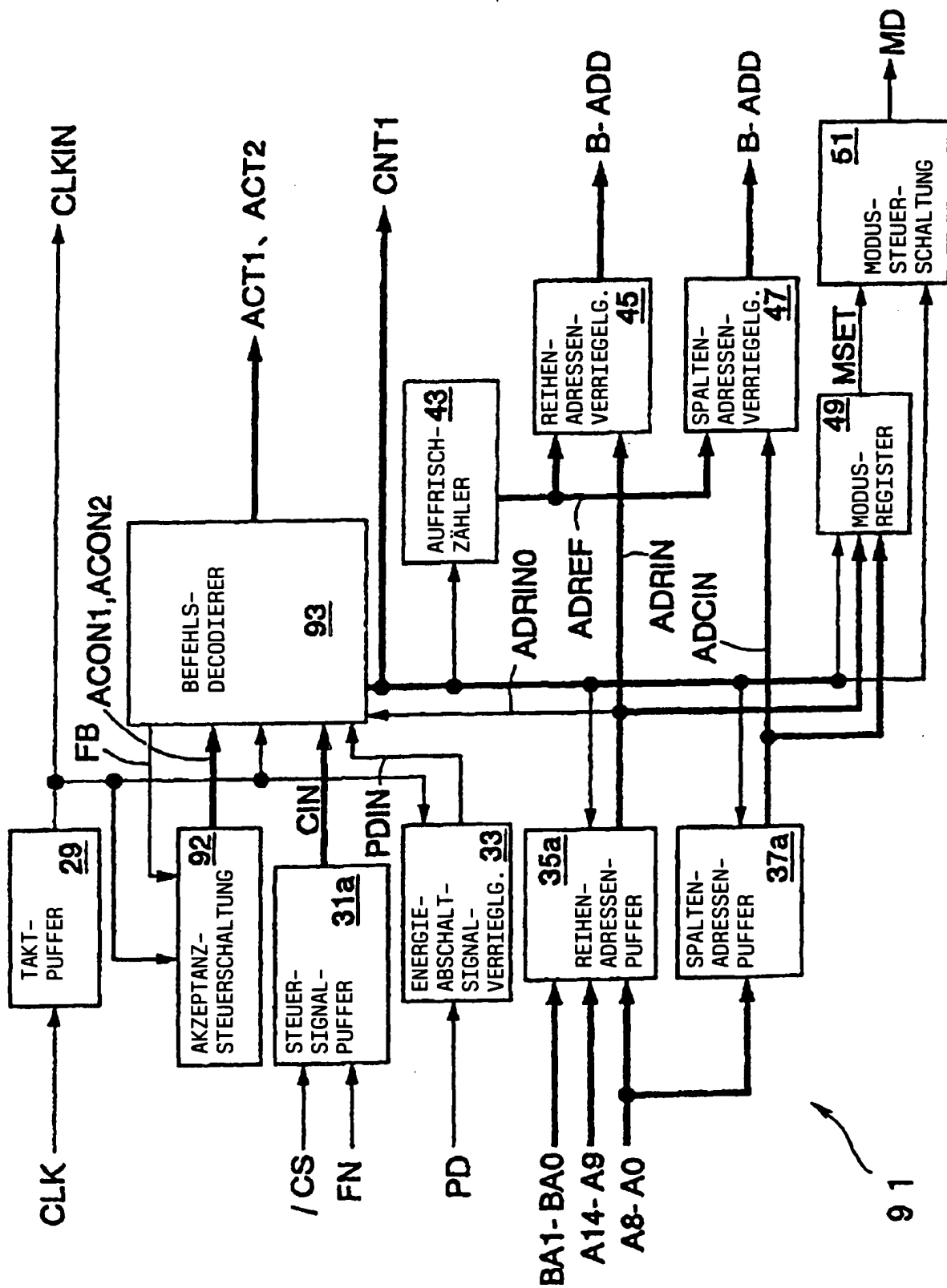
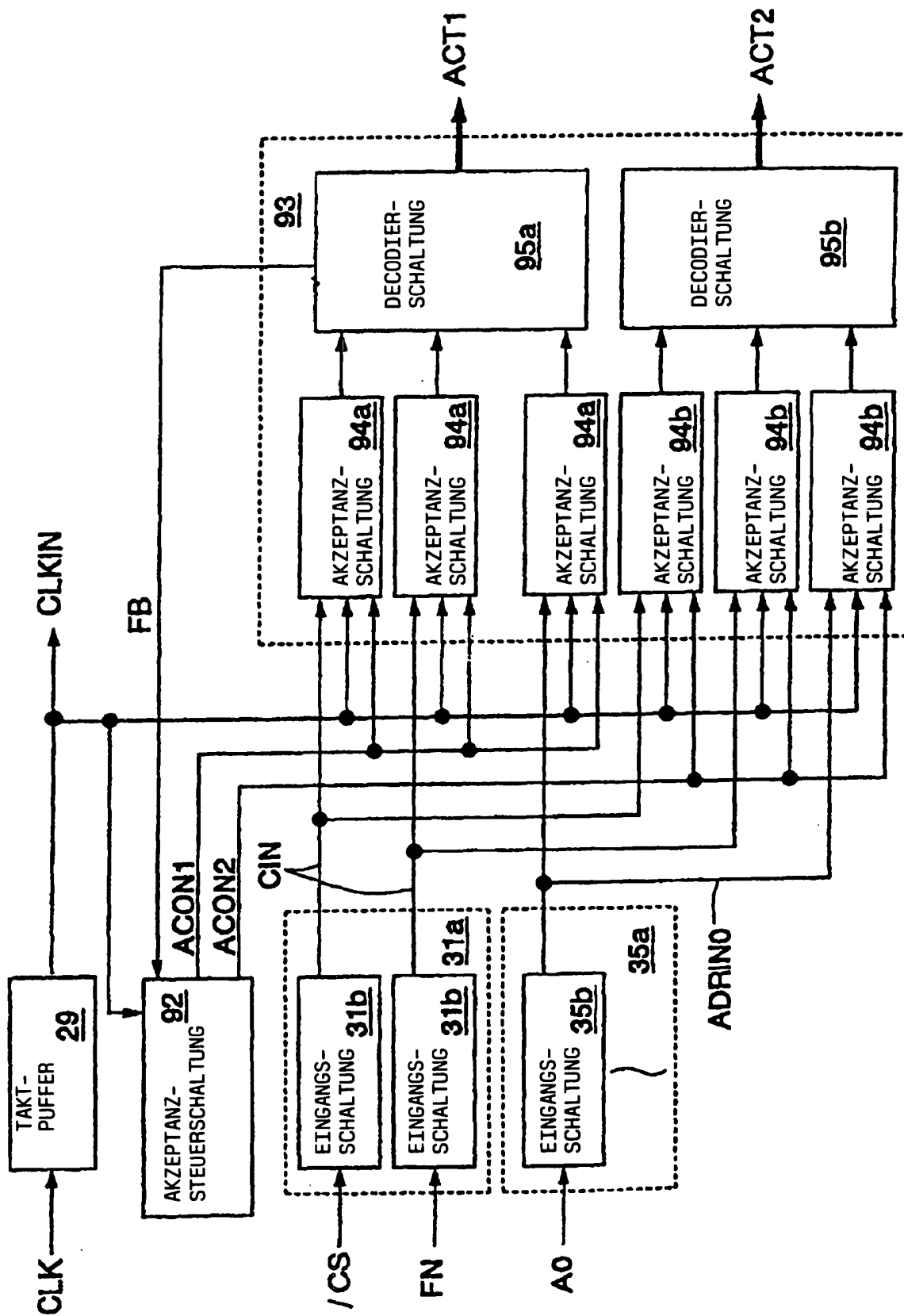


Fig.13





**Fig. 14**

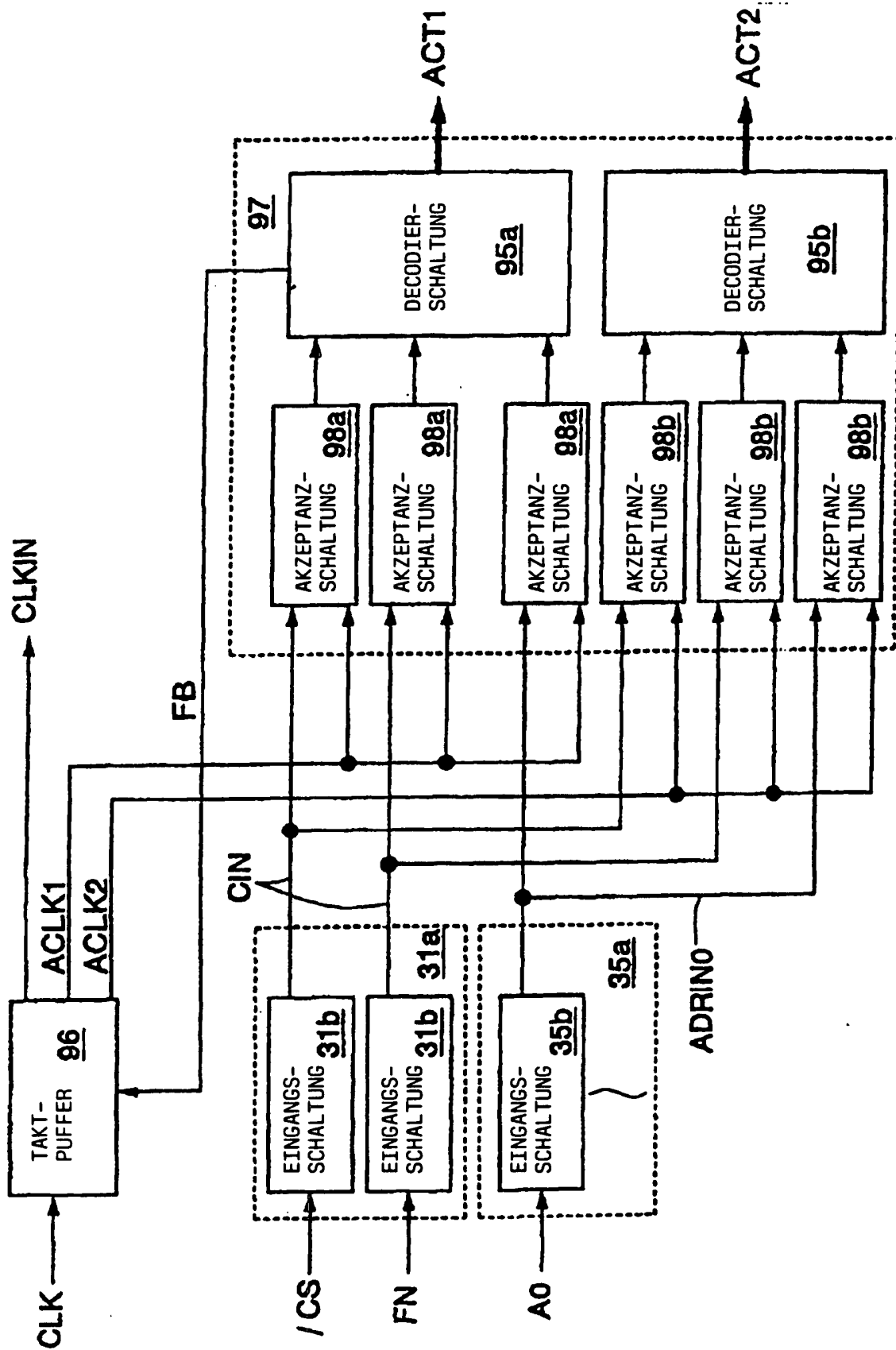


Fig.15

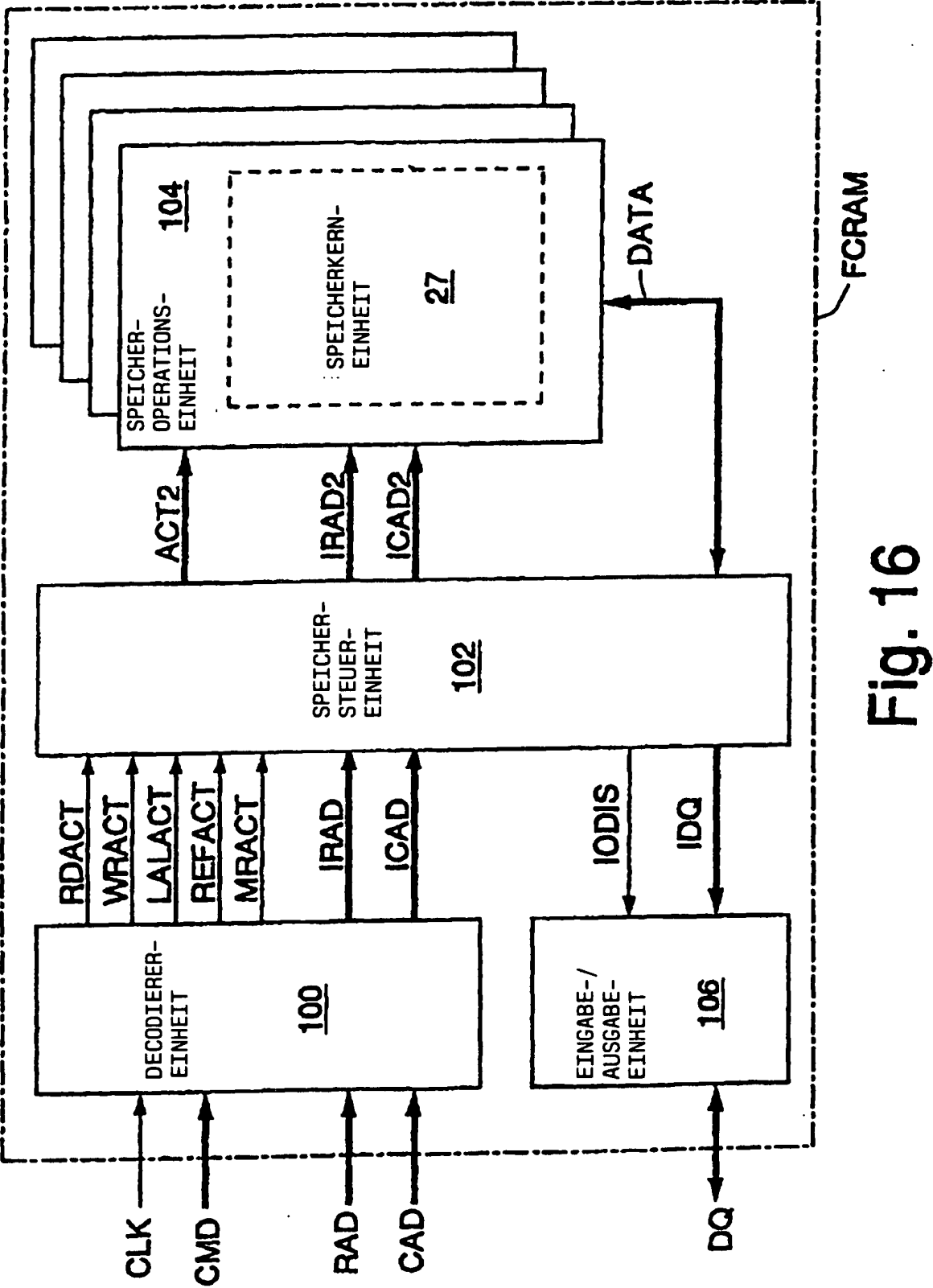


Fig. 16

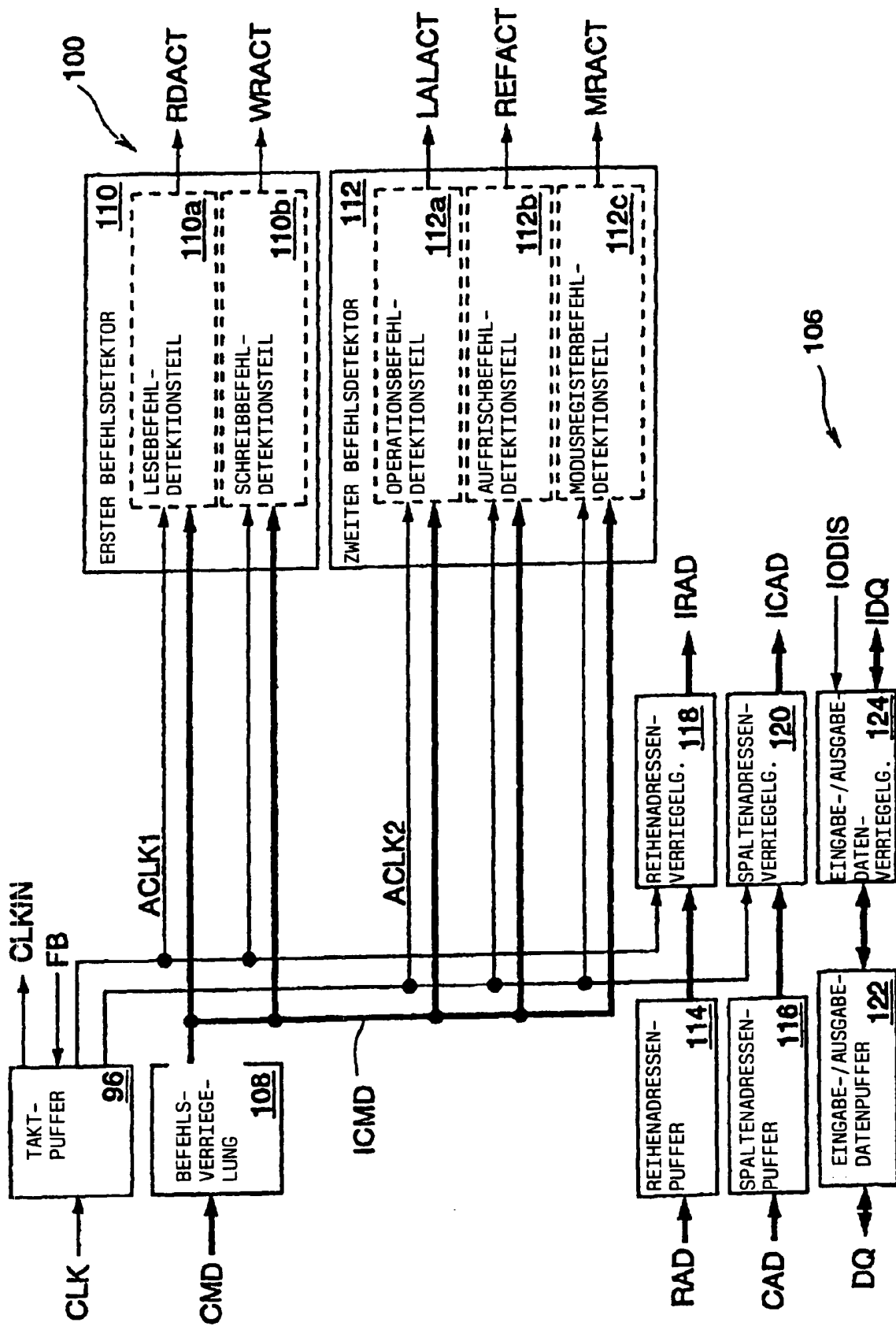


Fig. 17

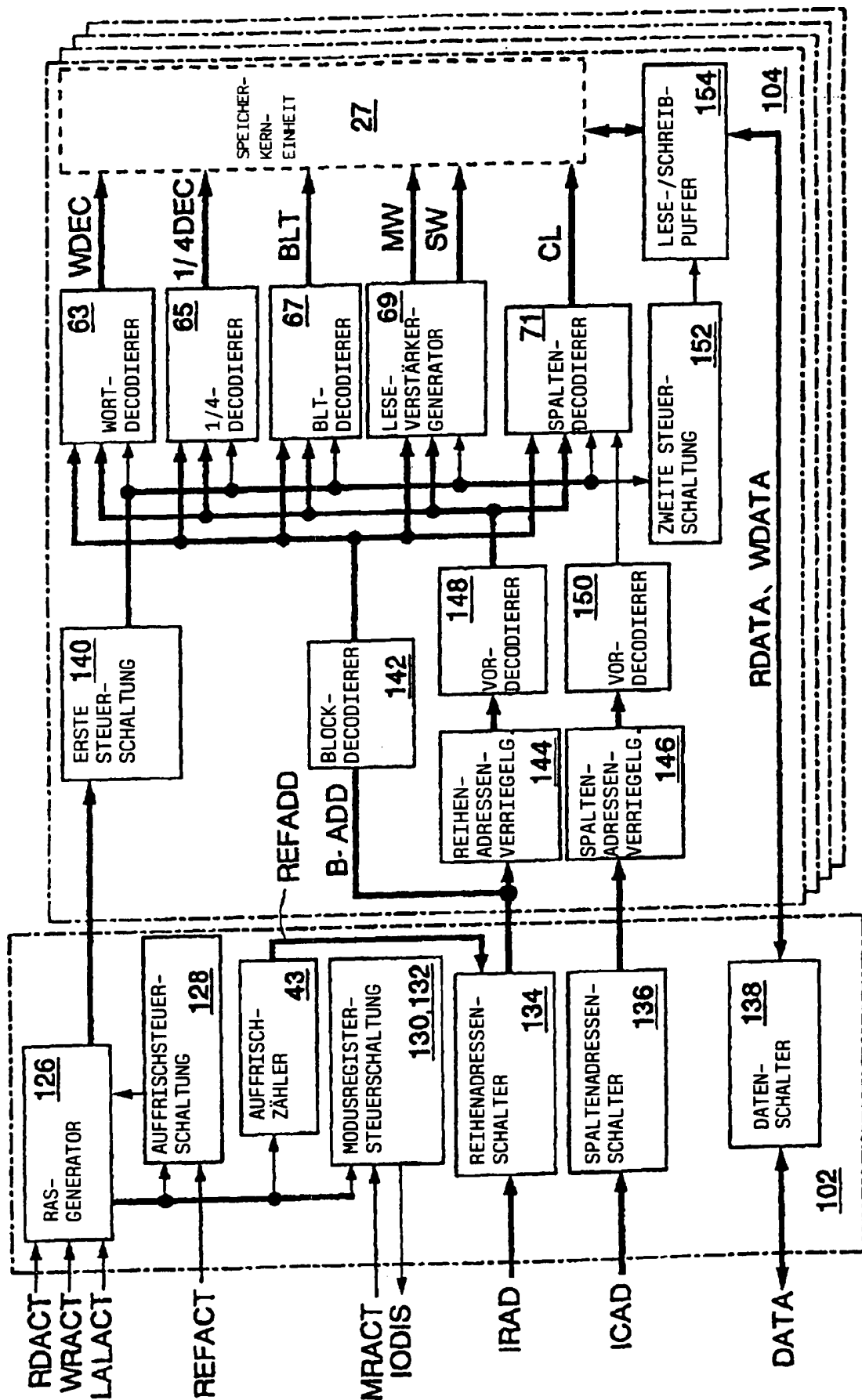


Fig. 18

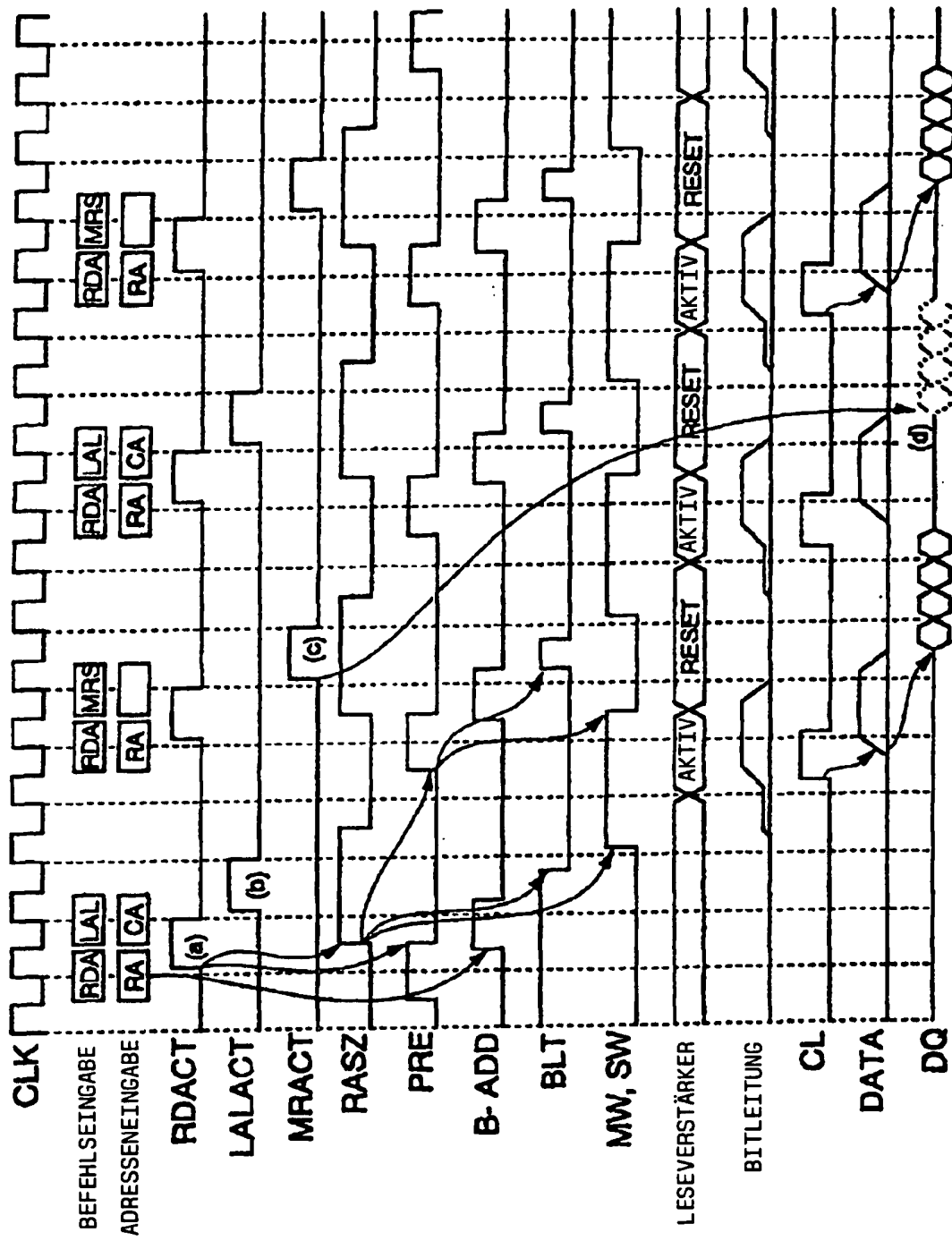


Fig. 19

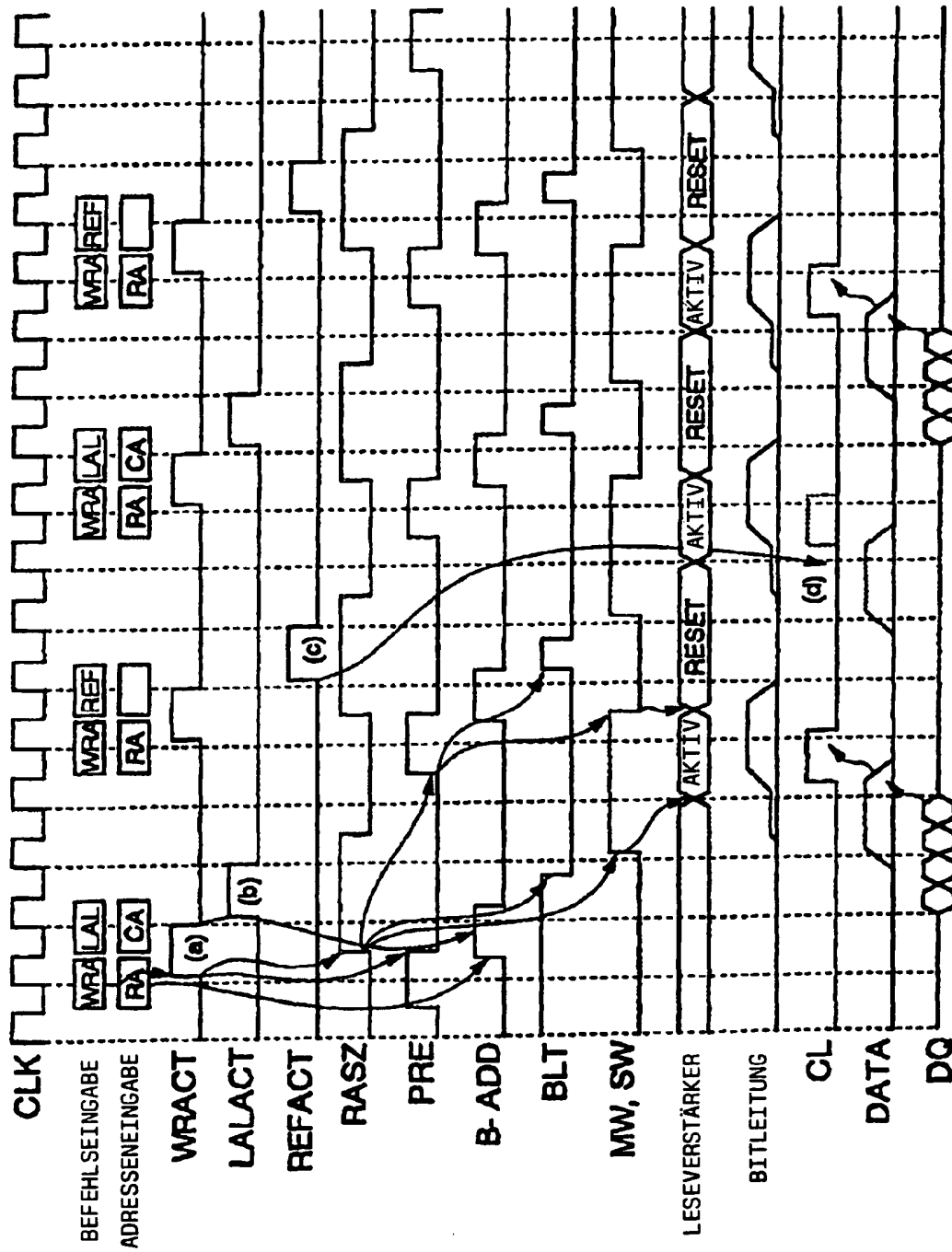


Fig. 20

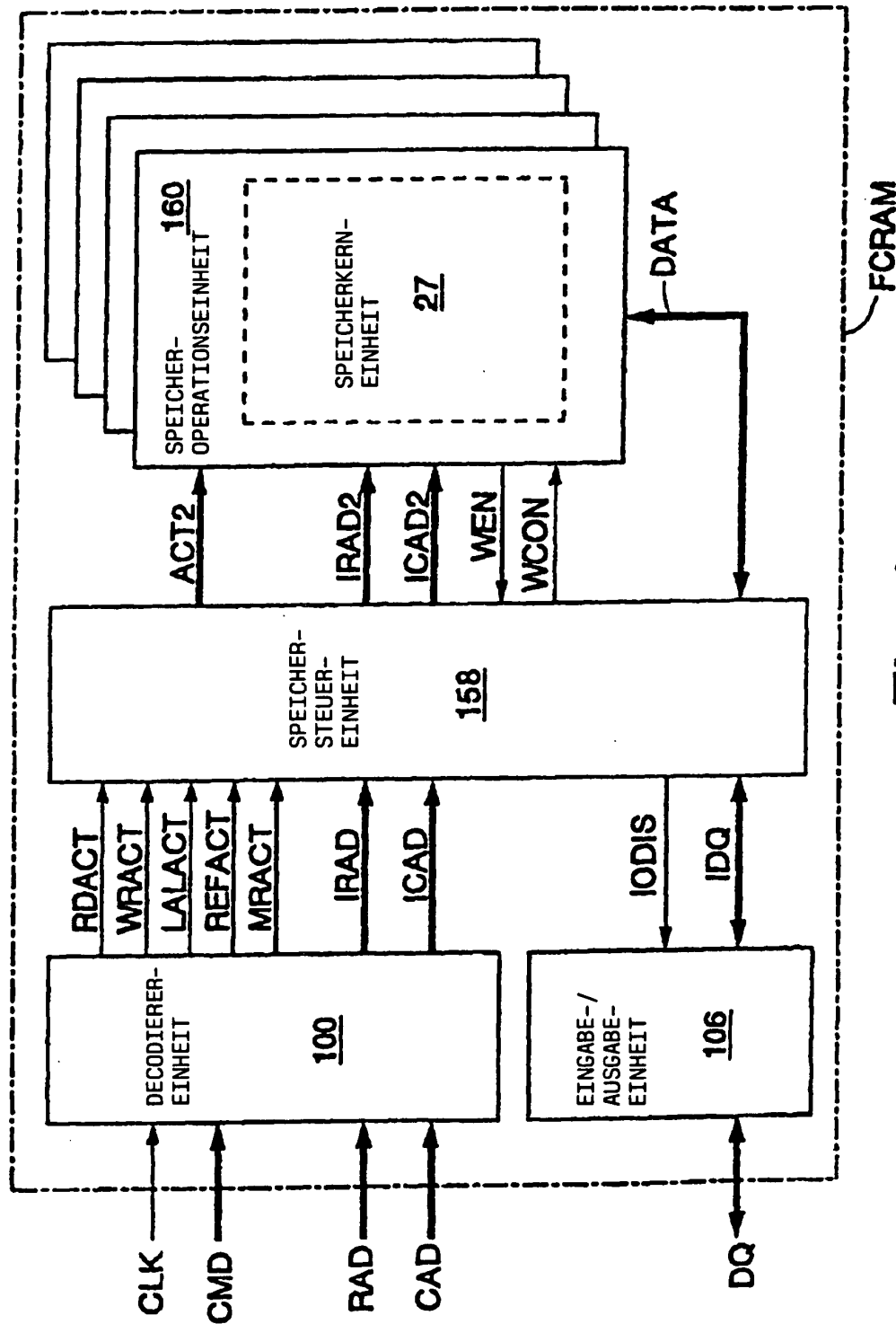


Fig. 21



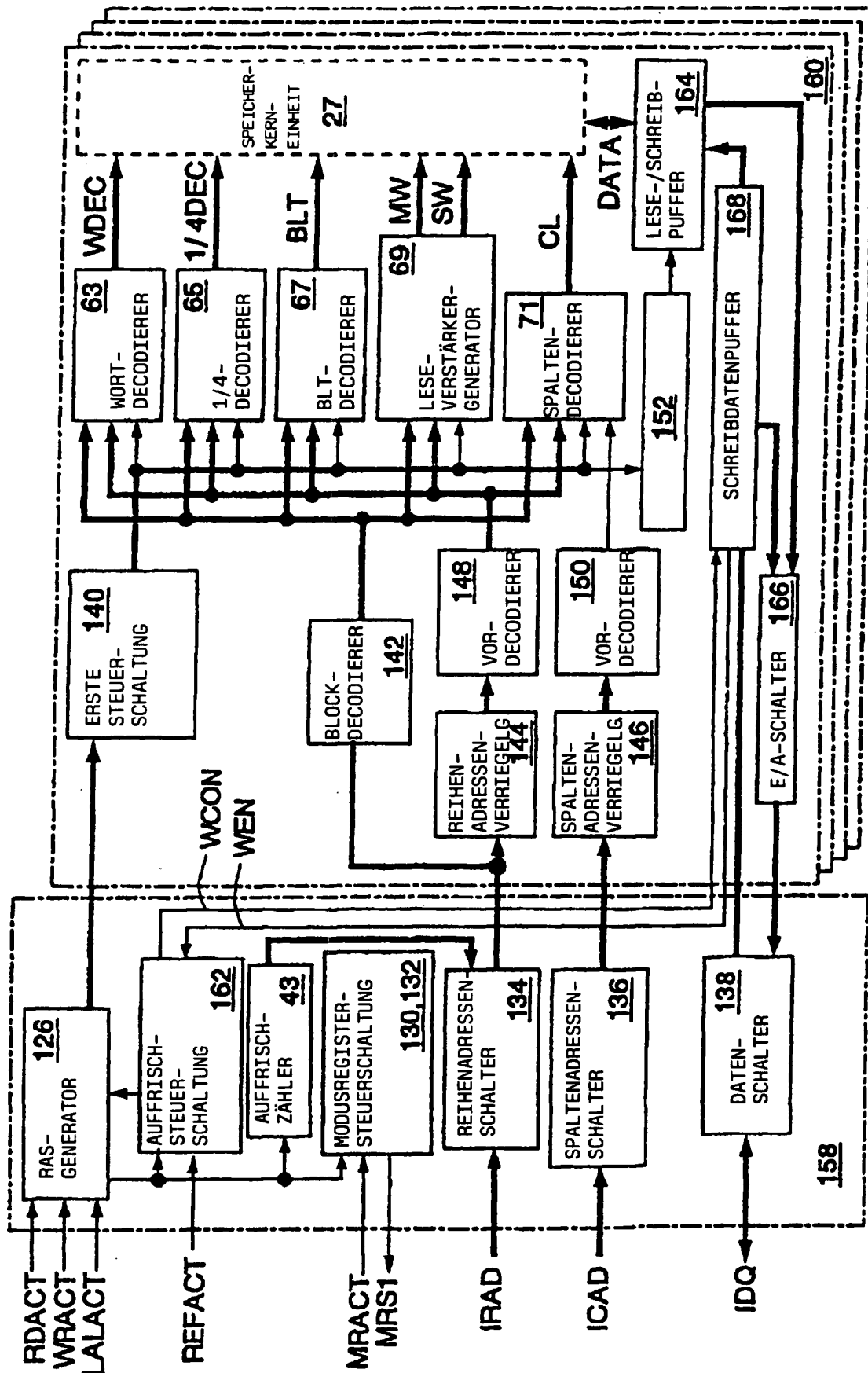


Fig. 22

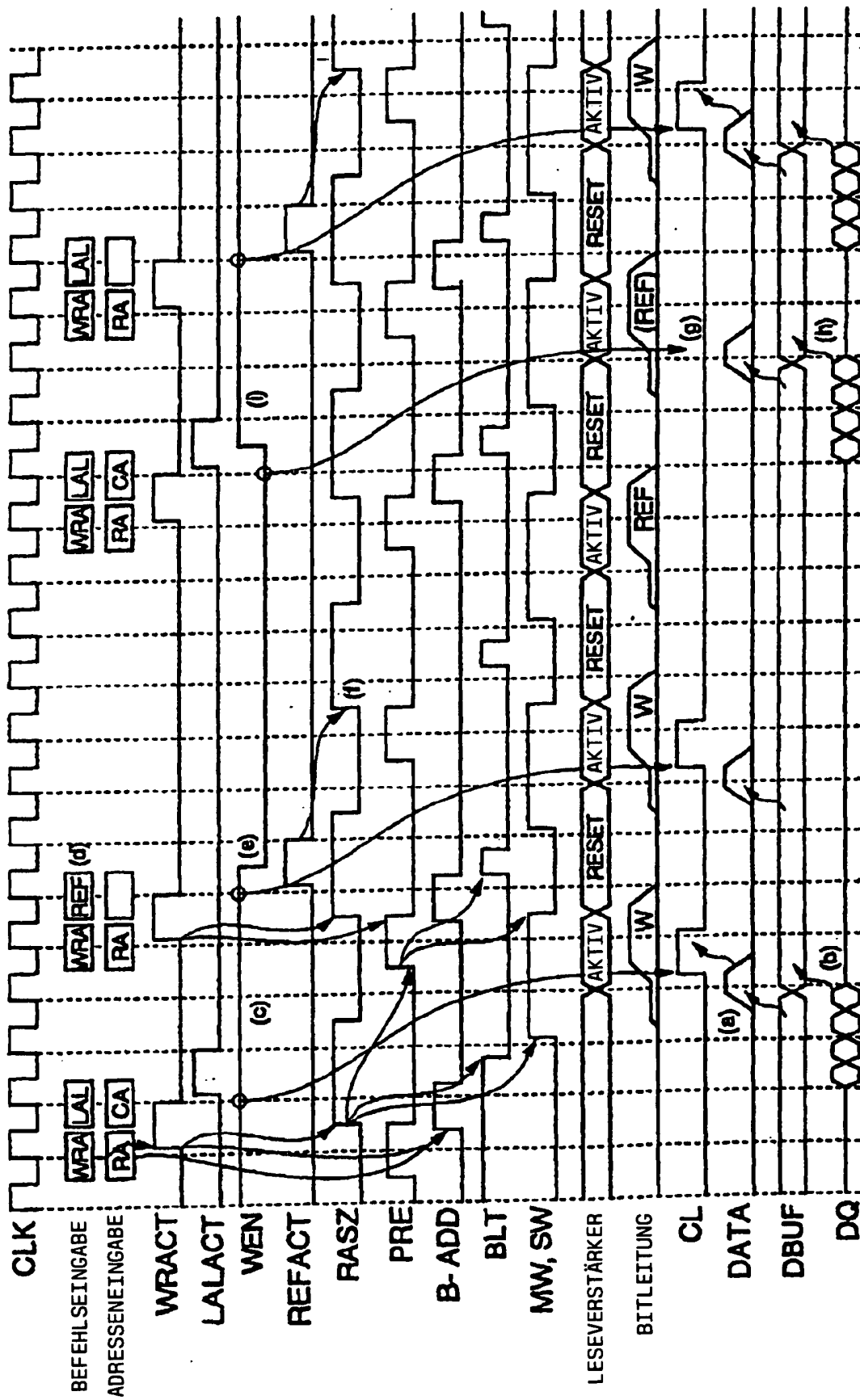
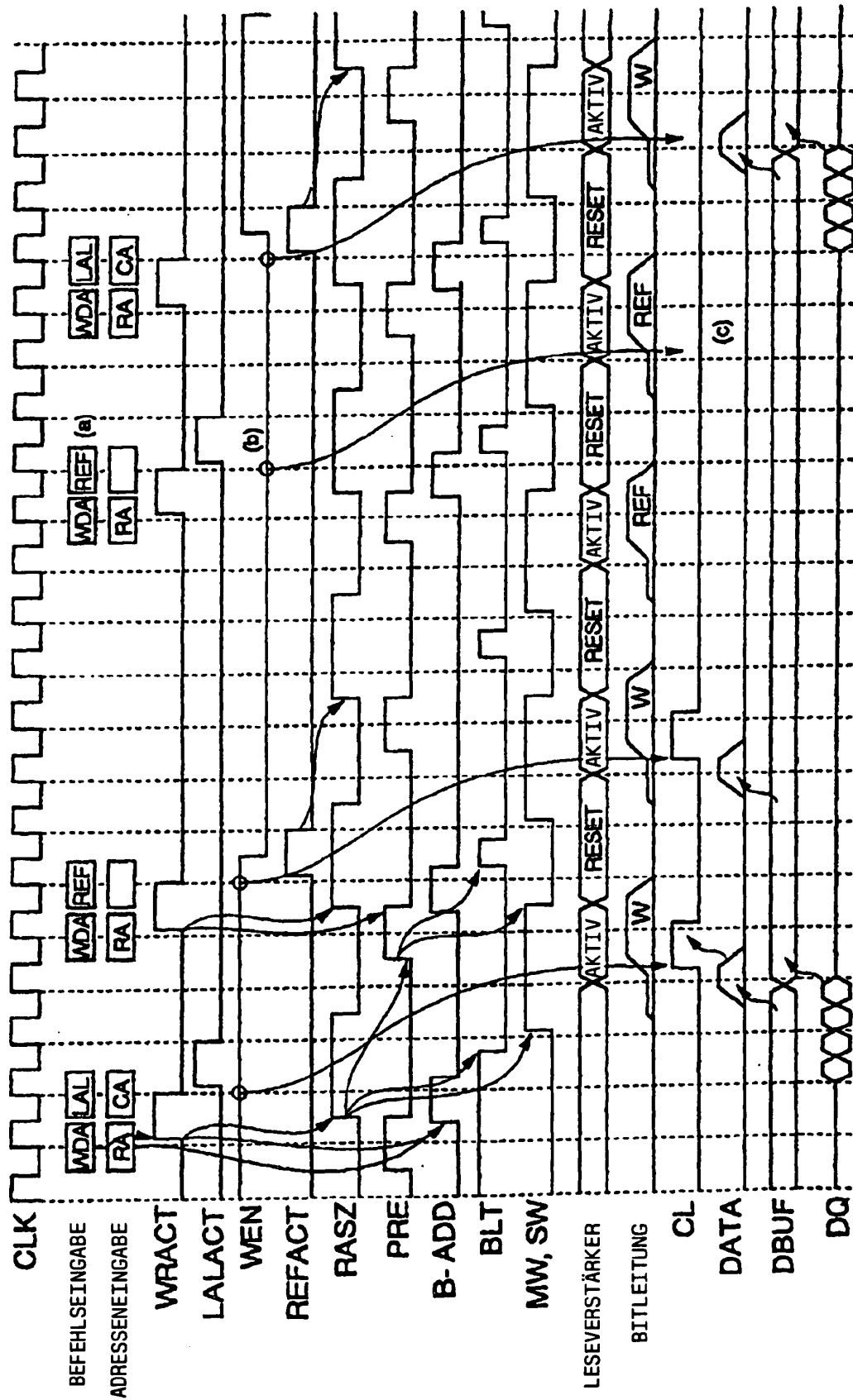


Fig. 23



**Fig. 24**