



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0042730
(43) 공개일자 2011년04월27일

(51) Int. Cl.

H03M 1/12 (2006.01)

(21) 출원번호 10-2009-0099536

(22) 출원일자 2009년10월20일

심사청구일자 2009년10월20일

(71) 출원인

인하대학교 산학협력단

인천 남구 용현동 253 인하대학교

(72) 발명자

윤광섭

인천광역시 남구 용현3동 인하대학교 전자공학과
하이테크관 810호

김원

인천광역시 남구 용현3동 인하대학교 전자공학과
하이테크관 810호

(74) 대리인

유완식, 이은철

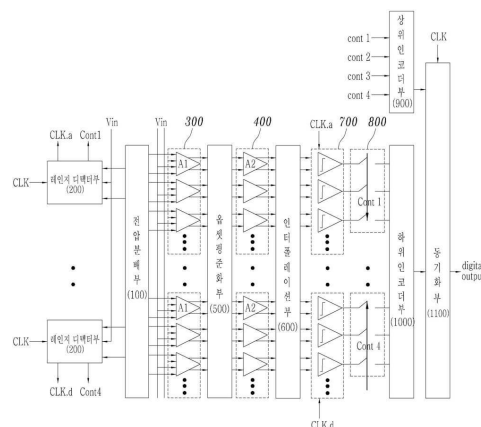
전체 청구항 수 : 총 8 항

(54) 부분 인코딩을 이용한 6비트 아날로그-디지털 변환기

(57) 요약

본 발명은 부분 인코딩을 이용한 6비트 아날로그-디지털 변환기에 관한 것으로서, 저항을 이용하여 전압분배에 의해 기준전압을 분배하는 전압 분배부; 4개의 레인지 디텍터부가 구성되어, 각각의 레인지 디텍터부가 메인 클럭신호(CLK) 및 아날로그 입력 신호(Vin)을 입력받고, 상기 전압 분배부로부터 2개의 기준전압을 입력받아, 상위 인코더부 및 하위 인코더부에 필요한 컨트롤 신호를 생성하는 레인지 디텍터부; 64개의 전단증폭기(4개의 전단증폭단)로 구성되어 각각의 전단증폭기가 전압 분배부로부터 2개의 차동 기준전압 및 차동 아날로그 신호 2개를 입력받아 증폭시키는 제 1 전단증폭부; 64개의 전단증폭기(4개의 전단증폭단)로 구성되어 각각의 전단증폭기가 상기 제 1 전단증폭부로부터 2개의 출력신호를 입력받아 증폭시키며, 비교부로부터 넘어오는 킥백 노이즈를 막아주는 제 2 전단증폭부; 4개의 비교기단이 상기 4개의 레인지 디텍터부로부터 클럭소스를 각각 입력받으며, 4개의 비교기단에 구성된 64개의 각각의 비교기가 제 2 전단증폭부의 각각의 전단증폭기로부터 출력되는 2개의 증폭신호를 상기 클럭소스를 바탕으로 동기화시키는 비교부; 64(2⁶)개의 코드 중 선택적으로 16(2⁴)개의 코드를 입력받을 수 있도록, 상기 4개의 레인지 디텍터부로부터 출력되는 4개의 컨트롤 신호를 바탕으로 스위치를 온/오프하는 스위치부; 상기 레인지 디텍터부로부터 출력되는 4개의 컨트롤 신호를 입력받아 6비트 중 상위 2비트를 인코딩하는 상위 인코더부; 상기 스위치부에서 선택적으로 넘어오는 16(2⁴)개의 코드를 입력받아, 6비트 중 하위 4비트를 인코딩하는 하위 인코더부; 및 메인 클럭신호(CLK)를 입력받아, 상기 상위 인코더부 및 하위 인코더부로부터 출력되는 신호를 메인 클럭신호에 따라 동기화시키는 동기화부; 를 포함한다.

대표도 - 도2



이 발명을 지원한 국가연구개발사업

과제고유번호 C1090-0902-0019

부처명 정보통신부

연구관리전문기관

연구사업명 대학 IT연구센터 육성 지원

연구과제명 초광대역(UWB) 무선전송 및 시스템 응용기술

기여율

주관기관 인하대학교 산학협력단

연구기간 2008년 03월 01일 ~ 2009년 08월 31일

특허청구의 범위

청구항 1

부분 인코딩을 이용한 6비트 아날로그-디지털 변환기에 있어서,

저항을 이용하여 전압분배에 의해 기준전압을 분배하는 전압 분배부;

4개의 레인지 디텍터부가 구성되어, 각각의 레인지 디텍터부가 메인 클럭신호(CLK) 및 아날로그 입력 신호(Vin)을 입력받고, 상기 전압 분배부로부터 2개의 기준전압을 입력받아, 상위 인코더부 및 하위 인코더부에 필요한 컨트롤 신호를 생성하는 레인지 디텍터부;

64개의 전단증폭기(4개의 전단증폭단)로 구성되어 각각의 전단증폭기가 전압 분배부로부터 2개의 차동 기준전압 및 차동 아날로그 신호 2개를 입력받아 증폭시키는 제 1 전단증폭부;

64개의 전단증폭기(4개의 전단증폭단)로 구성되어 각각의 전단증폭기가 상기 제 1 전단증폭부로부터 2개의 출력 신호를 입력받아 증폭시키며, 비교부로부터 넘어오는 킥백 노이즈를 막아주는 제 2 전단증폭부;

4개의 비교기단이 상기 4개의 레인지 디텍터부로부터 클럭소스를 각각 입력받으며, 4개의 비교기단에 구성된 64개의 각각의 비교기가 제 2 전단증폭부의 각각의 전단증폭기로부터 출력되는 2개의 증폭신호를 상기 클럭소스를 바탕으로 동기화시키는 비교부;

$64(2^6)$ 개의 코드 중 선택적으로 $16(2^4)$ 개의 코드를 입력받을 수 있도록, 상기 4개의 레인지 디텍터부로부터 출력되는 4개의 컨트롤 신호를 바탕으로 스위치를 온/오프하는 스위치부;

상기 레인지 디텍터부로부터 출력되는 4개의 컨트롤 신호를 입력받아 6비트 중 상위 2비트를 인코딩하는 상위 인코더부;

상기 스위치부에서 선택적으로 넘어오는 $16(2^4)$ 개의 코드를 입력받아, 6비트 중 하위 4비트를 인코딩하는 하위 인코더부; 및

메인 클럭신호(CLK)를 입력받아, 상기 상위 인코더부 및 하위 인코더부로부터 출력되는 신호를 메인 클럭신호에 따라 동기화시키는 동기화부; 를 포함하는 것을 특징으로 하는 부분 인코딩을 이용한 6비트 아날로그-디지털 변환기.

청구항 2

제 1 항에 있어서,

상기 제 1 전단증폭부와 제 2 전단증폭부 사이에 위치하여, 오프셋에 의한 영향을 감소시키는 오프셋 평준화부; 를 더 포함하는 것을 특징으로 하는 부분 인코딩을 이용한 6비트 아날로그-디지털 변환기.

청구항 3

제 1 항에 있어서,

전단 증폭기의 수를 줄이기 위하여, 저항을 이용하여 특정 두 신호의 중간에서 중간값을 뽑아내는 인터폴레이션 부; 를 더 포함하는 것을 특징으로 하는 부분 인코딩을 이용한 6비트 아날로그-디지털 변환기.

청구항 4

제 1 항에 있어서,

상기 레인지 디텍터부는,

메인 클럭신호(CLK) 및 아날로그 입력 신호(Vin)을 입력받고, 상기 전압 분배부로부터 2개의 기준전압을 입력받

으며, 상기 아날로그 입력 신호(Vin)가 상기 전압 분배부로부터 출력된 2개의 기준전압 사이를 통과할 때만 펄스 형태의 차동 출력을 발생시키는 레인지 디텍터단; 및

펄스 형태의 차동 출력(Return To Zero)를 일반적인 High-Low 차동 출력(Non Return To Zero)으로 변환하는 S-R 래치단; 을 포함하는 것을 특징으로 하는 부분 인코딩을 이용한 6비트 아날로그-디지털 변환기.

청구항 5

제 4 항에 있어서,

상기 S-R 래치단의 출력은, 상위 인코더부 및 스위치부로 입력되는 것을 특징으로 하는 부분 인코딩을 이용한 6비트 아날로그-디지털 변환기.

청구항 6

제 1 항에 있어서,

상기 스위치부의 4개의 스위치단은 4개의 컨트롤 신호를 각각 입력받고, 입력전압의 레벨에 따라 해당되는 스위치단의 스위치가 온(ON)되는 것을 특징으로 하는 부분 인코딩을 이용한 6비트 아날로그-디지털 변환기.

청구항 7

제 1 항에 있어서,

상기 상위 인코더부는, 4 to 2 인코더인 것을 특징으로 하는 부분 인코딩을 이용한 6비트 아날로그-디지털 변환기.

청구항 8

제 1 항에 있어서,

상기 하위 인코더부는, 16 to 4 인코더인 것을 특징으로 하는 부분 인코딩을 이용한 6비트 아날로그-디지털 변환기.

명 세 서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 아날로그-디지털 변환기에서 레인지 디텍터 회로에서 발생하는 컨트롤 신호를 이용하여, 큰 팬-인(Fan-in)을 가지는 단일 인코더(Singel Encoder)를 작은 팬-인을 가지는 2개의 부분 인코더(Partial Encoder)로 나누는 기술에 관한 것으로, 더욱 상세하게는 6비트의 아날로그-디지털 변환기에서 단일 인코더 사용시 최소 $2^6-1(63)$ 개의 팬-인이 요구되는데 반해, 레인지 디텍터 회로에서 발생하는 컨트롤 신호를 이용하여 단일 인코더를 상위 2비트의 부분 인코더와 하위 4비트의 부분 인코더로 나눔으로써, 상위 인코더는 4개(2^2)의 팬-인, 하위 인코더는 16개(2^4)의 팬-인을 필요로 하게 되어 전체 아날로그-디지털 변환기에서 인코더단의 면적 및 병목현상을 줄일 수 있는 6비트 아날로그-디지털 변환기에 관한 것이다.

배경 기술

[0002] 최근 이동통신 기술의 발달과 함께 고속, 고성능 장비 개발이 중요시되고 있다. 특히 UWB(Ultra Wide-Band) 통신시스템의 BB(Base-Band)단에는 고속의 시스템을 구현하기 위해서 트랜시버 전단부에 고속 아날로그-디지털 변

환기를 이용한 신호처리가 선행되어야 한다. 또한, 최근 RF 회로를 포함한 아날로그 회로와 메모리를 포함한 디지털 회로가 혼합되어 하나의 칩으로 제작되고 있다. 이런 SOC(System On a Chip)의 예로 UWB 수신단이 하나의 칩에 구현되어 고성능, 저전력, 시스템의 경량화, 소형화가 요구되고 있다.

- [0003] 수신단에 사용되는 아날로그-디지털 변환기는 8비트 이하의 해상도, 1GS/s 이상의 고속의 데이터 변환속도를 위해 아날로그-디지털 변환기 구조 중 가장 빠른 구조인 플래쉬 구조가 이용된다.
- [0004] 플래쉬 아날로그-디지털 변환기의 디지털 백-엔드단에 위치하는 인코더는 앞단의 비교기열을 통과한 2^N 개의 코드를 입력으로 받아, N개의 디지털 출력으로 변환해 주는 역할을 한다. 기존의 플래쉬 아날로그-디지털 변환기 내에 사용되는 인코더의 인코딩 방식은 크게 두 가지로 나뉘게 된다.
- [0005] 첫 번째는 2^N 개의 온도계 코드(Thermameter Code)를 입력으로 하여 N개의 디지털 코드를 출력으로 한다.
- [0006] 두 번째는 2^N 개의 1 of N Code를 입력으로 하여 N개의 디지털 코드를 출력으로 한다. 기존에는 플래쉬 아날로그-디지털 변환기의 용도에 따라 두 가지의 인코더 중 선택하여 사용한다.
- [0007] 한편, 기존의 플래쉬 아날로그-디지털 변환기에 사용되는 단일 인코더는 모두 2^N-1 개의 입력을 받아 N개의 디지털 출력을 내보내는 방식이다. 이러한 큰 팬-인, 작은 팬-아웃 방식으로 인한 병목 현상으로 최상위 코드와 최하위 코드간에는 비동기화가 발생하며, 아날로그-디지털 변환기의 디지털 출력에 오차를 유발한다.
- [0008] 특히 6비트 이상의 아날로그-디지털 변환기의 인코더는 위와 같은 병목현상이 심화된다. 도 1a 는 종래 6비트 아날로그-디지털 변환기내에 사용되는 단일 인코더를 칩 레이아웃으로 구현한 도면이다.
- [0009] 주어진 도면에서 최상위 코드와 최하위 코드간의 라인 길이 차는 1000um 이상 나게 된다. 이러한 길이 차는 아날로그-디지털 변환기가 고속 동작할 때 코드간의 비동기화로 인해 디지털 코드의 에러가 발생하는 주된 원인이 된다.

발명의 내용

해결 하고자하는 과제

- [0010] 본 발명은 6비트 아날로그-디지털 변환기 내에서 단일 인코더 사용시 발생하는 병목 현상을 해결하기 위한 것으로서, 레인지 디텍터단에서 발생하는 컨트롤 신호를 이용해 6비트 중 2비트를 상위 부분 인코더에서 인코딩하고, 컨트롤 신호를 이용해 인코더 앞단에서 넘어오는 $2^6(64)$ 개의 코드를 16개씩 나누어 들어오게끔 스위치를 제어하여 전체적으로 인코더단의 팬-인을 절반 이상으로 줄일 수 있으며, 인코더단의 면적 및 병목현상으로 인한 코드간의 비동기화 문제를 해결할 수 있는 부분 인코딩을 이용한 6비트 아날로그-디지털 변환기를 제공함에 그 특징적인 목적이 있다.

과제 해결수단

- [0011] 이러한 기술적 과제를 달성하기 위한 본 발명은, 저항을 이용하여 전압분배에 의해 기준전압을 분배하는 전압 분배부; 4개의 레인지 디텍터부가 구성되어, 각각의 레인지 디텍터부가 메인 클럭신호(CLK) 및 아날로그 입력 신호(Vin)을 입력받고, 상기 전압 분배부로부터 2개의 기준전압을 입력받아, 상위 인코더부 및 하위 인코더부에 필요한 컨트롤 신호를 생성하는 레인지 디텍터부; 64개의 전단증폭기(4개의 전단증폭단)로 구성되어 각각의 전단증폭기가 전압 분배부로부터 2개의 차동 기준전압 및 차동 아날로그 신호 2개를 입력받아 증폭시키는 제 1 전단증폭부; 64개의 전단증폭기(4개의 전단증폭단)로 구성되어 각각의 전단증폭기가 상기 제 1 전단증폭부로부터 2개의 출력신호를 입력받아 증폭시키며, 비교부로부터 넘어오는 킥백 노이즈를 막아주는 제 2 전단증폭부; 4개의 비교기단이 상기 4개의 레인지 디텍터부로부터 클럭소스를 각각 입력받으며, 4개의 비교기단에 구성된 64개의 각각의 비교기가 제 2 전단증폭부의 각각의 전단증폭기로부터 출력되는 2개의 증폭신호를 상기 클럭소스를 바탕으로 동기화시키는 비교부; $64(2^6)$ 개의 코드 중 선택적으로 $16(2^4)$ 개의 코드를 입력받을 수 있도록, 상기 4개의 레인지 디텍터부로부터 출력되는 4개의 컨트롤 신호를 바탕으로 스위치를 온/오프하는 스위치부; 상기 레인지 디텍터부로부터 출력되는 4개의 컨트롤 신호를 입력받아 6비트 중 상위 2비트를 인코딩하는 상위 인코더부; 상기 스위치부에서 선택적으로 넘어오는 $16(2^4)$ 개의 코드를 입력받아, 6비트 중 하위 4비트를 인코딩하는 하위 인코더부; 및 메인 클럭신호(CLK)를 입력받아, 상기 상위 인코더부 및 하위 인코더부로부터 출력되는

신호를 메인 클럭신호에 따라 동기화시키는 동기화부; 를 포함한다.

효 과

[0012] 상기와 같은 본 발명에 따르면, 6비트의 아날로그-디지털 변환기에서 단일 인코더 사용시 최소 $2^6-1(63)$ 개의 팬-인이 요구되는데 반해, 레인지 디텍터부에서 발생하는 컨트롤 신호를 이용하여 단일 인코더를 상위 2비트의 부분 인코더와 하위 4비트의 부분 인코더로 나눔으로써, 상위 인코더는 4개(2^2)의 팬-인, 하위 인코더는 16개(2^4)의 팬-인을 필요로 하게 되어 전체 아날로그-디지털 변환기에서 인코더단의 면적 및 병목현상을 줄일 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0013] 본 발명의 구체적 특징 및 이점들은 첨부도면에 의거한 다음의 상세한 설명으로 더욱 명백해질 것이다. 이에 앞서 본 발명에 관련된 공지 기능 및 그 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 구체적인 설명을 생략하였음에 유의해야 할 것이다.

[0014] 이하, 첨부된 도면을 참조하여 본 발명을 상세하게 설명한다.

[0015] 본 발명에 따른 부분 인코딩을 이용한 6비트 아날로그-디지털 변환기에 관하여 도 2 내지 도 4 를 참조하여 설명하면 다음과 같다.

[0016] 도 2 는 본 발명에 따른 부분 인코딩을 이용한 6비트 아날로그-디지털 변환기에 관한 전체 구성도로서, 도시된 바와 같이 전압 분배부(100), 레인지 디텍터부(200), 제 1 전단증폭부(300), 제 2 전단증폭부(400), 옅셋 평준화부(500), 인터폴레이션부(600), 비교부(700), 스위치부(800), 상위 인코더부(900), 하위 인코더부(1000) 및 동기화부(1100)를 포함하여 이루어진다.

[0017] 구체적으로, 전압 분배부(100)는 저항을 이용하여 전압분배에 의해 기준전압을 분배한다.

[0018] 레인지 디텍터부(200)는 4개의 레인지 디텍터부(200)가 구성되어, 각각의 레인지 디텍터부(200)가 메인 클럭신호(CLK) 및 아날로그 입력 신호(Vin)을 입력받고, 상기 전압 분배부(100)로부터 2개의 기준전압을 입력받아, 상위 인코더부(900) 및 하위 인코더부(1000)에 필요한 컨트롤 신호를 생성한다.

[0019] 제 1 전단증폭부(300)는 64개의 전단증폭기(4개의 전단증폭단)로 구성되어 각각의 전단증폭기가 전압 분배부(100)로부터 2개의 차동 기준전압 및 차동 아날로그 신호 2개를 입력받아 증폭시킨다.

[0020] 제 2 전단증폭부(400)는 64개의 전단증폭기(4개의 전단증폭단)로 구성되어 각각의 전단증폭기가 제 1 전단증폭부(300)로부터 2개의 출력신호를 입력받아 증폭시키며, 비교부(600)로부터 넘어오는 킥백 노이즈를 막아준다.

[0021] 옅셋 평준화부(500)는 제 1 전단증폭부(300)와 제 2 전단증폭부(400) 사이에 위치하여, 옅셋에 의한 영향을 감소시킨다.

[0022] 인터폴레이션부(600)는 전단 증폭기의 수를 줄이기 위하여, 저항을 이용하여 특정 두 신호의 중간에서 중간값을 뽑아낸다.

[0023] 비교부(700)는 4개의 비교기단이 상기 4개의 레인지 디텍터부(200)로부터 클럭소스를 각각 입력받으며, 4개의 비교기단에 구성된 64개의 각각의 비교기가 제 2 전단증폭부(400)의 각각의 전단증폭기로부터 출력되는 2개의 증폭신호를 상기 클럭소스를 바탕으로 동기화시킨다.

[0024] 스위치부(800)는 $64(2^6)$ 개의 코드 중 선택적으로 $16(2^4)$ 개의 코드를 입력받을 수 있도록, 4개의 레인지 디텍터부(200)로부터 출력되는 4개의 컨트롤 신호를 바탕으로 스위치를 온/오프(On/Off)한다.

[0025] 이때, 4개의 컨트롤 신호는 4개의 스위치단에 각각 입력되며, 입력전압의 레벨에 따라 해당되는 스위치단의 스위치가 온(On)될 수 있다. 따라서, 하위 인코더부(1000)는 스위치부(800)를 통해 16개의 코드만을 입력받는다.

[0026] 상위 인코더부(900)는 레인지 디텍터부(200)로부터 출력되는 4개의 컨트롤 신호를 입력받아 6비트 중 상위 2비트를 인코딩한다.

[0027] 하위 인코더부(1000)는 스위치부(800)에서 선택적으로 넘어오는 $16(2^4)$ 개의 코드를 입력받아, 6비트 중 하위 4비트를 인코딩한다.

- [0028] 동기화부(1100)는 메인 클럭신호(CLK)를 입력받아, 상위 인코더부(900) 및 하위 인코더부(1000)로부터 출력되는 신호를 메인 클럭신호에 따라 동기화시킨다.
- [0029] 도 3 은 본 발명에 따른 레인지 디텍터부(200)에 관한 세부 구성도로서, 도시된 바와 같이 4개의 레인지 디텍터부(200)는 각각 레인지 디텍터단(210) 및 S-R 래치단(220)을 포함한다.
- [0030] 레인지 디텍터단(210)은 메인 클럭신호(CLK) 및 아날로그 입력 신호(Vin)을 입력받고, 상기 전압 분배부(100)로부터 2개의 기준전압을 입력받으며, 상기 아날로그 입력 신호(Vin)가 상기 전압 분배부(100)로부터 출력된 2개의 기준전압 사이를 통과할 때만 펄스 형태의 차동 출력을 발생시킨다.
- [0031] S-R 래치단(220)은 펄스 형태의 차동 출력(Return To Zero)를 일반적인 High-Low 차동 출력(Non Return To Zero)으로 변환한다.
- [0032] 이때, S-R래치단(220)의 단일 출력은 곧 컨트롤 신호가 되어, 각각 상위 인코더부(900) 및 스위치부(800)로 입력된다.
- [0033] 6비트의 아날로그-디지털 변환기에서는 레인지 디텍터부(200), 바람직하게 S-R 래치단(200)에서 총 4개의 컨트롤 신호가 나오게 되며, 이 신호가 상위 인코더부(900)로 입력되면 아날로그-디지털 변환기의 전체 6비트 중 상위 2비트가 결정된다.
- [0034] 또한, 컨트롤 신호가 스위치부(800)로 입력되면, 입력 전압의 레벨에 따라 스위치부(800)의 해당 스위치가 ON되며, 16개의 출력 코드가 하위 인코더부(1000)로 입력된다. 이러한, 하위 인코더부(1000)에 의해 아날로그-디지털 변환기의 전체 6비트 중 하위 4비트가 결정된다.
- [0035] 도 4 는 본 발명에 따른 부분 인코딩을 이용한 6비트 아날로그-디지털 변환기의 작동을 설명하기 위한 일예시도이다.
- [0036] 아날로그 입력신호가 기준전압의 최상단에 위치하게 되면, S-R 래치단(220)에서는, 4개의 컨트롤 신호 중 최상단의 컨트롤 신호(Cont 1)만 High, 나머지 3개의 컨트롤 신호(Cont 2, Cont 3, Cont 4)는 Low인 출력을 내보내게 된다.
- [0037] 이러한 신호가 상위 인코더부(900)에 입력되면, 4 to 2 인코더인 상위 인코더부(900)에는 1 0 0 0 이 입력되는 것이므로 그 출력은 1 1 이 나오게 된다.
- [0038] 또한, 스위치부(800)로 1 0 0 0 이 입력되면, 총 $64(2^6)$ 개의 비교부(700)의 출력 중에서, 최상단 비교부(700)의 출력 16개만 하위 인코더부(1000)로 들어가게 된다.
- [0039] 하위 인코더부(1000)는 16 to 4 인코더이며 입력신호의 레벨에 따라 해당하는 디지털 출력을 내보내게 된다. 이렇게 상위 2비트, 하위 4비트로 나뉘서 인코딩 된 디지털 출력은 최종 동기화부(1100)를 통해 동기화되어 아날로그-디지털 변환기의 최종 출력이 된다.
- [0040] 이상으로 본 발명의 기술적 사상을 예시하기 위한 바람직한 실시예와 관련하여 설명하고 도시하였지만, 본 발명은 이와 같이 도시되고 설명된 그대로의 구성 및 작용에만 국한되는 것이 아니며, 기술적 사상의 범주를 일탈함이 없이 본 발명에 대해 다수의 변경 및 수정이 가능함을 당업자들은 잘 이해할 수 있을 것이다. 따라서, 그러한 모든 적절한 변경 및 수정과 균등물들도 본 발명의 범위에 속하는 것으로 간주되어야 할 것이다.

도면의 간단한 설명

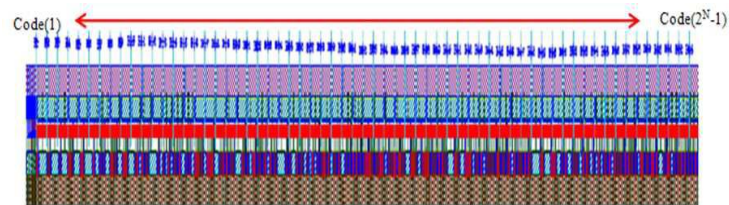
- [0041] 도 1a 는 종래 6비트 아날로그-디지털 변환기내에 사용되는 단일 인코더를 칩 레이아웃으로 구현한 도면.
- [0042] 도 2 는 본 발명에 따른 부분 인코딩을 이용한 6비트 아날로그-디지털 변환기에 관한 전체 구성도.
- [0043] 도 3 은 본 발명에 따른 레인지 디텍터부에 관한 세부 구성도.
- [0044] 도 4 는 본 발명에 따른 부분 인코딩을 이용한 6비트 아날로그-디지털 변환기의 작동을 설명하기 위한

일예시도.

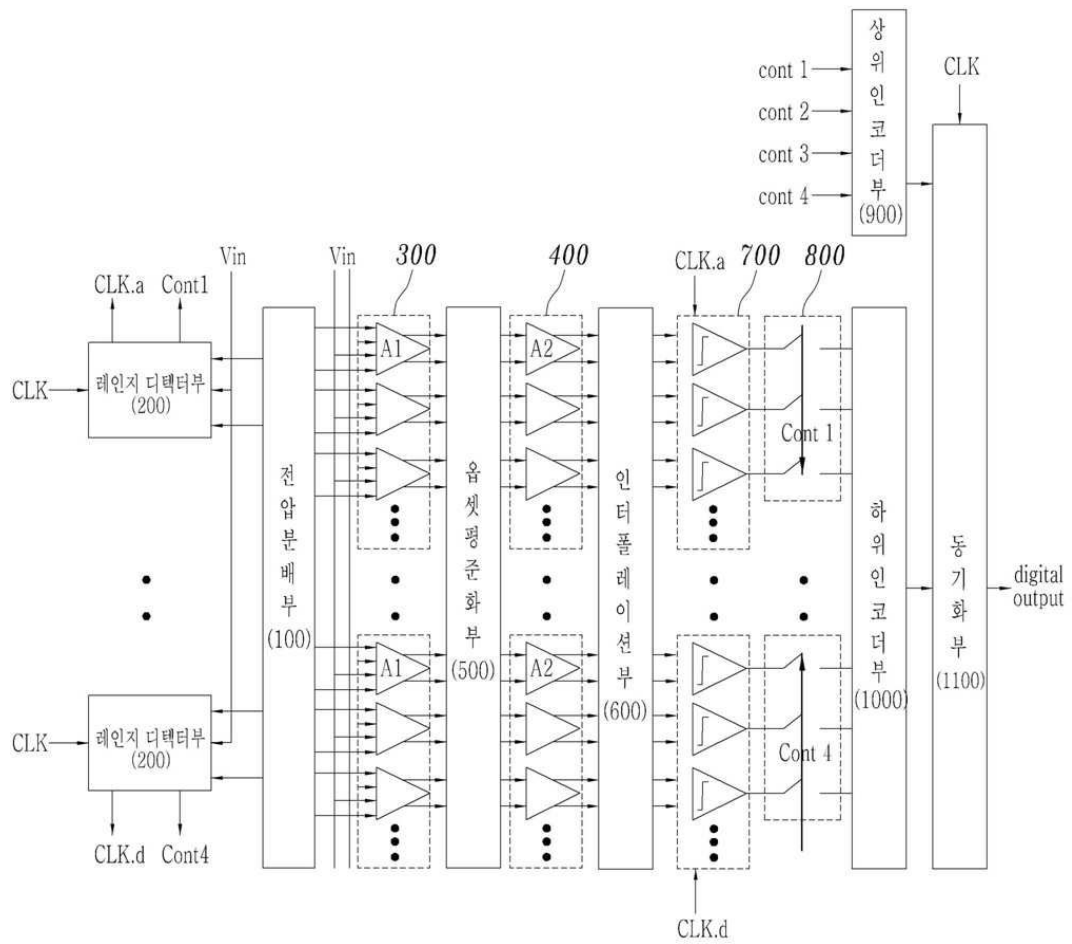
[0045]	** 도면의 주요 부분에 대한 부호의 설명 **	
[0046]	100: 전압 분배부	200: 레인지 디텍터부
[0047]	300: 제 1 전단증폭부	400: 제 2 전단증폭부
[0048]	500: 옵셋 평준화부	600: 인터폴레이션부
[0049]	700: 비교부	800: 스위치부
[0050]	900: 상위 인코더부	1000: 하위 인코더부
[0051]	1100: 동기화부	210: 레인지 디텍터단
[0052]	220: S-R 래치단	

도면

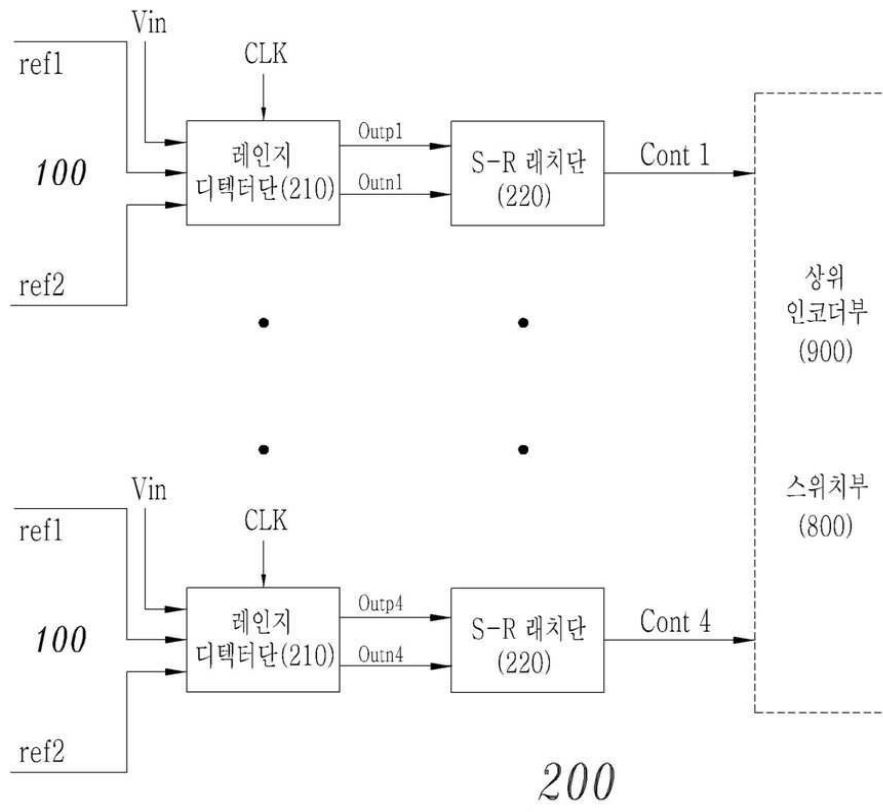
도면1a



도면2



도면3



도면4

