



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년08월19일
(11) 등록번호 10-2291651
(24) 등록일자 2021년08월12일

(51) 국제특허분류(Int. Cl.)
G11C 11/419 (2015.01) G11C 11/412 (2006.01)
G11C 8/08 (2006.01)
(52) CPC특허분류
G11C 11/419 (2018.05)
G11C 11/412 (2013.01)
(21) 출원번호 10-2020-0032859
(22) 출원일자 2020년03월17일
심사청구일자 2020년03월17일
(56) 선행기술조사문헌
Ebrahim Abiri et al., 'A novel design of low power and high read stability T-SRAM, memory based on the m-GDI method in nanotechnology', Microelectronics Journal, Vol.58, Pages 44~59, 2016.

(73) 특허권자
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
김성진
울산광역시 울주군 언양읍 유니스트길 50
박지호
울산광역시 울주군 언양읍 유니스트길 50
(74) 대리인
리앤목특허법인

전체 청구항 수 : 총 12 항

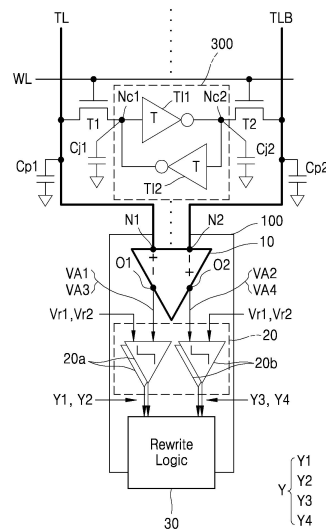
심사관 : 손윤식

(54) 발명의 명칭 터너리 읽기 회로 및 이를 이용하여 터너리 데이터를 읽는 방법

(57) 요약

본 발명의 일 실시예에 따른 터너리 읽기 회로는, 트릿 라인을 통해 인가되는 신호를 이용하여 SRAM 셀에 저장된 터너리 데이터를 읽기 위한 터너리 읽기 회로에 있어서, 상기 SRAM 셀이 상기 트릿 라인과 연결되었을 때의 상기 SRAM 셀의 변경 전압을 미리 설정된 변화율만큼 증폭하여 증폭 전압을 생성하는 프리 앰프; 및 상기 증폭 전압과 기준 전압 간의 대소를 비교하여 2진 데이터를 출력하여 상기 터너리 데이터를 읽는 비교기를 포함한다.

대표도 - 도3



(52) CPC특허분류
G11C 8/08 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	SRFC-TA1703-07
과제번호	SRFC-TA1703-07
부처명	삼성전자(주)
과제관리(전문)기관명	삼성전자 미래기술육성센터
연구사업명	삼성미래기술육성사업
연구과제명	페타급 연결을 위한 신개념 터너리 CMOS 소자 기술 및 초절전 신경망 표준셀 구현
기 여 율	9/10
과제수행기관명	울산과학기술원
연구기간	2017.09.01 ~ 2020.08.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1.200033.01
과제번호	1.200033.01
부처명	울산과학기술원
과제관리(전문)기관명	울산과학기술원
연구사업명	U-K BRAND 육성사업(미래핵심연구)
연구과제명	다치로직 기반 초저전력 신경망 컴퓨터
기 여 율	1/10
과제수행기관명	울산과학기술원
연구기간	2019.01.31 ~ 2023.12.31

명세서

청구범위

청구항 1

트릿 라인을 통해 인가되는 신호를 이용하여 SRAM 셀에 저장된 터너리 데이터를 읽기 위한 터너리 읽기 회로에 있어서,

상기 SRAM 셀이 상기 트릿 라인과 연결되었을 때의 상기 SRAM 셀의 변경 전압을 미리 설정된 변화율만큼 증폭하여 증폭 전압을 생성하는 프리 앰프; 및

상기 증폭 전압과 기준 전압 간의 대소를 비교하여 2진 데이터를 출력하여 상기 터너리 데이터를 읽는 비교기;를 포함하는, 터너리 읽기 회로.

청구항 2

제1항에 있어서,

상기 프리 앰프는 상기 트릿 라인을 제1 충전 전압으로 선충전(pre-charging)하는, 터너리 읽기 회로.

청구항 3

제2항에 있어서,

상기 터너리 읽기 회로는, 제1 비교기 및 제2 비교기를 포함하는 복수 개의 비교기를 포함하고,

상기 기준 전압은 제1 기준 전압 및 상기 제1 기준 전압보다 낮은 값의 제2 기준 전압을 포함하고,

상기 제1 비교기는 상기 증폭 전압과 상기 제1 기준 전압을 비교하여 제1 하이 전압 데이터 또는 제1 로우 전압 데이터를 출력하고,

상기 제2 비교기는 상기 증폭 전압과 상기 제2 기준 전압을 비교하여 제2 하이 전압 데이터 또는 제2 로우 전압 데이터를 출력하는, 터너리 읽기 회로.

청구항 4

제3항에 있어서,

상기 SRAM 셀에 하이 전압 데이터 또는 로우 전압 데이터가 저장된 경우,

상기 제1 비교기 및 상기 제2 비교기는 모두 하이 전압 데이터를 출력하거나, 모두 로우 전압 데이터를 출력하는, 터너리 읽기 회로.

청구항 5

제3항에 있어서,

상기 SRAM 셀에 미들 전압 데이터가 저장된 경우,

상기 제1 비교기가 상기 제1 하이 전압 데이터를 출력하고, 상기 제2 비교기는 상기 제2 로우 전압 데이터를 출력하거나,

상기 제1 비교기가 상기 제1 로우 전압 데이터를 출력하고, 상기 제2 비교기는 상기 제2 하이 전압 데이터를 출력하는, 터너리 읽기 회로.

청구항 6

제3항에 있어서,

상기 터너리 읽기 회로는,

상기 비교기의 출력값에 따라 상기 트릿 라인의 상기 출력값에 해당하는 기존 데이터를 복원하는 재가입부;를 더 포함하는, 터너리 읽기 회로.

청구항 7

트릿 라인을 통해 인가되는 신호를 이용하여 SRAM 셀에 저장된 터너리 데이터를 읽는 방법에 있어서,

상기 SRAM 셀에 하이 전압 데이터, 로우 전압 데이터 및 미들 전압 데이터 중에 선택된 어느 하나의 데이터를 저장하는 단계;

상기 트릿 라인이 상기 SRAM 셀과 연결되었을 때의 상기 트릿 라인의 변경 전압을 미리 설정된 변화율만큼 증폭하여 증폭 전압을 생성하는 단계; 및

상기 증폭 전압과 기준 전압 간의 대소를 비교하여 2진 데이터를 출력하여 상기 터너리 데이터를 읽는 단계;를 포함하는, 3진 데이터를 읽는 방법.

청구항 8

제7항에 있어서,

상기 증폭 전압을 생성하는 단계 이전에,

상기 트릿 라인을 제1 충전 전압으로 선충전(pre-charging)하는 단계;를 더 포함하는, 3진 데이터를 읽는 방법.

청구항 9

제8항에 있어서,

상기 기준 전압은 제1 기준 전압 및 상기 제1 기준 전압보다 낮은 값의 제2 기준 전압을 포함하고,

상기 비교하여 2진 데이터를 출력하는 단계는,

상기 증폭 전압과 상기 제1 기준 전압을 비교하여 제1 하이 전압 데이터 또는 제1 로우 전압 데이터를 출력하는 제1 비교 단계; 및

상기 증폭 전압과 상기 제2 기준 전압을 비교하여 제2 하이 전압 데이터 또는 제2 로우 전압 데이터를 출력하는 제2 비교 단계;를 포함하는, 3진 데이터를 읽는 방법.

청구항 10

제9항에 있어서,

상기 비교하여 2진 데이터를 출력하는 단계는,

상기 SRAM 셀에 상기 하이 전압 데이터 또는 상기 로우 전압 데이터를 저장한 경우,

상기 제1 비교 단계 및 상기 제2 비교 단계에서 모두 하이 전압 데이터를 출력하거나, 모두 로우 전압 데이터를 출력하는 것을 특징으로 하는, 3진 데이터를 읽는 방법.

청구항 11

제9항에 있어서,

상기 비교하여 2진 데이터를 출력하는 단계는,

상기 SRAM 셀에 상기 미들 전압 데이터를 저장한 경우,

상기 제1 비교 단계에서 상기 제1 하이 전압 데이터를 출력하고, 상기 제2 비교 단계에서 상기 제2 로우 전압 데이터를 출력하거나,

상기 제1 비교 단계에서 상기 제1 로우 전압 데이터를 출력하고, 상기 제2 비교 단계에서 상기 제2 하이 전압 데이터를 출력하는, 3진 데이터를 읽는 방법.

청구항 12

제9항에 있어서,

상기 3진 데이터를 읽는 방법은,

상기 제1 비교 단계 및 상기 제2 비교 단계의 출력값에 따라 상기 트릿 라인의 상기 출력값에 해당하는 기준 데이터를 복원하여 재기입하는 단계;를 더 포함하는, 3진 데이터를 읽는 방법.

발명의 설명

기술 분야

[0001] 본 발명은 터너리 읽기 회로 및 이를 이용하여 터너리 데이터를 디지털적으로 읽는 방법에 관한 것으로, 더 구체적으로는 프리 앰프 및 비교기를 포함하는 터너리 읽기 회로 및 이를 이용하여 터너리 데이터를 디지털 데이터로 변환하여 읽는 방법에 관한 것이다.

배경 기술

[0002] 공정 기술의 발전으로 nm 단위의 작은 칩에 더 많은 정보를 저장할 수 있는 저장 장치들이 개발되어 왔다. 하지만 소자 크기를 줄여 저장 용량을 높이는 방법은 원자 크기 이하로는 소자를 작게 만들 수 없다는 물리적 한계를 가지고 있으며 이 한계를 극복하기 위해서는 다른 기술이 필요하다. 그 중 하나의 방법이 디지털(Digital) 방식을 터너리(Ternary) 방식으로 바꾸는 것이다.

[0003] 기존의 디지털 방식의 SRAM 셀 하나의 경우 0과 1로 정보를 저장하는 반면 터너리 셀(T-SRAM)의 경우 정보를 0, 1, 2(또는 0, 1/2, 1)로 트릿(trit) 정보를 하나의 SRAM 셀에 저장할 수 있어 같은 크기 대비 1.5배의 저장 능력을 구현할 수 있다. 즉, 터너리 소자를 이용할 경우 소자의 크기를 줄이지 않고도 더 많은 저장공간을 가지는 SRAM 저장매체를 만들 수 있다.

[0004] T-SRAM에 저장된 트릿(trit) 정보를 읽어 내기 위해서는 기존의 디지털 회로 기반의 SRAM 읽기 회로는 2진 데이터만을 다루기 때문에 별도의 회로가 필요하다. 인버터를 터너리 소자로 단순 대체하는 경우에는 터너리 데이터의 미들 전압(가령 $VDD/2$)을 읽어낼 수 있으나 선충전(pre-charging) 전압에 따라 정확한 정보를 읽어내지 못할 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 전술한 문제점을 해결하기 위한 것으로, 3진법 SRAM(Ternary SRAM; T-SRAM) 어레이에 있어서, 2진법 소자를 사용하여 T-SRAM에 저장된 3진 데이터를 왜곡 없이 읽을 수 있는 터너리 읽기 회로 및 이의 동작 방법을 제공하고자 한다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 터너리 읽기 회로는, 트릿 라인을 통해 인가되는 신호를 이용하여 SRAM 셀에 저장된 터너리 데이터를 읽기 위한 터너리 읽기 회로에 있어서, 상기 SRAM 셀이 상기 트릿 라인과 연결되었을 때의 상기 SRAM 셀의 변경 전압을 미리 설정된 변화율만큼 증폭하여 증폭 전압을 생성하는 프리 앰프; 및 상기 증폭 전압과 기준 전압 간의 대소를 비교하여 2진 데이터를 출력하여 상기 터너리 데이터를 읽는 비교기를 포함한다.

[0007] 상기 프리 앰프는 상기 트릿 라인을 제1 충전 전압으로 선충전(pre-charging)할 수 있다.

[0008] 상기 터너리 읽기 회로는, 제1 비교기 및 제2 비교기를 포함하는 복수 개의 비교기를 포함하고, 상기 기준 전압은 제1 기준 전압 및 상기 제1 기준 전압보다 낮은 값의 제2 기준 전압을 포함하고, 상기 제1 비교기는 상기 증폭 전압과 상기 제1 기준 전압을 비교하여 제1 하이 전압 데이터 또는 제1 로우 전압 데이터를 출력하고, 상기 제2 비교기는 상기 증폭 전압과 상기 제2 기준 전압을 비교하여 제2 하이 전압 데이터 또는 제2 로우 전압 데이터를 출력할 수 있다.

[0009] 상기 SRAM 셀에 하이 전압 데이터 또는 로우 전압 데이터가 저장된 경우, 상기 제1 비교기 및 상기 제2 비교기는 모두 하이 전압 데이터를 출력하거나, 모두 로우 전압 데이터를 출력할 수 있다.

[0010] 상기 SRAM 셀에 미들 전압 데이터가 저장된 경우, 상기 제1 비교기가 상기 제1 하이 전압 데이터를 출력하고,

상기 제2 비교기는 상기 제2 로우 전압 데이터를 출력하거나, 상기 제1 비교기가 상기 제1 로우 전압 데이터를 출력하고, 상기 제2 비교기는 상기 제2 하이 전압 데이터를 출력할 수 있다.

[0011] 상기 터너리 읽기 회로는, 상기 비교기의 출력값에 따라 상기 트릿 라인의 상기 출력값에 해당하는 기존 데이터를 복원하는 재기입부;를 더 포함할 수 있다.

[0012] 본 발명의 일 실시예에 따른 트릿 라인을 통해 인가되는 신호를 이용하여 SRAM 셀에 저장된 터너리 데이터를 읽는 방법에 있어서, 상기 SRAM 셀에 하이 전압 데이터, 로우 전압 데이터 및 미들 전압 데이터 중에 선택된 어느 하나의 데이터를 저장하는 단계; 상기 트릿 라인이 상기 SRAM 셀과 연결되었을 때의 상기 트릿 라인의 변경 전압을 미리 설정된 변화율만큼 증폭하여 증폭 전압을 생성하는 단계; 및 상기 증폭 전압과 기준 전압 간의 대소를 비교하여 2진 데이터를 출력하여 상기 터너리 데이터를 읽는 단계를 포함한다

[0013] 상기 증폭 전압을 생성하는 단계 이전에, 상기 트릿 라인을 제1 충전 전압으로 선충전(pre-charging)하는 단계;를 더 포함할 수 있다.

[0014] 상기 기준 전압은 제1 기준 전압 및 상기 제1 기준 전압보다 낮은 값의 제2 기준 전압을 포함하고, 상기 비교하여 2진 데이터를 출력하는 단계는, 기 증폭 전압과 상기 제1 기준 전압을 비교하여 제1 하이 전압 데이터 또는 제1 로우 전압 데이터를 출력하는 제1 비교 단계; 및 상기 증폭 전압과 상기 제2 기준 전압을 비교하여 제2 하이 전압 데이터 또는 제2 로우 전압 데이터를 출력하는 제2 비교 단계;를 포함할 수 있다.

[0015] 상기 비교하여 2진 데이터를 출력하는 단계는, 상기 SRAM 셀에 상기 하이 전압 데이터 또는 상기 로우 전압 데이터를 저장한 경우, 상기 제1 비교 단계 및 상기 제2 비교 단계에서 모두 하이 전압 데이터를 출력하거나, 모두 로우 전압 데이터를 출력하는 것을 특징으로 할 수 있다.

[0016] 상기 비교하여 2진 데이터를 출력하는 단계는, 상기 SRAM 셀에 상기 미들 전압 데이터를 저장한 경우, 상기 제1 비교 단계에서 상기 제1 하이 전압 데이터를 출력하고, 상기 제2 비교 단계에서 상기 제2 로우 전압 데이터를 출력하거나, 상기 제1 비교 단계에서 상기 제1 로우 전압 데이터를 출력하고, 상기 제2 비교 단계에서 상기 제2 하이 전압 데이터를 출력할 수 있다.

[0017] 상기 3진 데이터를 읽는 방법은, 상기 제1 비교 단계 및 상기 제2 비교 단계의 출력값에 따라 상기 트릿 라인의 상기 출력값에 해당하는 기존 데이터를 복원하여 재기입하는 단계;를 더 포함할 수 있다.

[0018] 본 발명의 일 실시예에 따른 컴퓨터 프로그램은 컴퓨터를 이용하여 전술한 터너리 데이터를 읽는 방법을 실행하기 위하여 매체에 저장될 수 있다.

발명의 효과

[0019] 본 발명의 실시예들에 따르면, 프리 앰프 및 비교기의 설계를 통한 기존의 2진 소자의 배치를 이용하여 3진 데이터를 2진 데이터화함으로써 터너리 데이터를 왜곡 없이 읽을 수 있다.

[0020] 또한, 재기입(rewrite) 로직을 통해 3진 데이터를 읽은 후에 데이터가 왜곡되는 것을 방지할 수 있다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 일 실시예에 따른 터너리 SRAM 어레이를 개략적으로 도시한 도면이다.

도 2는 본 발명의 일 실시예에 따른 3진 소자의 입출력 특성을 나타내는 그래프이다.

도 3은 본 발명의 일 실시예에 따른 터너리 SRAM 및 이에 연결된 터너리 읽기 회로의 구성을 개략적으로 도시한 도면이다.

도 4는 본 발명의 일 실시예에 따른 터너리 읽기 회로의 동작 방법을 설명하기 위한 도면이다.

도 5는 본 발명의 일 실시예에 따른 터너리 읽기 회로의 다른 동작을 설명하기 위한 도면이다.

도 6은 본 발명의 일 실시예에 따른 터너리 읽기 회로의 다른 동작을 설명하기 위한 도면이다.

도 7은 본 발명의 일 실시예에 따른 프리 앰프의 구성의 일 예를 도시한 구조도이다.

도 8은 본 발명의 일 실시예에 따른 비교기 중 일부를 도시한 구조도이다.

도 9는 본 발명의 일 실시예에 따른 재기입부를 설명하기 위한 개략적인 구조도이다.

도 10은 본 발명의 일 실시예에 따른 재기입부의 동작 방법을 설명하기 위한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0023] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0024] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다. 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다. 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 형태는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0025] 이하, 도 1 및 도 2를 사용하여 본 발명의 일 실시예에 따른 3진(ternary) 소자 어레이에 대하여 설명한다. 도 1은 본 발명의 일 실시예에 따른 터너리 SRAM 어레이를 개략적으로 도시한 도면이고, 도 2는 본 발명의 일 실시예에 따른 3진 소자의 입출력 특성을 나타내는 그래프이다.
- [0026] 본 발명의 일 실시예에 따른 터너리 SRAM 어레이는 터너리 읽기 회로부(1000), 워드 라인 제어부(2000), 터너리 읽기 회로부(1000)와 워드 라인 제어부(2000)에 연결되어 있는 복수의 신호선들(TL, TLB, WL), 및 복수의 신호선들(TL, TLB, WL)에 연결되어 있는 복수의 SRAM 셀(300)을 포함할 수 있다. 이하, 터너리 읽기 회로부(1000)는 읽기 회로부(1000)로 간단히 명명하여 설명할 수 있다.
- [0027] 복수의 신호선들(TL, TLB, WL)은 읽기 회로부(1000)와 연결되어 있는 n 쌍의 트릿(trit) 라인(TL1, ..., TL n ; TL, n 은 자연수)과 트릿 바 라인(TLB1, ..., TLB n ; TLB, n 은 자연수), 워드 라인 제어부(2000)에 연결되어 있는 워드 라인(W1, W2, ..., W m ; WL, m 은 자연수)을 포함할 수 있다.
- [0028] 트릿 라인(TL)과 트릿 바 라인(TLB)은 제1 방향(D1)으로 교대로 배열되어, 제 i 트릿 라인(TLi)과 제 i 트릿 바 라인(TLB i)($1 \leq i \leq n$)이 한 쌍을 이룰 수 있다. 이하, 제 i 트릿 라인(TLi)과 제 i 트릿 바 라인(TLB i)을 묶어 '트릿 라인 쌍(TLi, TLBi)'으로 명명하여 설명할 수 있다.
- [0029] 워드 라인(WL)은 제1 방향(D1)과 교차하는 제2 방향(D2)으로 배열될 수 있다. 제 j 워드 라인(Wj)($1 \leq j \leq m$)은 제1 방향(D1)을 가로질러 트릿 라인(TL)과 트릿 바 라인(TLB)에 연결되어 온/오프에 따라 트릿 라인(TL) 또는 트릿 바 라인(TLB)과 해당하는 라인들(TL, TLB)에 연결된 셀(300)을 연결하는 역할을 할 수 있다.
- [0030] SRAM 셀(300)은 복수의 신호선들(TL, TLB, WL)에 연결되어 제1 방향(D1) 및 제2 방향(D2) 각각으로 나열되는 매트릭스(matrix) 형태로 배열될 수 있다. SRAM 셀(300)은 트릿 라인 쌍(TLi, TLBi)에 의해 공급되는 신호에 따라 0, 1, 2(또는 0, 1/2, 1)의 상태를 포함하는 3진 데이터를 저장하는 메모리일 수 있다. 본 명세서에서, 3진 데이터는 로우 전압(VL), 하이 전압(VH) 및 미들 전압(VM) 중 어느 하나의 전압을 가지는 데이터일 수 있다.
- [0031] 일 예로, SRAM 셀(300)은 6개의 트랜지스터를 포함할 수 있다. 도 1을 참조하면, 하나의 SRAM 셀(300)은 제1 트릿 라인(TL1)과 연결된 제1 트랜지스터(T1), 제1 트릿 바 라인(TLB1)과 연결된 제2 트랜지스터(T2), 2개의 트랜지스터(미도시)를 포함하는 CMOS로 구성된 제1 인버터(TI1) 및 나머지 2개의 트랜지스터(미도시)를 포함하는 CMOS로 구성된 제2 인버터(TI2)를 포함할 수 있다.
- [0032] 여기서, 도 2를 함께 사용하여 본 발명의 일 실시예에 따른 SRAM 셀(300)을 더 구체적으로 설명한다. SRAM 셀(300)의 인버터들(TI1, TI2)은 3진(Ternary) 데이터를 처리할 수 있는 3진 소자를 포함할 수 있다.
- [0033] 도 2를 참조하면, 반도체 소자의 두 가지 경우의 입출력 프로파일(G1, G2)이 도시되어 있다. 2진(Binary) 소자의 경우 프로파일 G1과 같이 0 또는 1의 2진 데이터를 쓰고 읽는 입출력 특성을 나타낸다. 반면, 본 발명의 일 실시예에 따른 3진 소자는, 프로파일 G2와 같이 0(P1), 1/2(P2), 1(P3)의 3진 데이터를 쓰고 읽는 입출력 특성을 나타낼 수 있다. 다시 말해, 터너리 인버터(TI1, TI2)의 경우 SRAM 셀(300) 하나 당 0, 1, 2의 트릿(trit)

정보를 저장할 수 있어, 같은 크기의 바이너리 소자 대비 1.5배의 저장 공간을 가지는 이점이 있다.

- [0034] SRAM 셀(300)에 데이터를 기입하는 동작 중 일 예를 들어 설명한다. 가령, 워드 라인(W1)을 온(on) 시키면 제1 및 제2 트랜지스터(T1, T2)가 온 될 수 있다. 여기서 제1 트릿 라인(TL1)에는 0, 1, 2 중 하나의 데이터가 저장되어 있다고 가정한다. 만약, 제1 트릿 라인(TL1)의 저장 값이 하이 전압(2 또는 VDD)일 경우 제1 인버터(TI1)의 NMOS가 온 되고, 제1 트릿 바 라인(TLB1)의 저장 값은 로우 전압(0 또는 GND)일 것이므로 제2 인버터(TI2)의 PMOS가 온 될 수 있다. 이후, 워드 라인(W1)을 오프(off) 시키면 제1 인버터(TI1)의 출력단에는 하이 전압이 저장되고, 제2 인버터(TI2)의 출력단에는 로우 전압이 저장될 수 있다.
- [0035] 일반적인 디지털 SRAM 어레이에서는 센스 앰프(sense amplifier)라 불리는 비교기를 사용하여 비트 라인과 비트 바 라인의 차이를 감지하고 증폭하여 바이너리 데이터를 읽어낼 수 있다. 센스 앰프 내의 바이너리 소자를 단순히 터너리 소자로 대체하여 터너리 센스 앰프를 설계할 경우 미들 전압(VDD/2) 데이터도 읽을 수 있을 것이다. 그러나 미들 전압으로 선충전(pre-charging) 하는 경우 SRAM 셀(300)에 하이 전압 또는 로우 전압이 저장되어 있다면 라인들(TL, TLB)이 각각 미들 전압에서 약간 높고 낮은 전압이 될 것이다. 이러한 전압 입력에 대해 터너리 센스 앰프는 트릿 라인 쌍(TLi, TLBi)의 전압을 미들 전압으로 수렴시키게 되어 정보를 제대로 읽어내지 못할 뿐 아니라 셀(300)의 저장 데이터 또한 미들 전압으로 변경시킬 수 있다. 선충전 전압을 변경하더라도 트릿 라인(TL)과 트릿 바 라인(TLB)의 기생 캐패시터(Cp1, Cp2)가 SRAM 셀(300) 내의 캐패시터(Cj1, Cj2)에 비해 훨씬 크다면 미들 전압으로 수렴하거나 선충전 전압과 관계없이 하이 전압으로 발산하여 데이터 리딩에 오류가 생길 수 있다.
- [0036] 이에, 본 발명에서는 T-SRAM(300)에 저장된 터너리 데이터를 왜곡 없이 읽을 수 있도록 기존의 2진 소자로 설계된 프리 앰프와 비교기를 포함하는 터너리 읽기 회로 및 이를 통하여 3진 데이터를 읽는 방법을 제공하고자 한다.
- [0037] 읽기 회로부(100)는 트릿 라인 쌍(TLi, TLBi)마다 구비된 복수 개의 읽기 회로(100-1, 100-2, ..., 100-n; 100)를 포함할 수 있다. 복수 개의 읽기 회로(100)는 독립적 및/또는 인가 되는 클럭 신호에 따라 상호적으로 동작할 수 있다. 읽기 회로(100)에 관하여는 후술하는 도 3을 통하여 더 상세히 설명한다.
- [0038] 도 3은 본 발명의 일 실시예에 따른 터너리 SRAM(300) 및 이에 연결된 터너리 읽기 회로(100)의 구성을 개략적으로 도시한 도면이다. 이하, 전술한 내용과 동일한 내용에 대한 설명은 생략하거나 간략히 할 수 있다.
- [0039] SRAM 셀(300)은 기생 용량인 셀 기생 캐패시터(Cj1, Cj2; Cj)을 가지고, 트릿 라인(TL) 또는 트릿 바 라인(TLB)은 라인 기생 캐패시터(Cp1, Cp2; Cp)을 가질 수 있다. 라인 기생 캐패시터(Cp)은 셀 기생 캐패시터(Cj)에 비해 월등히 큰 값을 가질 수 있다.
- [0040] 워드 라인(WL)이 켜짐에 따라 트릿 라인(TL)과 SRAM 셀(300)이 연결될 경우, 셀 기생 캐패시터(Cj)과 라인 기생 캐패시터(Cp) 간의 용량 차이로 인하여 트릿 라인(TL)에 저장된 전압의 변화량은 매우 미세하므로, 상기 전압의 변화량을 증폭해야 빠르고 정확하게 트릿 라인(TL)의 데이터를 읽을 수 있다.
- [0041] 이에, 본 발명의 일 실시예에 따른 읽기 회로(100)를 통하여 상기 해결 과제를 달성하고자 한다.
- [0042] 읽기 회로(100)는 프리 앰프(10), 비교부(20) 및 재기입부(30)를 포함할 수 있다.
- [0043] 프리 앰프(10)는 셀(300)의 전압 변화량을 증폭할 수 있다. 프리 앰프(10)는 제1 노드(N1)를 통해 트릿 라인(TL)과 연결되고, 트릿 바 라인(TLB)은 제2 노드(N2)를 통해 연결될 수 있다. 제1 및 제2 노드(N1, N2)는 프리 앰프(10)의 입력단(N1, N2)으로 설명할 수 있다.
- [0044] 프리 앰프(10) 내부에 표시된 부호 표시는 증폭의 방향성을 나타낸다. 가령, 트릿 라인(TL)의 초기 전압이 트릿 바 라인(TLB)의 초기 전압보다 낮을 경우, 프리 앰프(10)는 트릿 라인(TL)의 초기 전압을 감소시키고 트릿 바 라인(TLB)의 초기 전압을 증가시킬 수 있다. 반대로, 트릿 라인(TL)의 초기 전압이 트릿 바 라인(TLB)의 초기 전압보다 높을 경우, 프리 앰프(10)는 트릿 라인(TL)의 초기 전압을 증가시키고 트릿 바 라인(TLB)의 초기 전압을 감소시킬 수 있다.
- [0045] 프리 앰프(10)는 출력단(O1, O2)을 통해 증폭 전압(VA)을 출력할 수 있고, 증폭 전압(VA)은 기준 전압(Vr)과 함께 후술하는 비교부(20)의 입력으로 인가될 수 있다. 프리 앰프(10)의 동작 및 구체적인 구조에 관하여는 후술하는 도 4 내지 도 6을 사용하여 상세히 설명한다.
- [0046] 비교부(20)는 증폭 전압(VA)을 기준 전압(Vr)과 비교하여 2진 데이터를 출력할 수 있다. 비교부(20)에는 전술한

증폭 전압(VA)과 함께 기준 전압(Vr)이 입력될 수 있다.

- [0047] 비교부(20)는 복수의 비교기 쌍(20a, 20b)을 포함할 수 있다. 제1 비교기 쌍(20a)에는 트릿 라인(TL)의 증폭 전압(VA1, VA3)이 입력 되고, 제2 비교기 쌍(20b)에는 트릿 바 라인(TLB)의 증폭 전압(VA2, VA4)이 입력될 수 있다.
- [0048] 구체적으로, 제1 비교기 쌍(20a) 중 하나의 비교기의 일 입력단에는 트릿 라인(TL)이 연결되고, 타 입력단에는 제1 기준 전압(Vr1)이 인가되고, 제1 비교기 쌍(20a) 중 다른 하나의 비교기의 일 입력단에는 트릿 라인(TL)이 연결되고, 타 입력단에는 제2 기준 전압(Vr2)이 인가될 수 있다. 마찬가지로, 제2 비교기 쌍(20b) 중 하나의 비교기의 일 입력단에는 트릿 바 라인(TLB)이 연결되고, 타 입력단에는 제1 기준 전압(Vr1)이 인가되고, 제2 비교기 쌍(20b) 중 다른 하나의 비교기의 일 입력단에는 트릿 바 라인(TLB)이 연결되고, 타 입력단에는 제2 기준 전압(Vr2)이 인가될 수 있다.
- [0049] 제1 비교기 쌍(20a)은 출력값(Y1, Y2)을 출력하고, 제2 비교기 쌍(20b)은 출력값(Y3, Y4)을 출력할 수 있고, 상기 출력값들(Y1, Y2, Y3, Y4; Y)은 후술하는 재기입부(30)에 입력될 수 있다. 상기 출력값들(Y)은 2진 데이터로 구성될 수 있다. 가령, 출력값들(Y) 각각은 00, 01, 10, 11 등의 2진 데이터의 두 자리 수 조합으로 표현될 수 있다.
- [0050] 비교부(20)의 동작 및 구체적인 구조에 관하여는 후술하는 도 7 및 도 8을 사용하여 설명한다.
- [0051] 재기입부(Rewrite Logic)(30)는 입력되는 출력값들(Y)의 조합에 따라 복수의 트랜지스터들이 선택적으로 동작하여 트릿 라인 쌍(TL, TLB)의 초기 전압을 복구하여 트릿 라인 쌍(TL, TLB)으로 재기입할 수 있다. 이를 통해 3진 데이터를 읽는 과정에서 왜곡된 데이터를 다시 원 데이터로 복귀하여 데이터의 손상을 방지할 수 있다.
- [0052] 이하, 도 4 및 도 5를 사용하여 본 발명의 일 실시예에 따른 터너리 읽기 회로(1000) 중에서 특히 프리 앰프(10)의 동작을 위주로 설명한다. 도 4는 본 발명의 일 실시예에 따른 터너리 읽기 회로의 동작 방법을 설명하기 위한 도면이고, 도 5는 본 발명의 일 실시예에 따른 터너리 읽기 회로의 다른 동작을 설명하기 위한 도면이다.
- [0053] 도 4를 참조하면, 읽기 회로(1000)의 회로 동작 단계(D1, D2, D3)에 따른 SRAM 셀(300)에 저장된 전압의 변화 프로파일이 도시되어 있다. 가로축은 읽기 회로(1000)의 회로 동작 단계(D1, D2, D3)를 나타내고, 세로축은 전압의 크기를 나타낸다. 세로축에 대표로 표시한 전압값들은 로우 전압(VL), 미들 전압(VM) 및 하이 전압(VH)으로, 일 예로 로우 전압(VL)은 접지 전압(GND), 하이 전압(VH)은 구동 전압(VDD), 그리고 미들 전압(VM)은 하프 구동 전압(VDD/2)일 수 있다. 본 명세서에서, 로우 전압(VL)은 2진 데이터의 '0'으로, 하이 전압(VH)은 2진 데이터의 '1'로 나타낼 수 있다.
- [0054] D1 단계는, 트릿 라인(TL)에 미리 설정된 충전 전압을 선충전하는 '선충전(Pre-charge) 단계'이다. 라인 프로파일(L1)은 특정 충전 전압으로 선충전된 트릿 라인(TL) 또는 이에 기생하는 라인 기생 캐패시터(Cp1; 도 3 참고)의 전압 프로파일을 나타낸다. 상기 특정 충전 전압은 일 예로, 미들 전압(VM)일 수 있다.
- [0055] 한편, SRAM 셀(300)에 특정 전압을 가지는 데이터가 저장되어 있을 수 있다. 제1 셀 프로파일(S1)은 셀(300)의 저장 데이터가 0일 때, 셀(300) 또는 이에 기생하는 제1 셀 기생 캐패시터(Cj1; 도 3 참고)의 전압 프로파일을 나타낸다. 제1 셀 기생 캐패시터(Cj1)은 셀(300)의 제1 셀노드(NC1)에 연결된 기생 용량이다. 이때 셀(300)의 초기 전압은 로우 전압(VL)으로 설명할 수 있다. 제2 셀 프로파일(S2)은 셀(300)의 저장 데이터가 0일 때의 셀(300) 또는 이에 기생하는 제2 셀 기생 캐패시터(Cj2; 도 3 참고)의 전압 프로파일을 나타낸다. 제2 셀 기생 캐패시터(Cj2)은 셀(300)의 제2 셀노드(NC2)에 연결된 기생 용량이다. 이때 셀(300)의 초기 전압은 하이 전압(HL)으로 설명할 수 있다.
- [0056] D2 단계는 도 4의 우측의 A 부분의 확대도를 함께 참고하여 설명한다. D2 단계는, 워드 라인(WL)이 온 되어 셀(300)과 트릿 라인(TL)이 연결되어 셀(300)의 변경된 전압을 증폭시키는, '증폭 단계'이다. 좌측 그래프의 프로파일 CM은 전술한 셀(300)과 트릿 라인(TL)이 '연결'되는 트리거 동작을 나타낸다.
- [0057] 구체적으로, 셀(300)의 저장 전압이 0일 경우, 제1 셀 프로파일(S1)은 셀(300)이 미들 전압(VM)으로 선충전된 트릿 라인(TL)과 연결되면, 미들 전압(VM) 대비 제1 변화량(dh1)만큼 낮은 제1 변경 전압(Vd1)을 가지도록 변동될 수 있다. 이후, 프리 앰프(10)는 제1 변화량(dh1)을 인지하고 미리 설정된 기준에 따라 제1 변경 전압(Vd1) 대비 제1-1 변화율(h1-1)만큼 감소시켜 제1 증폭 전압(VA1)을 생성할 수 있다.
- [0058] 마찬가지로, 셀(300)의 저장 전압이 0일 경우, 제2 셀 프로파일(S2)은 셀(300)이 미들 전압(VM)으로 선충전된 트릿 라인(TL)과 연결되면, 미들 전압(VM) 대비 제1 변화량(dh1)만큼 높은 제2 변경 전압(Vd2)으로 변동될 수

있다. 이후, 프리 앰프(10)는 제1 변화량(dh1)을 인지하고 미리 설정된 기준에 따라 제2 변경 전압(Vd2) 대비 제1-2 변화율(h1-2)만큼 증가시켜 제2 증폭 전압(VA2)을 생성할 수 있다.

[0059] 이때, 제1-1 변화율(h1-1) 및 제1-2 변화율(h1-2)을 통틀어 제1 변화율(h1)이라 명명할 수 있고, 두 변화율(h1-1, h1-2)은 서로 동일할 수 있다.

[0060] 프리 앰프(10)는 미리 설정된 로직에 의해, 변화량(dh1)이 일정 수준 이상이 되면 제1 변화율(h1)만큼 감소 또는 증가 증폭시켜 증폭 전압(VA)을 생성할 수 있다.

[0061] 반대로, 셀(300)의 저장 데이터가 1인 경우(미도시), 제1 및 제2 셀 프로파일(S1, S2)이 서로 바뀌어 동일한 동작 원리가 적용될 수 있다.

[0062] 간략히 설명하면, 셀(300)의 저장 전압이 1인 경우 전술한 케이스와 반대로, 전술한 제1 셀 프로파일(S1)이 제2 셀 노드(N2)에 연결된 트릿 바 라인(TLB)에 대한 전압 프로파일을 나타내고, 제2 셀 프로파일(S2)이 제1 셀 노드(N1)에 연결된 트릿 라인(TL)에 대한 전압 프로파일을 나타내는 것으로 적용될 수 있다.

[0063] 이후, D3 단계는 증폭 전압(VA)이 다시 충전 전압인 미들 전압(VM)으로 수렴하는 '수렴' 단계이다. 셀(300)의 저장 전압이 0 또는 1인 경우, D2 단계에서 셀(300) 저장 데이터를 읽은 후, 미들 전압(VM)으로 수렴하는 경우 데이터의 왜곡이 일어날 수 있다. 이를 방지하기 위해, 후술하는 재기입부(30)를 통해 미들 전압(VM)으로 왜곡된 데이터를 다시로우 전압(VL) 또는 하이 전압(VH)으로 복귀시켜 셀(300)에 재기입할 수 있다.

[0064] 종합하면, 셀(300)의 초기 저장 전압이 0일 경우, 제1 셀 프로파일(S1)은 로우 전압(VL) 값을 가지다가, D2 단계에서 제1 변경 전압(Vd1)으로 변경되고, 이후 프리 앰프(10)에 의해 제1-1 변화율(h1-1)만큼 증폭되어 제1 증폭 전압(VA1)을 가질 수 있다. 이후, D3 단계에서 다시 초기 충전값(미들 전압(VM))으로 수렴할 수 있다. 반대로, 제2 셀 프로파일(S2)은 하이 전압(VH) 값을 가지다가, D2 단계에서 제2 변경 전압(Vd2)으로 변경되고, 이후 프리 앰프(10)에 의해 제1-2 변화율(h1-2)만큼 증폭되어 제2 증폭 전압(VA2)을 가질 수 있다. 이후, D3 단계에서 다시 초기 충전값(미들 전압(VM))으로 수렴할 수 있다.

[0065] 다음 도 5를 참조하면, 트릿 라인(TL) 또는 이에 기생하는 라인 기생 캐패시터(Cp1; 도 3 참고)은 도 4와 마찬가지로 라인 프로파일(L1)과 같이 특정 충전 전압(도 5에서는 미들 전압(VM))으로 선충전 되어있을 수 있다.

[0066] 한편 도 5에서는 도 4와 달리 셀(300)의 저장 데이터가 0, 1이 아닌 1/2인 경우를 나타낸다. 이 경우, 제1 셀 프로파일(S1) 및 제2 셀 프로파일(S2) 모두 D1 단계에서 트릿 라인(VL)의 충전 전압과 같은 미들 전압(VM) 값을 가질 수 있다.

[0067] D2 단계는 도 5의 우측의 A' 부분의 확대도를 함께 참고하여 설명한다.

[0068] 트리거 CM 동작에 의해 셀(300)과 트릿 라인(TL)이 연결되면, 제1 셀 프로파일(S1)은 미들 전압(VM) 대비 제2 변화량(dh2)만큼 낮은 제3 변경 전압(Vd3)을 가지도록 변동될 수 있다. 이후, 프리 앰프(10)는 제2 변화량(dh2)을 인지하고 미리 설정된 기준에 따라 제3 변경 전압(Vd3) 대비 제2-1 변화율(h2-1)만큼 감소시켜 제3 증폭 전압(VA3)을 생성할 수 있다.

[0069] 마찬가지로, 제2 셀 프로파일(S2)도 미들 전압(VM) 대비 제2 변화량(dh2)만큼 높은 제4 변경 전압(Vd4)을 가지도록 변동될 수 있다. 이후, 프리 앰프(10)는 제2 변화량(dh2)을 인지하고 미리 설정된 기준에 따라 제4 변경 전압(Vd4) 대비 제2-2 변화율(h2-2)만큼 증가시켜 제4 증폭 전압(VA4)을 생성할 수 있다.

[0070] 이때, 제2-1 변화율(h2-1) 및 제2-2 변화율(h2-2)을 통틀어 제2 변화율(h2)이라 명명할 수 있고, 두 변화율(h2-1, h2-2)은 서로 동일할 수 있다. 또한, 제1 변화율(h1)과 제2 변화율(h2)은 각각 제1 변화량(dh1)과 제2 변화량(dh2)에 비례하므로 제2 변화율(h2)은 전술한 제1 변화율(h1)보다 작을 수 있다. 즉, 셀(300)의 저장 데이터가 1/2인 경우가 0 또는 1인 경우보다 변경 전압(Vd)의 증폭의 정도가 작을 수 있다.

[0071] 이후, D3 단계에서는 D2 단계에서 셀(300) 저장 데이터를 읽은 후, 두 셀 프로파일(S1, S2) 모두 미들 전압(VM)으로 수렴하고, 본 발명의 일 실시예에 따른 어레이는 터너리 소자를 포함하므로, 원래 데이터의 값으로 수렴하는 미들 전압(VM), 즉 1/2은 재기입 없이도 데이터의 왜곡 없이 읽을 수 있다.

[0072] 종합하면, 셀(300)의 초기 저장 전압이 1/2일 경우, 제1 및 제2 셀 프로파일(S1, S2)은 D1 단계에서 미들 전압(VM) 값을 가지다가, D2 단계에서 EH 4의 실시예보다 적은 폭으로 변경 전압(Vd3, Vd4)으로 변경되고, 이후 프리 앰프(10)에 의해 제2 변화율(h2)만큼 증폭되어 증폭 전압(VA3, VA4)을 가질 수 있다. 이후, D3 단계에서 다시 초기 충전값(미들 전압(VM))으로 수렴할 수 있다.

- [0073] 이하, 도 6을 사용하여 본 발명의 일 실시예에 따른 읽기 회로의 동작을 비교부(20)의 기능을 추가하여 설명한다. 도 6은 본 발명의 일 실시예에 따른 터너리 읽기 회로의 다른 동작을 설명하기 위한 도면으로, 가로축의 시간에 따른 전압 프로파일들을 도시한 그래프이다. 이하, 도 3을 함께 참고하여 설명한다.
- [0074] 도 6을 참조하면, 프리 앰프(10)에 의해 생성된 증폭 전압(VA) 및 기준 전압(Vr1, Vr2; Vr)이 도시되어 있다. 제1 기준 전압(Vr1)은 제1 충전 전압(VM)보다 미리 설정된 폭만큼 높고, 제2 기준 전압(Vr2)은 제1 충전 전압(VM)보다 상기 폭만큼 낮을 수 있다. 일 예로, 기준 전압(Vr)은 트릿 라인(TL)의 초기 충전 전압(도 6에서는 미들 전압(VM))을 기준으로 일정 전압(Vx)만큼 이격된 값일 수 있다.
- [0075] 비교부(20)는 복수의 비교기를 포함할 수 있고, 각 비교기의 일 입력단에는 증폭 전압(VA) 중 어느 하나가 입력되고 타 입력단에는 기준 전압(Vr) 중 어느 하나가 입력되어, 양 전압을 비교할 수 있다.
- [0076] 가령, 셀(300)의 저장 데이터가 0인 경우(VA1, VA2)에 관하여 먼저 설명한다. 제1 비교기 쌍(20a) 중 일 비교기에는 제1 증폭 전압(VA1)과 제1 기준 전압(Vr1)이 입력되고, 타 비교기에는 제1 증폭 전압(VA1)과 제2 기준 전압(Vr2)이 입력되어, 제1 비교기 쌍(20a)을 통해 제1 증폭 전압(VA1)의 각 기준 전압(Vr1, Vr2)에 대한 대소 관계를 나타내는 제1 및 제2 출력값(Y1, Y2)이 출력될 수 있다.
- [0077] 마찬가지로, 제2 비교기 쌍(20b) 중 일 비교기에는 제2 증폭 전압(VA2)과 제1 기준 전압(Vr1)이 입력되고, 타 비교기에는 제2 증폭 전압(VA2)과 제2 기준 전압(Vr2)이 입력되어, 제2 비교기 쌍(20b)을 통해 제2 증폭 전압(VA2)의 각 기준 전압(Vr1, Vr2)에 대한 대소 관계를 나타내는 제3 및 제4 출력값(Y3, Y4)이 출력될 수 있다.
- [0078] 이때, 제1 증폭 전압(VA1)은 초기 충전 전압(VM) 대비 제1-1 게인(g1-1)만큼 감소 증폭 되고, 제2 증폭 전압(VA2)은 초기 충전 전압(VM) 대비 제1-2 게인(g1-2)만큼 증가 증폭된 전압일 수 있다. 제1 게인(g1-1, g1-2; g1)은 도 3에서 상술한 제1 변화량(dh1)에 제1 변화율(h1)을 곱한 값으로 정의한다.
- [0079] 마찬가지로, 셀(300)의 저장 데이터가 1/2인 경우(VA3, VA4)에 관하여 설명한다. 제1 비교기 쌍(20a) 중 일 비교기에는 제3 증폭 전압(VA3)과 제1 기준 전압(Vr1)이 입력되고, 타 비교기에는 제3 증폭 전압(VA3)과 제2 기준 전압(Vr2)이 입력되어, 제1 비교기 쌍(20a)을 통해 제3 증폭 전압(VA3)의 각 기준 전압(Vr1, Vr2)에 대한 대소 관계를 나타내는 제1 및 제2 출력값(Y1, Y2)이 출력될 수 있다.
- [0080] 제2 비교기 쌍(20b) 중 일 비교기에는 제4 증폭 전압(VA4)과 제1 기준 전압(Vr1)이 입력되고, 타 비교기에는 제4 증폭 전압(VA4)과 제2 기준 전압(Vr2)이 입력되어, 제2 비교기 쌍(20b)을 통해 제4 증폭 전압(VA4)의 각 기준 전압(Vr1, Vr2)에 대한 대소 관계를 나타내는 제3 및 제4 출력값(Y3, Y4)이 출력될 수 있다.
- [0081] 이때, 제3 증폭 전압(VA3)은 초기 충전 전압(VM) 대비 제2-1 게인(g2-1)만큼 감소 증폭 되고, 제4 증폭 전압(VA4)은 초기 충전 전압(VM) 대비 제2-2 게인(g2-2)만큼 증가 증폭된 전압일 수 있다. 제2 게인(g2-1, g2-2; g2)은 도 4에서 상술한 제2 변화량(dh2)에 제2 변화율(h2)을 곱한 값으로 정의한다.
- [0082] 아래 [표 1]을 함께 참고하면, 실시예 1은 셀(300)의 저장 데이터가 0인 경우(도 4), 실시예 2는 1/2인 경우(도 5), 실시예 3은 1인 경우(도 4의 반대 경우)를 나타낸다.

표 1

[0083]		Y1	Y2	Y3	Y4	trit data
	실시예 1	VL	VL	VH	VH	VL(0)
	실시예 2	VL	VH	VL	VH	VM(1/2)
	실시예 3	VH	VH	VL	VL	VH(1)

- [0084] 실시예 1의 경우, 제1 및 제2 증폭 전압(VA1, VA2)이 도 6과 같이 나타난다. 제1 증폭 전압(VA1)은 두 기준 전압(Vr1, Vr2)에 대비하여 모두 낮은 값을 가지므로 제1 및 제2 출력값(Y1, Y2)은 모두 VL이 출력된다. 반면, 제2 증폭 전압(VA2)은 두 기준 전압(Vr1, Vr2)에 대비하여 모두 높은 값을 가지므로 제3 및 제4 출력값(Y3, Y4)은 모두 VH가 출력된다.

- [0085] 실시예 2의 경우, 제3 및 제4 증폭 전압(VA3, VA4)이 도 6과 같이 나타난다. 제3 증폭 전압(VA3)은 제1 기준 전압(Vr1) 대비 낮은 값을 가지므로 제1 출력값(Y1)은 VL, 제2 기준 전압(Vr2) 대비 높은 값을 가지므로 제2 출력값(Y2)은 VH이 출력될 수 있다. 마찬가지로, 제4 증폭 전압(VA4)도 제1 기준 전압(Vr1) 대비 낮은 값을 가지므로 제3 출력값(Y3)은 VL, 제2 기준 전압(Vr2) 대비 높은 값을 가지므로 제4 출력값(Y4)은 VH이 출력될 수 있다.

실시에 2는 이와 반대로, 제1 및 제3 출력값(Y1, Y3)이 VH, 제2 및 제4 출력값(Y2, Y4)이 VL이 출력되어 제1 출력값(Y1)과 제2 출력값(Y2), 그리고 제3 출력값(Y3)과 제4 출력값(Y4)이 교대로 출력되는 경우도 포함할 수 있다.

[0086] 실시예 3은 실시예 1과 반대로, 제1 및 제2 증폭 전압(VA1, VA2)이 도 6의 반대로 나타난다. 그러면, 제1 증폭 전압(VA1)은 두 기준 전압(Vr1, Vr2)에 대비하여 모두 높은 값을 가질 것이므로 제1 및 제2 출력값(Y1, Y2)은 모두 VH이 출력된다. 반면, 제2 증폭 전압(VA2)은 두 기준 전압(Vr1, Vr2)에 대비하여 모두 낮은 값을 가질 것이므로 제3 및 제4 출력값(Y3, Y4)은 모두 VL이 출력된다.

[0087] 정리하면, 본 발명의 일 실시예에 따른 터너리 읽기 회로(1000)는 트릿 라인(TL) 및 트릿 바 라인(TLB)을 모두 특정 전압(일 예로, VM)으로 선충전하고, 셀(300)이 상기 라인들(TL, TLB)과 연결될 때 변경되는 변경 전압(Vd)을 증폭시키고, 증폭 전압(VA)을 기준 전압(Vr)과 이진법적으로 비교하여, 터너리 데이터를 읽을 수 있다.

[0088] 이와 같이, 본 발명의 일 실시예에 따른 읽기 회로(1000)에 의하면 프리 앰프 및 비교기의 설계를 통한 기존의 2진 소자의 배치를 이용하여 3진 데이터를 2진 데이터화함으로써 터너리 데이터를 읽을 수 있고, 이에 따라 저 전력, 고용량 3진 반도체 소자로의 대체가 용이해질 수 있다.

[0089] 도 7은 본 발명의 일 실시예에 따른 프리 앰프(10)의 구성의 일 예를 도시한 구조도이다.

[0090] 프리 앰프(10)는 도 7(a)와 같은 제1 스테이지(Gain stage)(ST1) 및 도 7(b)와 같은 제2 스테이지(Reset stage)(ST2)의 두 스테이지로 동작할 수 있다. 먼저, 제2 스테이지(ST2)의 양단에 존재하는 스위치는 프리 앰프(10)의 입력단(N1, N2)과 출력단(O1, O2)을 연결하여 입력단(N1, N2)뿐만 아니라 출력단(O1, O2)을 모두 미들 전압(VM)으로 선충전(pre-charging)하는 역할을 할 수 있다. 이때 입력단(N1)은 트릿 라인(TL)이 연결된 노드이고, 입력단(N2)은 트릿 바 라인(TLB)이 연결된 노드일 수 있다. 출력단(O1, O2)이 서로 다른 전압으로 충전된 상태에서 제1 스테이지(ST1)가 동작할 경우, 제1 스테이지(ST1)를 통해 증폭된 증폭 전압(VA)과 기준 전압(Vr)을 비교할 때 오차가 생기는 문제점을 방지하기 위해, 프리 앰프(10)의 출력단(O1, O2)도 동일하게 미들 전압(VM)으로 충전할 수 있다.

[0091] 이와 같이 제2 스테이지(ST2)는 라인들(TL, TLB)의 전압을 미들 전압(VM)으로 구동 및/또는 선충전하는 역할을 하며, 인가되는 클럭 신호(c1k)에 따라 스위치가 비활성화(disable) 되면 후술하는 제1 스테이지(ST1)가 활성화되어 동작할 수 있다.

[0092] 상기 클럭 신호(c1k)에 따라 워드 라인(WL)이 선택 동작하여 SRAM 셀(300)이 선택된다. 그러면 제1 스테이지(ST1)에서는, 입력단(N1, N2)으로 인가된 선충전된 전압이 셀(300)과 연결되어 변경된 변경 전압(Vd)의 변화량(dh1, dh2)을 감지하고, 출력단(O1, O2)을 통해 선충전된 미들 전압(VM)에서 상하로 분기되는 증폭 전압(VA)을 출력할 수 있다.

[0093] 이때, 제1 스테이지(ST1)의 조절 트랜지스터(BT1, BT2)에 관하여 도 6을 함께 참고하여 설명한다. 조절 트랜지스터(BT1, BT2)는 각각에 인가되는 바이어스들(bias1, bias2)을 통해 제1 증폭 전압(VA1)을 미들 전압(VM)에서 감소 증폭시킬 때의 게인(g2-1)과 제2 증폭 전압(VA2)을 미들 전압(VM)에서 증가 증폭시킬 때의 게인(g2-2)을 동일하게 조절할 수 있다. 가령, 두 게인(g2-1, g2-2)이 서로 달라 제1 증폭 전압(VA1)의 하강폭이 제2 증폭 전압(VA2)의 상승폭보다 상대적으로 더 크다면, 비교부(20)의 출력값(Y)을 통해 읽는 데이터의 결정에 문제가 생길 수 있기 때문이다.

[0094] 본 발명의 일 실시예에 따른 프리 앰프(10)의 회로 구조는 도 7에 도시된 바에 한정되지 않으며, 본 발명의 목적을 달성하기 위한 기능을 수행할 수 있는 다양한 구조가 적용될 수 있다.

[0095] 도 8은 본 발명의 일 실시예에 따른 비교부 중 일부를 도시한 구조도이다.

[0096] 도 8의 단일 비교기는 인가되는 클럭 신호(c1k)에 따라 동작할 수 있고, 두 입력단(NN1, NN2)을 통해 프리 앰프(10)의 증폭 전압(VA) 및 기준 전압(Vr)을 인가 받을 수 있다. 입력단(NN1)을 통해 트릿 라인(TL)의 증폭 전압(VA)이 인가 되고 입력단(NN2)을 통해 기준 전압(Vr)이 인가 되어, 표시된 Y 노드를 통하여 양 전압(VA1, Vr1)의 대소 관계가 비교된 출력값(Y)이 출력될 수 있다.

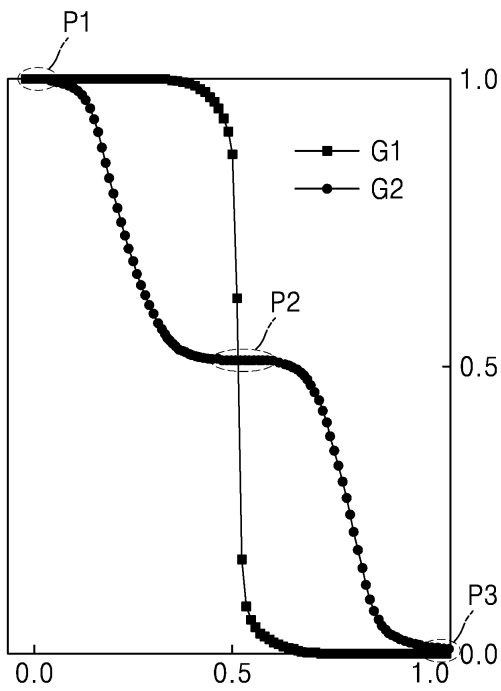
[0097] 이와 같이, 본 발명의 일 실시예에 따른 터너리 읽기 회로(100)는 셀(300)에 저장된 터너리 데이터를, 비교부(20)를 통하여 출력되는 바이너리 데이터를 이용하여 읽을 수 있다. 이에 따라 디지털 도메인의 외부 장치와 통신할 수 있는 터너리 투 바이너리 컨버터(Ternary to Binary Converter; TBC)의 기능을 수반할 수 있다.

- [0098] 일 예로 비교기(20)는 필요할 때만 선택적으로 동작하는 동적 래치 비교기(Dynamic Latch Comparator)일 수 있으나, 비교기의 구조는 도 8에 도시된 바에 한정되지 않는다.
- [0099] 이하, 도 9 및 도 10을 사용하여 일 실시예에 따른 재기입부(30)의 동작에 관하여 설명한다. 도 9는 본 발명의 일 실시예에 따른 재기입부(30)를 설명하기 위한 개략적인 구조도이고, 도 10은 본 발명의 일 실시예에 따른 재기입부의 동작 방법을 설명하기 위한 그래프이다.
- [0100] 도 9를 도 3과 함께 참고하면, 재기입부(30)는 비교부(20)로부터 출력값들(Y)을 입력 받을 수 있다. 출력값들(Y)의 조합에 의해 셀(300)에 저장된 터너리 데이터를 읽을 수 있는데, 도 4의 수렴 단계(D3)에서 살펴본 바와 같이 셀(300) 저장 데이터가 0 또는 1인 경우 읽기 회로(100)가 읽은 데이터가 1/2로 잘못 수렴되어 데이터가 왜곡될 수 있다. 이를 방지하기 위해 재기입부(30) 및 이에 연결된 트랜지스터들(M1, M2, M3, M4)을 통해 변경된 데이터를 복원시켜 라인들(TL, TLB)에 다시 기입할 수 있다. M1, M2의 출력단은 트릿 라인(TL), M3, M4의 출력단은 트릿 바 라인(TLB)에 연결되어 각 라인(TL, TLB)에 복원된 데이터를 재기입할 수 있다.
- [0101] 이하, 도 6에서 설명한 [표 1]을 함께 참고하여 설명한다. 제1 및 제2 증폭 전압(VA1, VA2)이 도 10(a)와 같이 나타나는 경우(실시예 1), M1, M4가 켜지고, 제1 및 제2 증폭 전압(VA1, VA2)이 도 10(a)의 반대로 나타나는 경우(실시예 3), M2, M3이 켜질 수 있다. 실시예 1 및 실시예 3의 경우 증폭 전압(VA)이 증폭된 게인(g1, g2)이 하이 전압(VH) 또는 로우 전압(VL)으로 발산할 만큼 크지 않으므로 D3 단계에서 미들 전압(VM)으로 수렴할 수 있다. 따라서, 재기입부(30)가 상기 설명과 같이 동작함으로써 트릿 라인(TL)과 트릿 바 라인(TLB)의 데이터를 원본 데이터(0 또는 1)와 같게 함으로써 원본 데이터를 복구할 수 있다.
- [0102] 한편, 제3 및 제4 증폭 전압(VA3, VA4)이 도 10(b)와 같이 나타나는 경우(실시예 2)(Y1, Y2의 출력값이 반대, Y3, Y4의 출력값이 반대로 출력되는 경우), M1, M2, M3, M4가 모두 오프되어 재기입부(30)가 동작하지 않을 수 있다. 셀(300) 저장 데이터가 1/2인 경우에는 데이터 왜곡이 일어나지 않으므로 트릿 라인(TL)과 트릿 바 라인(TLB)을 조정하지 않아도 미들 전압(VM)으로 유지하기 때문에 셀(300) 저장 데이터가 변하지 않을 수 있다.
- [0103] 또한, 이상에서는 본 발명의 바람직한 실시 예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특정의 실시 예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어져서는 안될 것이다.
- [0104] 따라서, 본 발명의 사상은 앞에서 설명된 실시예들에 국한하여 정해져서는 아니되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 또는 이로부터 등가적으로 변경된 모든 범위가 본 발명의 사상의 범주에 속한다고 할 것이다.

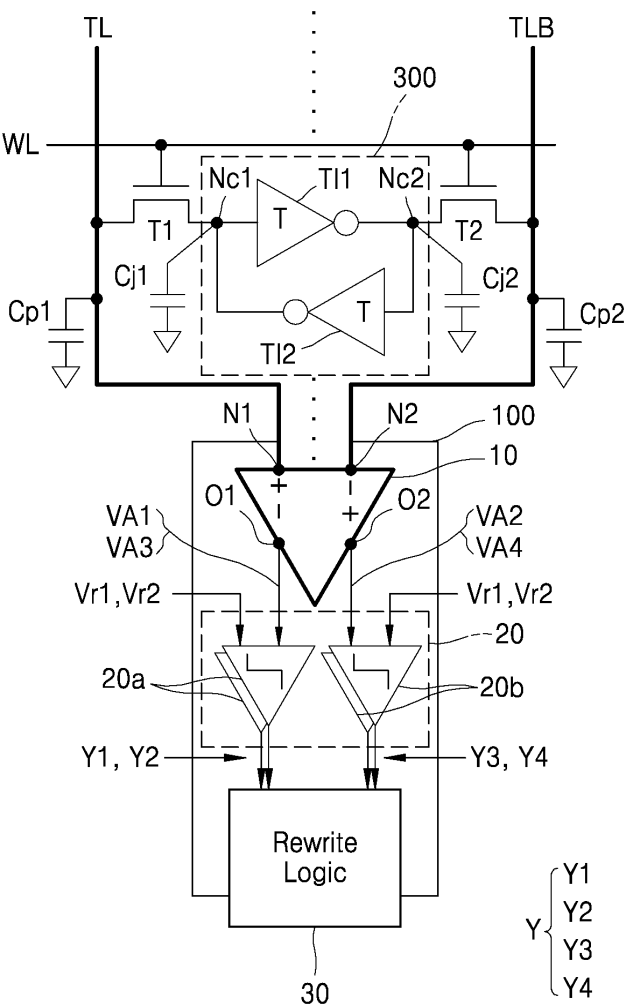
부호의 설명

- [0105] 1000: 터너리 읽기 회로부
 2000: 워드 라인 제어부
 100: 터너리 읽기 회로
 300: SRAM 셀
 10: 프리 앰프
 20: 비교부
 30: 재기입부
 TL: 트릿 라인
 TLB: 트릿 바 라인
 WL: 워드 라인
 Cj1, Cj2: 셀 기생 캐패시터
 Cp1, Cp2: 라인 기생 캐패시터
 S1: 제1 셀 프로파일

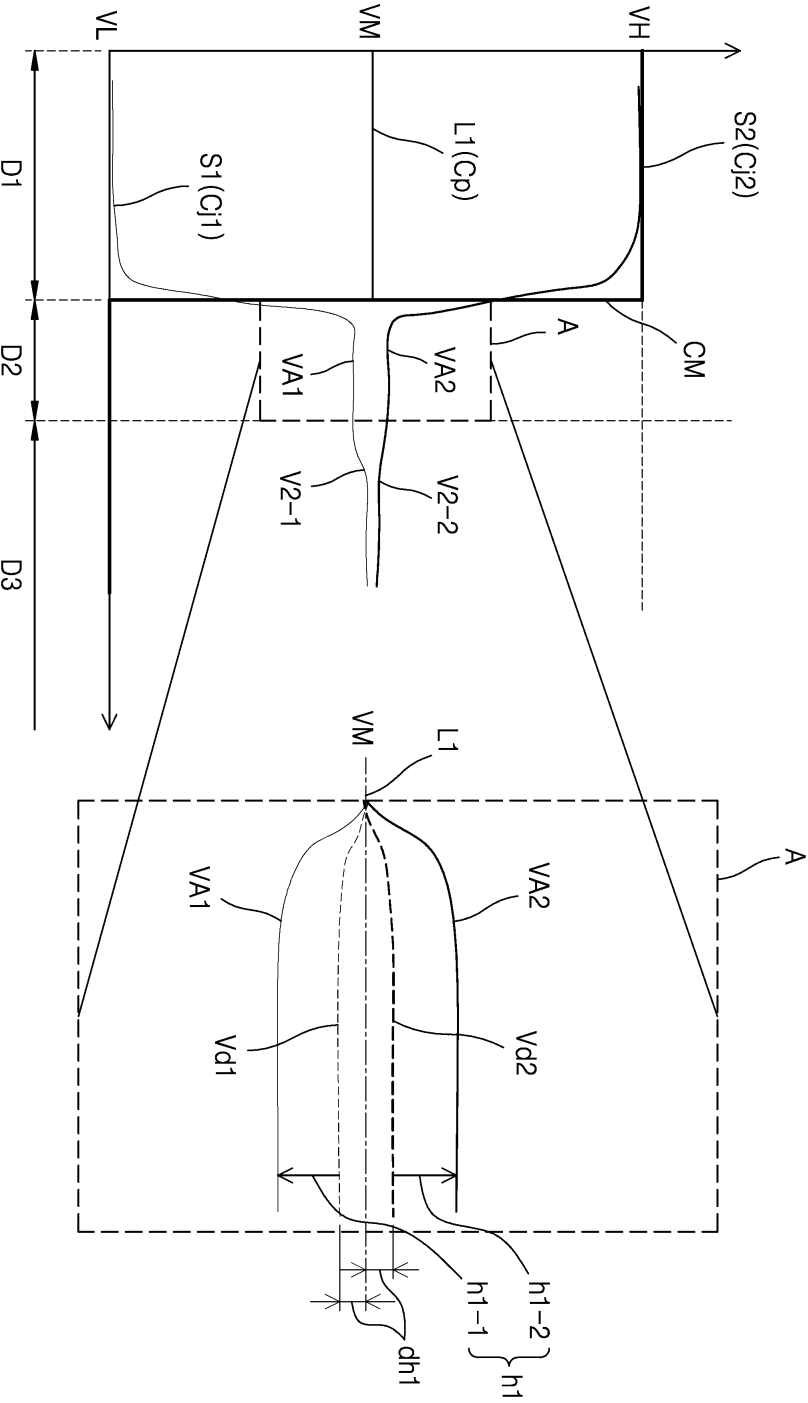
도면2



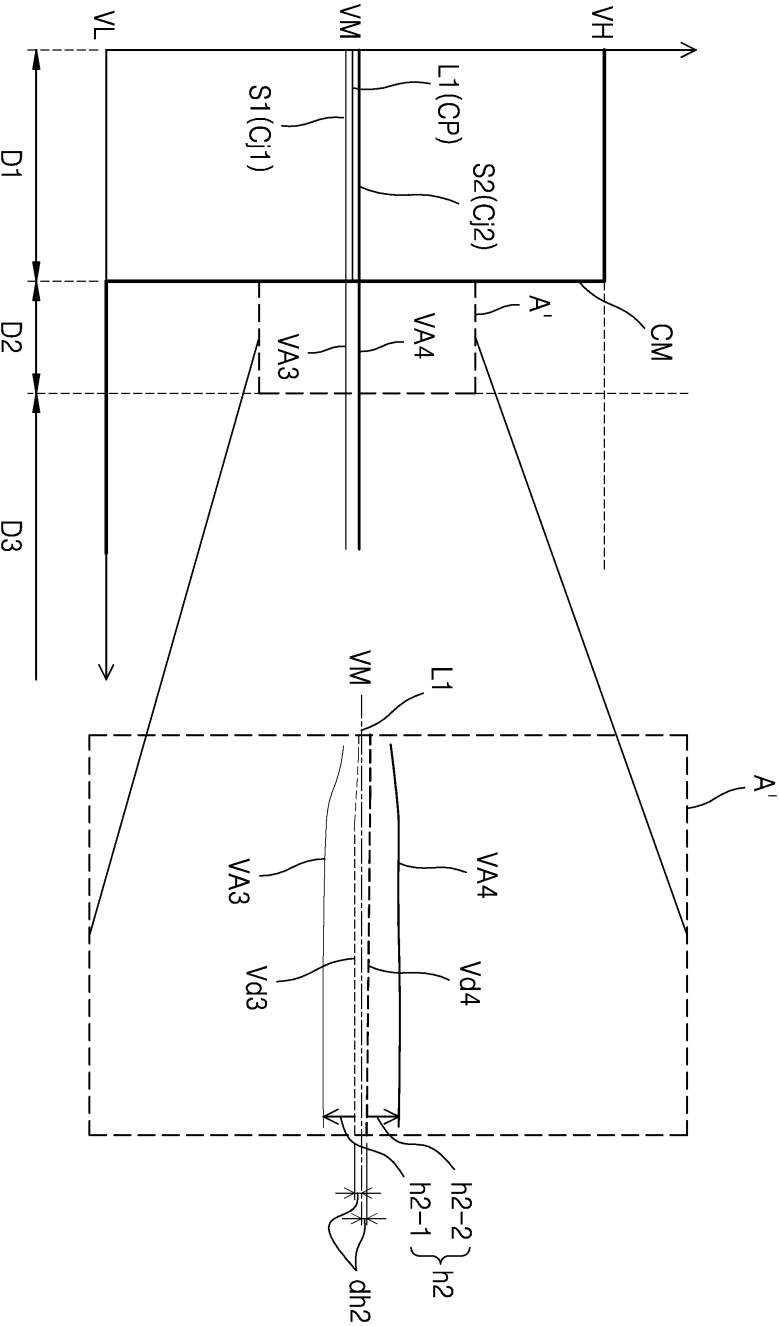
도면3



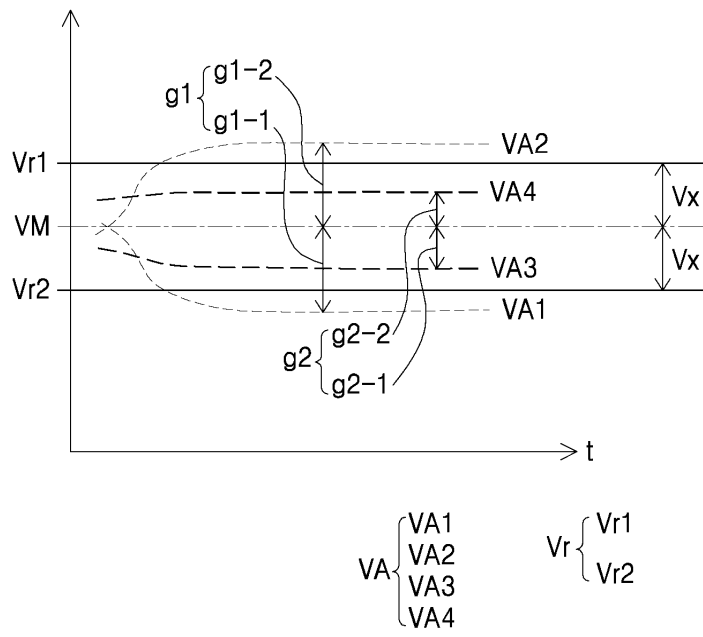
도면4



도면5

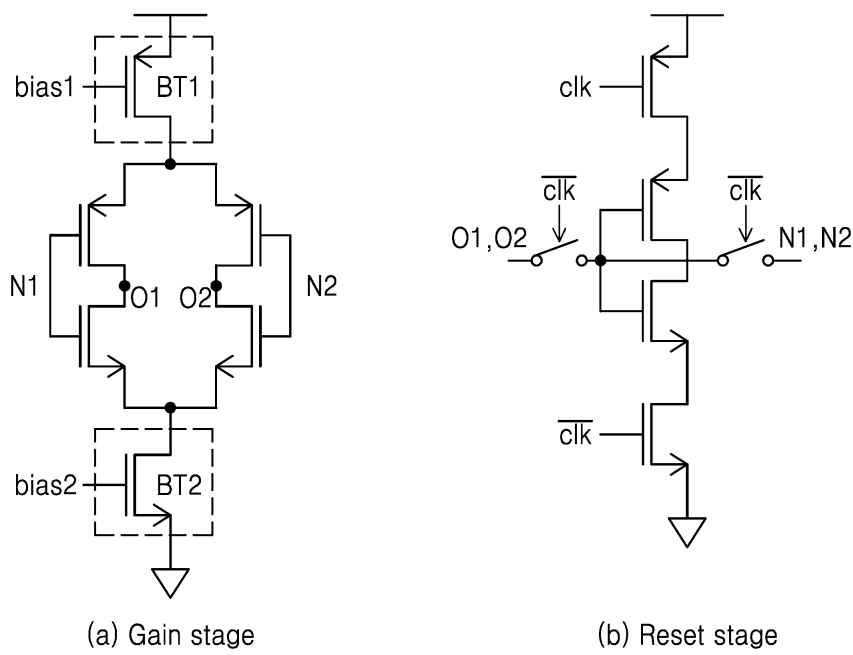


도면6

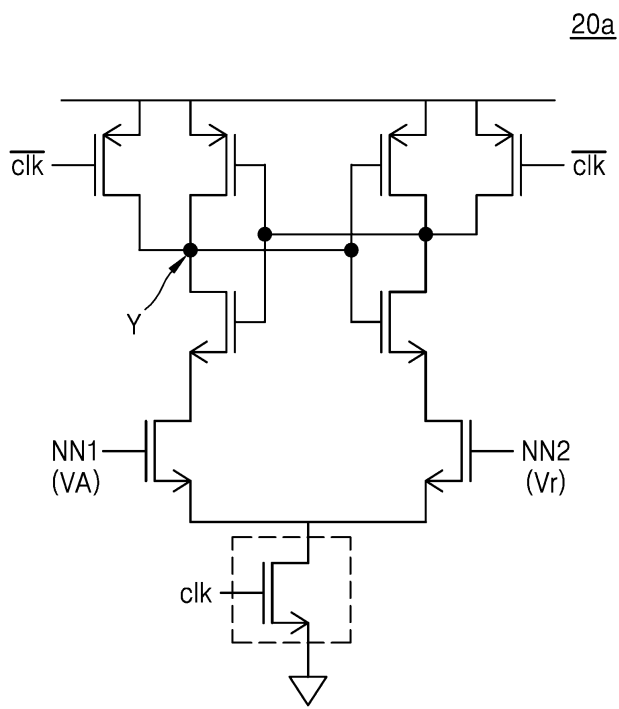


도면7

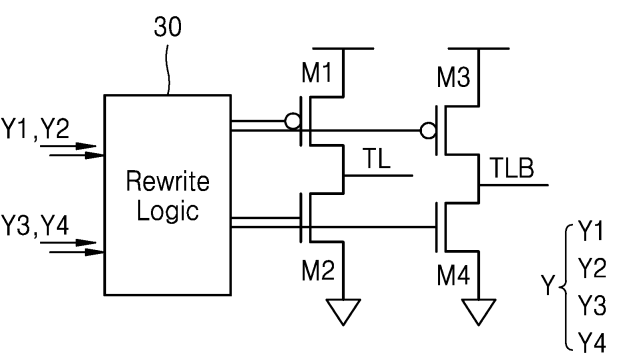
10



도면8



도면9



도면10

