

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年4月12日 (12.04.2001)

PCT

(10) 国際公開番号
WO 01/25017 A1

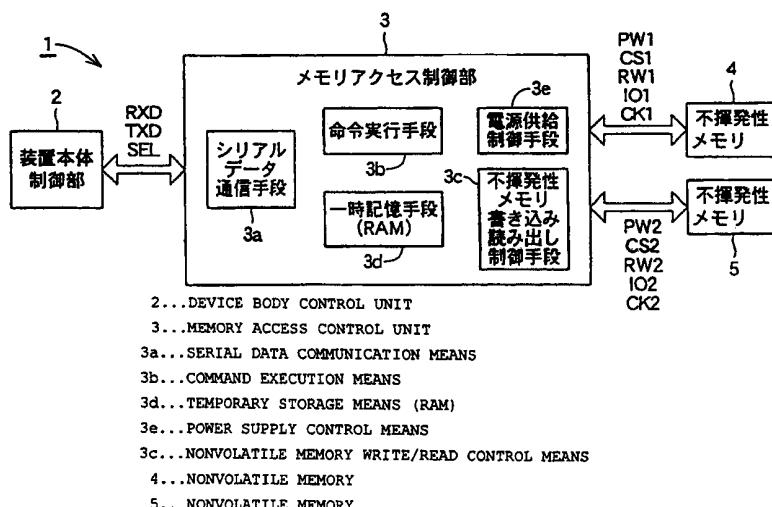
- (51) 国際特許分類: B41J 2/01, 2/175 Ryuichi) [JP/JP]; 〒392-8502 長野県諏訪市大和三丁目
3番5号 セイコーエプソン株式会社内 Nagano (JP).
- (21) 国際出願番号: PCT/JP00/06907
- (22) 国際出願日: 2000年10月4日 (04.10.2000) (74) 代理人: 森 哲也, 外(MORI, Tetsuya et al.); 〒101-
0045 東京都千代田区神田鍛冶町三丁目7番地 村木ビル8階 日栄国際特許事務所 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国(国内): CN, JP, KR, US.
- (30) 優先権データ:
特願平11/283242 1999年10月4日 (04.10.1999) JP (84) 指定国(広域): ヨーロッパ特許 (AT, BE, CH, CY, DE,
DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
- (71) 出願人(米国を除く全ての指定国について): セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)
[JP/JP]; 〒163-0811 東京都新宿区西新宿二丁目4番1号 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人(米国についてのみ): 辻 龍一 (TSUJI,

添付公開書類:
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

(54) Title: INK-JET RECORDER, SEMICONDUCTOR DEVICE, AND RECORDING HEAD DEVICE

(54) 発明の名称: インクジェット式記録装置、半導体装置および記録ヘッド装置



(57) Abstract: A carriage (recording head unit) to which an ink cartridge having a nonvolatile memory is mounted comprises a memory access control unit for controlling an access to the nonvolatile memory. Consequently, the number of connection lines connected between the carriage (recording head unit) and a printer body control unit is less. A device body control unit communicates data through serial data communication with a memory access control unit. The memory access control unit reads various information (such as on the mount of ink remaining and the use start date) stored in nonvolatile memories and stores it in a RAM in the memory access control unit. The device body control unit issues a RAM access request command to read and update the information. When the printer is turned off, the device body control unit issues an information write-back command. The memory access control unit writes back the information in the RAM into the nonvolatile memories.

WO 01/25017 A1

[統葉有]



(57) 要約:

不揮発性メモリを備えたインクカートリッジが装着されるキャリッジ（記録ヘッド部）に、不揮発性メモリへのアクセスを制御するメモリアクセス制御部を設けることで、キャリッジ（記録ヘッド部）とプリンタ本体側制御部との間の接続線数を減少させる。

装置本体制御部とメモリアクセス制御部とはシリアルデータ通信によってデータの送受信を行なう。メモリアクセス制御部は、各不揮発性メモリに格納されている各種の情報（インク残量、使用開始年月等）を読み出してメモリアクセス制御部内のRAMに格納する。装置本体制御部は、RAMへのアクセス要求命令を発行することで、情報の読み出しならびに更新を行なう。プリンタの電源オフに際して、装置本体制御部は情報の書き戻し命令を発行する。メモリアクセス制御部は、RAM内の情報を不揮発性メモリへ書き戻す。

明細書

インクジェット式記録装置、半導体装置および記録ヘッド装置

5 技術分野

本発明は、記録材料収容カートリッジに不揮発性メモリを設け、この不揮発性メモリにカートリッジに関する各種データ（残量データ、使用開始日時データ、記録材料種別データ、製造管理データ等）を格納しておくことで、カートリッジ毎に使用状態等を管理できるようにした記録装置等に関し、詳しくは、記録装置本体側の制御部と不揮発性メモリとの間にインターフェース回路（メモリアクセス制御回路）を設けることで、不揮発性メモリへアクセスする際の制御部側の処理を軽減するようにした記録装置、ならびに、インターフェース用の半導体装置およびインターフェース回路（メモリアクセス制御回路）を備えた記録ヘッド装置に関するものである。

15

背景技術

特開昭62-184856号公報（特許第2594912号公報）には、インクカートリッジに不揮発性メモリを設け、この不揮発性メモリにインク残量に相当するデータを記憶しておくことで、インクカートリッジ毎にインク残量の管理を行なえるようにしたインクカートリッジおよび記録装置が記載されている。

特開平8-197748号公報には、インクカートリッジに設けた不揮発性メモリに識別情報を記憶させておき、プリンタ本体側では不揮発性メモリから読み出したインクカートリッジの識別情報とインク残量とを対応付けて管理することで、同一の識別情報を有するインクカートリッジが再装着された際にインク残量の再検知を不要にしたインクジェットプリンタが記載されている。

上述した従来の記録装置等では、インクカートリッジが所定の位置に装着された状態で、インクカートリッジ側に設けられた複数の電極とインクカートリッジ装着部に設けられた複数の電極とが電気的に導通し、インクカートリッジに設けられた不揮発性メモリに対する電源供給ならびに各種信号の送受を行なう構造で

ある。

しかしながら、従来のものは不揮発性メモリの電源ならびに各種信号端子を全て電気的に引き出してプリンタ装置本体側の制御部へ接続する構造であるため、インクカートリッジ装着部とプリンタ装置本体側の制御部との間の接続線数が多い。このため接続線の引き回しが困難になることがある。特に、記録ヘッドを備えたキャリッジにインクカートリッジを装着する構造では、キャリッジが移動するために可撓性を有するフレキシブルケーブルを用いてキャリッジとプリンタ装置本体間とを電気的に接続する必要がある。このためフレキシブルケーブルの芯線数が増加するとキャリッジの移動に要する力が増加するおそれがあり好ましくない。さらに、キャリッジに複数のインクカートリッジを装着する場合には、インクカートリッジ数に比例して接続線数が増加することになる。例えば、ブラック用のインクカートリッジとカラー用のインクカートリッジとの2種類を用いる構成では、各カートリッジ毎に設けられた不揮発性メモリの各端子をそれぞれ引き出す必要があり、信号線数は2倍となる。

本発明はこのような課題を解決するためなされたもので、インクカートリッジが装着されるキャリッジに、不揮発性メモリへのアクセス機能とプリンタ装置本体とのデータ通信機能とを備えたインターフェース回路（メモリアクセス制御回路）を設けることで、インクカートリッジ装着部とプリンタ装置本体との間の接続線数を削減できるようにしたインクジェット式記録装置、ならびに、そのための半導体装置および記録ヘッド装置を提供することを目的とする。

発明の開示

本発明によるインクジェット式記録装置は、不揮発性メモリを備えたインクカートリッジの収納部を備えたキャリッジに、記録装置本体側の制御部から供給される命令に基づいて記録装置本体側の制御部と不揮発性メモリとの間のデータ送受を制御するメモリアクセス制御部を設けたことを特徴とする。

キャリッジにメモリアクセス制御部を設け、このメモリアクセス制御部を介して不揮発性メモリへアクセスする構成とすることで、キャリッジと記録装置本体側の制御部との間の接続線数を減少させることができる。

なお、メモリアクセス制御部は、記録装置本体側の制御部とシリアルデータ通信を行なうシリアルデータ通信手段と、記録装置本体側の制御部から供給された命令を実行する命令実行手段と、不揮発性メモリに対してデータの書き込みならびに読み出しを行なう不揮発性メモリ書き込み読み出し制御手段とを備える構成
5 とするのが望ましい。

シリアルデータ通信を用いることで、キャリッジと記録装置本体側の制御部との間の接続線数を減少させることができる。

また、メモリアクセス制御部は、記録装置本体側の制御部とシリアルデータ通信を行なうシリアルデータ通信手段と、記録装置本体側の制御部から供給された命令を実行する命令実行手段と、不揮発性メモリに対してデータの書き込みならびに読み出しを行なう不揮発性メモリ書き込み読み出し制御手段と、不揮発性メモリから読み出されたデータを一時記憶するための一時記憶手段とを備える構成
10 とするのが望ましい。

メモリアクセス制御部内に例えランダムアクセスメモリ等の一時記憶手段を設け、この一時記憶手段に不揮発性メモリから読み出したデータを全て格納しておき、装置本体制御部側からのデータ読み出し要求に対して一時記憶手段に格納したデータを読み出して回答することで、データ読み出し要求に対して高速な応答ができる。さらに、装置本体制御部は、データ書き込み要求を発生して一時記憶手段内のデータを更新した後に、不揮発性メモリに対する書き込み要求を発生
20 して更新されたデータを不揮発性メモリに書き込ませることができる。よって、更新すべきデータが複数項目ある場合でも、1回の書き込み動作で不揮発性メモリに複数のデータを書き込ませることができる。

また、メモリアクセス制御部は、不揮発性メモリへの電源供給を制御する電源供給制御手段を備える構成とするのが望ましい。

25 電源供給制御手段を備えることで、不揮発性メモリにアクセスするときのみ不揮発性メモリへ電源を供給することができる。これにより、不要な電力の消費を低減できる。また、不揮発性メモリにアクセスしない状態では電源の供給を停止しておくことで、不揮発性メモリに格納されたデータがノイズ等によって書き換えられることを防止できる。

不揮発性メモリ書き込み読み出し制御手段は、不揮発性メモリに対してデータの書き込み及び読み出しの少なくとも一方を行なうためのクロックを複数種類出力でき、それらクロックを不揮発性メモリの電気的特性に応じて選択する構成とするのが望ましい。パルス幅の異なるクロックを複数種類用意しておき、不揮発性メモリの電気的特性に応じて選択することにより、不揮発性メモリの読み出し時間、書き込み時間を適切に設定することができる。

さらに、メモリアクセス制御部は、複数の不揮発性メモリにアクセスできる構成とするがのが望ましい。

これにより、不揮発性メモリの個数が増加してもキャリッジと記録装置本体側の制御部との間の接続線数が増加することはない。

メモリアクセス制御部用の半導体装置（集積回路装置）を用いることで、インクカートリッジの収納部を備えたキャリッジにメモリアクセス制御部を設けることが容易になるととともに、キャリッジの小型化を図ることができる。

15 図面の簡単な説明

第1図は、本発明に係るインクジェット式記録装置の全体構成を示すブロック構成図である。第2図は、不揮発性メモリの一具体例を示すブロック構成図である。第3図は、不揮発性メモリの格納情報を示す説明図である。第4図は、ブラック用インクカートリッジに設けられた不揮発性メモリに格納される情報の一例を示す説明図である。第5図は、カラー用インクカートリッジに設けられた不揮発性メモリに格納される情報の一例を示す説明図である。第6図は、メモリアクセス制御部の一具体例を示すブロック構成図である。第7図は、メモリアクセス制御部用集積回路の端子名（信号名）と機能を示す説明図である。第8図（A）は命令モード指定信号がLレベルのときに装置本体制御部から供給される8ビット固定長の命令を示す図である。第8図（B）は命令モード指定信号S E LがHレベルのときに装置本体制御部から供給される可変長の命令を示す図である。第9図は、受信制御部のブロック構成図である。第10図は、命令モード指定信号の切り替えタイミングを示す説明図である。第11図は、可変長命令の仕様ならびにそれに対する回答の仕様を示す説明図である。第12図は、制御レジスタ群

の内容と機能を示す説明図である。第13図は、RAMの格納情報を示す説明図である。第14図は、送信制御部のブロック構成図である。第15図(A)は8ビット未満のシリアル通信データの書式を示す説明図である。第15図(B)は8ビットを越えるシリアル通信データの書式を示す説明図である。第16図は、
5 本発明に係るインクジェット式記録装置を適用したインクジェットプリンタ装置の印刷機構部の構造を示す斜視図である。第17図は、キャリッジをホルダ部とヘッダ部に分解して示した斜視図である。第18図(A)はブラック用インクカートリッジの斜視図である。第18図(B)はカラー用インクカートリッジの斜視図である。第18図は、インクカートリッジの斜視図である。第19図(A)
10 は不揮発性メモリ回路基板の表面側の構造を示す斜視図、第19図(B)は不揮発性メモリ回路基板の裏面側の構造を示す斜視図、第19図(C)は不揮発性メモリ回路基板の電極のサイズを示す説明図、第19図(D)は不揮発性メモリ回路基板の電極と接点との接触状態を示す平面図、第19図(E)は不揮発性メモリ回路基板の電極と接点との接触状態を示す側面図である。第20図は、インクカートリッジの装着過程を示す説明図である。第21図は、インクカートリッジの装着過程を示す説明図である。第22図(A)はインクカートリッジのインク供給口とホルダ側のインク供給針とが接触する前における不揮発性メモリ基板と接点機構の接点構成部材との接触状態を示す図である。第22図(B)はインク供給口がインク供給針に接触した状態における不揮発性メモリ基板と接点機構の接点構成部材との接触状態を示す図である。
15 第22図(C)はインク供給口にインク供給針が完全に入り込んだ状態における不揮発性メモリ基板と接点機構の接点構成部材との接触状態を示す図である。第22図(C)はインク供給口にインク供給針が完全に入り込んだ状態における不揮発性メモリ基板と接点機構の接点構成部材との接触状態を示す図である。
20

発明を実施するための最良の形態

25 次に、図面を参照して本発明の実施の形態について説明する。なお、以下の説明において参照する各図では、他の図と同等部分は同一符号によって示されている。

第1図は本発明に係るインクジェット式記録装置の全体構成を示すブロック構成図である。インクジェット式記録装置1は、記録装置本体側に設けられた装置

本体制御部 2 と、インクカートリッジ装着部を備えたキャリッジに設けられたメモリアクセス制御部 3 と、ブラック用インクカートリッジに設けられた不揮発性メモリ 4 と、カラー用インクカートリッジに設けられた不揮発性メモリ 5 と、図示しない記録制御機構（用紙送り、キャリッジ移動、インク吐出等の制御機構）
5 とからなる。各不揮発性メモリ 4, 5 は、例えばEEPROM等の電気的に書き込み・読み出しが可能なものを用いている。第1図には2個の不揮発性メモリ 4, 5 を備えた構成が示されているが、不揮発性メモリの個数は何個であっても構わない。

装置本体制御部 2 は、インクジェット式記録装置 1 の全体動作を制御するもの
10 で、マイクロコンピュータシステムを利用して構成している。装置本体制御部 2 とメモリアクセス制御部 3との間は、シリアルデータ通信によって各種命令ならびにデータの送受を行なう構成としている。各不揮発性メモリ 4, 5 は、データの書き込みならびに読み出しをビットシリアルに行なういわゆるビットシーケンシャルアクセス型のものを用いている。

15 メモリアクセス制御部 3 は、装置本体制御部 2 とシリアルデータ通信を行なうシリアルデータ通信手段 3 a と、装置本体側制御部 2 から供給された命令を実行する命令実行手段 3 b と、各記不揮発性メモリ 4, 5 に対してデータの書き込みならびに読み出しを行なう不揮発性メモリ書き込み読み出し制御手段 3 c と、不揮発性メモリから読み出されたデータを一時記憶するための一時記憶手段 (RAM)
20 A) 3 d と、不揮発性メモリへの電源供給を制御する電源供給制御手段 3 e とを備える。

装置本体制御部 2 は、不揮発性メモリ 4, 5 のデータを読み出し命令（コマンド）を発行することで、不揮発性メモリ書き込み読み出し制御手段 3 c によって不揮発性メモリ 4, 5 に格納されている各種データを読み出させる。各不揮発性メモリ 4, 5 から読み出された各種データは、一時記憶手段 (RAM) 3 d に格納される。装置本体制御部 2 は、一時記憶手段 (RAM) 3 d に対する読み出し命令（コマンド）を発行することで各種データを読み出す。装置本体制御部 2 は、一時記憶手段 (RAM) 3 d に対する書き込み命令を発行することで各種データの書き込みを行なう。装置本体制御部 2 は、メモリアクセス制御部 3 に不揮発

性メモリ4，5への書き込み命令を発行することで、一時記憶手段（RAM）3dに格納されているデータを各不揮発性メモリ4，5に記憶させる。

このように本発明に係るインクジェット式記録装置1は、装置本体制御部2と各不揮発性メモリ4，5との間にメモリアクセス制御部3を設け、メモリアクセス制御部3によって各不揮発性メモリ4，5に対する書き込みならびに読み出しを行なう構成としているので、不揮発性メモリ4，5の各端子に直接アクセスする必要がなく、装置本体制御部2とメモリアクセス制御部3との間でデータ通信を行なうための信号線を設ければよい。よって、装置本体制御部2とメモリアクセス制御部3との間を大幅に減少させることができる。

10 さらに、装置本体制御部2が各不揮発性メモリ4，5を直接アクセスする必要がないので、装置本体制御部2の処理を軽減することができる。さらに、メモリアクセス制御部3は各不揮発性メモリ4，5に格納されているデータを読み出して一時記憶手段（RAM）3dに格納している。そして、装置本体制御部2側からの読み出し要求に対してRAMに格納しているデータを読み出して回答するの

15 で、読み出し要求に対する回答を高速に行なうことができる。

また、メモリアクセス制御部3内に電源供給制御手段3eを設けているので、不揮発性メモリ4，5に対してアクセスする際にだけ、不揮発性メモリ4，5へ電源を供給させることができる。これにより、不要な電力消費をなくすとともに、不揮発性メモリ4，5へアクセスしていない状態でノイズ等によって不揮発性

20 メモリ4，5の格納データが書き換えられることを防止できる。

以下、本発明に係るインクジェット式記録装置1の構成を第2図～第22図を参照に詳細に説明する。

第2図は不揮発性メモリの一具体例を示すブロック構成図である。不揮発性メモリ4，5は、メモリセル41と、リード／ライト制御部42と、アドレスカウンタ43とを備える。チップセレクト信号CSがLレベルである場合、アドレスカウンタ43はリセット状態となり、アドレスカウンタ43のカウント値は0となる。チップセレクト信号CSがHレベルである場合、アドレスカウンタ43はクロック信号CKに基づいてアップカウント動作を行なう。したがって、チップセレクト信号CSをHレベルに変化させた時点でアドレス0が設定され、クロッ

ク信号CKを供給するたびにアドレスを歩進させることができる。

この場合、クロック信号CKのパルス幅（Lレベルのパルス幅）を2種類用意しておき、それら2種類のパルス幅のクロック信号を選択して用いても良い。この選択は、後述する書き込み時間を選択するための入力端子ESによって行う。

- 5 例えば、3.0msのパルス幅のクロック信号と、3.5msのパルス幅のクロック信号とを用意しておく。そして、不揮発性メモリ4, 5として使用するEEPROMのスペック（電気的特性）に応じて、これら2種類のクロック信号を適切に選択して不揮発性メモリ4, 5に供給すればよい。ただし、不揮発性メモリ4, 5の動作中においては、いずれか一方のクロック信号を固定的に用いるもの
10 とし、動作中にクロック信号の切り替えを行わないものとする。読み出しについては、クロック信号は一種類としても良いが、書き込みと同様に読み出し時間を選択するための入力端子を設け、この端子の選択により読み出しのためのクロック信号をたとえば2種類用意しておきそのいずれかを選択しても良い。以上のように、クロック信号を選択することにより、不揮発性メモリ4, 5の読み出し時間、書き込み時間を適切に設定することができる。
15

リード／ライト制御部42は、リード／ライト信号WRがLレベルである場合は、アドレスカウンタ43によって指定されたアドレスのメモリセル41に記憶されているデータ（1ビット）を読み出し、読み出したデータをデータ入出力端子IOに出力する。リード／ライト制御部42は、リード／ライト信号WRがHレベルである場合は、データ入出力端子IOに供給されたデータ（1ビット）をアドレスカウンタ43によって指定されたアドレスのメモリセル41に書き込む。

第3図は不揮発性メモリの格納情報を示す説明図である。本実施形態において、各不揮発性メモリ4, 5は、256ビットの記憶容量を有するものを用いている。そして、各不揮発性メモリ4, 5にそれぞれ35項目の情報を格納している。

各情報項目のビット長は可変長である。そして、不揮発性メモリ4, 5には、可変長のデータがビットシリアルに格納される。これにより、限られた記憶容量内に多数の情報を格納できるようにしている。

第3図に示されている番号1～9（情報番号0～8、情報番号35～43）の範囲に、インク残量に係るデータやインクカートリッジの使用開始年、月等のデータ、すなわちユーザ側でインクカートリッジを使用したことに伴った更新する必要のあるデータを格納するようにしている。これにより、インクカートリッジが実際に使用される状況では、不揮発性メモリ4、5の若番側アドレスに対してのみデータの書き込み（更新）を行なえばよいようにしている。したがって、インクジェット式記録装置1の使用が終了してインクジェット式記録装置1の電源をオフする際には、第3図に示されている番号1～9（情報番号0～8、情報番号35～43）の範囲のデータを各不揮発性メモリ4、5に書き込むだけでよい
5。
10。

ブラック用インクカートリッジに設けられた不揮発性メモリ4には、黒インク残量データ、使用開始年、月等のデータが格納されている。カラー用インクカートリッジに設けられた不揮発性メモリ5には、各インク色毎の残量データ、使用開始年、月等のデータが格納されている。

15 第3図に示されている番号10～35（情報番号9～34、情報番号44～69）の範囲には、ユーザ側でデータを更新する必要のない各種のデータが格納されている。

具体的には、インクカートリッジのバージョンデータ、インクの種類データ、製造年データ、製造月データ、製造日データ、インクカートリッジのシリアルナン
20 バーデータ、製造場所等に係るデータ、カートリッジのリサイクルに関するデータ等である。

第4図はブラック用インクカートリッジに設けられた不揮発性メモリに格納される情報の一例を示す説明図である。第4図において、符号410は書き換えデータが格納される第1の記憶領域、符号420は読み出し専用データが格納される第2の記憶領域である。第1の記憶領域410は、不揮発性メモリ4へのアクセス時に第2の記憶領域420よりも先にアクセスされるアドレスに配置している。

第1の記憶領域410に記憶される書き換えデータは、アクセスされる順からいえば、各記憶領域411、412に対してそれぞれ割り当てられた第1の黒イ

5 インク残量データおよび第2の黒インク残量データである。黒インク残量データが
2つの記憶領域411、412に割り当てられているのは、これらの領域に対して
交互に書き換えを行なうためである。したがって、最後に書き換えられた黒イ
ンク残量データが記憶領域411に記憶されているデータであれば、記憶領域4
12に記憶されている黒インク残量データはその1回前のデータであり、次回の
書き換えはこの記憶領域412に対して行なわれる。

10 第2の記憶領域420に記憶される読み出し専用データは、アクセスされる順
からいえば、各記憶領域421～430に対して割り当てられたインクカートリッジの開封時期データ（年）、インクカートリッジの開封時期データ（月）、イン
クカートリッジのバージョンデータ、顔料系または染料系などといったインクの
種類データ、インクカートリッジの製造年データ、インクカートリッジの製造月
データ、インクカートリッジの製造日データ、インクカートリッジの製造ライン
データ、インクカートリッジのシリアルナンバーデータ、インクカートリッジが
新品であるかリサイクル品であるかを示すリサイクル有無データである。

15 第5図はカラー用インクカートリッジに設けられた不揮発性メモリに格納され
る情報の一例を示す説明図である。第5図において、符号510は書き換えデータ
が格納される第1の記憶領域、符号550は読み出し専用データが格納される
第2の記憶領域である。第1の記憶領域510は、不揮発性メモリ5へのアクセ
ス時に第2の記憶領域550よりも先にアクセスされるアドレスに配置している
20 。

25 第1の記憶領域510に記憶される書き換えデータは、アクセスされる順から
いえば、各記憶領域511～520に対してそれぞれ割り当てられた第1のシアン
インク残量データ、第2のシアンインク残量データ、第1のマゼンタインク残
量データ、第2のマゼンタインク残量データ、第1のイエローインク残量データ
、第2のイエローインク残量データ、第1のライトシアンインク残量データ、第
2のライトシアンインク残量データ、第1のライトマゼンタインク残量データ、
第2のライトマゼンタインク残量データである。各色のインク残量データが2つ
の記憶領域に割り当てられているのは、黒用のインクカートリッジと同様に、こ
れらの領域に対して交互にデータの書き換えを行なうためである。

第2の記憶領域550に記憶される読み出し専用データは、アクセスされる順からいえば、各記憶領域551～560に対して割り当てられたインクカートリッジの開封時期データ（年）、インクカートリッジの開封時期データ（月）、インクカートリッジのバージョンデータ、顔料系または染料系などといったインクの種類データ、インクカートリッジの製造年データ、インクカートリッジの製造月データ、インクカートリッジの製造日データ、インクカートリッジの製造ラインデータ、インクカートリッジのシリアルナンバーデータ、インクカートリッジが新品であるかリサイクル品であるかを示すリサイクル有無データである。これらのデータは、色にかかわらず共通であるため、各色間で共通のデータとして1種類のみ記憶される。

第6図はメモリアクセス制御部の一具体例を示すブロック構成図である。メモリアクセス制御部3は、シリアルデータ通信部11と、受信制御部12と、送信制御部13と、命令実行部14と、モードレジスタ15と、制御レジスタ群16と、第1のRAM17と、第2のRAM18と、不揮発性メモリ書き込み読み出し制御部19と、出力制御部20と、有効ビット長データテーブル21と、クロック生成部22と、発振回路部23と、リセット回路部24と、テスト用制御部25、情報ーアドレス対応テーブル26とからなる。

シリアルデータ通信部11と受信制御部12と送信制御部13とで第1図に示されているシリアルデータ通信手段3aを構成している。命令実行部14とモードレジスタ15と制御レジスタ群16と有効ビット長データテーブル21で第1図に示されている命令実行手段3bを構成している。不揮発性メモリ書き込み読み出し制御部19と有効ビット長データテーブル21と情報ーアドレス対応テーブル26とで第1図に示されている不揮発性メモリ書き込み読み出し手段3cを構成している。第1のRAM17と第2のRAM18とで第1図に示されている一時記憶手段（RAM）3dを構成している。出力制御部20によって第1図に示されている電源供給制御手段3eを構成している。

クロック生成部22は、発振回路部23の発振出力を分周し、クロックTCLKとして出力する。先に述べたように、クロック生成部22の入力端子ESに与える信号によって分周比を選択すれば、2種類のパルス幅を有するクロックTC

L Kを生成できる。これによって、メモリ4，5に対する読み出し、書き込みの時間を、そのデバイスの性能に合わせて適切に設定することができる。

本実施の形態において、メモリアクセス制御部3はCMOSゲートアレーを用いて1チップの集積回路（半導体装置）として実現している。なお、メモリアクセス制御部3は、シリアル通信機能を内蔵した1チップマイクロコンピュータを利用して、プログラム制御によって構成するようにしてもよい。

第7図はメモリアクセス制御部用集積回路の端子名（信号名）と機能を示す説明図である。RXDは装置本体制御部2から供給されるシリアルデータ信号の入力端子である。SELは装置本体制御部2から供給される命令モード指定信号（コマンド選択信号）の入力端子である。TXDは装置本体制御部2へ供給するシリアルデータ信号の出力端子である。CS1は第1の不揮発性メモリの選択信号（チップイネーブル信号）の出力端子、CS2は第2の不揮発性メモリの選択信号（チップイネーブル信号）の出力端子である。IO1は第1の不揮発性メモリのデータ入出力端子、IO2は第2の不揮発性メモリのデータ入出力端子である。

15

RW1は第1の不揮発性メモリの読み出し／書き込み信号の出力端子、RW2は第2の不揮発性メモリの読み出し／書き込み信号の出力端子である。CK1は第1の不揮発性メモリに対するクロック信号の出力端子、CK2は第2の不揮発性メモリに対するクロック信号の出力端子である。PW1は第1の不揮発性メモリに対する電源供給端子、PW2は第2の不揮発性メモリに対する電源供給端子である。OSC1, OSC2はセラミック発振子、水晶振動子等の接続端子である。RSTはイニシャルリセット信号の入力端子である。ESは不揮発性メモリの書き込み時間を選択するための入力端子である。M1～M4はモニタ出力を選択するためのテスト用信号の入力端子である。VCC1は+5ボルトの電源端子、VCC2は+3.3ボルトの電源端子、VSSはグランド（GND）端子である。

20

25

第7図において、入出力の欄に示されている記号の意味は次のとおりである。

INは入力、OUTは出力、Triはトライステート側の出力である。初期値の欄は、このメモリアクセス制御部集積回路がイニシャルリセットされた状態おけ

る論理レベルを示している。また、初期値欄の括弧内は、後述する不揮発性メモリアクセス許可設定レジスタにアクセス許可の設定がなされ、不揮発性メモリに対する各出力がアクティブ状態にされた直後の各出力端子のレベルを示している。なお、Hはハイレベル、Lはローレベル、H i Zは高インピーダンス状態の略

5 である。

第6図に示されているメモリアクセス制御部3と装置本体制御部2（第1図参照）との間は3本の信号線で接続される。符号RXDは受信データ（装置本体制御部2側から送信されたデータ）、符号TXDは送信データ（装置本体制御部2側が受信するデータ）、符号SELは装置本体制御部2側が送出した命令が固定長命令であるか可変長命令であるかを示す命令モード指定信号である。この命令モード指定信号SELがLレベルの場合は8ビット固定長命令を、Hレベルの場合は可変長命令を示している。

シリアルデータ通信の方式は、UART（ユニバーサル・シンクロナス・リシーバ・トランスマッタ）方式を用いている。データ長は8ビット、スタートビット長は1ビット、トップビット長は1ビット、パリティビットは無しである。データの転送順は、LSB（最下位ビット）からMSB（最上位ビット）の順である。ボーレートは125kbpsである。

シリアルデータ通信部11内の受信部11aは、クロック生成部22から供給される周波数2MHzのクロックTCLKに基づいて、0.5マイクロ秒の周期で受信データRXDの論理レベルを監視している。これにより1ビットのデータに対して16回のレベル検出を行なうようにしている。受信部11aは、受信データRXDの論理レベルがHレベルからLレベルに変化したことに基づいてスタートビットを認識すると、そのスタートビット認識時点から8番目のクロックTCLKを起点にして以降16クロック周期で受信データRXDの論理レベルのサンプリングを繰り返す。これにより、各ビットのほぼ中央で受信データRXDの論理レベルをサンプリングするようにしている。

受信部11aは、スタートビットを認識をした後に、次のクロックで受信データRXDの論理レベルがHレベルに戻っていた場合には、先に検出されたLレベルをノイズとみなして、スタートビットの検出動作を再開する。また、受信部1

1 aは、スタートビット認識時点から8番目のクロックT C L Kでサンプリングされたスタートビットの論理レベルがLレベルでなかった場合には、それ以降のデータサンプリングを中止して、スタートビットの検出動作を再開する。さらに、受信部1 1 aは、ストップビットのサンプリングレベルがHレベルでなかった
5 場合には、それまでサンプリングしたデータを全て無効にする。これにより、送信側と受信側とでボーレートが相違している等の原因で正常でないデータを受信することがないようにしている。受信部1 1 aはスタートビット、8ビットのデータ、ストップビットを全て正常に受信すると、受信したシリアル8ビットのデータをパラレルデータへ変換し、パラレル受信データR Dとして受信制御部1 2
10 へ出力する。

シリアルデータ通信部1 1内の送信部1 1 bは、送信制御部1 3から供給されるパラレル送信データT Dをシリアルデータに変換するとともに、スタートビット、ストップビットを付加して送信データT X Dを生成し、生成した送信データT X Dを所定のボーレートで送出する。

15 第8図は装置本体制御部から供給される各種の命令の説明図である。第8図(A)は命令モード指定信号S E LがLレベルのときに装置本体制御部から供給される8ビット固定長の命令を示している。8ビット固定長の命令として、パワーオフ処理、初期化、モード設定の3種類の命令を用いている。パワーオフ処理命令は、インクジェット式記録装置1の電源オフに際して、各R A M 1 7, 1 8に格納している各種データを各不揮発性メモリ4, 5へ書き込むことと、書き込み終了後に不揮発性メモリ4, 5に対する全出力を電源投入直後のリセット状態に初期化することを要求するものである。初期化命令は、メモリアクセス制御部3内の全回路を電源投入直後のリセット状態に初期化することを要求する命令である。

20 25 モード設定命令は、命令モード指定信号S E LがHレベルとなった際の動作モードを設定する命令である。モード設定命令は下位4ビットで動作モードが指定される。例えば、下位4ビットが0 0 1 0である場合には動作モード2の設定が要求されていることになる。

装置本体制御部2は、4ビットのモード情報をを利用して、モード0からモード

- 15にわたる複数の動作モードを管理できるようにしている。例えば、モード0で記録装置の全体動作を共通に制御し、モード1で印刷データの制御を行なうようしている。モード2でメモリアクセス制御部を介して各不揮発性メモリに対するアクセスを行なえるようにしている。モード3ではヘッドセンサ系の制御を行なうようしている。そして、装置本体制御部2側から送信されたデータが複数の制御部（例えば、インク吐出制御部、キャリッジ移動制御部、用紙送り制御部等）に供給された場合であっても、動作モードを指定することで動作モードに合致する制御部のみが装置本体制御部2側から送信されたデータに基づいて動作を行なうようにしている。
- 10 本実施形態において、メモリアクセス制御部3は2個の不揮発性メモリ4, 5へのアクセスを行なう構成としている。したがって、メモリアクセス制御部3を複数個設け、それぞれのメモリアクセス制御部3に異なる動作モードを割り当てることで、多数の不揮発性メモリに対してアクセスを行なうことが可能となる。例えば、シアン、ライトシアン、マゼンタ、ライトマゼンタ、イエロー、ブラック等の各インク色毎に独立したカートリッジとし、各カートリッジ毎に不揮発性メモリを備える構成とした場合でも、メモリアクセス制御部3を例えば3個用いることで、例えば6個の不揮発性メモリに対してアクセスを行なうことができる。このように動作モードを利用することで記録装置の構成を拡張することが容易となる。
- 20 第8図（B）は命令モード指定信号SELがHレベルのときに装置本体制御部から供給される可変長の命令を示している。可変長の命令は、複数バイトで構成している。最初のバイトは、上位4ビットが動作モードを指定するデータ、下位4ビットがこの命令のバイト長を指定するデータである。メモリアクセス制御部3に対する命令では、動作モードとしてモード2（0010）が原則として指定されことになる。下位4ビットのバイト長は、第2バイト目以降のバイト長を表すデータである（最初のバイトを除いて後続するバイト長を表すデータである）。
- 25 第2バイト目は、上位4ビットがコマンドを指定するデータ、下位4ビットがデータ長を指定するデータである。第2バイト目の上位4ビットが0000でデ

ータの読み出しを要求するコマンドを、1000でデータの書き込みを要求するコマンドを表す。第2バイト目の下位4ビットは、データの書き込みを要求するコマンドの際には、アドレスデータに後続して供給される書き込みデータのバイト長を指定するデータであり、データの読み出しを要求するコマンドの際には、
5 読み出すデータのバイト長を指定するデータである。本実施の形態では、1回の書き込み要求命令で最大4バイトのデータを供給できるようにしている。

第3バイト目ならびに第4バイト目は、読み出しまだ書き込みを要求するアドレスを指定するデータである。ここでは、第3バイト目でアドレスの下位8ビットを、第4バイト目でアドレスの上位8ビットを指定する例が示されている。
10 これにより、最大16ビットの広いアドレス範囲を指定できるようにしている。なお、本実施の形態ではデータの読み書きの対象となるアドレス範囲は8ビットのアドレスで指定可能であるため、アドレスデータの下位8ビットのみを使用するようにしている。ここで指定されるアドレスは、RAMならびに制御レジスタのアドレスである（不揮発性メモリのアドレスを指定するものではない）。
15 第5バイト目以降は書き込みデータを指定するためのものである。第5バイト目で指定されたデータはアドレスデータによって指定されたアドレスへ書き込まれることになり、第6バイト目以降の各データはアドレスデータによって指定されたアドレスを+1ずつしたアドレスにそれぞれ書き込まれることになる。

メモリアクセス制御部3のコマンドには大きく分けてレベル0とレベル1との
20 2通りがある。このコマンドのレベルの選択は、受信データRXDと共に送られてくる命令モード指定信号SELによって行われる。例えば、命令モード指定信号SELがローのときレベル0、ハイのときレベル1とする。レベル0は、1バイトのコマンドである。このコマンドを受けると無条件で即実行されるものとする。このレベル0のコマンドには、初期化コマンド、パワーオフコマンド(NM
25 I)、モード設定コマンドがある。

一方、レベル1のコマンドは、4バイトから8バイトのコマンドであり、これを必要バイト数受けると、レベル0のモード設定コマンドによって設定されたモードレジスタの状態が“2”になっている場合に限り、コマンドが実行されるものとする。モードレジスタの状態が“2”以外の場合は無視される。レベル1の

コマンドの内容は、不揮発性メモリ4、5の制御用レジスタに対する読み出し／書き込み命令や、内部メモリに対する読み出し／書き込み命令である。

なお、命令モード指定信号SELは、1つのコマンドの転送期間中においては、一定レベルのままであるものとする。

5 第9図は受信制御部のブロック構成図である。受信制御部12は、シリアルデータ通信部11から供給されるパラレル8ビットの受信データRDをラッチするデータラッチ回路12a～12hを8組備えるとともに、命令モード指定信号SELならびに受信データRDに基づいて受信データRDのデータラッチ回路への書き込みならびに命令実行部への転送を制御する転送制御部12iを備える。

10 転送制御部12iは、命令モード指定信号SELがLレベルである場合（8ビット固定長命令である場合）には、シリアルデータ通信部11から供給された受信データRDを命令実行部14へ供給する。

15 転送制御部12iは、命令モード指定信号SELがHレベルである場合（可変長命令である場合）には、シリアルデータ通信部11から供給された受信データRDを第1のデータラッチ回路12aに格納する。そして、転送制御部12iは、第1のデータラッチ回路12aの格納したデータの下位4ビットに基づいて可変長命令の命令長を認識する。転送制御部12iは、シリアルデータ通信部11から順次供給される受信データを第2～第8のデータラッチ回路12a～12hへ順次格納する。転送制御部12iは、命令長によって指定されたバイト分の受信データが各データラッチ回路に格納されたことを検出すると、各データラッチ回路に格納された一連のデータを命令実行部14へ転送した後に、各データラッチ回路を初期化して、次の可変長命令の格納に備える。

20 転送制御部12iは、命令長によって指定されるバイト数のデータが受信されるまで、次の受信データが供給されるのを待つ。転送制御部12iは、命令長によって指定されるバイト数のデータが全て受信される前に、命令モード指定信号SELがLレベルになった場合には、各データラッチ回路に格納済のデータを全て初期化して、次の命令の受信に備える。これにより、装置本体制御部2は、可変長命令の送出途中であっても命令モード指定信号SELをLレベルに変化させることで、送出途中の可変長命令をキャンセルさせることができる。

第10図は命令モード指定信号の切り替えタイミングを示す説明図である。第10図(A)は受信データRXDを、第10図(B)は命令モード指定信号SELを示している。装置本体制御部2は、ストップビットと次のスタートビットとの間で命令モード指定信号SELの論理レベルを切り替える。

- 5 第9図に示されている転送制御部12iは、命令長によって指定されるバイト数とデータ長によって指定されるバイト数とが整合していない場合には、命令長による指定を優先する。例えば、命令長によって5バイト分のデータが連続することが指定されているのに対して、データ長によってデータのバイト数が4バイトであると指定されている場合には、2バイト分のデータを第5、第6のデータ
10 ラッチ回路12e、12fへそれぞれ格納した時点で、一連の可変長命令の受信が完了したものと判断し、各データラッチ回路の格納したデータを命令実行部14へ転送して、次の命令の格納に備える。

転送制御部12iは、後述するモードレジスタが動作モード2に設定されている場合には、モードレジスタに設定されている動作モード2の指定を優先し、シリアルデータ通信部11を介して供給された動作モード(第1のデータラッチ回路12aに格納された受信データの上位4ビットでの指定)が動作モード2以外の動作モードを指定している場合でも、動作モード2のコマンドとして(言い換えれば、メモリアクセス制御部に対するコマンドとして)受け付ける。

本実施形態では、データ長として1バイト、2バイト、4バイトの3種類を設定できるものとし、データ長を4ビットのデータで指定するようにしている。このため、上記3種類以外のデータ長を指定するデータを受信した場合には、データ長の指定は4バイトであるものとして処理するようにしている。具体的には、転送制御部12iは、データ長として3バイトまたは5~15バイトが指定されたデータが供給された場合、データ長は4バイトであるものと判断する。

25 また、本実施形態において、各RAM17、18ならびに制御レジスタ16の各アドレスは8ビットで指定できる。このため、第3のデータラッチ回路12cに格納された下位アドレスのみでアドレスの指定が可能である。したがって、第4のデータラッチ回路12dに格納した上位アドレスのデータを命令実行部14へ転送しない構成としてもよい。また、第4のデータラッチ回路12dを設けな

い構成としてもよい。この場合、転送制御部 12 i は、シリアルデータ通信部 1 1 から供給される上位アドレスの受信データを破棄し、上位アドレスに続いて供給されるデータを第 5 のデータラッチ回路 12 e へ格納する。

第 6 図に示されている命令実行部 14 は、受信制御部 12 から受信した命令が供給されると、その命令を解釈して実行する。命令実行部 14 は、モードセット命令が供給された場合には、モードレジスタ 15 にそのモードセット命令によって指定された動作モードのデータを書き込む。ここでは、モードレジスタ 15 にメモリアクセス制御動作モードを示す 4 ビットのデータ 0010 が書き込まれる。モードレジスタ 15 に設定された動作モード MD は、受信制御部 12 へ供給される。

命令実行部 14 は、初期化命令が供給された場合には、リセット信号発生要求をリセット回路部 23 へ供給して、リセット信号 RS を発生させる。これにより、メモリアクセス制御部 3 内の各回路部の初期化（リセット）がなされる。

命令実行部 14 は、受信制御部 12 から可変長命令が転送された場合には、その可変長命令の内容を解釈して、制御レジスタ群 16, 第 1 の RAM 17, 第 2 の RAM 18 に対する書き込み・読み出し等の処理を行なう。

第 11 図は可変長命令の仕様ならびにそれに対する回答の仕様を示す説明図である。第 11 図においては、区分 (a) に可変長命令（要求）の仕様が示されている。可変長命令には、読み出し命令（READ）と書き込み命令（WRITE）とがある。モードには、動作モード 2 を指定する 4 ビット値（0010）が設定される。命令長には、命令のバイト長が 4 ビットで指定される。コマンドの 4 ビット値が 0000 で読み出し命令を、1000 で書き込み命令を示す。データ長は、読み出しありは書き込みを行なうデータのバイト数を指定する。このデータ長は、1 バイト, 2 バイト, 4 バイトが設定できる。0, 3, 5~15 バイトの設定は禁止している。アドレスは 16 ビットであり、第 8 図に示されているように、下位 8 ビットと上位 8 ビットとに分けて指定される。本実施の形態では、下位 8 ビットのみを使用する。書き込み命令（WRITE）の場合、書き込むべきデータを 8 ビット（バイト）単位で設定する。

第 11 図中の区分 (b) には、読み出し命令に対する回答の仕様が示されてい

る。モードには、動作モード2を指定する4ビット値（0010）が設定される。データ長は、読み出し命令に基づいて回答するデータのバイト数を指定する。このデータ長は、1バイト、2バイト、4バイトが設定できる。0, 3, 5~15バイトの設定は禁止している。データには、回答するデータを8ビット（バイト）単位で設定する。

第12図は制御レジスタ群の内容と機能を示す説明図である。制御レジスタ群16は複数のレジスタを備える。制御レジスタ群16には、16進表記で80~92のアドレスを割り当てている。

アドレス80（16進表記）は不揮発性メモリアクセス許可設定レジスタであり、設定されるデータは2ビットである。各不揮発性メモリ毎（各カートリッジ毎）に1ビットを割り当てている。下位ビットで第1の不揮発性メモリに対してアクセスを許可するか否かを設定し、上位ビットで第2の不揮発性メモリに対してアクセスを許可するか否かを設定している。ビットの値が0の時は不揮発性メモリに対するアクセスが禁止される。この場合、出力制御部20によって各端子は次のように設定される。電源供給端子PW1, PW2は不揮発性メモリに対して電源を供給しないオフ状態、チップセレクト信号出力端子CS1, CS2、クロック供給端子CK1, CK2、リード／ライト信号出力端子RW1, RW2、データ入出力端子IO1, IO2は全て高インピーダンス状態。ビットの値が1に設定された場合、出力制御部20によって電源供給端子PW1, PW2は不揮発性メモリに対して電源を供給するオン状態に設定される。チップセレクト信号出力端子CS1, CS2、クロック供給端子CK1, CK2、リード／ライト信号出力端子RW1, RW2、データ入出力端子IO1, IO2は、不揮発性メモリ書き込み読み出し制御部19によって制御可能な状態（アクティブ状態）となる。

アドレス84（16進表記）は不揮発性メモリ読み出し許可設定レジスタであり、設定されるデータは2ビットである。各不揮発性メモリ毎（各カートリッジ毎）に1ビットを割り当てている。下位ビットで第1の不揮発性メモリに対して読み出しを許可するか否かを設定し、上位ビットで第2の不揮発性メモリに対して読み出しを許可するか否かを設定する。ビットの値が0で読み出し不許可、ビ

ットの値が 1 で読み出し許可としている。

アドレス 85 (16進表記) は不揮発性メモリ全エリア読み出し設定レジスタである。この不揮発性メモリ全エリア読み出し設定レジスタに対して任意のデータを書き込むことで（装置本体制御部 2 側から不揮発性メモリ全エリア読み出し設定レジスタのアドレスを指定した書き込み命令を発行することで）、不揮発性メモリ書き込み読み出し制御部 19 を介して不揮発性メモリに格納されている全データを読み出すことができる。但し、事前に不揮発性メモリへのアクセスが許可される設定がされており、かつ、読み出しが許可される設定がされている必要がある。

アドレス 86 (16進表記) は、全エリア読み出し中であることを示す全エリア読み出しビギーフラグが格納される領域である。不揮発性メモリ書き込み読み出し制御部 19 は、全エリア読み出し動作の開始に先立って全エリア読み出しビギーフラグを 1 にセットし、全エリア読み出し動作が終了した時点で全エリア読み出しビギーフラグを 0 にセットする。

アドレス 88 (16進表記) は、不揮発性メモリ全エリア書き込み許可設定レジスタであり、設定されるデータは 2 ビットである。各不揮発性メモリ毎（各カートリッジ毎）に 1 ビットを割り当てている。下位ビットで第 1 の不揮発性メモリに対して全エリア書き込みを許可するか否かを設定し、上位ビットで第 2 の不揮発性メモリに対して全エリア書き込みを許可するか否かを設定する。ビットの値が 0 で書き込み不許可、ビットの値が 1 で書き込み許可としている。

アドレス 89 (16進表記) は、不揮発性メモリ全エリア書き込み設定レジスタである。この不揮発性メモリ全エリア書き込み設定レジスタに任意のデータを書き込むことで、（不揮発性メモリ全エリア書き込み設定レジスタに対する書き込み動作がなされることで）、不揮発性メモリ書き込み読み出し制御部 19 を介して不揮発性メモリの全エリアにデータを書き込むことができる。但し、事前に不揮発性メモリへのアクセスが許可される設定がされており、かつ、全エリア書き込みを許可する設定がなされている必要がある。

アドレス 8A (16進表記) は、全エリア書き込み中であることを示す全エリア書き込みビギーフラグが格納される領域である。不揮発性メモリ書き込み読み

出し制御部 19 は、全エリア書き込み動作の開始に先立って全エリア書き込みビジーフラグを 1 にセットし、全エリア書き込み動作が終了した時点で全エリア書き込みビジーフラグを 0 にセットする。

アドレス 8 C (16 進表記) は、不揮発性メモリ限定書き込み許可設定レジスタであり、設定されるデータは 2 ビットである。各不揮発性メモリ毎（各カートリッジ毎）に 1 ビットを割り当てている。下位ビットで第 1 の不揮発性メモリに対して限定書き込みを許可するか否かを設定し、上位ビットで第 2 の不揮発性メモリに対して限定書き込みを許可するか否かを設定する。ビットの値が 0 で限定書き込み不許可、ビットの値が 1 で限定書き込み許可としている。

アドレス 8 D (16 進表記) は、不揮発性メモリ限定書き込み設定レジスタである。この不揮発性メモリ限定書き込み設定レジスタに任意のデータを書き込むことで、（不揮発性メモリ限定書き込み設定レジスタに対する書き込み動作がなされることで）、不揮発性メモリ書き込み読み出し制御部 19 を介して不揮発性メモリの限定されたエリアにデータを書き込むことができる。但し、事前に不揮発性メモリへのアクセスが許可される設定がされており、かつ、限定書き込みを許可する設定がなされている必要がある。

アドレス 8 E (16 進表記) は、限定書き込み中であることを示す限定書き込みビジーフラグが格納される領域である。不揮発性メモリ書き込み読み出し制御部 19 は、限定書き込み動作の開始に先立って限定書き込みビジーフラグを 1 にセットし、限定書き込み動作が終了した時点で限定書き込みビジーフラグを 0 にセットする。

アドレス 9 0 (16 進表記) は、パワーオフ書き込み許可設定レジスタであり、設定されるデータは 2 ビットである。各不揮発性メモリ毎（各カートリッジ毎）に 1 ビットを割り当てている。下位ビットで第 1 の不揮発性メモリに対してパワーオフ書き込みを許可するか否かを設定し、上位ビットで第 2 の不揮発性メモリに対してパワーオフ書き込みを許可するか否かを設定する。ビットの値が 0 でパワーオフ書き込み不許可、ビットの値が 1 でパワーオフ書き込み許可としている。

アドレス 9 2 (16 進表記) は、パワーオフ書き込み中であることを示すパワ

一オフ書き込みビジーフラグが格納される領域である。不揮発性メモリ書き込み読み出し制御部 19 は、パワーオフ書き込み動作の開始に先立ってパワーオフ書き込みビジーフラグを 1 にセットし、パワーオフ書き込み動作が終了した時点でパワーオフ書き込みビジーフラグを 0 にセットする。また、不揮発性メモリ書き込み読み出し制御部 19 は、パワーオフ書き込み動作が終了した時点で不揮発性メモリアクセス許可設定レジスタの内容を初期値（全ビット 0）に設定する。

なお、パワーオフ書き込みは、第 8 図 (A) に示されているパワーオフ処理命令に基づいて実行される。このパワーオフ書き込みでは、不揮発性メモリの先頭アドレスから予め設定した所定アドレスまでの限定されたアドレス範囲に亘ってデータの書き込みがなされる。

前述したように、不揮発性メモリの先頭アドレスから予め設定した所定アドレスまでの範囲に、例えばインク残量に係るデータ等の記録装置の使用状況に伴って更新する必要があるデータを格納するようにしている。また、所定アドレス以降にインクカートリッジの製造条件データ等のユーザ側で更新する必要がないデータを格納するようにしている。したがって、記録装置がユーザ側で使用されている場合には、不揮発性メモリの限定されたアドレス範囲に亘ってデータの更新がなされることになる。

第 13 図は RAM の格納情報を示す説明図である。各 RAM 17, 18 は 8 ビット × 40 ワード構成のものを用いている。本実施の形態では、第 1 の RAM 17 に 16 進表記で 00～27 のアドレスを割り当て、第 2 の RAM 18 に 16 進表記で 40～67 のアドレスを割り当てている。

第 1 の RAM 17 は、ブラック用インクカートリッジに設けられた第 1 の不揮発性メモリ 4 に対応して設けられている。第 1 の不揮発性メモリ 4 に格納されている各種の情報（情報 0～情報 34）は、不揮発性メモリ書き込み読み出し部 19 を介して読み出され、第 1 の RAM 17 に格納される。

第 2 の RAM 18 は、カラー用インクカートリッジに設けられた第 2 の不揮発性メモリ 5 に対応して設けられている。第 2 の不揮発性メモリ 5 に格納されている各種の情報（情報 35～情報 69）は、不揮発性メモリ書き込み読み出し部 19 に介して読み出され、第 2 の RAM 18 に格納される。

第 6 図に示されている有効ビット長データテーブル 21 には、不揮発性メモリに格納されている各情報の情報番号とデータビット数との関係が予め登録されている。また、この有効ビット長データテーブル 21 には、制御レジスタ群 16 内の各制御レジスタのアドレスと有効ビット長との対応データが予め登録されている。さらに、この有効ビット長データテーブル 21 には、RAM 17, 18 のアドレスとそのアドレスに格納されるデータの有効ビット長との対応データが予め登録されている。

情報ーアドレス対応テーブル 26 には、各情報の情報番号とその情報が格納される RAM のアドレスとの対応関係が予め登録されている。

不揮発性メモリ書き込み読み出し制御部 19 は、各不揮発性メモリ 4, 5 から読み出したビット単位で可変長のデータを有効ビット長データテーブル 21 を参照することで各情報番号毎に識別する。そして、不揮発性メモリ書き込み読み出し制御部 19 は、情報番号毎に区分したデータのビット数が 8 ビットに満たない場合には、上位ビットに 0 を追加することで 8 ビットのデータとする。また、情報番号毎に区分したデータのビット数が 9 ビット以上である場合には、下位 8 ビットのデータと残りのデータとに区分し、残りのデータのビット数が 8 ビットに満たない場合には上位ビットに 0 を追加することで 8 ビットのデータとする。そして、不揮発性メモリ書き込み読み出し制御部 19 は、情報ーアドレス対応テーブルを参照して、8 ビット単位に揃えた各情報を各 RAM 17, 18 の所定のアドレスに書き込む。

不揮発性メモリ書き込み読み出し制御部 19 は、各 RAM 17, 18 に格納されている情報を各不揮発性メモリ 4, 5 に書き戻す際には、読み出し時と逆の操作を行なうことでビット単位で可変長のシーケンシャルデータを生成する。

出力制御部 20 は、各出力端子 PW, CS, RW, CK を駆動するトライステートバッファ回路と、I/O 端子に接続された双方向バッファ回路と、各トライステートバッファの出力状態を制御する回路と、不揮発性メモリ 4, 5 に対するアクセス状態と後述するテストモードとで各バッファ回路の入力信号を切り替える出力信号切り替え回路等を備える。

電源供給端子 PW1, PW2 を駆動するトライステートバッファ回路は、電流

駆動能力の大きいものを用いて構成している。そして、制御レジスタ群16内のアクセス許可設定レジスタが不揮発性メモリへのアクセスを許可する状態に設定されると、電流駆動能力の大きいトライステートバッファ回路の出力をHレベルに駆動することで、電源供給端子PW1, PW2から不揮発性メモリ4, 5へ電源を供給するようにしている。このように本実施形態では、出力制御部20内に設けた電流駆動能力の大きなトライステートバッファ回路を利用して、第1図に示されている電源供給制御手段3eを構成している。

不揮発性メモリ書き込み読み出し制御部19は、出力制御部20を介して各端子CS, RW, CK, IOを駆動することで、不揮発性メモリ4, 5へアクセスする。不揮発性メモリ4, 5から情報の読み出しを行なう場合、不揮発性メモリ書き込み読み出し制御部19は、チップセレクト端子CSをLレベルからHレベルに変化させることで不揮発性メモリ4, 5を動作可能な状態にし、リード/ライト信号出力端子RWをLレベルに設定することで不揮発性メモリ4, 5を読み出しモードに設定する。そして、不揮発性メモリ4, 5のデータ出力が確定するのに要する時間が経過した後に、データ入出力端子IOの論理レベルを取り込むことで不揮発性メモリ4, 5の先頭アドレスのデータを読み取ると、クロック供給端子CKへ不揮発性メモリのアドレスを歩進させるためのクロックを供給して、不揮発性メモリのアドレスを歩進させて次のアドレスのデータを読み取る。この動作を不揮発性メモリの最終アドレスに至るまで繰り返すことで、不揮発性メモリに格納されているデータを全て読み出す。

不揮発性メモリに対して情報の書き込みを行なう場合、不揮発性メモリ書き込み読み出し制御部19は、チップセレクト端子CSをLレベルからHレベルに変化させることで不揮発性メモリ4, 5を動作可能な状態にし、リード/ライト信号出力端子RWをHレベルに設定することで不揮発性メモリ4, 5を書き込みモードに設定する。そして、データ入出力端子IOに書き込みデータ（HレベルまたはLレベル）を出力させている状態で、クロック端子CKをLレベルからHレベルに変化させる。不揮発性メモリ4, 5は、クロック信号がLレベルからHレベルに変化した時点でデータを取り込んでメモリセルの先頭アドレスに格納する。次に不揮発性メモリ書き込み読み出し制御部19は、クロック端子CKをHレ

ベルからLレベルに変化させることで、不揮発性メモリ4，5内のアドレスを歩進させる。そして、次のアドレスに格納すべきデータを出力させ、クロック端子CKをLレベルからHレベルに変化させることで、次のアドレスへの書き込みを行なう。この動作を所定のアドレスに至るまで繰り返す。

5 なお、不揮発性メモリ書き込み読み出し制御部19は、第1の不揮発性メモリに対して書き込み読み出しを行なう回路部と第2の不揮発性メモリに対して書き込み読み出しを行なう回路部とを備えており、2個の不揮発性メモリから情報を同時に読み出したり、情報を同時に書き戻すことができるようしている。これにより、不揮発性メモリ4，5からの読み出し、ならびに、不揮発性メモリ4，
10 5への書き込みを短時間で行なうことができる。

命令実行部14は、受信制御部12から可変長命令が供給されると、第8図(B)に示されているコマンド(第2バイト目の上位4ビット)に基づいて書き込み要求であるか読み出し要求であるかを認識する。ここでは、4ビットからなるコマンドのデータが0000で読み出し要求、1000で書き込み要求としている。命令実行部14は、コマンドのデータが0000または1000以外である場合には、一連の可変長命令を破棄し、次の命令が転送されるのを待つ。
15

命令実行部14は、書き込み要求コマンドが供給された場合には、下位アドレスで指定されたアドレスに1番目のデータ(可変長命令の第5バイト目で指定されるデータ)を書き込む。2番目のデータが供給されている場合には、下位アドレスで指定されたアドレスに+1したアドレスに2番目のデータ(可変長命令の第6バイト目で指定されるデータ)を書き込む。3番目ならびに4番目のデータが供給されている場合には、下位アドレスで指定されたアドレスに+2,+3したアドレスに3番目、4番目のデータ(可変長命令の第7バイト目、第8バイト目で指定されるデータ)をそれぞれ書き込む。
20

25 ここで命令実行部14は、指定されたアドレスにデータを書き込む際に、有効ビット長データテーブル21を参照してそのアドレスに格納するデータの有効ビット長を確認する。そして命令実行部14は、装置本体制御部2側から供給されたデータの有効ビット長よりも上位ビットの値が1となっている場合には、有効ビット長よりも上位ビットの値を0に変更して、変更したデータを書き込む。例

えば、アドレス 80（16進表記）のアクセス許可設定レジスタに対して8ビットのデータ 11111111を書き込む命令が供給された場合、命令実行部 14 は、有効ビット長データテーブル 21に基づいてアクセス許可設定レジスタの有効ビット長が2ビットであることを確認すると、有効ビット長を越えるビットの値を0に変更することで00000011にデータを生成し、生成したデータ 00000011をアドレス 80（16進表記）のアクセス許可設定レジスタに書き込む。
5

命令実行部 14 は、読み出し要求コマンドが供給された場合には、第 8 図 (B) に示されているデータ長（第 2 バイト目の下位 4 ビット）に基づいて読み出し要求のバイト数を認識する。読み出し要求のバイト数が 1 バイトである場合、命令実行部 14 は、下位アドレスで指定されたアドレスに基づいてそのアドレスに格納されているデータを読み出す。読み出し要求のバイト数が 2 バイトである場合、命令実行部 14 は、下位アドレスで指定されたアドレスのデータとその次のアドレス（指定アドレス + 1）のデータを読み出す。読み出し要求のバイト数が 15 4 バイトである場合、命令実行部 14 は、下位アドレスで指定されたアドレス、指定アドレス + 1, + 2, + 3 の各アドレスからデータをそれぞれ読み出す。

命令実行部 14 は、読み出したデータのバイト長のデータを送信制御部 13 へ供給するとともに、実際に読み出したデータを送信制御部 13 へ供給する。

第 14 図は送信制御部のブロック構成図である。送信制御部 13 は、データラッチ回路 13a ~ 13e を 5 組備えるとともに、転送制御部 13f を備える。転送制御部 13f は、第 1 のデータラッチ回路 13a の上位 4 ビットに動作モード (0010)、下位 4 ビットにデータ長（読み出したデータのバイト長）を格納させる。転送制御部 13f は、命令実行部 14 から供給される第 1 ~ 第 4 の読み出しデータを第 2 ~ 第 5 のデータラッチ回路 13a にそれぞれ格納させる。転送制御部 13f は、データ長のデータに基づいて所定数のデータが揃っていることを確認すると、各データラッチ回路 13a ~ 13e に格納したデータをシリアルデータ通信部 11 へ順次転送する。
20
25

第 6 図に示されているシリアルデータ通信部 11 内の送信部 11b は、前述のように、送信制御部 13 から順次転送されるパラレル送信データ TD をシリアル

データへ変換して、装置本体制御部2側へ送出する。

第15図はシリアル通信データの書式を示す説明図である。第15図(A)には8ビット未満のデータを送信する場合のフォーマットが示されている。第15図(A)①に示されているように、不揮発性メモリに格納されている情報が5ビットである場合、シリアル通信されるデータは、第15図(A)②に示されているように、上位3ビットにダミーデータとして0が挿入されて、1バイト(8ビット)のデータとして送信される。

このように、1バイトに満たないデータは下位に詰め、上位は0とされて送信される。

第15図(B)には8ビットを越えるデータを送信する場合のフォーマットが示されている。第15図(B)③に示されているように、不揮発性メモリに格納されている情報が10ビットである場合、10ビットのデータは第15図(B)④に示されているように2バイトのデータに分割されて送信される。具体的には、10ビットのデータの下位8ビットが第1バイト目として先に送信される。次に、10ビットのデータの上位2ビットを下位に詰め、さらに上位ビットにダミーデータとして0を挿入することで8ビット(1バイト)のデータへ変換し、変換して得たデータが第2バイト目として送信される。

第6図に示されているリセット回路部24は、パワーオンリセット信号RSTの論理レベルがLレベルである場合に、リセット信号RSを発生する。このリセット信号RSに基づいてメモリアクセス制御部3内の各回路部の初期化(リセット)がなされる。また、このリセット回路部24は、命令実行部14からリセット信号発生要求が供給された場合にも、リセット信号RSを発生する。したがって、装置本体制御部2は、第8図(A)に示されている初期化命令を送出することで、メモリアクセス制御部3内の各回路部を初期化することができる。

発振回路部23は、水晶振動子、セラミック発振子X等を用いて周波数が例えば16MHzの原クロック信号を発生する。クロック生成部22は、原クロック信号を分周して周波数が例えば2MHzのクロック信号TCLKを生成する。また、クロック生成部22は、各不揮発性メモリ4, 5のクロック信号CK1, CK2を生成する。なお、各不揮発性メモリ4, 5のクロック信号CK1, CK2

の周期は、クロック周期選択信号E Sの論理レベルに対応して2段階に切り替えできるようにしている。これにより、書き込み時間の異なる不揮発性メモリに対応できるようにしている。

出力制御部20は、前述したように各不揮発性メモリ4, 5に対する各信号入
5 出力端子の状態を制御する。テスト用制御部25は、このメモリアクセス制御部
3の動作をテストするためのものである。4ビットのテスト用信号M1～M4が
すべてLレベルに設定されると通常の動作状態となる。それ以外の条件が設定さ
れた場合はテストモードとなり、レジスタ、RAM内のデータ等を含めて内部回
路の動作状態を出力制御部20を介して各端子PW, CS, RW, IO, CK等
10 へ出力させることができる。これにより、内部回路の動作状態を容易に確認する
ことができる。

次に、以上の構成における動作を説明する。装置本体制御部2は、命令モード
指定信号SELをLレベルにした状態で、初期化命令を送出する。メモリアクセ
ス制御部3は初期化命令を受信すると、全回路を電源投入時と同じ状態に初期化
15 する。次に、装置本体制御部2はモード設定命令を送出して、メモリアクセス制
御部3内のモードレジスタ15に動作モード2を設定させる。その後、装置本体
制御部2は、命令モード指定信号SELをHレベルにする。

メモリアクセス制御部3は、モードレジスタ15に動作モード2が設定された
ことによって、命令モード指定信号SELがHレベルになった以降は、装置本体
20 制御部2側から供給される命令中の動作モードが2以外であっても、動作モード
2の命令として受け付けることができる。

装置本体制御部2は、書き込み命令を順次発行することで、制御レジスタ群1
6内の各制御レジスタの値を設定することで、メモリアクセス制御部3が各不揮
発性メモリ4, 5に対してアクセスできる状態とする。そして、装置本体制御部
25 2は、全エリア読み出し制御レジスタのアドレスを指定した書き込み命令を発行
する。これにより、不揮発性メモリ書き込み読み出し制御部19は、各不揮発性
メモリ4, 5に格納されている各情報を読み出して、読み出した各情報を各RA
M17, 18に格納する。

不揮発性メモリ4, 5に格納されている各情報は情報毎にビット長が異なって

いる。不揮発性メモリ書き込み読み出し制御部19は、第3図に示されている内容が登録されている有効ビットデータテーブル21を参照することで各情報を区分する。

不揮発性メモリ書き込み読み出し制御部19は、8ビットの満たないデータは
5 不足するビットに0を補足することで8ビットのデータに修正し、8ビットを越
えるデータは2バイトのデータへ修正する。そして、不揮発性メモリ書き込み読
み出し制御部19は、8ビット単位に修正したデータを、第13図に示されてい
る内容が登録されている情報アドレス対応テーブル26を参照して、各RAM
17, 18の所定のアドレスに格納する。これにより、第1の不揮発性メモリ4
10 に格納されている全情報が第1のRAM17に格納され、第2の不揮発性メモリ
4に格納されている全情報が第2のRAM18に格納される。

装置本体側制御部2は、各RAM17, 18のアドレスを指定して読み出し要
求を発行することで、例えばインク残量に係るデータ、カートリッジの使用開始
年月、インク種類に係るデータ等の各種の情報を得ることができる。また、装置
15 本体側制御部2は、制御レジスタ群16の内容を読み出すことで、現在の設定状
態を確認することができる。

装置本体側制御部2は、印刷動作の実行に伴って使用したインク量を管理して
いる。そして、装置本体側制御部2は、更新されたインク残量に係るデータを書
き込む要求を発行することで、RAM17, 18内のインク残量に係るデータを
20 更新させる。

装置本体側制御部2は、記録装置の電源をオフするのに先立って、命令モード
指定信号SELをLレベルにした状態で、パワーオフ命令を送出する。メモリア
クセス制御部3は、パワーオフ命令が供給されると、各RAM17, 18に格納
されているデータを各不揮発性メモリ4, 5に書き戻す。これにより、更新され
25 たインク残量に係るデータが各不揮発性メモリ4, 5に格納される。このパワー
オフ命令に基づく各不揮発性メモリ4, 5への書き戻し処理では、各不揮発性メ
モリ4, 5の若番側アドレスに設定された情報（第3図に示されている番号1～
9、具体的にはインク残量データ等のユーザ側で更新する必要があるデータ）の
みが対象となる。したがって、各不揮発性メモリ4, 5への書き戻し処理を短時

間で終了させることができるとともに、それ以外のデータを書き換えることがない。

なお、装置本体側制御部2側から第12図に示されている限定書き込み許可レジスタに対して限定書き込みを許可する命令を書き込ませる命令を発行することで、各不揮発性メモリ4、5への書き戻し処理を行なわせることもできる。

第16図は本発明に係るインクジェット式記録装置を適用したインクジェットプリンタ装置の印刷機構部の構造を示す斜視図である。第16図に示されているインクジェットプリンタ装置の印刷機構部100は、キャリッジ103がタイミングベルト101を介して駆動モータ102に接続され、キャリッジ103が記録用紙Pの紙幅方向へ往復動するように構成されている。キャリッジ103には、ブラック用インクカートリッジ格納部104aとカラー用インクカートリッジ格納部104bとを備えたホルダ104が形成され、またキャリッジ103の下面には記録ヘッド105が設けられている。

第17図はキャリッジをホルダ部とヘッダ部に分解して示した斜視図である。記録ヘッド105に連通するインク供給針106、107は、装置の奥側（タイミングベルト101側）に位置するようにキャリッジ103の底面に垂直に植設されている。ホルダ104を形成する垂直壁のうち、インク供給針106、107の近傍側で対向する垂直壁108の上端には軸109、110により回動可能なレバー111、112が取付けられている。レバー111、112の自由端側に位置する壁113は、底辺部が垂直部113aを有し、また上部領域が上方に拡開する斜面部113bとなるよう形成されている。

レバー111、112は、後述するインクカートリッジ140、150の上端の張出部146、156に係合する突起114、115が、それぞれのレバー111、112の本体に対してほぼ直角となるように軸109、110の近傍から延長して形成され、またホルダ104の斜面部113bに形成された釣部116、117に弾性的に係合するフック部118、119が形成されている。

そして各レバー111、112の裏面（インクカートリッジ140の蓋体143に対向する面）には、第20図および第21図に示されているように、弹性部材120、121が設けられている。この弹性部材120、121は、各インク

カートリッジ 140, 150 が正規の位置にセットされた際に、各インクカートリッジ 140, 150 の少なくともインク供給口 144, 154 に対向する領域を弾圧する。

また、インク供給針 106, 107 側に位置する垂直壁 108 には、上部が開放された窓 122, 123 が形成されている。各窓 122, 123 を形成する垂直壁 122a, 123a および底面 122b, 123b には、連続する溝 122c, 123c が形成されている。そして、これらの溝 122c, 123c に各接点機構 124, 125 が挿入、固定されている。

記録ヘッド 105 は、略 L 字型に形成された基台 132 の水平部 133 を介してホルダ 104 の底面に固定されている。基台 132 の垂直壁 134 には、接点機構 124, 125 と対向する領域に窓 135, 136 が形成されていて、その前方側に回路基板 130 が保持されている。

回路基板 130 は、第 16 図に示されているように、フレキシブルケーブル 137 を介して装置本体制御部 2 に接続されている。この回路基板 130 にメモリアクセス制御部 3 を構成するゲートアレイ IC が実装されている。

第 18 図はインクカートリッジの斜視図である。第 18 図 (A) にはブラック用インクカートリッジ 140 が、第 18 図 (B) にはカラー用インクカートリッジ 150 が示されている。各インクカートリッジ 140, 150 は、ほぼ直方体として形成された容器 141, 151 内にインクを含浸させた多孔質体（図示しない）を収容し、上面を蓋体 143, 153 で封止してなる。

容器 141, 151 の底面であって、インクカートリッジ 140, 150 が第 16 図に示されているホルダ 104 の各インクカートリッジ収納部 140a, 104b に装着された際にインク供給針 106, 107 に対向する位置に、インク供給口 144, 145 が形成されている。また、インク供給口 144, 145 側の垂直壁 145, 155 の上端には、レバー 111, 112 の突起 114, 115 に係合する張出部 146, 145 が一体的に形成されている。

ブラック用インクカートリッジ 140 の張出部 146 は、一端から他端まで連續体として形成されている。張出部 146 の下面と垂直壁 145 との間に三角形状のリブ 147 が形成されている。カラー用インクカートリッジ 150 の張出部

156は、両側に位置するように個別に形成されている。張出部156の下面と垂直壁155との間に三角形状のリブ157が形成されている。符号159は、誤挿入防止用の凹部である。

垂直壁145, 155には、インクカートリッジ140, 150の幅方向の中5心に位置するように凹部148, 158が形成され、この凹部148, 158が形成されに不揮発性メモリ回路基板131, 131が装着されている。

第19図は不揮発性メモリ回路基板の構造を示す説明図である。第19図(A)は不揮発性メモリ回路基板131の表面側の構造を示す斜視図、第19図(B)は不揮発性メモリ回路基板131の裏面側の構造を示す斜視図、第19図(C)は電極のサイズを示す説明図、第19図(D)は電極と接点との接触状態を示す平面図、第19図(E)は電極と接点との接触状態を示す側面図である。10

第19図(A)に示されているように、不揮発性メモリ回路基板131の表面側には、接点機構24の接点形成部材129a, 129bと対向する位置に、インクカートリッジの挿入方向(図において上下方向)に2段に亘って複数の電極160(160-1, 160-2)が配設されている。15

第19図(B)に示されているように、不揮発性メモリ回路基板131の裏面側には、不揮発性メモリ4, 5のICチップ161が実装されている。ICチップ161の各端子(図示しない)は、図示しない配線パターンならびにスルーホール等を介して各接点160にそれぞれ電気的に接続されている。不揮発性メモリ回路基板131上に実装された不揮発性メモリ4, 5のICチップ161を耐20インク性材料によって被覆することで、ICチップ161を保護するようにしてもよい。

第19図(C)に示されているように、サイズの小さな電極160-1は、高さH1が1.8mm、幅W1が1mmである。サイズの大きな電極160-2は25、高さH1が1.8mm、幅W1が3mmである。ホルダ104に装着されたインクカートリッジ140, 150に浮きが生じても、接点形成部材129a, 129bとの接触が確実に行なえるように各電極160の高さを設定している。

インクカートリッジ140, 150がホルダ104に装着された状態では、第19図(D)および第19図(E)に示されているように、上段側の電極160

– 1に接点機構 2 4 の上段側の接点形成部材 1 2 9 a が接触し、下段側の電極 1 6 0 – 1, 1 6 0 – 2 に接点機構 2 4 の下段側の接点形成部材 1 2 9 b が接触する。

第 19 図 (D) に示されているように、下段側の大きな電極 1 6 0 – 2 には、

5 2 本の接点構成部材 1 2 9 b, 1 2 9 b が接触するようにしている。そして、これらの 2 本の接点構成部材 1 2 9 b, 1 2 9 b 間の導通の有無を検出することによって、インクカートリッジの装着の有無を判定するようにしている。

なお、第 19 図中の符号 1 6 0 T は、製造工程等でチェック用に使用する電極である。

10 不揮発性メモリ回路基板 1 3 1 には、少なくとも 1 つの貫通孔 1 3 1 a や凹部(切り欠き部) 1 3 1 b を形成している。

第 18 図に示されているように、インクカートリッジ 1 4 0, 1 5 0 の垂直壁 1 4 5, 1 5 5 には、不揮発性メモリ回路基板 1 3 1 の貫通孔 1 3 1 a や凹部(切り欠き部) 1 3 1 b と協働して位置決めをなす突起 1 4 5 a, 1 4 5 b, 1 5 15 5 a, 1 5 5 b を設けている。さらに、垂直壁 1 4 5, 1 5 5 には、不揮発性メモリ回路基板 1 3 1 の側面に弾接するリブまたは爪などの張出部 1 4 5 c, 1 4 5 d, 1 5 5 c, 1 5 5 d を設けている。

これにより、不揮発性メモリ回路基板 1 3 1 をインクカートリッジ 1 4 0, 1 5 0 の垂直壁 1 4 5, 1 5 5 に押し付けることで、位置決め用の突起 1 4 5 a, 1 4 5 b, 1 5 5 a, 1 5 5 b によって不揮発性メモリ回路基板 1 3 1 の位置決めをするとともに、不揮発性メモリ回路基板 1 3 1 を各張出部 1 4 5 c, 1 4 5 d, 1 5 5 c, 1 5 5 d に係合させて装着することができる。

第 20 図および第 21 図はインクカートリッジの装着過程を示す説明図である。第 20 図および第 21 図にはブラック用インクカートリッジ 1 4 0 の装着過程が示されている。第 20 図に示されているように、レバー 1 1 1 をほぼ垂直な位置まで開いた状態で、インクカートリッジ 1 4 0 をホルダ 1 0 4 に挿入すると、インクカートリッジ 1 4 0 の一端側に設けられた張出部 1 4 6 がレバー 1 1 1 の突起 1 1 4 に受け止められ、インクカートリッジ 1 4 0 の他端側がホルダ 1 0 4 の斜面部 1 1 3 b に支持されて保持される。

この状態でレバー 111 を閉めると、第 21 図に示されているように、突起 114 が下方に回動されて、インクカートリッジ 140 はほぼ挿入初期の姿勢を保ちながら下降し、インク供給口 144 がインク供給針 106 の先端に接触する。

レバー 111 をさらに回動させると、インクカートリッジ 140 は弾性部材 120 に介して押圧される。これによって、インク供給口 144 がインク供給針 106 に押し込まれる。そして、レバー 111 が最後まで押し込まれると、レバー 111 は弾性部材 120 を介してインクカートリッジ 140 をインク供給針 106 側へ常時弾圧した状態で、第 17 図に示されている釣部 116 に固定される。

これにより、インクカートリッジ 140 は、そのインク供給口 144 をインク供給針 106 に係合した状態で一定圧で弾圧されることになる。よって、印刷中の振動、記録装置の移動などに伴う衝撃や振動に拘わりなく、インク供給口 44 がインク供給針 106 に気密性を保持され、安定した係合状態を維持することができる。

第 22 図は不揮発性メモリ基板と接点機構の接点構成部材との接触状態を示す説明図である。第 22 図 (A) はインクカートリッジ 140 のインク供給口 144 とホルダ 104 側のインク供給針 106 とが接触する前の状態、第 22 図 (B) はインク供給口 144 がインク供給針 106 に接触した状態、第 22 図 (C) はインク供給口 144 にインク供給針 106 が完全に入り込んだ状態（インクカートリッジ 140 が完全に装着された状態）を示している。

第 22 図 (C) に示されているように、インクカートリッジ 140 が完全に装着された状態では、不揮発性メモリ基板 131 に設けられた各端子（図示しない）と接点機構 124 に設けられた各接点形成部材 129a, 129b とが全て接触した状態となる。各接点形成部材 129a, 129b のそれぞれ他方側の各接触部 128a, 128b は、メモリアクセス制御部 3 が実装された回路基板 130 に設けられた各端子（図示しない）に接触している。これにより、不揮発性メモリ基板 131 に設けられた各端子とメモリアクセス制御部 3（図示しない）が実装された回路基板 130 の各端子とが、各接点形成部材 129a, 129b を介してそれぞれ電気的に接続される。

本実施の形態では、インクジェット式記録装置としてインクジェットプリンタ

装置を例示したが、本発明に係るインクジェット式記録装置はインクカートリッジ交換型の記録機構を備えたファクシミリ装置や各種の端末装置にも適用することができる。また、本実施の形態では2個の不揮発性メモリを備えた構成について示したが、不揮発性メモリは1個であってもよい。さらに、メモリアクセス制御部は3個以上の不揮発性メモリに対して書き込み・読み出しを制御できる構成としてもよい。

なお、以上の説明は、本発明の特定の実施形態に関するものであり、この技術分野の当業者であれば、本発明の種々の変形例を考え得るが、それらはいずれも本発明の技術的範囲に包含される。

10

産業上の利用の可能性

以上説明したように本発明に係るインクジェット式記録装置は、インクカートリッジが装着されるキャリッジにメモリアクセス制御部を設け、このメモリアクセス制御部を介して不揮発性メモリへアクセスする構成としたので、キャリッジと記録装置本体側の制御部との間の接続線数を減少させることができる。

なお、メモリアクセス制御部と記録装置本体側の制御部との間でシリアルデータ通信によって各種の命令や各種のデータを送受する構成としたので、キャリッジと記録装置本体側の制御部との間の接続線数を減少させることができる。

また、メモリアクセス制御部内に例えばランダムアクセスメモリ等の一時記憶手段を設け、この一時記憶手段に不揮発性メモリから読み出したデータを全て格納しておく、装置本体制御部側からのデータ読み出し要求に対して一時記憶手段に格納したデータを読み出して回答する構成にすることで、データ読み出し要求に対して高速な応答ができる。さらに、装置本体制御部は、データ書き込み要求を発生して一時記憶手段内のデータを更新した後に、不揮発性メモリに対する書き込み要求を発生して更新されたデータを不揮発性メモリに書き込ませることができる。よって、更新すべきデータが複数項目ある場合でも、1回の書き込み動作で不揮発性メモリに複数のデータを書き込ませることができる。

また、メモリアクセス制御部に不揮発性メモリへの電源供給を制御する電源供給制御手段を備える構成とすることで、不揮発性メモリにアクセスするときのみ

不揮発性メモリへ電源を供給することができる。これにより、不要な電力の消費を低減できる。また、不揮発性メモリにアクセスしない状態では電源の供給を停止しておくことで、不揮発性メモリに格納されたデータがノイズ等によって書き換えられることを防止できる。

5 さらに、メモリアクセス制御部を介して複数の不揮発性メモリにアクセスできる構成としたので、不揮発性メモリの個数が増加してもキャリッジと記録装置本体側の制御部との間の接続線数が増加することはない。

なお、メモリアクセス制御部用の半導体装置（集積回路装置）を用いることで、インクカートリッジの収納部を備えたキャリッジにメモリアクセス制御部を設
10 けることが容易になるとともに、キャリッジの小型化を図ることができる。

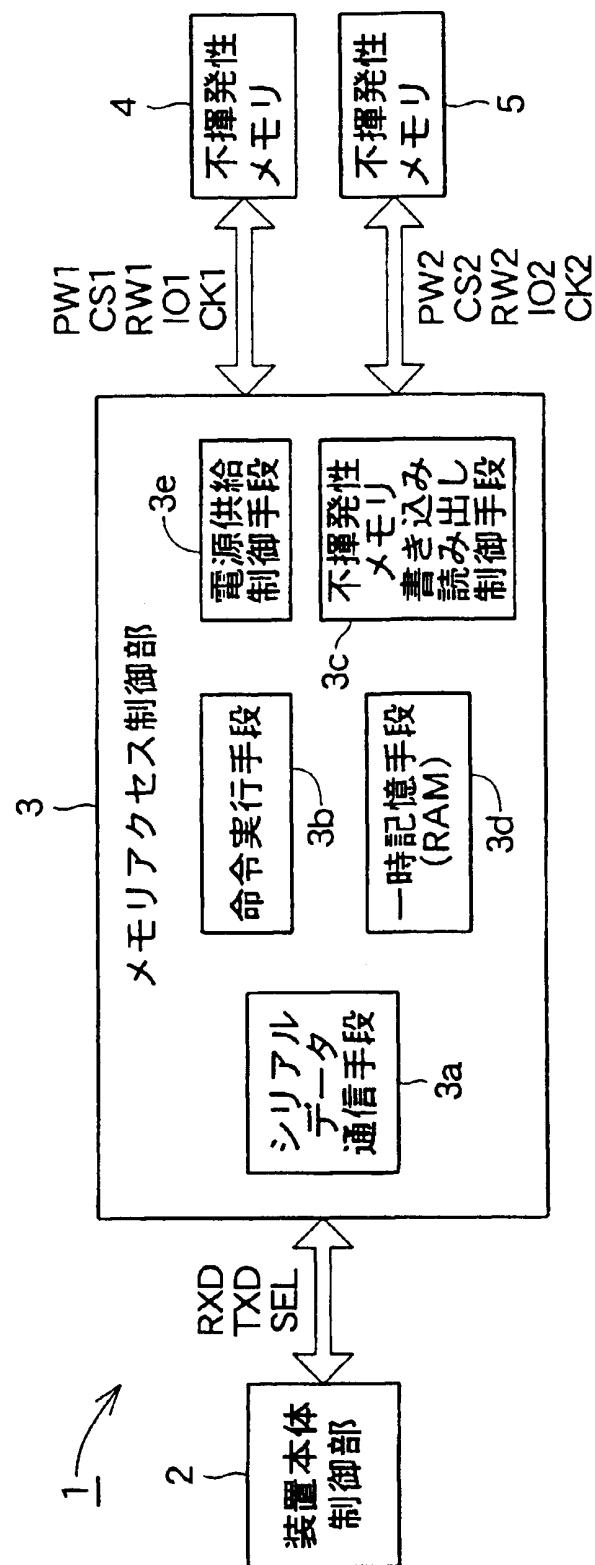
請求の範囲

1. 不揮発性メモリを備えたインクカートリッジの収納部を備えたキャリッジに、記録装置本体側の制御部から供給される命令に基づいて前記記録装置本体側の制御部と前記不揮発性メモリとの間のデータ送受を制御するメモリアクセス制御部を設けたことを特徴とするインクジェット式記録装置。
5
2. 前記メモリアクセス制御部は、前記記録装置本体側の制御部とシリアルデータ通信を行なうシリアルデータ通信手段と、前記記録装置本体側の制御部から供給された命令を実行する命令実行手段と、前記不揮発性メモリに対してデータの書き込みならびに読み出しを行なう不揮発性メモリ書き込み読み出し制御手段とを備えたことを特徴とする請求の範囲第1項記載のインクジェット式記録装置。
10
3. 前記メモリアクセス制御部は、前記記録装置本体側の制御部とシリアルデータ通信を行なうシリアルデータ通信手段と、前記記録装置本体側の制御部から供給された命令を実行する命令実行手段と、前記不揮発性メモリに対してデータの書き込みならびに読み出しを行なう不揮発性メモリ書き込み読み出し制御手段と、前記不揮発性メモリから読み出されたデータを一時記憶するための一時記憶手段とを備えたことを特徴とする請求の範囲第1項記載のインクジェット式記録装置。
15
4. 前記メモリアクセス制御部は、前記不揮発性メモリへの電源供給を制御する電源供給制御手段を備えたことを特徴とする請求の範囲第1項記載のインクジェット式記録装置。
20
5. 前記不揮発性メモリ書き込み読み出し制御手段は、前記不揮発性メモリに対してデータの書き込み及び読み出しの少なくとも一方を行なうためのクロックを複数種類出力でき、それらクロックを前記不揮発性メモリの電気的特性に応じて選択するようにしたことを特徴とする請求の範囲第2項又は第3項記載のインクジェット式記録装置。
25
6. 前記メモリアクセス制御部は、複数の不揮発性メモリにアクセスできる構成にしたことを特徴とする請求の範囲第1項記載のインクジェット式記録装置。
7. 記録装置本体側の制御部から供給される命令に基づいて前記記録装置本体側

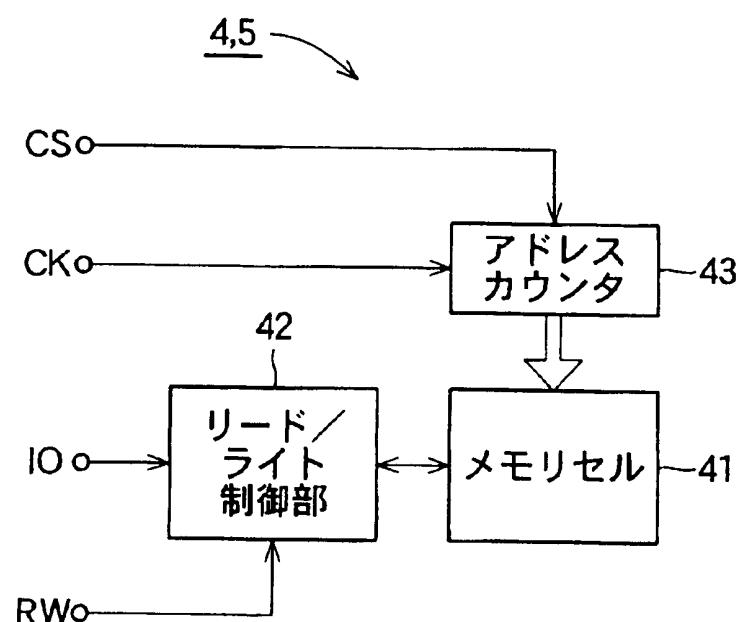
の制御部と不揮発性メモリとの間のデータ送受を制御するメモリアクセス制御部を半導体基板上に形成したことを特徴とする半導体装置。

8. 不揮発性メモリを備えたインクカートリッジの収納部を備えたキャリッジに、記録装置本体側の制御部から供給される命令に基づいて前記記録装置本体側の
5 制御部と前記不揮発性メモリとの間のデータ送受を制御するメモリアクセス制御部を設けたことを特徴とする記録ヘッド装置。

第1図



第2図

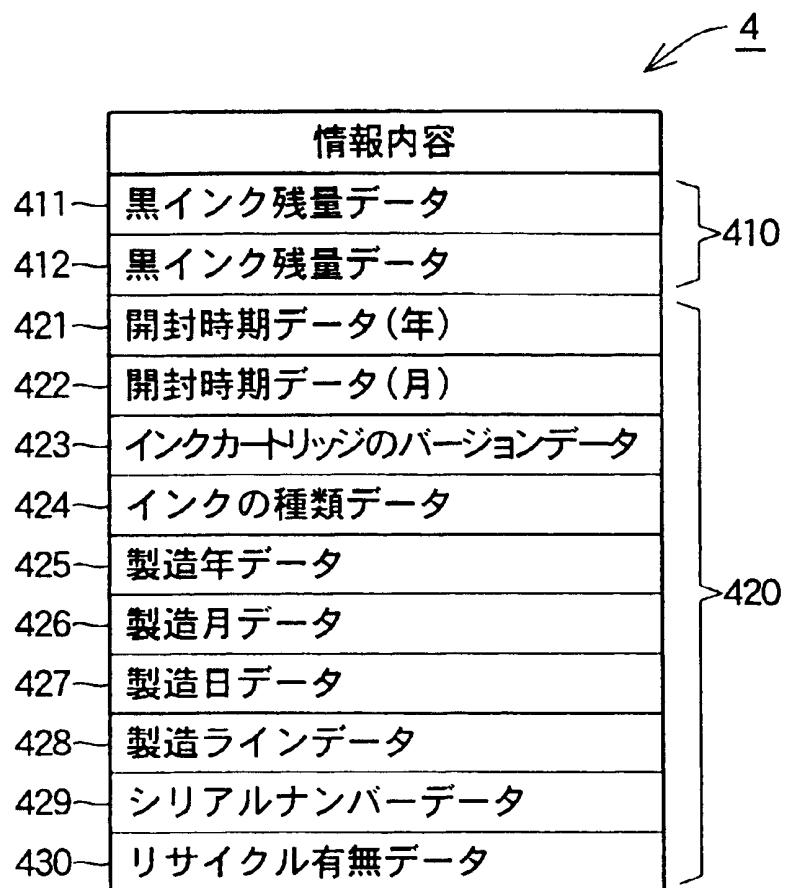


第3図

不揮発性メモリの格納情報

番号	データの ビット数	アドレス カウンタ値	アドレス		情報番号	
			開始	終了	第1のメモリ	第2のメモリ
1	8	0	00	07	情報 0	情報 35
2	8	8	08	0F	情報 1	情報 36
3	8	16	10	17	情報 2	情報 37
4	8	24	18	1F	情報 3	情報 38
5	8	32	20	27	情報 4	情報 39
6	8	40	28	2F	情報 5	情報 40
7	8	48	30	37	情報 6	情報 41
8	16	56	38	47	情報 7	情報 42
9	8	72	48	4F	情報 8	情報 43
10	7	80	50	56	情報 9	情報 44
11	4	87	57	5A	情報 10	情報 45
12	5	91	5B	5F	情報 11	情報 46
13	5	96	60	64	情報 12	情報 47
14	6	101	65	6A	情報 13	情報 48
15	8	107	6B	72	情報 14	情報 49
16	5	115	73	77	情報 15	情報 50
17	5	120	78	7C	情報 16	情報 51
18	1	125	7D	7D	情報 17	情報 52
19	3	126	7E	80	情報 18	情報 53
20	10	129	81	8A	情報 19	情報 54
21	10	139	8B	94	情報 20	情報 55
22	8	149	95	9C	情報 21	情報 56
23	8	157	9D	A4	情報 22	情報 57
24	6	165	A5	AA	情報 23	情報 58
25	5	171	AB	AF	情報 24	情報 59
26	8	176	B0	B7	情報 25	情報 60
27	8	184	B8	BF	情報 26	情報 61
28	8	192	C0	C7	情報 27	情報 62
29	8	200	C8	CF	情報 28	情報 63
30	8	208	D0	D7	情報 29	情報 64
31	8	216	D8	DF	情報 30	情報 65
32	8	224	E0	E7	情報 31	情報 66
33	8	232	E8	EF	情報 32	情報 67
34	8	240	F0	F7	情報 33	情報 68
35	8	248	F8	FF	情報 34	情報 69

第4図

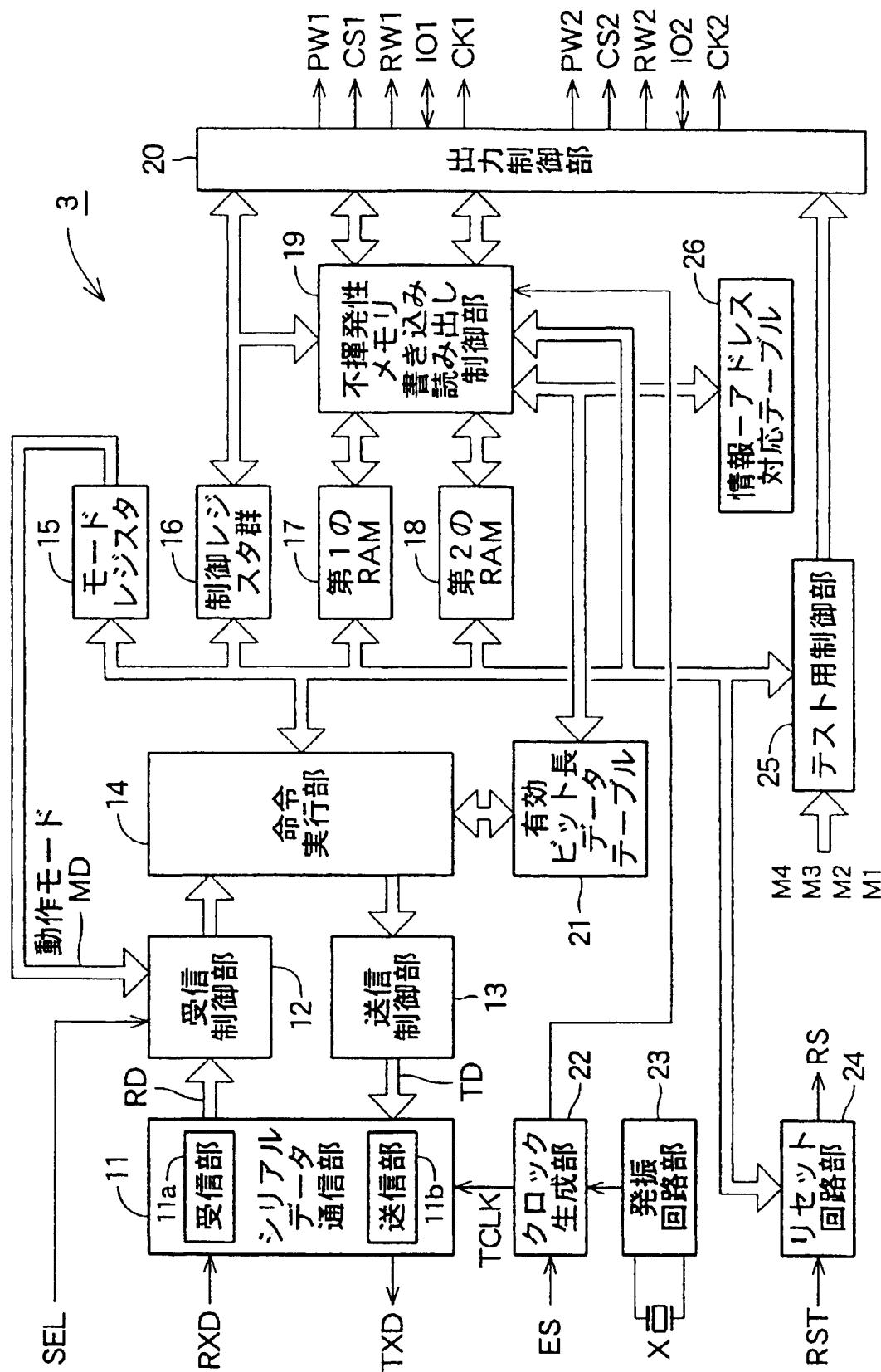


第5図

5

情報内容	
511	シアンインク残量データ
512	シアンインク残量データ
513	マゼンタインク残量データ
514	マゼンタインク残量データ
515	イエローインク残量データ
516	イエローインク残量データ
517	ライトシアンインク残量データ
518	ライトシアンインク残量データ
519	ライトマゼンタインク残量データ
520	ライトマゼンタインク残量データ
551	開封時期データ(年)
552	開封時期データ(月)
553	インクカートリッジのバージョンデータ
554	インクの種類データ
555	製造年データ
556	製造月データ
557	製造日データ
558	製造ラインデータ
559	シリアルナンバーデータ
560	リサイクル有無データ

第6図



第7図

端子名	入出力	端子(信号)説明	初期値	
RXD	IN	シリアルデータ入力信号(ボーレート 125Kbps)		
TXD	OUT	シリアルデータ出力信号(ボーレート 125Kbps)	H	
SEL	IN	コマンド選択信号 L: レベル0/H: レベル1		
CS1	Tri	第1の不揮発性メモリの選択信号	L: 非選択 H: 選択 電源オフ時は HiZ	HiZ (L)
CS2	Tri	第2の不揮発性メモリの選択信号		
IO1	I/O	第1の不揮発性メモリのデータ信号	電源オフ時は HiZ	HiZ(HiZ)
IO2	I/O	第2の不揮発性メモリのデータ信号		
RW1	Tri	第1の不揮発性メモリのR/W信号	L: Read H: Write 電源オフ時は HiZ	HiZ (L)
RW2	Tri	第2の不揮発性メモリのR/W信号		
CK1	Tri	第1の不揮発性メモリのクロック信号	電源オフ時は HiZ	HiZ (L)
CK2	Tri	第2の不揮発性メモリのクロック信号		
PW1	Tri	第1の不揮発性メモリの電源	H: 電源供給 HiZ: 電源非供給	HiZ (H)
PW2	Tri	第2の不揮発性メモリの電源		
OSC1	IN	セラミック発振子の接続端子	発振周波数 16MHz	
OSC2	OUT	セラミック発振子の接続端子		
RST	IN	イニシャルリセット信号 (L: アクティブ)		
ES	IN	不揮発性メモリ書き込み時間選択 L: 3.0ms H: 3.5ms		
M1	IN	モニタ出力選択信号(テスト用信号)		
M2		IC内部の信号を不揮発性メモリ側出力端子に出力させる。		
M3		M1～M4がすべてL: 通常出力		
M4		それ以外: 内部モニタ出力		
VCC1	+5V	電源1(2端子)		
VCC2	+3.3V	電源2(3端子)		
VSS	GND	GND(5端子)		

図 8 番

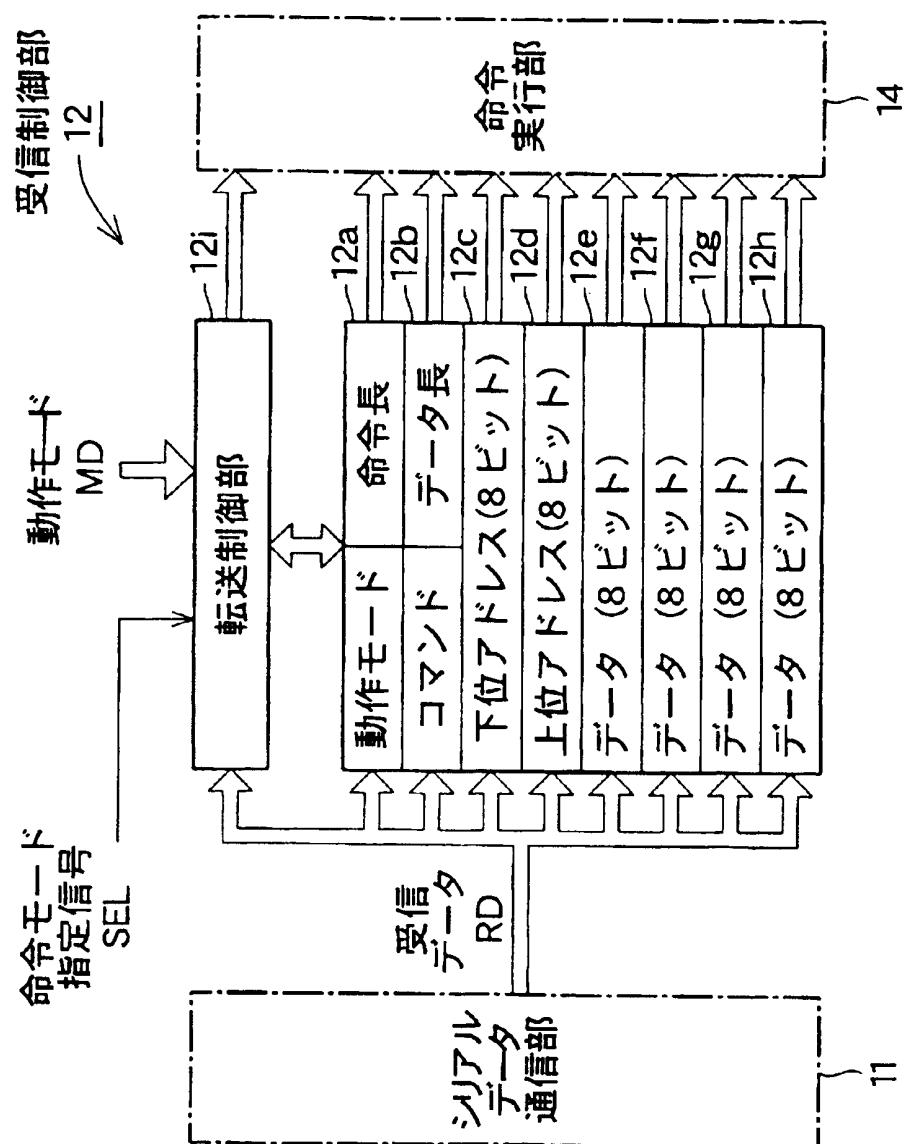
(A) SEL が L レベルの時の 8 ビット固定長命令

命令	命令データ	内容
パワーオフ処理(NMI)	10000000	電源オフシーケンス
初期化(RST)	10010000	リセット
モード設定(MDSET)	1010xxxx	指定モードに設定 xxxx=0010 モード2

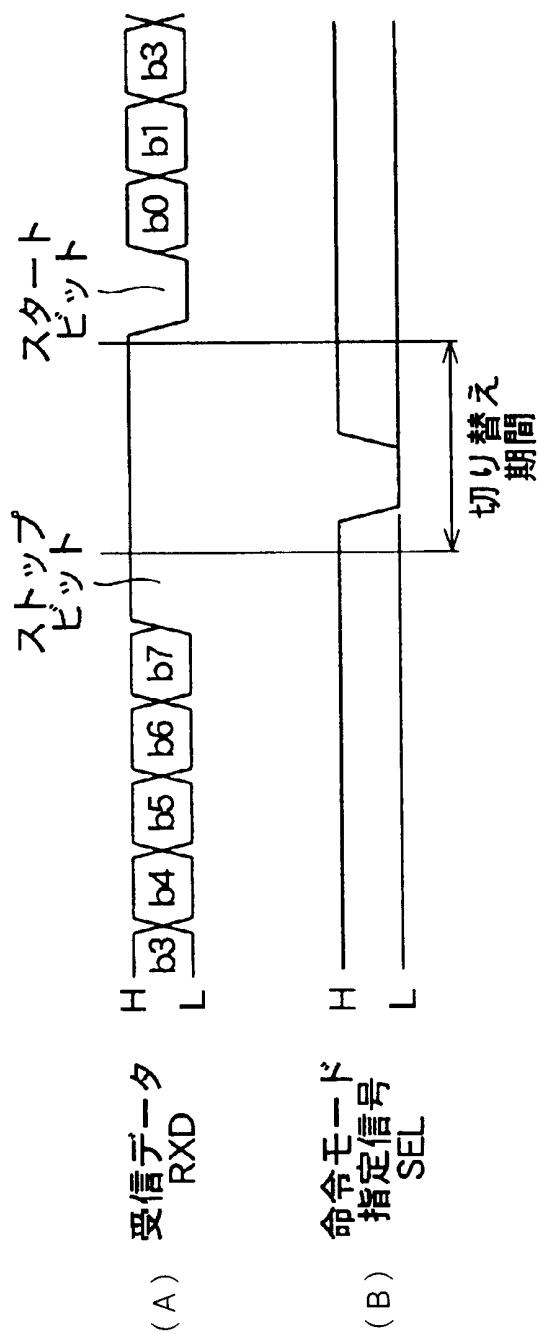
(B) SEL が H レベルの時の可変長命令

動作モード	命令長 (1~7 バイト)
コマンド	データ長 (1~4 バイト)
下位アドレス(8 ビット)	A7 – A0
上位アドレス(8 ビット)	A15 – A8
データ (8 ビット)	D7 – D0
データ (8 ビット)	D7 – D0
データ (8 ビット)	D7 – D0
データ (8 ビット)	D7 – D0

第9図



第10図



第1-1図

区分	項目	読み出し(READ)	書き込み(WRITE)	備考
	モード(4ビット)	0010	0010	動作モード2
	命令長(4ビット)	3バイト : 0011 4バイト : 0100 5バイト : 0101 7バイト : 0111	3バイト : 0011 4バイト : 0100 5バイト : 0101 7バイト : 0111	命令のバイト数
(a) 可変長命令(要求)	コマンド(4ビット)	0000	1000	
	データ長(4ビット)	1バイト : 0001 2バイト : 0010 4バイト : 0100	1バイト : 0001 2バイト : 0010 4バイト : 0100	読み書きするデータのバイト数
		0,3,5～15バイトは設定禁止	0,3,5～15バイトは設定禁止	
	アドレス(16ビット)	A15～A0 (16ビット)	A15～A0 (16ビット)	下位8ビットのみ使用
	データ(8ビット×n)	————	8ビット×n (n:データ長)	
	モード(4ビット)	0010	————	動作モード2
	データ長(4ビット)	1バイト : 0001 2バイト : 0010 4バイト : 0100	————	
		0,3,5～15バイトは設定禁止	————	
(b) 回答	データ(8ビット×n)	8ビット×n (n:データ長)	————	

図 1-2

アドレス (16進表記)	レジスタ名	ビット	機能
80	アクセス許可設定	[1 : 0]	不揮発性メモリへのアクセス許可／不許可の設定(初期値 : 00) 端子CS,CK,RW,IOを高インピーダンス／アクティプにし、PWをオン／オフする。 0 : 高インピーダンス & パワー・オフ 1 : アクティブ & パワー・オン 端子の状態が切り替わるタイミングは、レジスタに設定された直後で全端子同時とする。 に設定された直後の端子CS,CK,RWのレベルは、 端子IOは高インピーダンス状態(データ入力状態)とする。
84	読み出し許可設定	[1 : 0]	データの読み出し許可／不許可の設定(初期値 : 00)
85	全エリア読み出し	-----	不揮発性メモリから全エリアのデータ読み出し
86	全読み出しビジー	[0]	全エリアのデータ読み出しビージーフラグ
88	全書き込み許可	[1 : 0]	不揮発性メモリへの全書き込み許可／不許可の設定(初期値 : 00)
89	全エリア書き込み	-----	不揮発性メモリの全エリアにデータ書き込み
8A	全書き込みビジー	[0]	全エリアのデータ書き込みビージーフラグ
8C	限定書き込み許可	[1 : 0]	不揮発性メモリへの限定書き込み許可／不許可の設定(初期値 : 00)
8D	限定書き込み	-----	不揮発性メモリの限定エリアにデータ書き込み
8E	限定書き込みビジー	[0]	限定エリアのデータ書き込みビージーフラグ
90	パワーオフ 書き込み許可	[1 : 0]	不揮発性メモリへのパワーオフ書き込み許可／不許可の設定(初期値:00)
92	パワーオフ 書き込みビジー	[0]	パワーオフデータ書き込みビージーフラグ

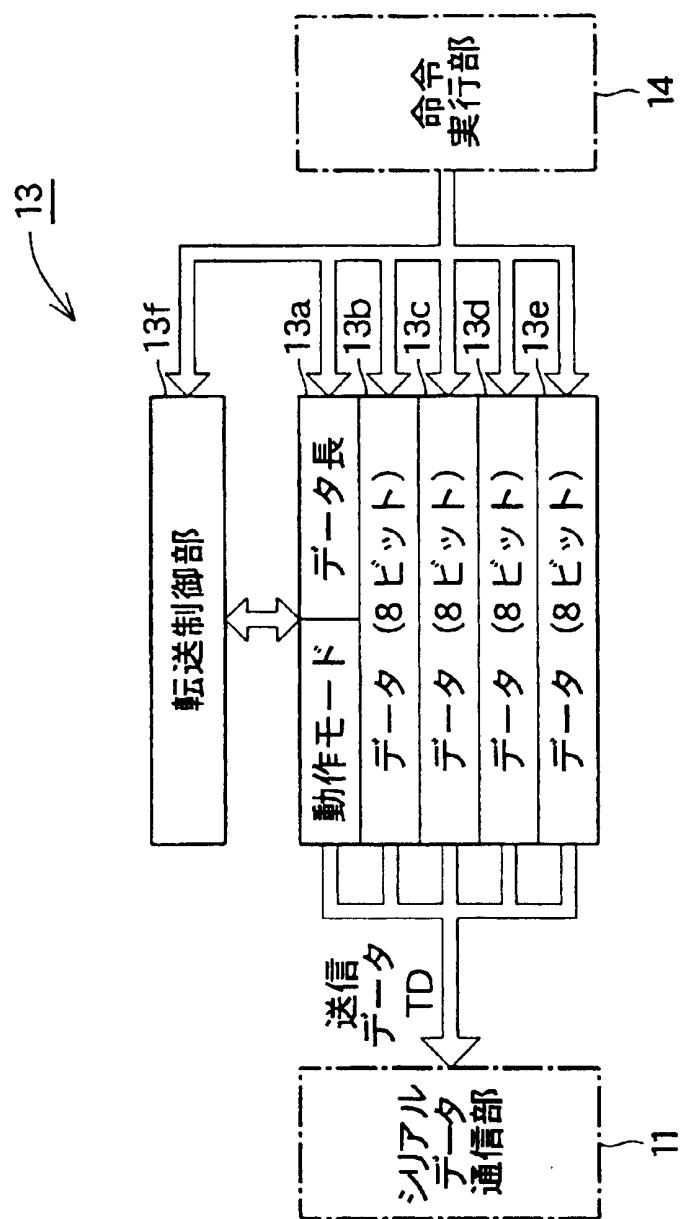
第13図

RAM のアドレスと格納情報

第1の RAM			第2の RAM		
アドレス	データ長	情報番号	アドレス	データ長	情報番号
00	1	情報 0	40	1	情報 35
01	1	情報 1	41	1	情報 36
02	1	情報 2	42	1	情報 37
03	1	情報 3	43	1	情報 38
04	1	情報 4	44	1	情報 39
05	1	—	45	1	—
06	1	情報 5	46	1	情報 40
07	1	情報 6	47	1	情報 41
08	2	情報 7	48	2	情報 42
0A	1	情報 8	4A	1	情報 43
0B	1	—	4B	1	—
0C	1	情報 9	4C	1	情報 44
0D	1	情報 10	4D	1	情報 45
0E	1	情報 11	4E	1	情報 46
0F	1	情報 12	4F	1	情報 47
10	1	情報 13	50	1	情報 48
11	1	情報 14	51	1	情報 49
12	1	情報 15	52	1	情報 50
13	1	情報 16	53	1	情報 51
14	1	情報 17	54	1	情報 52
15	1	情報 18	55	1	情報 53
16	2	情報 19	56	2	情報 54
18	2	情報 20	58	2	情報 55
1A	1	情報 21	5A	1	情報 56
1B	1	情報 22	5B	1	情報 57
1C	1	情報 23	5C	1	情報 58
1D	1	情報 24	5D	1	情報 59
1E	1	情報 25	5E	1	情報 60
1F	1	情報 26	5F	1	情報 61
20	1	情報 27	60	1	情報 62
21	1	情報 28	61	1	情報 63
22	1	情報 29	62	1	情報 64
23	1	情報 30	63	1	情報 65
24	1	情報 31	64	1	情報 66
25	1	情報 32	65	1	情報 67
26	1	情報 33	66	1	情報 68
27	1	情報 34	67	1	情報 69

アドレスは16進表記、データ長の単位はバイトである。

第14図



第 15 図

(A) 8 ビット未満のデータ

- ① 不揮発性メモリの情報が 5 ビットデータである場合

1	1	0	0	0
---	---	---	---	---

- ② 上位ビットに 0 のダミーデータを挿入し
8 ビットのデータへ変換して送信する。

MSB LSB

0	0	0	1	1	0	0	0
---	---	---	---	---	---	---	---

(B) 9~16 ビットのデータ

- ③ 不揮発性メモリの情報が 10 ビットデータである場合

1	1	1	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---	---	---

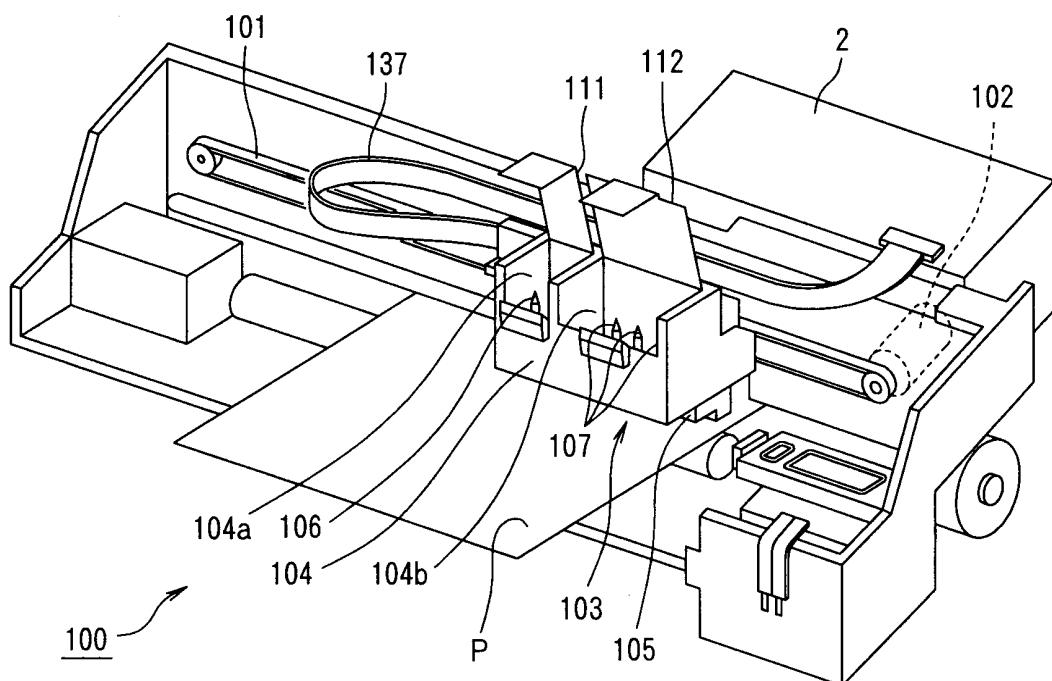
- ④ 2 バイトのデータに分割して送信する。

MSB LSB MSB LSB

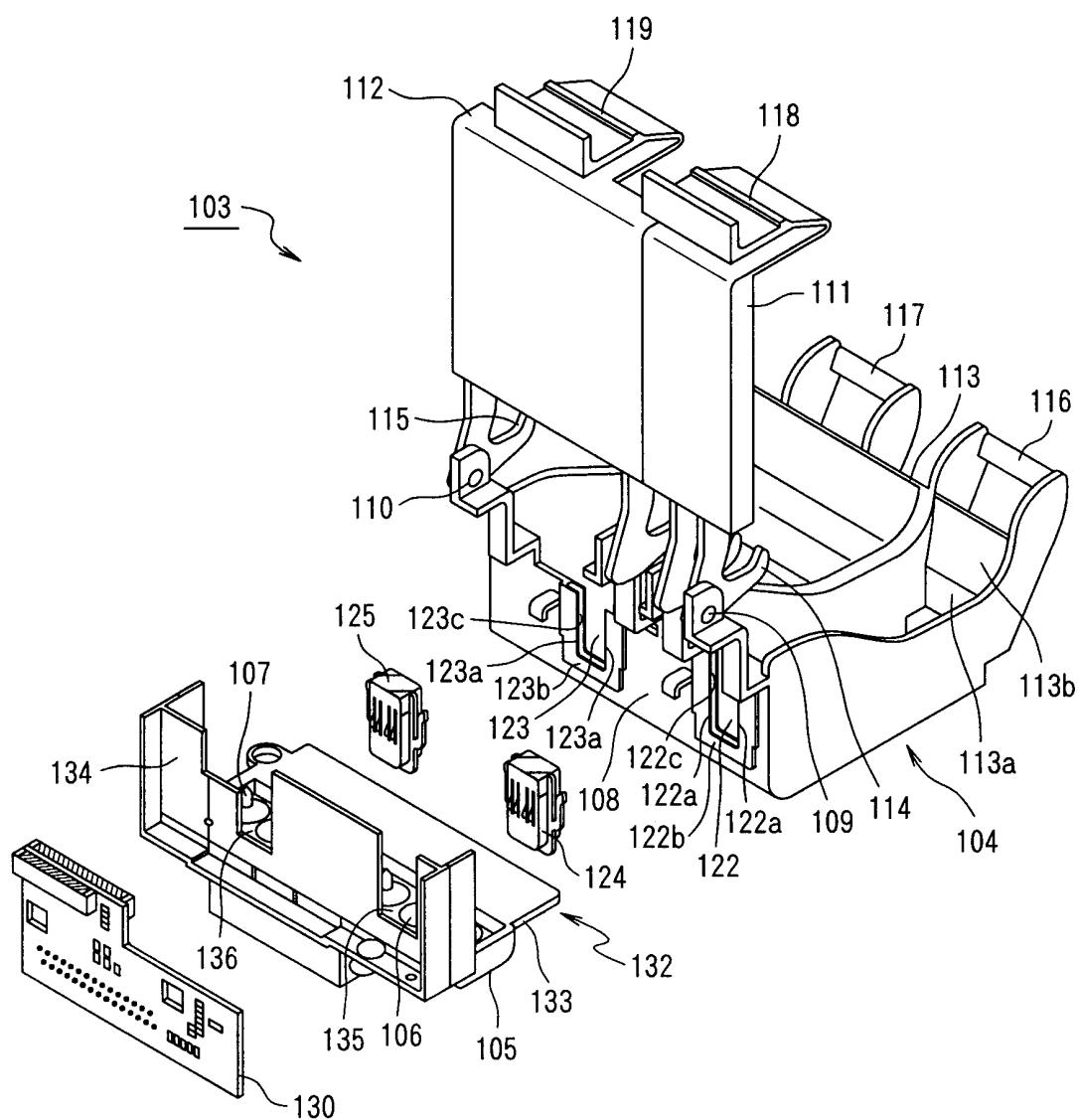
0	0	0	0	0	0	1	1
---	---	---	---	---	---	---	---

1	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

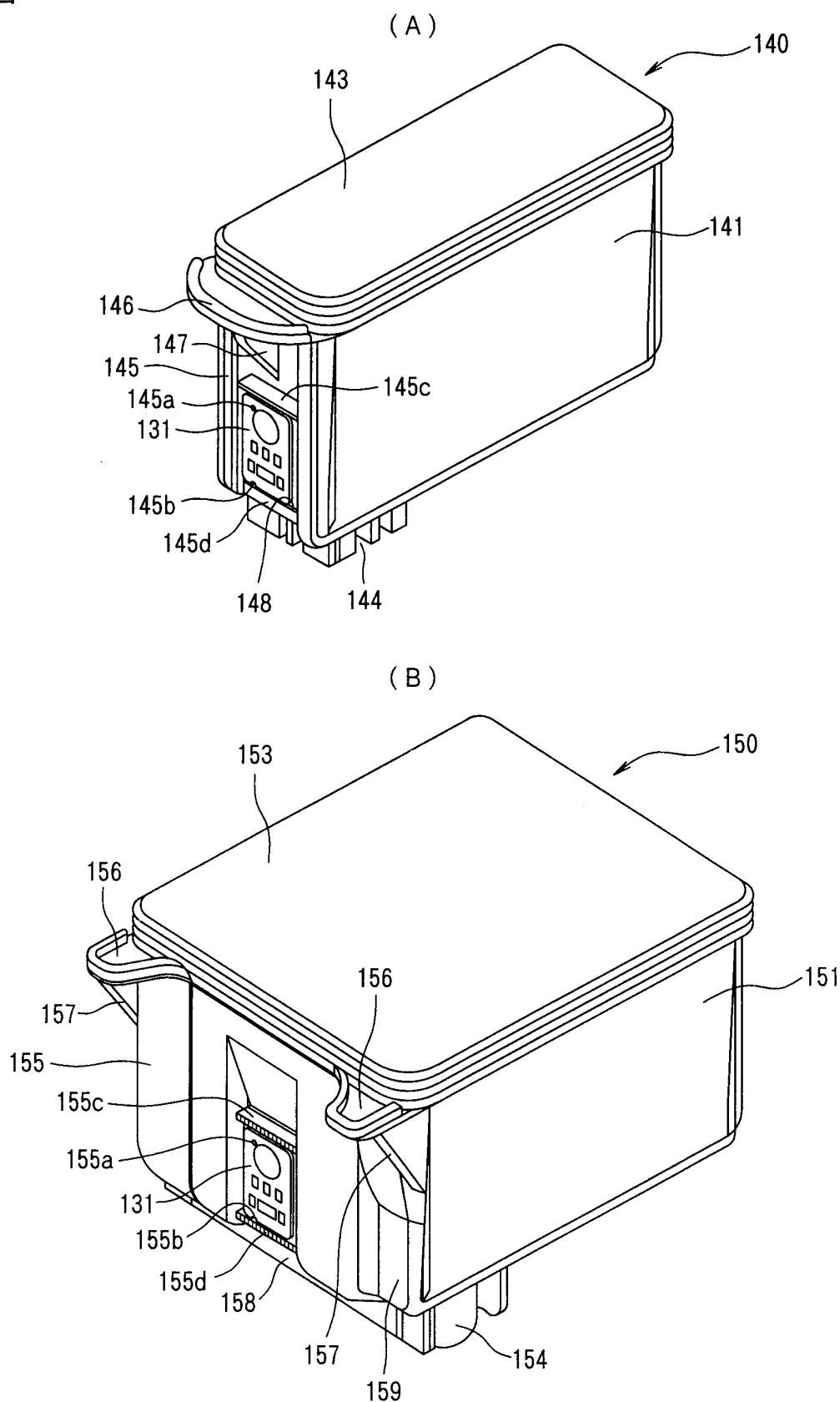
第16図



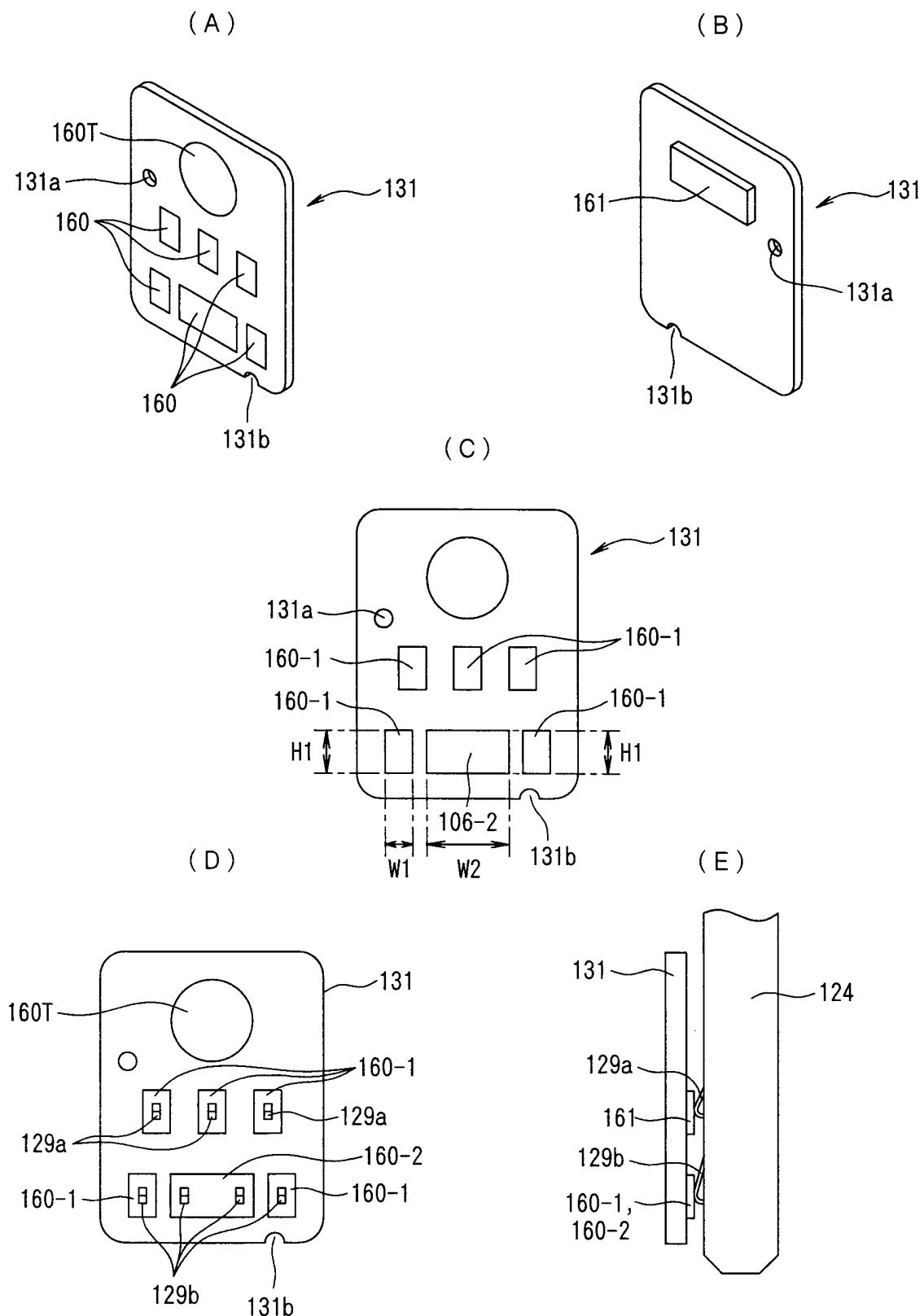
第17図



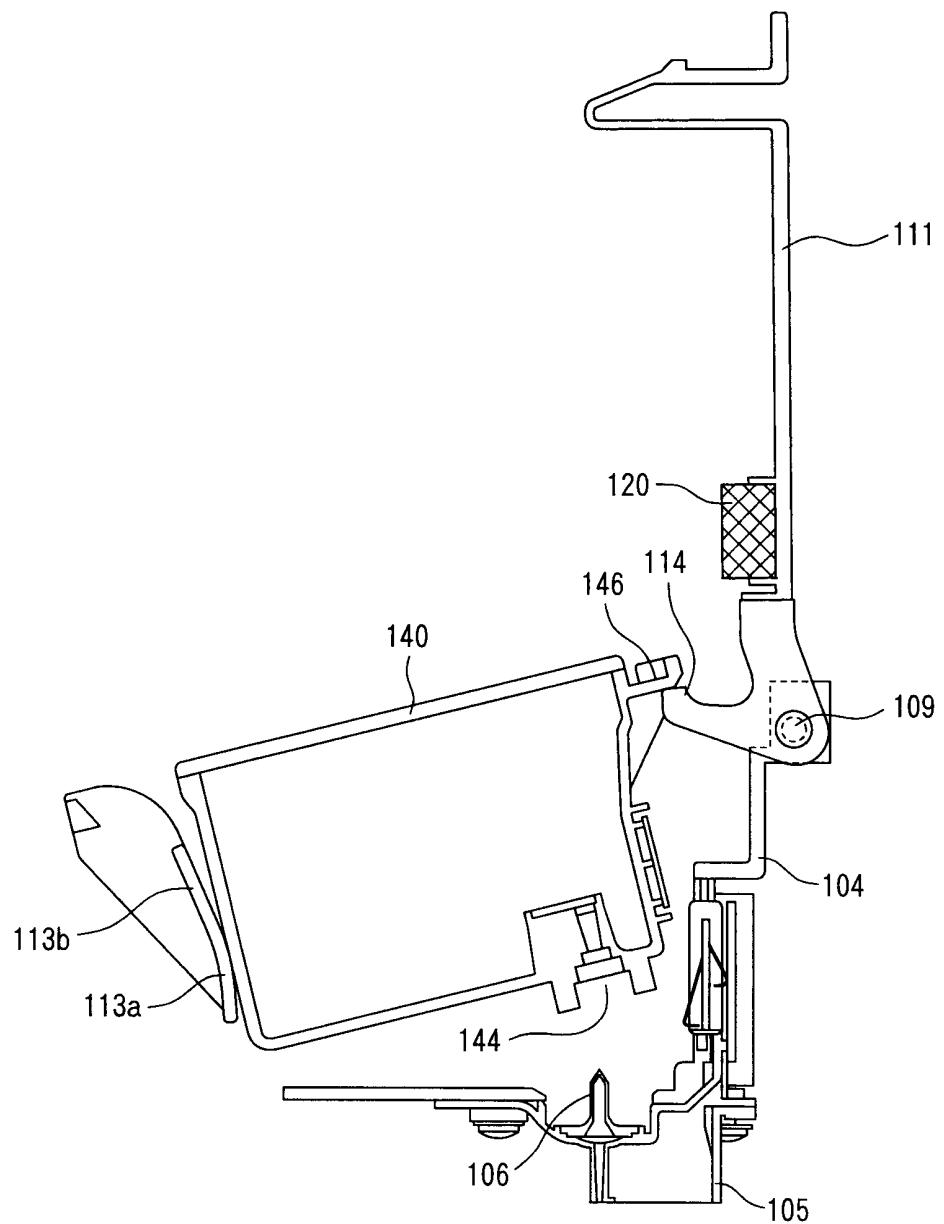
第18図



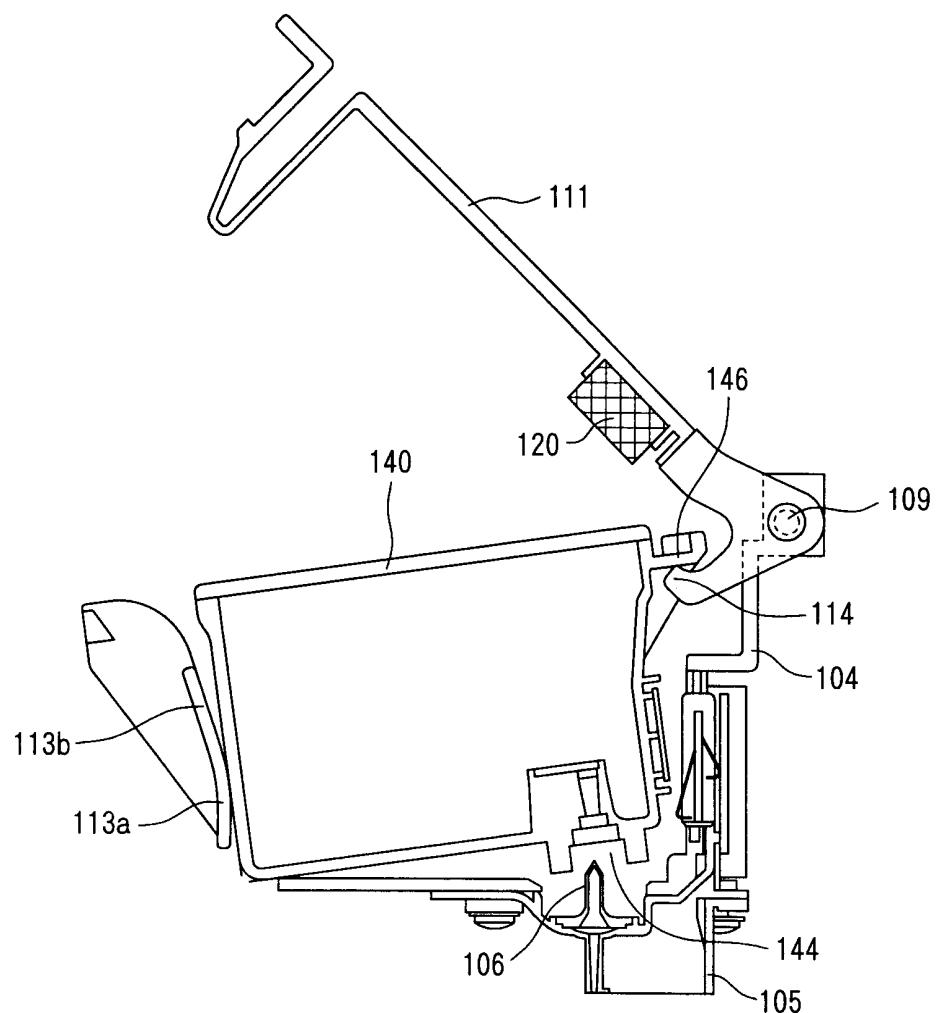
第19図



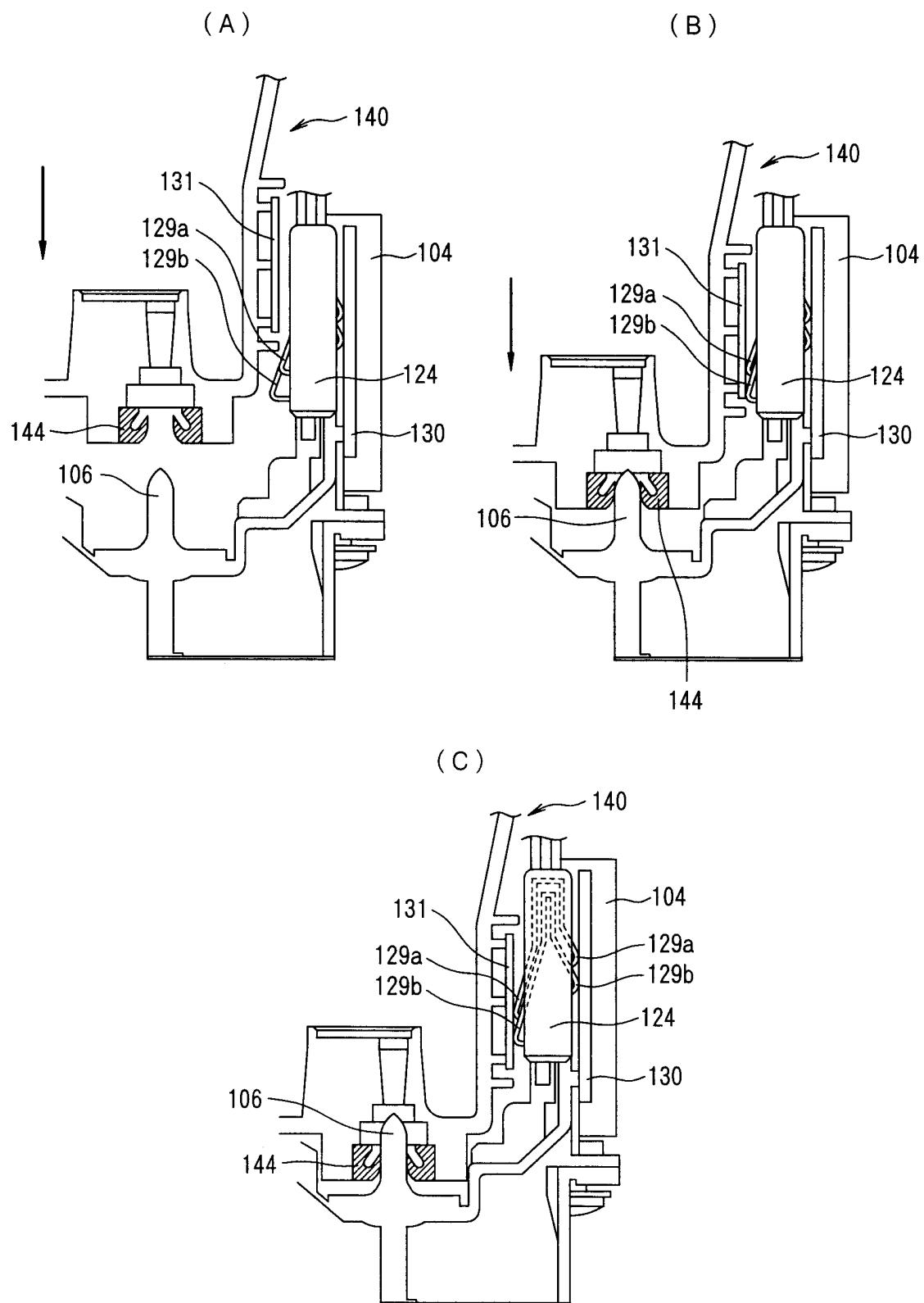
第20図



第 21 図



第22図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06907

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ B41J2/01, B41J2/175

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ B41J2/01, B41J2/175

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000
 Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 6-320732, A (Canon Inc.), 22 November, 1994 (22.11.94), Full text; Figs. 1 to 26 (Family: none)	1-8
Y	JP, 7-156375, A (Ricoh Company, Ltd.), 20 June, 1995 (20.06.95), Full text; Figs. 1 to 7 (Family: none)	1-8
A	JP, 10-100395, A (Canon Inc.), 21 April, 1998 (21.04.98), Full text; Figs. 1 to 3 (Family: none)	1-8
A	JP, 10-235850, A (Canon Inc.), 08 September, 1998 (08.09.98), Full text; Figs. 1 to 6 (Family: none)	1-8

Further documents are listed in the continuation of Box C.

See patent family annex.

- * Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
26 December, 2000 (26.12.00)

Date of mailing of the international search report
16 January, 2001 (16.01.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/JP00/06907

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. C17 B41J2/01, B41J2/175

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. C17 B41J2/01, B41J2/175

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2000年
日本国登録実用新案公報	1994-2000年
日本国実用新案登録公報	1996-2000年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 6-320732, A (キャノン株式会社) 22. 11月. 1994 (22. 11. 94) 全文, 図1-26 (ファミリーなし)	1-8
Y	J P, 7-156375, A (株式会社リコー) 20. 6月. 1995 (20. 06. 95) 全文, 図1-7 (ファミリーなし)	1-8

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日 26. 12. 00	国際調査報告の発送日 16.01.01
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 高松 大治 2P 9415 電話番号 03-3581-1101 内線 3261

国際調査報告

国際出願番号 PCT/JP00/06907

C(続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 10-100395, A (キャノン株式会社) 21. 4月. 1998 (21. 04. 98) 全文, 図1-3 (ファミリーなし)	1-8
A	J P, 10-235850, A (キャノン株式会社) 8. 9月. 1998 (08. 09. 98) 全文, 図1-6 (ファミリーなし)	1-8