

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6130953号
(P6130953)

(45) 発行日 平成29年5月17日(2017.5.17)

(24) 登録日 平成29年4月21日(2017.4.21)

(51) Int.Cl. F I
 HO 1 L 21/8242 (2006.01) HO 1 L 27/10 3 2 1
 HO 1 L 27/108 (2006.01) HO 1 L 27/10 6 7 1 Z

請求項の数 3 (全 37 頁)

(21) 出願番号	特願2016-85833 (P2016-85833)	(73) 特許権者	000153878
(22) 出願日	平成28年4月22日(2016.4.22)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2014-228769 (P2014-228769) の分割		神奈川県厚木市長谷398番地
原出願日	平成23年1月12日(2011.1.12)	(72) 発明者	山崎 舜平
(65) 公開番号	特開2016-131260 (P2016-131260A)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成28年7月21日(2016.7.21)	(72) 発明者	小山 潤
審査請求日	平成28年4月25日(2016.4.25)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(31) 優先権主張番号	特願2010-10527 (P2010-10527)	(72) 発明者	加藤 清
(32) 優先日	平成22年1月20日(2010.1.20)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(33) 優先権主張国	日本国(JP)	審査官	上田 智志

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

トランジスタと、容量素子と、を有し、
 前記トランジスタのソース電極又はドレイン電極は、前記容量素子の第1の電極と電気的に接続され、

前記容量素子の第1の電極と前記容量素子の第2の電極との間には、前記トランジスタのチャンネル形成領域有する酸化物半導体層と前記トランジスタのゲート絶縁層とが設けられていることを特徴とする半導体装置。

【請求項2】

第1のトランジスタと、第2のトランジスタと、容量素子と、を有し、
 前記第1のトランジスタは、第1の層に設けられており、
 前記第2のトランジスタは、第2の層に設けられており、
 前記容量素子は、前記第2の層に設けられており、
 前記第2の層は、前記第1の層の上層であり、
 前記第2のトランジスタのソース電極又はドレイン電極の一方は、前記第1のトランジスタのゲート電極と電気的に接続され、

前記第2のトランジスタのソース電極又はドレイン電極の一方は、前記容量素子の第1の電極と電気的に接続され、

前記容量素子の第1の電極と前記容量素子の第2の電極との間には、前記第2のトランジスタのチャンネル形成領域有する酸化物半導体層と前記第2のトランジスタのゲート絶縁

層とが設けられていることを特徴とする半導体装置。

【請求項3】

第1のトランジスタと、第2のトランジスタと、容量素子と、を有し、
前記第1のトランジスタは、第1の層に設けられており、
前記第2のトランジスタは、第2の層に設けられており、
前記容量素子は、前記第2の層に設けられており、
前記第2の層は、前記第1の層の上層であり、
前記第2のトランジスタのソース電極又はドレイン電極の一方は、前記第1のトランジスタのゲート電極と電気的に接続され、

前記第2のトランジスタのソース電極又はドレイン電極の一方は、前記容量素子の第1の電極と電気的に接続され、

前記容量素子の第1の電極と前記容量素子の第2の電極との間には、前記第2のトランジスタのチャンネル形成領域有する酸化物半導体層と前記第2のトランジスタのゲート絶縁層とが設けられ、

前記容量素子の第2の電極と前記第2のトランジスタのゲート電極とは、同層であることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置とその作製方法に関するものである。特に、情報の記憶が可能な半導体装置に関する。

【0002】

半導体装置とは、トランジスタなどの半導体素子が少なくとも一つ設けられた装置をいう。従って、記憶装置は半導体装置に含まれる。なお、記憶装置とは、複数の記憶素子を含む装置をいう。

【背景技術】

【0003】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性記憶装置と、電力の供給がなくなっても記憶内容が保持される不揮発性記憶装置に大別される。

【0004】

揮発性記憶装置として、例えばDRAM(Dynamic Random Access Memory。以下、DRAMと呼ぶ。)及びSRAM(Static Random Access Memory)が挙げられる。

【0005】

従来のトランジスタを用いてDRAMを構成すると、トランジスタがオフしているときにもソースとドレインの間にリーク電流が生じるため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作(リフレッシュ動作)を行う必要がある。これは消費電力を増大させる一因となる。そして、電力の供給が行われない状況下においては、上記したリフレッシュ動作が行えず、データが失われることになる。

【0006】

一方で、SRAMは、フリップフロップ回路などを用いて記憶内容を保持するため、リフレッシュ動作は不要であるが、記憶容量あたりの単価が高い。なお、電力の供給が止まると、DRAMと同様に記憶内容は失われる。

【0007】

不揮発性記憶装置の代表例としては、例えばフラッシュメモリが挙げられる。フラッシュメモリは、トランジスタのゲート電極とチャンネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を注入し、保持させることでデータの保持を行うため、データの保持期間が半永久的に長く、リフレッシュ動作も不要である(例えば、特許文献1)。

10

20

30

40

50

【0008】

しかし、書き込みの際に生じるトンネル電流によってチャネル形成領域とフローティングゲートの間の絶縁層が劣化するため、書き込み回数が制限される。そのため、例えば、複雑な周辺回路を設けて各記憶素子の書き込み回数を均一化する手法などが採用される。しかし、このように、書き込み回数を均一化する手法を採用しても根本的な寿命の問題が解消するわけではなく、フラッシュメモリは、データの書き換え頻度が高い用途には不向きであるといえる。

【0009】

そして、フローティングゲートへの電荷の注入及びフローティングゲートからの電荷の除去には高い電圧を要するため、昇圧回路などを設ける必要がある。更には、フローティングゲートへの電荷の注入及びフローティングゲートからの電荷の除去には比較的長い時間を要し、データの書き込み動作及びデータの消去動作の高速化は困難である。

10

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開昭57-105889号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

本発明の一態様は、不揮発性記憶装置と同様に、電力が供給されなくともデータの保持が可能であり、且つデータの書き込み回数に制限がなく、更には単位面積あたりの記憶容量が大きい記憶装置または半導体装置を提供することを課題とする。

20

【課題を解決するための手段】

【0012】

本発明の一態様は、動作速度の高いトランジスタと、オフ電流の低いトランジスタを組み合わせることによって、電力が供給されなくてもキャパシタにデータを保持することができる記憶回路の構成を有する半導体装置である。動作速度の高いトランジスタは、多くの集積回路で用いられているように、シリコン半導体を用いた絶縁ゲート型電界効果トランジスタを適用することができる。これに対してオフ電流が低いトランジスタは、シリコン半導体よりも禁制帯幅（バンドギャップ）が広い半導体であって、例えば金属酸化物となる酸化物半導体を用いた絶縁ゲート型電界効果トランジスタを適用することができる。この2種類のトランジスタを組み合わせることで記憶回路を構成する場合に、2つのトランジスタを並置すると単位面積あたりの記憶容量を高めるには不向きとなる。そのために、本発明の一態様は、この2つのトランジスタを、その少なくとも一部が重畳するように設けることで単位面積あたりの記憶容量を高めるようにしている。そして、2つのトランジスタの接続構造を簡略化し、しかも高密度配置が可能となるように、本発明の一態様は、一方のトランジスタのゲート電極と他方のトランジスタのドレイン電極（若しくはソース電極）が直接接し、かつ重畳するように設けることを特徴の一つとしている。

30

【0013】

なお、ここで記憶回路を構成するトランジスタのすべてを酸化物半導体により設ける必要はない。高速動作を要する箇所には酸化物半導体ではない、その他の半導体材料により構成されるトランジスタを設けることが好ましい。このような半導体材料として、例えば単結晶シリコンが挙げられる。

40

【0014】

本発明の一態様は、第1のトランジスタと第2のトランジスタを有する半導体装置であって、第1のトランジスタは、第1の半導体材料が用いられた第1のチャネル形成領域と、第1のチャネル形成領域を挟んで設けられた不純物領域と、第1のチャネル形成領域上に設けられた第1のゲート絶縁層と、少なくとも第1のチャネル形成領域と重畳して第1のゲート絶縁層上に設けられた第1のゲート電極と、不純物領域と電気的に接続された第1のソース電極又は第1のドレイン電極と、を含み、第2のトランジスタは、第2のソー

50

ス電極及び第2のドレイン電極と、第2の半導体材料が用いられ、第2のソース電極及び第2のドレイン電極と電氣的に接続された第2のチャンネル形成領域と、第2のチャンネル形成領域上に設けられた第2のゲート絶縁層と、少なくとも第2のチャンネル形成領域と重畳して第2のゲート絶縁層上に設けられた第2のゲート電極と、を含み、第1のトランジスタと第2のトランジスタは、少なくとも一部が重畳して設けられ、第2のソース電極及び第2のドレイン電極の一方は、第1のゲート電極と電氣的に接続して設けられ、第2のソース電極及び第2のドレイン電極の他方は、第1のゲート電極から離間して設けられていることを特徴とする半導体装置である。

【0015】

本発明の一態様は、第1のトランジスタと、第2のトランジスタと、容量素子と、を有する半導体装置であって、第1のトランジスタは、第1の半導体材料が用いられた第1のチャンネル形成領域と、第1のチャンネル形成領域を挟んで設けられた不純物領域と、第1のチャンネル形成領域上に設けられた第1のゲート絶縁層と、少なくとも第1のチャンネル形成領域と重畳して第1のゲート絶縁層上に設けられた第1のゲート電極と、不純物領域と電氣的に接続された第1のソース電極及び第1のドレイン電極と、を含み、第2のトランジスタは、第2のソース電極又は第2のドレイン電極と、第2の半導体材料が用いられ、第2のソース電極及び第2のドレイン電極と電氣的に接続された第2のチャンネル形成領域と、第2のチャンネル形成領域上に設けられた第2のゲート絶縁層と、少なくとも第2のチャンネル形成領域と重畳して第2のゲート絶縁層上に設けられた第2のゲート電極と、を含み、容量素子は、第2のソース電極または第2のドレイン電極の一方と、第2のゲート絶縁層と、第2のゲート絶縁層上に設けられた容量素子用電極と、を含み、第1のトランジスタと第2のトランジスタは、少なくとも一部が重畳して設けられ、第2のソース電極及び第2のドレイン電極の一方は、第1のゲート電極と電氣的に接続して設けられ、第2のソース電極及び第2のドレイン電極の他方は、第1のゲート電極から離間して設けられていることを特徴とする半導体装置である。

【0016】

本発明の一態様は、第1のトランジスタと、第2のトランジスタと、容量素子と、を有する半導体装置であって、第1のトランジスタは、第1の半導体材料が用いられた第1のチャンネル形成領域と、第1のチャンネル形成領域を挟んで設けられた不純物領域と、第1のチャンネル形成領域上に設けられた第1のゲート絶縁層と、少なくとも第1のチャンネル形成領域と重畳して第1のゲート絶縁層上に設けられた第1のゲート電極と、不純物領域と電氣的に接続された第1のソース電極及び第1のドレイン電極と、を含み、第2のトランジスタは、第2のソース電極又は第2のドレイン電極と、第2の半導体材料が用いられ、第2のソース電極及び第2のドレイン電極と電氣的に接続された第2のチャンネル形成領域と、第2のチャンネル形成領域上に設けられた第2のゲート絶縁層と、少なくとも第2のチャンネル形成領域と重畳して第2のゲート絶縁層上に設けられた第2のゲート電極と、を含み、容量素子は、第2のソース電極または第2のドレイン電極の一方と、第2のチャンネル形成領域を一部に含む酸化物半導体層と、第2のゲート絶縁層と、第2のゲート絶縁層上に設けられた容量素子用電極と、を含み、第1のトランジスタと第2のトランジスタは、少なくとも一部が重畳して設けられ、第2のソース電極及び第2のドレイン電極の一方は、第1のゲート電極と電氣的に接続して設けられ、第2のソース電極及び第2のドレイン電極の他方は、第1のゲート電極から離間して設けられていることを特徴とする半導体装置である。

【0017】

上記構成の半導体装置において、第1の半導体材料と第2の半導体材料は異なることが好ましい。

【0018】

上記構成の半導体装置において、第2の半導体材料は、酸化物半導体であることが好ましい。

【0019】

上記構成の第2の半導体材料が酸化物半導体である半導体装置において、第1のトランジスタと第2のトランジスタの間には複数の絶縁層を有し、複数の絶縁層のうち、少なくとも第2のトランジスタに接する絶縁層が、スパッタリング法により形成されていることが好ましい。

【0020】

上記構成の半導体装置において、第2の半導体材料のエネルギーギャップは3 eVより大きいことが好ましい。例えば、炭化シリコンをはじめとするワイドバンドギャップ材料（より具体的には、例えば、エネルギーギャップE_gが3 eVより大きい半導体材料）などを適用してもよい。

【0021】

上記構成の半導体装置において、第1のトランジスタは、第2のトランジスタよりも高速動作が可能であることが好ましい。

【0022】

上記構成の半導体装置において、第2のトランジスタのオフ電流は、第1のトランジスタのオフ電流よりも小さいことが好ましい。

【0023】

上記構成の、第2のトランジスタのオフ電流が第1のトランジスタのオフ電流よりも小さい半導体装置において、第2のトランジスタの室温におけるオフ電流は、10⁻² A以下であることが好ましい。

【0024】

なお、本明細書において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。また、「上」「下」の用語は説明の便宜のために用いる表現に過ぎず、特に言及する場合を除き、その上下を入れ替えたものも含む。

【0025】

また、本明細書において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0026】

なお、本明細書において、「膜」とは、CVD法（プラズマCVD法などを含む）またはスパッタリング法などにより、被形成面の全面に形成されたものをいう。一方で、「層」とは、「膜」が加工されて形成されたもの、または被形成面の全面に形成されて加工を要しないものをいう。ただし、両者を特に区別することなく用いることがあるものとする。

【0027】

なお、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0028】

なお、本明細書において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電氣信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【発明の効果】

【0029】

10

20

30

40

50

不揮発性記憶装置と同様に、電力が供給されなくともデータの保持が可能であり、且つデータの書き込み回数に制限がなく、更には単位面積あたりの記憶容量が大きい記憶装置または半導体装置を得ることができる。

【図面の簡単な説明】

【0030】

【図1】本発明の一態様である記憶素子を説明する図。

【図2】本発明の一態様である記憶装置を説明する図。

【図3】図2の記憶装置の動作を説明する図。

【図4】本発明の一態様である記憶装置の読み出し回路を説明する図。

【図5】本発明の一態様である記憶装置を説明する図。

10

【図6】本発明の一態様である記憶素子を説明する図。

【図7】本発明の一態様である記憶素子を説明する図。

【図8】本発明の一態様である記憶素子を説明する図。

【図9】本発明の一態様である記憶素子を説明する図。

【図10】本発明の一態様である記憶素子の作製方法を説明する図。

【図11】本発明の一態様である記憶素子の作製方法を説明する図。

【図12】本発明の一態様である記憶素子の作製方法を説明する図。

【図13】本発明の一態様である記憶素子の作製方法を説明する図。

【図14】本発明の一態様である記憶素子の作製方法を説明する図。

【図15】本発明の一態様である記憶素子の作製方法を説明する図。

20

【図16】本発明の一態様である電子機器を説明する図。

【発明を実施するための形態】

【0031】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0032】

なお、以下の説明で参照する図面における各構成の、位置、大きさ、範囲などは、簡略化または特徴を際立たせるため、実際の位置、大きさ、範囲などを正確に表していない場合がある。このため、本発明は、必ずしも、図面に開示された位置、大きさ、範囲などに限定されるものではない。

30

【0033】

なお、以下の説明における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために便宜上付すものであり、数的に限定するものではない。

【0034】

本発明の一態様である記憶装置の一例について以下に説明する。

【0035】

なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号(Oxide Semiconductorの略)を併記する場合がある。

40

【0036】

図1(A)は、本発明の一態様である記憶素子の構成を示す回路図である。図1(A)に示す記憶素子は、トランジスタ160、トランジスタ162及び容量素子164を有する。図1(A)において、トランジスタ160のソース電極及びドレイン電極の一方は第1の配線(1st Lineとも記す)に電気的に接続され、トランジスタ160のソース電極及びドレイン電極の他方は第2の配線(2nd Lineとも記す)に電気的に接続されている。トランジスタ162のソース電極及びドレイン電極の一方は、第3の配線(3rd Lineとも記す)に電気的に接続され、トランジスタ162のゲート電極は、第4の配線(4th Lineとも記す)に電気的に接続されている。そして、トランジスタ160のゲート電極と、トランジスタ162のソース電極及びドレイン電極の他方

50

は、容量素子164の電極の一方に電氣的に接続されている。容量素子164の電極の他方は第5の配線(5th Lineとも記す)に電氣的に接続されている。

【0037】

ここで、トランジスタ162には、酸化物半導体を用いたトランジスタが適用される。酸化物半導体を用いたトランジスタは、酸化物半導体を高純度化し、水素及び水を除去することで、オフ電流を極めて小さくすることができる。このため、トランジスタ162をオフすることで、トランジスタ160のゲート電極に与えられた電荷を極めて長時間にわたって保持することが可能である。そして、容量素子164を有することにより、トランジスタ160のゲート電極に与えられた電荷の保持が容易になり、保持されたデータの読み出しも容易になる。なお、トランジスタ162は、チャネル長を10nm以上1000nm以下とすることが好ましい。チャネル長を10nm以上1000nm以下とすることで、高速動作させることができ、消費電力を抑えることができる。

10

【0038】

図1(A)に示す記憶素子におけるデータの書き込み、データの保持、及びデータの読み出し動作について以下に説明する。

【0039】

まず、第4の配線によりトランジスタ162をオンさせることで、第3の配線から供給された電荷が、トランジスタ160のゲート電極及び容量素子164の一方の電極に与えられる。すなわち、図1(A)のFG部分に電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下、「低レベル電荷」若しくは「Lowレベル電荷」、および「高レベル電荷」若しくは「Highレベル電荷」という)のいずれかが与えられるものとする。

20

【0040】

その後、第4の配線によりトランジスタ162をオフさせることで、図1(A)のFG部分の電荷が保持される(保持)。

【0041】

ここで、トランジスタ162のオフ電流は極めて小さいため、FG部分の電荷は長時間にわたって保持される。

【0042】

次に、データの読み出しについて説明する。第1の配線に所定の電位(定電位)を与えた状態で第5の配線に適切な電位(読み出し電位)を与えると、FG部分に保持された電荷量(トランジスタ160のゲート電極の電位)に応じて、第2の配線の電位は異なるものとなる。一般に、トランジスタ160をn型とすると、トランジスタ160のゲート電極に高レベル電荷が与えられている場合の「みかけのしきい値電圧」 V_{th_H} は、トランジスタ160のゲート電極に低レベル電荷が与えられている場合の「みかけのしきい値電圧」 V_{th_L} より低くなるためである。ここで、トランジスタ160の「みかけのしきい値電圧」とは、第1の配線の電位を定電位としたときにトランジスタ160をオンさせるために必要な第5の配線の電位をいう。従って、第5の配線の電位を V_{th_H} と V_{th_L} の中間の電位 V_0 とすることにより、トランジスタ160のゲート電極に与えられた電荷が、高レベル電荷であるか、または低レベル電荷であるかを判別することができる。例えば、高レベル電荷が保持されている場合には、第5の配線の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ160はオンする。低レベル電荷が保持されている場合には、第5の配線の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ160はオフしたままである。このため、第2の配線の電位を参照することで、保持されているデータを判別し、読み出すことができる。

30

40

【0043】

なお、記憶素子をアレイ状に配置して用いる場合には、所望の記憶素子のデータのみを読み出すことが必要になる。このようにデータを読み出す場合には、ゲート電極の状態にかかわらずトランジスタ160がオフする電位(V_{th_H} より小さい電位)を第5の配線に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ160がオンす

50

る電位 (V_{th_L} より大きい電位) を第 5 の配線に与えればよい。

【0044】

次に、データの書き換えについて説明する。データの書き換えは、上記したデータの書き込み及び保持と同様に行われる。つまり、第 4 の配線の電位により、トランジスタ 162 をオンさせる。これにより、第 3 の配線の電位 (新たなデータに係る電位) が、FG 部分に与えられる。その後、第 4 の配線の電位により、トランジスタ 162 をオフさせることで、FG 部分には、新たなデータに係る電位の電荷が与えられた状態となる。

【0045】

このように、本発明の一態様である記憶素子は、データの再度の書き込みによって、直接的にデータを書き換えることが可能である。このためフラッシュメモリなどにおいてフローティングゲートからの電荷の引き抜きに際して必要であった高い電圧が不要であり、フローティングゲートへの電荷の注入及びフローティングゲートからの電荷の除去による動作速度の低下を抑制することができる。

10

【0046】

なお、トランジスタ 162 のソース電極及びドレイン電極の他方とトランジスタ 160 のゲート電極が電気的に接続されることにより、図 1 (A) 中の FG 部分は、フラッシュメモリのフローティングゲートと同様に機能する。トランジスタ 162 がオフされている場合には、FG 部分は絶縁体中に埋設されたものとして扱うことができ、FG 部分に電荷を保持することができる。本発明の一態様である記憶素子に設けられるトランジスタ 162 のオフ電流は、シリコンなどにより設けられる従来のトランジスタの 10 万分の 1 以下とすることができる。そのため、FG 部分からのトランジスタ 162 を介した電荷のリークはほとんど起こらないものとして扱うことが可能である。つまり、本発明の一態様である記憶素子を用いることで、電力が供給されなくてもデータの保持が可能な不揮発性の記憶装置を実現することができる。

20

【0047】

例えば、トランジスタ 162 の室温でのオフ電流が 10 z A 以下であり、容量素子 164 の容量値が 10 f F 程度である場合には、少なくとも 10^4 秒以上のデータ保持が可能である。なお、この保持期間は、トランジスタの特性や容量素子の容量値によって変動する。

【0048】

更には、上記したように、本発明の一態様である記憶素子は、フラッシュメモリとは異なり、チャンネル形成領域とフローティングゲートの間の絶縁層を劣化させるトンネル電流を用いていない。そのため、書き込み回数が制限されない。更には、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要な高電圧も不要である。

30

【0049】

図 1 (A) に示す記憶素子は、トランジスタなどの構成要素が抵抗及び容量を含むものとして、図 1 (B) のように扱うことが可能である。図 1 (B) に示すように、トランジスタ 160 及び容量素子 164 を、それぞれ、抵抗と容量が並列に接続されたものとして扱うことができる。R1 及び C1 は、それぞれ、容量素子 164 の抵抗値と容量値であり、抵抗値 R1 は容量素子 164 を構成する絶縁層による抵抗値に相当する。なお、R2 及び C2 は、それぞれ、トランジスタ 160 の抵抗値及び容量値であり、抵抗値 R2 はトランジスタ 160 がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値 C2 はいわゆるゲート容量 (ゲート電極と、ソース電極またはドレイン電極との間に形成される容量、及び、ゲート電極とチャンネル形成領域との間に形成される容量) の容量値に相当する。

40

【0050】

トランジスタ 162 のゲートリーク電流が十分に小さい場合には、トランジスタ 162 がオフしているときのソース電極とドレイン電極の間の抵抗値 (実効抵抗とも呼ぶ) を ROS とすると、R1 が ROS より大きく、R2 が ROS より小さい場合には、電荷の保持期間 (データの保持期間ともいえる) は、主としてトランジスタ 162 のオフ電流によっ

50

て決定される。

【0051】

逆に、当該条件を満たさない場合には、トランジスタ162のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ162のオフ電流以外のリーク電流（例えば、ソースとゲートの間において生じるリーク電流など）が大きいためである。このことから、本発明の一態様である記憶素子は、上述の関係を満たすことが好ましい。

【0052】

一方で、C1はC2以上であることが好ましい。C1を大きくすることで、第5の配線によってFG部分の電位を制御する際（例えば、読み出しの際）に、第5の配線の電位の変動を低く抑えることができるためである。

【0053】

なお、R1とR2は、トランジスタ160やトランジスタ162のゲート絶縁層によって決定される。C1及びC2についても同様である。よって、ゲート絶縁層の材料や厚さなどを適切に選択することで、上記した関係を満たす記憶素子を実現することができる。

【0054】

本発明の一態様である記憶素子において、FG部分はフラッシュメモリなどのフローティングゲート型のトランジスタのフローティングゲートと同様に機能するが、FG部分は、フラッシュメモリなどのフローティングゲートとは本質的に異なる特徴を有する。従来のフラッシュメモリでは、コントロールゲートに高電界をかけてトンネル電流を発生させるため、その電界の影響が隣接するセルのフローティングゲートに及ぶことを防ぐために、各記憶素子間の間隔をある程度保つ必要が生じる。これにより、記憶装置の高集積化が阻害される。

【0055】

更には、フラッシュメモリの上記原理によって、絶縁層の劣化が進行し、書き換え回数が制限されている。

【0056】

本発明の一態様である記憶素子は、トランジスタのスイッチングによって動作し、従来のフラッシュメモリのようにトンネル電流による電荷注入が行われない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、従来よりも高集積化することができる。

【0057】

更には、後述するようにトランジスタ160とトランジスタ162を重畳させて設けることで、更なる高集積化も可能となる。

【0058】

そして、従来のフローティングゲート型トランジスタでは、書き込み時にゲート絶縁膜（トンネル絶縁膜）中を電荷が移動するために、該ゲート絶縁膜（トンネル絶縁膜）の劣化が不可避であった。しかしながら、本発明の一態様に係る記憶素子においては、書き込み用トランジスタのスイッチング動作によりデータの書き込みがなされるため、従来問題とされていたゲート絶縁膜の劣化を解消することができる。これは、原理的な書き込み回数の制限が存在せず、書き換え耐性が極めて高いことを意味するものである。例えば、本発明の一態様に係る記憶素子は、 1×10^9 回（10億回）以上の書き込みも可能である。

【0059】

そして、トンネル電流による電荷の注入を用いないため、記憶素子の劣化の原因が存在しない。つまり、フラッシュメモリと比較して高い耐久性と信頼性を有することになる。

【0060】

そして、高電界が不要であるため、少なくとも当該記憶素子にとっては昇圧回路が不要である。そのため、大型の周辺回路を設けなくてもよく、記憶装置の狭額縁化が可能にな

10

20

30

40

50

る。

【0061】

なお、C1を構成する絶縁層の比誘電率 r_1 と、C2を構成する絶縁層の比誘電率 r_2 とを異ならせる場合には、C1の面積 S_1 は、C2の面積 S_2 の2倍以下であることが好ましく（より好ましくは、面積 S_1 は面積 S_2 以下であり）、且つC2はC1よりも小さいことが好ましい。具体的には、例えば、絶縁層の材料として、C1では酸化ハフニウムなどのhigh-k材料でなる層と酸化物半導体でなる層との積層構造として r_1 を10以上（好ましくは15以上）とし、C2では酸化シリコン層として $r_2 = 3 \sim 4$ とすればよい。このような構成を併用することで、本発明の一態様である記憶素子は、より高集積化することが可能である。

10

【0062】

なお、上記説明は、電子を多数キャリアとするn型トランジスタを用いる場合についてのものであるが、n型トランジスタに代えて、正孔を多数キャリアとするp型トランジスタを用いることもできる。

【0063】

以上説明したように、本発明の一態様である記憶素子は、オフ状態でのソースとドレイン間のリーク電流（オフ電流）が少ない書き込み用トランジスタ、該書き込み用トランジスタとは異なる半導体材料を用いた読み出し用トランジスタ及び容量素子を含む不揮発性の記憶素子を有している。

【0064】

書き込み用トランジスタのオフ電流は、使用時の温度（例えば、25℃）で100zA以下、好ましくは10zA以下、さらに好ましくは、1zA以下であることが望ましい。シリコンを用いたトランジスタでは、このように低いオフ電流を得ることは困難であるが、酸化物半導体を用いたトランジスタにより実現することが可能になる。このため、書き込み用トランジスタとしては、酸化物半導体を含むトランジスタを用いることが好ましい。

20

【0065】

さらに酸化物半導体を用いたトランジスタはサブスレッショルドスイング値（S値）が小さいため、比較的移動度が低くてもスイッチング速度を十分に大きくすることが可能である。よって、該トランジスタを書き込み用トランジスタとして用いることで、FG部分に与えられる書き込みパルスの立ち上がりを極めて急峻にすることができる。

30

【0066】

なお、書き込み用トランジスタのオフ電流が小さいため、FG部分に保持させる電荷量を少なくすることができる。更には、データの書き込み動作及びデータの消去動作の高速化が可能であり、データの書き換えを高速に行うことができる。

【0067】

読み出し用トランジスタとしては、読み出しの速度を高くするために、高速で動作するトランジスタを用いることが好ましい。例えば、読み出し用トランジスタとしては、スイッチング速度が1ナノ秒以下のトランジスタを用いることが好ましい。

【0068】

データの書き込みは、書き込み用トランジスタをオンさせることにより、書き込み用トランジスタのソース電極またはドレイン電極の他方と、容量素子の電極の一方と、読み出し用トランジスタのゲート電極とが電氣的に接続されたFG部分に電圧を印加し、その後、書き込み用トランジスタをオフ状態とすることで、FG部分に所定量の電荷を保持させることで行う。ここで、書き込み用トランジスタのオフ電流は極めて小さいため、FG部分に供給された電荷は長時間にわたって保持される。オフ電流が例えば実質的に0であれば、リフレッシュ動作が不要となるか、または、リフレッシュ動作を行う場合であっても、その頻度を極めて低く（例えば、一ヶ月～一年に一度程度）することができ、記憶素子の消費電力を十分に低減することができる。

40

【0069】

50

なお、本発明の一態様である記憶素子では、記憶素子へのデータの再度の書き込みによってデータを直接書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。

【0070】

なお、本発明の一態様である記憶素子に印加される電圧（記憶素子の各端子に同時に印加される電位の最大のものとの最小のものとの差）の最大値は、2段階（1ビット）のデータを書き込む場合、一つの記憶素子において、5V以下、好ましくは3V以下である。

【0071】

なお、本発明の一態様である記憶素子は、書き込み用トランジスタと、読み出し用トランジスタと、容量素子と、を少なくとも含んでいればよく、容量素子の面積が小さくても動作可能である。従って、例えば、ひとつの記憶素子あたり6つのトランジスタを必要とするSRAMと比較して単位面積あたりの記憶容量を大きくすることができる。

10

【0072】

さらに、本発明の一態様である記憶素子に用いる酸化物半導体は、エネルギーギャップが3.0～3.5eVと大きく、熱励起キャリアが極めて少ないこともあり、例えば、150もの高温環境下でも記憶素子の電流-電圧特性に劣化が見られない。本発明の一態様である記憶素子に用いるトランジスタは、150の高温下であっても特性の劣化を起こさず、且つオフ電流が100zA以下と極めて小さい。

【0073】

20

図2は、本発明の一態様である記憶装置として、図1を用いて説明した記憶素子をマトリクス状に配置した記憶装置の構成を例示している。なお、説明を簡略にするため、図2には、縦2個（行）×横2個（列）の記憶素子をマトリクス状に配置した構成を示しているが、以下の説明では、縦m個（行）×横n個（列）（m、nは自然数）のマトリクス状に配置された記憶装置について説明する。

【0074】

図2に示す記憶装置では、複数の記憶素子1100が縦m個（行）×横n個（列）（m、nは自然数）のマトリクス状に配置され、その外側に第1の駆動回路1111、第2の駆動回路1112、第3の駆動回路1113及び第4の駆動回路1114が配置され、これらの駆動回路と記憶素子1100がm本のワード線WL、m本の第2の信号線S2、n本のビット線BL、n本のソース線SL及びn本の第1の信号線S1によって接続されている。ここで、記憶素子1100は、図1（A）に示したものをを用いる。

30

【0075】

記憶素子1100において、第1のトランジスタは図1（A）のトランジスタ160に相当し、第2のトランジスタは図1（A）のトランジスタ162に相当し、容量素子は図1（A）の容量素子164に相当する。そして、ソース線SLは図1（A）の第1の配線に相当し、ビット線BLは図1（A）の第2の配線に相当し、第1の信号線S1は図1（A）の第3の配線に相当し、第2の信号線S2は図1（A）の第4の配線に相当し、ワード線WLは図1（A）の第5の配線に相当する。

【0076】

40

すなわち、記憶素子1100において、第1のトランジスタのソース電極及びドレイン電極の一方はソース線SLに電氣的に接続され、第1のトランジスタのソース電極及びドレイン電極の他方はビット線BLに電氣的に接続されている。第2のトランジスタのソース電極及びドレイン電極の一方は、第1の信号線S1に電氣的に接続され、第2のトランジスタのゲート電極は、第2の信号線S2に電氣的に接続されている。そして、第1のトランジスタのゲート電極と、第2のトランジスタのソース電極及びドレイン電極の他方は、容量素子の電極の一方に電氣的に接続されている。容量素子の電極の他方はワード線WLに電氣的に接続されている。

【0077】

そして、記憶素子1100のそれぞれは、ソース線SLとビット線BLとの間に、並列

50

に接続されている。例えば、 i 行 j 列の記憶素子 $1100(i, j)$ (i は 1 以上 m 以下の整数、 j は 1 以上 n 以下の整数) は、ソース線 $SL(j)$ 、ビット線 $BL(j)$ 、第 1 の信号線 $S1(j)$ 、ワード線 $WL(i)$ 、第 2 の信号線 $S2(i)$ 、にそれぞれ接続されている。

【0078】

ソース線 SL 及びビット線 BL は、第 1 の駆動回路 1111 に接続されており、第 1 の信号線 $S1$ は第 3 の駆動回路 1113 に接続されており、第 2 の信号線 $S2$ は第 2 の駆動回路 1112 に接続されており、ワード線 WL は第 4 の駆動回路 1114 に接続されている。なお、ここでは、第 1 の駆動回路 1111 、第 2 の駆動回路 1112 、第 3 の駆動回路 1113 、第 4 の駆動回路 1114 をそれぞれ独立に設けているが、これに限定されず、

10

いずれか一または複数の機能を有するデコーダを用いてもよい。

【0079】

次に、図 3 に示すタイミングチャートを用いて、図 2 に示す記憶装置の書き込み動作及び読み出し動作について説明する。

【0080】

ここでは、簡単のため、2 行 \times 2 列の記憶装置の動作について説明することとするが、本発明はこれに限定されない。

【0081】

図 3 において、 $S1(1)$ 及び $S1(2)$ は、それぞれ第 1 の信号線 $S1$ の電位、 $S2(1)$ 及び $S2(2)$ は、それぞれ第 2 の信号線 $S2$ の電位、 $BL(1)$ 及び $BL(2)$ は、それぞれビット線 BL の電位、 $WL(1)$ 及び $WL(2)$ は、ワード線 WL の電位、 $SL(1)$ 及び $SL(2)$ は、それぞれソース線 SL の電位に相当する。

20

【0082】

まず、1 行目の記憶素子 $1100(1, 1)$ 、及び記憶素子 $1100(1, 2)$ への書き込み、1 行目の記憶素子 $1100(1, 1)$ 、及び記憶素子 $1100(1, 2)$ からの読み出しを行う場合について説明する。なお、以下では、記憶素子 $1100(1, 1)$ へ書き込むデータを "1" とし、記憶素子 $1100(1, 2)$ へ書き込むデータを "0" とする場合について説明する。

【0083】

はじめに、書き込みについて説明する。1 行目書き込み期間において、1 行目の第 2 の信号線 $S2(1)$ に電位 V_H を与え、1 行目の第 2 のトランジスタをオンさせる。また、2 行目の第 2 の信号線 $S2(2)$ に $0V$ を与え、2 行目の第 2 のトランジスタをオフさせる。

30

【0084】

次に、1 列目の第 1 の信号線 $S1(1)$ に電位 V_2 、2 列目の第 1 の信号線 $S1(2)$ に電位 $0V$ を与える。

【0085】

その結果、記憶素子 $1100(1, 1)$ の FG 部分には電位 V_2 が、記憶素子 $1100(1, 2)$ の FG 部分には $0V$ が与えられる。ここでは、電位 V_2 は第 1 のトランジスタのしきい値電圧より高い電位とする。そして、1 行目の信号線 $S2(1)$ の電位を $0V$ と

40

【0086】

なお、ワード線 $WL(1)$ 、 $WL(2)$ は $0V$ としておく。また、1 列目の第 1 の信号線 $S1(1)$ の電位を変化させる前に 1 行目の第 2 の信号線 $S2(1)$ を $0V$ とする。書き込み後の、ワード線 WL に接続される端子を制御ゲート電極、第 1 のトランジスタのソース電極をソース電極、第 2 のトランジスタのドレイン電極をドレイン電極、とそれぞれ見なした記憶素子のしきい値は、データ "0" では V_{w0} 、データ "1" では V_{w1} となる。ここで、記憶素子のしきい値とは、第 1 のトランジスタのソース電極とドレイン電極の間の抵抗が変化する、ワード線 WL に接続される端子の電圧をいうものとする。なお、 $V_{w0} > 0 > V_{w1}$ とする。

50

【 0 0 8 7 】

次に、読み出しについて説明する。1行目の読み出し期間において、1行目のワード線WL(1)に0Vを与え、2行目のワード線WL(2)には電位VLを与える。電位VLはしきい値Vw1より低い電位とする。WL(1)を0Vとすると、1行目において、データ"0"が保持されている記憶素子1100(1,2)の第1のトランジスタはオフ、データ"1"が保持されている記憶素子1100(1,1)の第1のトランジスタはオンとなる。WL(2)を電位VLとすると、2行目において、データ"0"、"1"のいずれが保持されている記憶素子1100であっても、第1のトランジスタはオフとなる。

【 0 0 8 8 】

次に、1列目のソース線SL(1)、2列目のソース線SL(2)に電位0Vを与える

10

【 0 0 8 9 】

その結果、ビット線BL(1)-ソース線SL(1)間は記憶素子1100(1,1)の第1のトランジスタがオンであるため低抵抗となり、ビット線BL(2)-ソース線SL(2)間は記憶素子1100(1,2)の第1のトランジスタがオフであるため、高抵抗となる。ビット線BL(1)、ビット線BL(2)に接続される読み出し回路は、ビット線の抵抗の違いから、データを読み出すことができる。

【 0 0 9 0 】

また、第2の信号線S2(1)には0Vを、第2の信号線S2(2)には電位VLを与え、第2のトランジスタを全てオフしておく。1行目のFG部分の電位は0VまたはV2であるから、第2の信号線S2(1)を0Vとすることで1行目の第2のトランジスタを全てオフすることができる。一方、2行目のFG部分の電位は、ワード線WL(2)に電位VLが与えられると、書き込み直後の電位より低い電位となってしまう。これにより、第2のトランジスタがオンとなることを防止するために、第2の信号線S2(2)をワード線WL(2)と同じ低電位とする。以上により、第2のトランジスタを全てオフすることができる。

20

【 0 0 9 1 】

上記したように、読み出しには読み出し回路を用いる。

【 0 0 9 2 】

図4(A)は、読み出し回路の一例を示す。図4(A)に示す読み出し回路は、トランジスタとセンスアンプ回路を有する。トランジスタのソース電極とドレイン電極の一方には電位Vddが印加され、トランジスタのソース電極とドレイン電極の他方には、センスアンプ回路の+端子とビット線が接続される。トランジスタのゲート電極にはバイアス電位Vbiasが印加される。なお、ここで、バイアス電位Vbiasは0より高く、Vddより低い。

30

【 0 0 9 3 】

記憶素子が高抵抗の場合には、センスアンプ回路の+端子に入力される電位が参照電位Vrefより高くなり、センスアンプ回路はデータ"1"を出力する。一方、記憶素子が低抵抗の場合には、センスアンプ回路の-側に入力される電位が参照電位Vrefより低くなり、センスアンプ回路はデータ"0"を出力する。

40

【 0 0 9 4 】

図4(B)は、読み出し回路の他の一例を示す。図4(B)に示す読み出し回路は、トランジスタとクロックインバータを有する。トランジスタのソース電極とドレイン電極の一方には電位Vddが印加され、トランジスタのソース電極とドレイン電極の他方には、クロックインバータの入力とビット線が接続される。トランジスタのゲート電極にも電位Vddが印加される。

【 0 0 9 5 】

図4(B)に示す読み出し回路を用いる場合の出力電位について説明する。記憶素子1100(1,1)の第1のトランジスタがオンしているとき、ビット線BL(1)とソース線SL(1)の間は低抵抗である。そのため、クロックインバータの入力は低電位と

50

なり、出力D(1)はHighとなる。一方で、ビット線BL(2)とソース線SL(2)の間は高抵抗であるため、クロックインバータには高電位が入力され、出力D(2)はLowとなる。

【0096】

なお、読み出し回路は、図4に示した構成に限定されない。例えば、読み出し回路はプリチャージ回路を有してもよいし、参照電位Vrefの代わりに参照用のビット線がセンスアンプ回路に接続される構成としてもよい。

【0097】

ここでは、図1に示す記憶素子が設けられた記憶装置(図2)を用いたが、本発明はこれに限定されない。図1に示す記憶素子を用いて、図2とは異なる形態の他の記憶装置を構成することも可能である。

【0098】

図5は、図1に示す記憶素子を用いて構成した、図2とは異なる形態の他の記憶装置を示す。図5は、記憶素子が直列に接続された、いわゆるNAND型の記憶装置の回路図である。

【0099】

図5に示す記憶装置は、ソース線SL、ビット線BL、第1信号線S1、複数本の第2信号線S2、複数本のワード線WL及び複数の記憶素子を有する。図5では、ソース線SL及びビット線BLを1本ずつ有する構成となっているが、これに限定されず、ソース線SLとビット線BLも複数本有していてもよい。

【0100】

図5に示す各記憶素子において、第2のトランジスタ(図1に示すトランジスタ162に相当)のソース電極及びドレイン電極の一方は、第1の信号線S1に電氣的に接続され、第2のトランジスタのゲート電極は、第2の信号線S2に電氣的に接続されている。そして、第1のトランジスタ(図1に示すトランジスタ160に相当)のゲート電極と、第2のトランジスタのソース電極及びドレイン電極の他方は、容量素子の電極の一方に電氣的に接続されている。容量素子の電極の他方はワード線WLに電氣的に接続されている。

【0101】

ここで、ビット線BLとソース線SLの間には、k個(kは自然数)の各記憶素子が有する第1のトランジスタのソース電極とドレイン電極が順に直列に接続され、第1の記憶素子の第1のトランジスタのソース電極はビット線BLに電氣的に接続され、終端に位置する第kの記憶素子の第1のトランジスタのドレイン電極はソース線SLに電氣的に接続されている。

【0102】

図5に示す記憶装置は、行ごとに行き込み動作と読み出し動作を行う。書き込み動作は次のように行われる。すなわち、書き込みする行の第2の信号線S2により、書き込みする行の第2のトランジスタをオンさせる。これにより、指定した行の第1のトランジスタのゲート電極に第1の信号線S1の電位が与えられ、FG部分に所定の電荷が注入される。このようにして、指定した行の記憶素子にデータを書き込むことができる。

【0103】

そして、読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WLに、第1のトランジスタのゲート電極の電荷によらず、第1のトランジスタがオン状態となるような電位を与え、読み出しを行う行以外の第1のトランジスタをオン状態とする。それから、読み出しを行う行のワード線WLに、第1のトランジスタのゲート電極が有する電荷によって、第1のトランジスタのオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。そして、ソース線SLに定電位を与え、ビット線BLに接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線SL-ビット線BL間の複数の第1のトランジスタは、読み出しを行う行を除いてオン状態なので、ソース線SL-ビット線BL間のコンダクタンスは、読み出しを行う行の第1のトランジスタの状態によって決定される。つまり、読み出しを行う行の第1のトランジスタの

10

20

30

40

50

ゲート電極が有する電荷によって、読み出し回路が読み出すビット線BLの電位は異なる値をとる。このようにして、指定した行の記憶素子からデータを読み出すことができる。

【0104】

次に、本発明の一態様である図1(A)に示す記憶素子の上面図と断面図について、図6を参照して説明する。ここで、図6(B)は上面図を示し、図6(A)は図6(B)のC1-C2及びD1-D2における断面図を示す。

【0105】

図6に示す記憶素子は、基板100にトランジスタ160が設けられ、トランジスタ160では少なくともゲート電極110が層間絶縁層125、層間絶縁層126及び層間絶縁層128から露出されており、露出されたゲート電極110に接して、トランジスタ162のソース電極またはドレイン電極142aが設けられている。ソース電極またはドレイン電極142aは、トランジスタ162のソース電極またはドレイン電極としてのみならず、容量素子164の電極としても機能する。容量素子164は、ソース電極またはドレイン電極142a、電極148b、酸化物半導体層144及びゲート絶縁層146により構成される。ここで、トランジスタ160とトランジスタ162は、少なくとも一部が重畳して設けられている。

【0106】

なお、図6において、トランジスタ160は基板100に設けられている。基板100としては、高速で動作させることが可能な半導体材料を有する基板を用いればよく、例えば単結晶シリコン基板を用いることができる。基板100として単結晶シリコン基板を用いると、トランジスタ160を特に高速で動作させることができる。

【0107】

なお、図6において、トランジスタ162はトランジスタ160上に設けられている。トランジスタ162は酸化物半導体層144を有する。

【0108】

なお、トランジスタ160及びトランジスタ162は、いずれもn型トランジスタであるものとして説明するが、p型トランジスタを用いてもよい。

【0109】

トランジスタ160は、半導体材料を含む基板100に設けられたチャネル形成領域116と、高濃度不純物領域120と、チャネル形成領域116上に設けられたゲート絶縁層108aと、ゲート絶縁層108a上に設けられたゲート電極110と、高濃度不純物領域120と電気的に接続されるソース電極またはドレイン電極154を有する。高濃度不純物領域120とソース電極またはドレイン電極154の間には、金属化合物領域124が設けられている。

【0110】

そして、基板100の表面近傍にはトランジスタ160を囲むように素子分離絶縁層106が設けられており、トランジスタ160を覆って、層間絶縁層125、層間絶縁層126及び層間絶縁層128が設けられている。層間絶縁層125、層間絶縁層126及び層間絶縁層128はトランジスタ160を覆って形成された後に、少なくともゲート電極110を露出させるまでCMPなどによって削られている。

【0111】

図6におけるトランジスタ162は、層間絶縁層128上に設けられたソース電極またはドレイン電極142a、ソース電極またはドレイン電極142b、酸化物半導体層144、ゲート絶縁層146及びゲート電極148aを有する。酸化物半導体層144は、ソース電極またはドレイン電極142aとソース電極またはドレイン電極142bの間に、これらに接して設けられ、酸化物半導体層144のチャネル形成領域に重畳してゲート電極148aが設けられている。

【0112】

ここで、酸化物半導体層144は、水素などの不純物を十分に除去して高純度化し、さらに十分な酸素供給によって酸素欠損に起因する欠陥準位を低減させたものであることが

10

20

30

40

50

好ましい。具体的には、例えば、酸化物半導体層 144 の水素濃度は $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、より好ましくは $5 \times 10^{17} / \text{cm}^3$ 以下とする。ここで、酸化物半導体層 144 中の水素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) での測定値を基準としている。このように、水素が十分に除去されて高純度化され、酸素が十分に供給されて酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層では、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、好ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より好ましくは測定限界値未満となる。このような酸化物半導体層を用いることで、例えば、室温でのオフ電流密度 (オフ電流をトランジスタのチャネル幅で除した値) は $10 \text{ zA} / \mu\text{m} \sim 100 \text{ zA} / \mu\text{m}$ となる。このように、i 型化 (真性化) または実質的に i 型化された酸化物半導体を用いることで、オフ電流が極端に小さいトランジスタを得ることができる。

10

【0113】

なお、図 6 に示すトランジスタ 162 が有する酸化物半導体層 144 は島状に加工されていない。そのため、加工の際のエッチングによって酸化物半導体層 144 が汚染されることを防止することができ、酸化物半導体層 144 を高純度に保持することが可能になる。

【0114】

なお、図 6 に示す容量素子 164 では、酸化物半導体層 144 とゲート絶縁層 146 を積層させることで、ソース電極またはドレイン電極 142a と、電極 148b の間の絶縁性を十分に確保することができる。

20

【0115】

なお、ソース電極またはドレイン電極 142a とソース電極またはドレイン電極 142b は、テーパ形状にすることが好ましい。酸化物半導体層 144 の被覆性を向上させ、段切れを防止することができるためである。ここで、特に好ましくは、テーパ角は、例えば、 30° 以上 60° 以下とする。なお、テーパ角とは、テーパ形状を有する層 (例えば、ソース電極またはドレイン電極 142a) を、その断面 (基板の表面と直交する面) に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角 (内角) を示す。

【0116】

なお、トランジスタ 162 及び容量素子 164 の上には、層間絶縁層 150 が設けられており、層間絶縁層 150 上には層間絶縁層 152 が設けられている。

30

【0117】

そして、層間絶縁層 152 から基板 100 に達する開口が設けられており、層間絶縁層 152 上及び該開口にソース電極またはドレイン電極 154 が設けられている。ソース電極またはドレイン電極 154 は金属化合物領域 124 に達するように設けられている。

【0118】

なお、本発明の一態様である記憶素子は、図 6 に示すものに限定されない。

【0119】

例えば、図 7 に示すように、層間絶縁層 126 が設けられていなくてもよい。層間絶縁層 126 を形成しないことで、工程数が減り、スループットを向上させることができる。

40

【0120】

または、図 8 に示すようにゲート絶縁層 108a 及びゲート電極 110 の側面に接してサイドウォール絶縁層 118 を有していてもよい。サイドウォール絶縁層 118 を有する場合には、後述するように、低濃度不純物領域を形成することができる。低濃度不純物領域により、ドレイン端近傍の電界を緩和することができるため、オフ電流を低減させることができる。

【0121】

または、図 9 に示すように、図 7 の構成と図 8 の構成を組み合わせ用いてもよい。

【0122】

次に、図 8 に示す記憶素子に含まれるトランジスタ 160 の作製方法について説明する

50

【0123】

まず、半導体材料を含む基板100を用意する(図10(A))。半導体材料を含む基板100としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することができる。ここでは、半導体材料を含む基板100として、単結晶シリコン基板を用いる場合の一例について示すものとする。なお、一般に「SOI基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書においては、絶縁表面上にシリコン以外の半導体材料により構成される半導体層が設けられた基板も含む。つまり、「SOI基板」が有する半導体材料は、シリコンに限定されない。更には、「SOI基板」には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものも含まれるものとする。

10

【0124】

次に、基板100上に、素子分離絶縁層106を形成するためのマスクとなる保護層102を形成する(図10(A))。保護層102としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコンまたは窒化シリコンなどにより形成される絶縁層を用いることができる。なお、この工程の前または後に、トランジスタのしきい値電圧を調整するために、n型の導電性を付与する不純物元素やp型の導電性を付与する不純物元素を基板100に添加してもよい。基板100がシリコン基板の場合には、n型の導電性を付与する不純物元素としては、例えば、リン(P)または砒素(As)などを用いることができる。そして、p型の導電性を付与する不純物元素としては、例えば、硼素(B)、アルミニウム(Al)またはガリウム(Ga)などを用いることができる。

20

【0125】

なお、「酸化窒化シリコン」とは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)及び水素前方散乱法(HFS: Hydrogen Forward Scattering)を用いて測定した場合に、組成範囲として酸素が50~70原子%、窒素が0.5~15原子%、シリコンが25~35原子%、水素が0.1~10原子%の範囲に含まれるものをいう。

30

【0126】

なお、「窒化酸化シリコン」とは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは、RBS及びHFSを用いて測定した場合に、組成範囲として酸素が5~30原子%、窒素が20~55原子%、シリコンが25~35原子%、水素が10~30原子%の範囲に含まれるものをいう。ただし、酸化窒化シリコンまたは窒化酸化シリコンを構成する原子の合計を100原子%としたとき、窒素、酸素、シリコン及び水素の含有比率が上記の範囲内に含まれるものとする。

【0127】

次に、上記の保護層102をマスクとしてエッチングを行い、保護層102に覆われていない領域(露出している領域)の、基板100の一部を除去する。これにより他の半導体領域と分離された半導体領域104が形成される(図10(B))。当該エッチングには、ドライエッチングを用いることが好ましいが、ウェットエッチングを用いてもよい。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

40

【0128】

次に、少なくとも半導体領域104を覆って絶縁膜を形成し、半導体領域104に重畳する領域の絶縁膜を選択的に除去することで、素子分離絶縁層106を形成する(図10(B))。この絶縁膜は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコンまたは窒化シリコンなどを用いて形成されるとよい。絶縁膜の除去は、CMPなどの研磨処理またはエッチング処理などを用いて行えばよい。半導体領域104の形成後(素子分離絶縁層106の形成後)に、保護層102を除去する。

50

【0129】

次に、半導体領域104上に絶縁膜を形成し、当該絶縁膜上に導電膜を形成する。

【0130】

ここで形成する絶縁膜は後にゲート絶縁層108aとなるものであり、CVD法またはスパッタリング法などを用いて、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート、窒素が添加されたハフニウムシリケート若しくは窒素が添加されたハフニウムアルミネートなどを含む膜を単層で、または積層して形成するとよい。他には、高密度プラズマ処理や熱酸化処理によって、半導体領域104の表面を酸化または窒化することで形成してもよい。高密度プラズマ処理は、例えば、ヘリウム(He)、アルゴン(Ar)、クリプトン(Kr)、キセノン(Xe)などの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスを用いて行うことができる。ここで、絶縁膜の厚さは、1nm以上100nm以下とすればよく、10nm以上50nm以下とすることが好ましい。

10

【0131】

ここで形成する導電膜は、蒸着法、CVD法、スパッタリング法、スピコート法などを用いて、アルミニウム(Al)、銅(Cu)、チタン(Ti)、タンタル(Ta)、タングステン(W)などの金属材料により形成することができる。または、多結晶シリコンなどの半導体材料を用いて形成してもよい。なお、ここでは、導電膜を金属材料により形成する場合の一例について示すものとする。

20

【0132】

その後、当該絶縁膜及び当該導電膜を選択的にエッチングして、ゲート絶縁層108aとゲート電極110を形成する。

【0133】

次に、ゲート電極110を覆って絶縁膜を形成する。そして、ゲート電極110をマスクとして半導体領域104にリン(P)または砒素(As)などを添加して、浅い接合深さの不純物領域114を形成する。なお、ここではn型トランジスタを形成するためにリン(P)または砒素(As)を添加しているが、p型トランジスタを形成する場合には、硼素(B)またはアルミニウム(Al)などの不純物元素を添加すればよい。不純物領域114の形成により、半導体領域104のゲート絶縁層108aの下部に、チャンネル形成領域116が形成される(図10(C))。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが好ましい。なお、ここでは、絶縁膜112を形成した後に不純物領域114を形成する工程を採用しているが、不純物領域114を形成した後に絶縁膜112を形成する工程としてもよい。

30

【0134】

次に、サイドウォール絶縁層118を形成する(図10(D))。サイドウォール絶縁層118は、絶縁膜112を覆って絶縁膜を形成した後に、当該絶縁膜に異方性の高いエッチング処理を行うことで、自己整合的に形成することができる。なお、この際に、絶縁膜112を部分的にエッチングして、ゲート電極110の上面と、不純物領域114の上面を露出させるとよい。なお、サイドウォール絶縁層118は、高集積化などの目的のために形成されない場合もある(例えば図6)。

40

【0135】

次に、ゲート電極110、不純物領域114、サイドウォール絶縁層118などを覆って絶縁膜を形成する。そして、不純物領域114と接する領域に、リン(P)または砒素(As)などを添加して、高濃度不純物領域120を形成する。その後、この絶縁膜を除去し、ゲート電極110、サイドウォール絶縁層118、高濃度不純物領域120などを覆って金属膜122を形成する(図10(E))。金属膜122は、真空蒸着法、スパッタリング法またはスピコート法などの各種成膜方法を用いて形成することができる。金属膜122は、半導体領域104を構成する半導体材料と反応することによって低抵抗な

50

金属化合物となる金属材料を用いて形成することが好ましい。このような金属材料としては、例えば、チタン（Ti）、タンタル（Ta）、タングステン（W）、ニッケル（Ni）、コバルト（Co）、白金（Pt）などが挙げられる。

【0136】

次に、熱処理を施して、上記金属膜122と基板100の半導体材料を反応させる。これにより、高濃度不純物領域120に接する金属化合物領域124が形成される（図10（F））。なお、ゲート電極110として多結晶シリコンなどを用いる場合には、ゲート電極110の金属膜122と接触する部分にも、金属化合物領域が形成されることになる。

【0137】

この熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いてもよいが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理を実現できる方法を用いることが好ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域124を形成した後、金属膜122を除去する。

【0138】

次に、上述の工程により形成された各構成を覆って、層間絶縁層125、層間絶縁層126及び層間絶縁層128を形成する（図10（G））。層間絶縁層125、層間絶縁層126及び層間絶縁層128は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコンまたは窒化シリコンなどの無機絶縁材料を含む材料を用いて形成することができる。または、ポリイミド、アクリルなどの有機絶縁材料を用いて形成することも可能である。なお、ここでは、層間絶縁層125、層間絶縁層126と層間絶縁層128の積層構造としているが、本発明はこれに限定されない。

【0139】

ここで、層間絶縁層125は、CVD法などにより形成することが好ましく、層間絶縁層126は、成膜時の雰囲気の水素などの濃度を十分に低くしたスパッタリング法により形成することが好ましい。層間絶縁層125をCVD法などにより形成することでスループットが向上し、層間絶縁層126をスパッタリング法により形成することで酸化物半導体層144に水または水素などの不純物が混入することを防ぐことができる。なお、トランジスタ160はシリコン半導体を使用しているので、水素化処理を行うことが好ましい。水素化処理は、層間絶縁層125の形成後、またはその前の段階で行うことが好ましい。

【0140】

なお、図6に示す記憶素子を作成する場合には、層間絶縁層125、層間絶縁層126及び層間絶縁層128の形成後、CMP又はエッチング処理などによってゲート電極110を露出させる。

【0141】

以上説明したように、トランジスタ160が形成される（図10（H））。トランジスタ160は、高速動作が可能であるため、当該トランジスタを用いて論理回路（演算回路ともいう）などを構成することができる。すなわち、記憶装置の駆動回路などに用いることもできる。

【0142】

なお、図6に示す記憶素子を作製する場合には、サイドウォール絶縁層118を形成せずに上記と同様に作製すればよい。

【0143】

次に、図6に示すトランジスタ162の作製方法について説明する。

【0144】

ゲート電極110、層間絶縁層125、層間絶縁層126、層間絶縁層128上に導電

10

20

30

40

50

膜及び絶縁膜を形成し、該導電膜及び該絶縁膜を選択的にエッチングして、絶縁層141a、絶縁層141b、ソース電極またはドレイン電極142a及びソース電極またはドレイン電極142bを形成する(図11(A))。ここで、ソース電極またはドレイン電極142aは、ゲート電極110と直接接続されるように形成する。

【0145】

ソース電極またはドレイン電極142a及びソース電極またはドレイン電極142bを形成するための導電膜は、他の導電膜と同様に形成することができる。

【0146】

次に、絶縁層141a及び絶縁層141bを選択的にエッチングして、ソース電極またはドレイン電極142a上に絶縁層143aを形成し、ソース電極またはドレイン電極142b上に絶縁層143bを形成する(図11(B))。

10

【0147】

絶縁層143a及び絶縁層143bを設けることにより、後に形成されるゲート電極と、ソース電極またはドレイン電極142a又はソース電極またはドレイン電極142bとの間の寄生容量を低減することができる。

【0148】

なお、絶縁層143a及び絶縁層143bの形成は上記した工程に限定されない。例えば、ソース電極またはドレイン電極142a及びソース電極またはドレイン電極142bを形成した後にこれらを覆って絶縁膜を形成し、該絶縁膜を選択的にエッチングして絶縁層143a及び絶縁層143bを形成してもよい。

20

【0149】

次に、ソース電極またはドレイン電極142a及びソース電極またはドレイン電極142bを覆って酸化物半導体層144を形成し、酸化物半導体層144上にゲート絶縁層146を形成する(図11(C))。

【0150】

酸化物半導体層144は、四元系金属酸化物であるIn-Sn-Ga-Zn-O系や、三元系金属酸化物であるIn-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系や、二元系金属酸化物であるIn-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系や、一元系金属酸化物であるIn-O系、Sn-O系、Zn-O系などの酸化物半導体を用いて形成することができる。

30

【0151】

中でも、In-Ga-Zn-O系の酸化物半導体材料は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、電界効果移動度も高いため、半導体材料として好ましい。

【0152】

In-Ga-Zn-O系の酸化物半導体材料の代表例としては、 $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$) で表記されるものがある。または、Gaに代えてMを用い、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) のように表記される酸化物半導体材料がある。ここで、Mは、ガリウム(Ga)、アルミニウム(Al)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)、コバルト(Co)などから選ばれた一の金属元素または複数の金属元素を示す。例えば、Mとしては、Ga、Ga及びAl、Ga及びFe、Ga及びNi、Ga及びMn、Ga及びCoなどを適用することができる。なお、上述の組成は結晶構造から導き出されるものであり、あくまでも一例に過ぎないことを付記する。

40

【0153】

酸化物半導体層144をスパッタリング法で作製するためのターゲットとしては、In:Ga:Zn=1:x:y (xは0以上、yは0.5以上5以下)の組成式で表されるものを用いることが好ましい。例えば、In:Ga:Zn=1:1:1[atom比] (x=1、y=1)、(すなわち、 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [mol比

50

])の組成比を有するターゲットなどを用いることができる。または、 $In : Ga : Zn = 1 : 1 : 0.5$ [atom比] ($x = 1, y = 0.5$)の組成比を有するターゲットや、 $In : Ga : Zn = 1 : 1 : 2$ [atom比] ($x = 1, y = 2$)の組成比を有するターゲットや、 $In : Ga : Zn = 1 : 0 : 1$ [atom比] ($x = 0, y = 1$)の組成比を有するターゲットを用いることもできる。

【0154】

金属酸化物ターゲット中の金属酸化物の相対密度は80%以上、好ましくは95%以上、さらに好ましくは99.9%以上である。相対密度の高い金属酸化物ターゲットを用いることにより、緻密な構造の酸化物半導体層144を形成することが可能である。

【0155】

酸化物半導体層144の形成雰囲気は、希ガス(好ましい一例としてアルゴン(Ar))雰囲気、酸素雰囲気、または、希ガス(好ましい一例としてアルゴン(Ar))と酸素の混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、濃度1ppm以下(好ましくは濃度10ppb以下)まで除去された高純度ガス雰囲気を用いることが好適である。

【0156】

酸化物半導体層144の形成の際には、例えば、減圧状態に保持された処理室内に被処理物を保持し、被処理物の温度が100以上550未満、好ましくは200以上400以下となるように被処理物を熱する。または、酸化物半導体層144の形成の際の被処理物の温度は、室温としてもよい。そして、処理室内の水分を除去しつつ、水素や水などが除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層144を形成する。被処理物を熱しながら酸化物半導体層144を形成することにより、酸化物半導体層144に含まれる不純物を低減することができる。更には、スパッタによる損傷を軽減することができる。処理室内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプまたはチタンサブレーションポンプなどを用いることができる。または、ターボポンプにコールドトラップを加えたものを用いてもよい。クライオポンプなどを用いて排気することで、処理室から水素や水などを除去することができるため、酸化物半導体層144中の不純物濃度を低減することができる。

【0157】

なお、酸化物半導体層144の形成条件としては、例えば、被処理物とターゲットの間との距離が170mm、圧力が0.4Pa、直流(DC)電力が0.5kW、雰囲気が酸素(酸素100%)雰囲気、またはアルゴン(Ar)(アルゴン(Ar)100%)雰囲気、または酸素とアルゴン(Ar)の混合雰囲気、といった条件を適用することができる。なお、パルス直流電源を用いると、ごみ(成膜時に形成される粉状の物質など)の発生を抑制することができ、膜厚分布も均一となるため好ましい。酸化物半導体層144の厚さは、1nm以上50nm以下、好ましくは1nm以上30nm以下、より好ましくは1nm以上10nm以下とする。このような厚さの酸化物半導体層144を用いることで、微細化に伴う短チャネル効果を抑制することが可能である。ただし、適用する酸化物半導体材料や、記憶装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択することもできる。

【0158】

なお、酸化物半導体層144をスパッタリング法により形成する前には、アルゴン(Ar)ガスを導入してプラズマを発生させる逆スパッタを行い、形成表面(例えば層間絶縁層128の表面)の付着物を除去することが好ましい。ここで、逆スパッタとは、通常のスパッタにおいては、スパッタターゲットにイオンを衝突させるところを、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法をいう。処理表面にイオンを衝突させる方法としては、アルゴン(Ar)雰囲気中で処理表面側に高周波電圧を印加して、被処理物付近にプラズマを生成する方法などがある。なお、アルゴン(Ar)雰囲気に代えて窒素、ヘリウム、酸素雰囲気を適用してもよい。

10

20

30

40

50

【0159】

その後、酸化半導体層144に対して、熱処理（第1の熱処理）を行うことが好ましい。この第1の熱処理によって酸化半導体層144に含まれる過剰な水素（水や水酸基を含む）を除去し、酸化半導体層の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。第1の熱処理の温度は、例えば、300以上550未満、または400以上500以下とする。

【0160】

なお、熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気中、450、1時間の条件で行えばよい。この間、酸化半導体層144は大気に触れさせず、水や水素が混入しないようにする。

10

【0161】

熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、熱処理装置として、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置などのRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴン (Ar) などの希ガス、または窒素のような、熱処理によって被

20

【0162】

例えば、第1の熱処理として、加熱された不活性ガス雰囲気中に被処理物を投入し、数分間加熱した後、当該不活性ガス雰囲気から被処理物を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。そして、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えてもよい。酸素を含む雰囲気において第1の熱処理を行うことで、酸素欠損に起因するエネルギーギャップ中の欠陥準位を低減することができるためである。

【0163】

なお、不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム (He)、ネオン (Ne)、アルゴン (Ar) など）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム (He)、ネオン (Ne)、アルゴン (Ar) などの希ガスの純度を、6N (99.999%) 以上、好ましくは7N (99.99999%) 以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

30

【0164】

いずれにしても、第1の熱処理によって不純物を低減し、i型（真性半導体）またはi型に限りなく近い酸化半導体層144を形成することで、極めて優れた特性のトランジスタを実現することができる。

40

【0165】

ところで、上述の熱処理（第1の熱処理）には水素や水などを除去する効果があるから、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該脱水化処理や、脱水素化処理は、酸化半導体層の形成後やゲート絶縁層の形成後、ゲート電極の形成後、などのタイミングにおいて行うことも可能である。なお、このような脱水化処理、脱水素化処理は、一回に限らず複数回行ってよい。

【0166】

ゲート絶縁層146は、CVD法またはスパッタリング法などを用いて、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート、窒素が添加されたハフ

50

ニウムシリケート若しくは窒素が添加されたハフニウムアルミネートなどを含む膜を単層で、または積層して形成するとよい。ここで、絶縁膜の厚さは、1 nm以上100 nm以下とすればよく、10 nm以上50 nm以下とすることが好ましい。なお、ゲート絶縁層146の形成後には、不活性ガス雰囲気中または酸素雰囲気中で熱処理（第2の熱処理）を行うのが好ましい。

【0167】

なお、ゲート絶縁層146は、スパッタリング法により形成することが好ましい。ゲート絶縁層146をスパッタリング法により形成することで酸化半導体層144に水または水素などの不純物が混入することを防ぐことができる。

【0168】

次に、ゲート絶縁層146上において、トランジスタ162のチャネル形成領域となる領域と重畳する領域にゲート電極148aを形成し、ソース電極またはドレイン電極142aと重畳する領域に電極148bを形成する（図11(D)参照）。

【0169】

ゲート電極148a及び電極148bは、ゲート絶縁層146上に導電膜を形成した後に、当該導電膜を選択的にエッチングすることによって形成することができる。ゲート電極148a及び電極148bとなる導電膜は、スパッタリング法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。詳細は、ソース電極またはドレイン電極142aなどの場合と同様である。

【0170】

次に、ゲート絶縁層146、ゲート電極148a及び電極148b上に、層間絶縁層150及び層間絶縁層152を形成する（図12(A)）。

【0171】

なお、層間絶縁層152は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように層間絶縁層152を形成することで、記憶素子を微細化した場合などにおいても、層間絶縁層152上に、電極や配線などを好適に形成することができるためである。なお、層間絶縁層152の平坦化は、CMP（化学的機械的研磨）などの方法を用いて行うことができる。

【0172】

次に、層間絶縁層125、層間絶縁層126、層間絶縁層128、酸化半導体層144、ゲート絶縁層146、層間絶縁層150及び層間絶縁層152を選択的にエッチングして、トランジスタ160の金属化合物領域124に達する開口151を形成する（図12(B)）。エッチングとしては、ドライエッチング及びウェットエッチングのいずれかを用いればよいが、微細化の観点からはドライエッチングを用いることが好ましい。

【0173】

そして、開口151に埋め込むように、導電膜を形成し、エッチングを行うことで、ソース電極またはドレイン電極154を形成することができ、図6に示す記憶素子が完成する。ここで、導電膜を形成する際には、例えば、開口を含む領域にPVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタンゲステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、被形成面の酸化膜（自然酸化膜など）を還元し、下部電極など（ここでは金属化合物領域124）との接触抵抗を低減させる機能を有する。そして、その後形成される窒化チタン膜は、導電膜の拡散を抑制するバリア機能を備える。または、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【0174】

なお、図7及び図9に示す記憶素子についても、図6及び図8に示す記憶素子と同様に、上記工程により作製することができる。

【0175】

以上説明したように、トランジスタ160、トランジスタ162及び容量素子164を

10

20

30

40

50

有する記憶装置を作製することができる。

【0176】

なお、上記工程の後に、さらに電極や配線、絶縁層などを形成してもよい。配線の構造として、層間絶縁層と導電層の積層構造でなる多層配線構造を採用することにより、高密度に集積化した記憶装置を提供することができる。

【0177】

なお、本発明の一態様において、トランジスタ162の作製方法は、上記した工程に限定されない。酸化半導体層144を適宜パターンニングするなどしてトランジスタ162を作製してもよい。

【0178】

次に、ベース基板上に単結晶半導体層が設けられたSOI基板の作製方法について、図13を参照して説明し、その後、該SOI基板を用いたトランジスタの作製方法について、図14を参照して説明する。

【0179】

まず、ベース基板500を準備する(図13(A))。ベース基板500としては、絶縁体でなる基板を用いることができる。具体的には、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板、石英基板、セラミック基板、サファイア基板が挙げられる。または、窒化シリコンと酸化アルミニウムを主成分とした熱膨張係数がシリコンに近いセラミック基板を用いてもよい。

【0180】

なお、ベース基板500として単結晶シリコン基板、単結晶ゲルマニウム基板などの半導体基板を用いてもよい。ベース基板500として半導体基板を用いる場合には、ガラス基板などを用いる場合と比較して熱処理の温度条件が緩和するため、良質なSOI基板を得ることが容易になる。ここで、半導体基板としては、太陽電池級シリコン(SOG-Si: Solar Grade Silicon)基板などを用いてもよい。または、多結晶半導体基板を用いてもよい。太陽電池級シリコンや、多結晶半導体基板などを用いる場合には、単結晶シリコン基板などを用いる場合と比較して、製造コストを抑制することができる。

【0181】

ここでは、ベース基板500としてガラス基板を用いる場合について説明する。ベース基板500として大面積化が可能で安価なガラス基板を用いることにより、低コスト化を図ることができる。

【0182】

ベース基板500の表面は、あらかじめ洗浄しておくことが好ましい。具体的には、ベース基板500に対して、塩酸過酸化水素水混合溶液(HPM)、硫酸過酸化水素水混合溶液(SPM)、アンモニア過酸化水素水混合溶液(APM)、希フッ酸(DHF)、FPM(フッ酸、過酸化水素水、純水の混合液)などを用いて超音波洗浄を行えばよい。このような洗浄処理を行うことによって、ベース基板500の表面の平坦性向上や、ベース基板500の表面に残存する研磨粒子の除去が可能である。

【0183】

次に、ベース基板500の表面に、窒素含有層502(例えば、窒化シリコン膜などの窒素を含有する絶縁膜を含む層)を形成する(図13(B))。窒素含有層502は、CVD法またはスパッタリング法などを用いて形成することができる。

【0184】

ここで形成される窒素含有層502は、後に単結晶半導体層を貼り合わせるための層(接合層)となる。なお、窒素含有層502は、ベース基板に含まれるナトリウム(Na)などの不純物が単結晶半導体層に拡散することを防ぐためのバリア層としても機能する。

【0185】

ここでは窒素含有層502を接合層として用いるため、その表面が所定の平坦性を有する

10

20

30

40

50

ように窒素含有層502を形成することが好ましい。具体的には、表面の平均面粗さ（ R_a 、算術平均粗さともいう）が0.5nm以下、自乗平均粗さ（ R_{ms} ）が0.60nm以下、より好ましくは、平均面粗さが0.35nm以下、自乗平均粗さが0.45nm以下となるように窒素含有層502を形成する。なお、上述の平均面粗さまたは自乗平均粗さには、例えば、 $10\mu\text{m} \times 10\mu\text{m}$ の領域において測定した値を用いることができる。膜厚は、10nm以上200nm以下、好ましくは50nm以上100nm以下の範囲とする。このように、表面の平坦性を高めておくことで、単結晶半導体層の接合不良を防止することができる。

【0186】

次に、ボンド基板を準備する。ここでは、ボンド基板として単結晶半導体基板510を用いる（図13（C））。なお、ここでは、ボンド基板として単結晶半導体基板を用いるが、これに限定されない。

【0187】

単結晶半導体基板510としては、例えば、単結晶シリコン基板、単結晶ゲルマニウム基板、単結晶シリコンゲルマニウム基板などの第14族元素でなる単結晶半導体基板を用いることができる。または、ガリウムヒ素やインジウムリンなどの化合物半導体基板を用いてもよい。なお、単結晶半導体基板510は円形のものに限定されず、例えば、矩形などに加工されたものであってもよい。なお、単結晶半導体基板510は、CZ（チョクラルスキー）法やFZ（フローティングゾーン）法を用いて作製することができる。

【0188】

単結晶半導体基板510の表面には酸化膜512を形成する（図13（D））。なお、汚染物除去の観点から、酸化膜512の形成前に、塩酸過酸化水素水混合溶液（HPM）、硫酸過酸化水素水混合溶液（SPM）、アンモニア過酸化水素水混合溶液（APM）、希フッ酸（DHF）、FPM（フッ酸、過酸化水素水、純水の混合液）などを用いて単結晶半導体基板510の表面を洗浄しておくことが好ましい。希フッ酸とオゾン水を交互に吐出して洗浄してもよい。

【0189】

酸化膜512は、例えば、酸化シリコン膜または酸化窒化シリコン膜などを単層で、または積層させて形成することができる。上記酸化膜512の作製方法としては、熱酸化法、CVD法またはスパッタリング法などが挙げられる。なお、CVD法などを用いて酸化膜512を形成する場合、良好な貼り合わせを実現するためには、テトラエトキシシラン（略称；TEOS：化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）などの有機シランを用いて酸化シリコン膜を形成することが好ましい。

【0190】

ここでは、単結晶半導体基板510に熱酸化処理を行うことにより酸化膜512（ここでは、酸化シリコン膜）を形成する。熱酸化処理は、酸化性雰囲気中にハロゲンを添加して行うことが好ましい。

【0191】

例えば、塩素が添加された酸化性雰囲気中で単結晶半導体基板510に熱酸化処理を行うことにより、塩素により酸化された酸化膜512を形成することができる。この場合、酸化膜512は、塩素原子を含有する膜となる。このような塩素による酸化により、外因性の不純物である重金属（例えば、鉄（Fe）、クロム（Cr）、ニッケル（Ni）、モリブデン（Mo）など）を捕集して金属の塩化物を形成し、これを除去して単結晶半導体基板510の汚染を低減させることができる。なお、ベース基板500と貼り合わせた後においても、ベース基板に含まれるナトリウム（Na）などの不純物を固定し、単結晶半導体基板510の汚染を防止することができる。

【0192】

なお、酸化膜512に含有させるハロゲン原子は塩素原子に限定されない。酸化膜512にはフッ素原子を含有させてもよい。単結晶半導体基板510の表面をフッ素により酸化する方法としては、単結晶半導体基板510をHF溶液に浸漬させた後に酸化性雰囲気

10

20

30

40

50

中で熱酸化処理を行う方法、または NF_3 を酸化性雰囲気中に添加して熱酸化処理を行う方法などが挙げられる。

【0193】

次に、イオンを電界で加速して単結晶半導体基板510に照射して添加することで、単結晶半導体基板510の所定の深さに結晶構造が損傷した脆化領域514を形成する(図13(E))。

【0194】

脆化領域514が形成される領域の深さは、イオンの運動エネルギー、質量と電荷、イオンの入射角などによって調節することができる。なお、脆化領域514は、イオンの平均侵入深さとほぼ同じ深さの領域に形成される。このため、イオンを添加する深さで、単結晶半導体基板510から分離される単結晶半導体層の厚さを調節することができる。例えば、単結晶半導体層の厚さが、10nm以上500nm以下、好ましくは50nm以上200nm以下となるようにイオンの平均侵入深さを調節すればよい。

10

【0195】

イオンの照射処理は、イオンドーピング装置やイオン注入装置を用いて行うことができる。イオンドーピング装置としては、例えば、プロセスガスをプラズマ励起して生成された全てのイオン種を被処理体に照射する非質量分離型の装置が挙げられる。この装置では、プラズマ中のイオン種を質量分離しないで被処理体に照射することになる。一方、イオン注入装置は質量分離型の装置である。イオン注入装置では、プラズマ中のイオン種を質量分離し、ある特定の質量のイオン種を被処理体に照射する。

20

【0196】

次に、イオンドーピング装置を用いて、水素を単結晶半導体基板510に添加する例について説明する。ソースガスとしては水素を含むガスを用いる。照射するイオンは、 H_3^+ の比率を高くするとよい。具体的には、 H^+ 、 H_2^+ 、 H_3^+ の総量に対して H_3^+ の割合が50%以上(より好ましくは80%以上)となるようにするとよい。 H_3^+ の割合を高めることで、イオン照射の効率を向上させることができる。

【0197】

なお、添加するイオンは水素に限定されない。ヘリウム(He)などのイオンを添加してもよい。そして、添加するイオンは一種類に限定されず、複数種類のイオンを添加してもよい。例えば、イオンドーピング装置を用いて水素とヘリウム(He)を同時に照射する場合には、別々の工程で照射する場合と比較して工程数を削減することができると共に、後の単結晶半導体層の表面荒れを抑えることが可能である。

30

【0198】

なお、イオンドーピング装置を用いて脆化領域514を形成する場合には、重金属も同時に添加されるおそれがあるが、ハロゲン原子を含有する酸化膜512を介してイオンの照射を行うことによって、これら重金属による単結晶半導体基板510が汚染されることを防ぐことができる。

【0199】

次に、ベース基板500と単結晶半導体基板510を対向させ、窒素含有層502の表面と酸化膜512の表面を密着させる。このように窒素含有層502の表面と酸化膜512の表面を密着させることで、ベース基板500と単結晶半導体基板510が貼り合わせられる(図13(F))。

40

【0200】

ベース基板500と単結晶半導体基板510を貼り合わせる際には、ベース基板500または単結晶半導体基板510の一箇所に、 $0.001\text{N}/\text{cm}^2$ 以上 $100\text{N}/\text{cm}^2$ 以下、の圧力を加えることが好ましく、 $1\text{N}/\text{cm}^2$ 以上 $20\text{N}/\text{cm}^2$ 以下の圧力を加えることがより好ましい。このように圧力を加えて貼り合わせ面を接近させ、密着させると、密着させた部分において窒素含有層502と酸化膜512の接合が生じ、当該部分を始点としてほぼ全面に自発的な接合が生じる。この接合には、ファンデルワールス力や水素結合が作用しており、常温で行うことができる。

50

【0201】

なお、単結晶半導体基板510とベース基板500を貼り合わせる前には、貼り合わせる面に対して、表面処理を行うことが好ましい。表面処理を行うことで、貼り合わせ面の接合強度を向上させることができる。

【0202】

表面処理としては、ウェット処理、ドライ処理、またはウェット処理とドライ処理を組み合わせて用いることができる。または、異なる複数のウェット処理を組み合わせてもよいし、異なる複数のドライ処理を組み合わせてもよい。

【0203】

なお、単結晶半導体基板510とベース基板500を貼り合わせた後には、接合をより強固にするための熱処理を行ってもよい。この熱処理の温度は、脆化領域514における分離が生じない温度（例えば、室温以上400未満）とする。または、この温度範囲で加熱しつつ、窒素含有層502と酸化膜512を接合させてもよい。上記熱処理には、拡散炉、抵抗加熱炉などの加熱炉、RTA（Rapid Thermal Anneal）装置またはマイクロ波加熱装置などを用いることができる。なお、上記した温度条件は一例であり、これに限定されるものではない。

10

【0204】

次に、熱処理を行うことにより、単結晶半導体基板510を脆化領域において分離して、ベース基板500上に、窒素含有層502と酸化膜512を介して、単結晶半導体層516を形成する（図13（G））。

20

【0205】

なお、上記した分離時の熱処理温度は、できる限り低いものであることが好ましい。分離時の熱処理温度が低いほど、単結晶半導体層516の表面荒れを抑えることができるためである。具体的には、例えば、上記の分離時の熱処理温度は、300以上600以下とすればよく、500以下（400以上）とすると、より効果的である。

【0206】

なお、単結晶半導体基板510を分離した後に、単結晶半導体層516に対して、500以上の温度で熱処理を行い、単結晶半導体層516中に残存する水素の濃度を低減させてもよい。

【0207】

次に、単結晶半導体層516の表面にレーザー光を照射することによって、表面の平坦性を向上させ、且つ欠陥の少ない単結晶半導体層518を形成する。なお、レーザー光の照射処理に代えて、熱処理を行ってもよい。

30

【0208】

なお、ここでは、単結晶半導体層516の分離時の熱処理の直後にレーザー光の照射処理を行っているが、本発明はこれに限定されない。単結晶半導体層516の分離時の熱処理の後にエッチング処理を施して、単結晶半導体層516の表面の欠陥が多い領域を除去してから、レーザー光の照射処理を行ってもよいし、単結晶半導体層516の表面の平坦性を向上させてからレーザー光の照射処理を行ってもよい。なお、上記のエッチング処理としては、ウェットエッチングまたはドライエッチングのどちらを用いてもよい。または、上述のようにレーザー光を照射した後、単結晶半導体層516に薄膜化工程を行ってもよい。単結晶半導体層516の薄膜化には、ドライエッチングまたはウェットエッチングのいずれか一方または双方を用いればよい。

40

【0209】

以上の工程により、良好な特性の単結晶半導体層518を有するSOI基板を得ることができる（図13（H））。

【0210】

次に、上記のSOI基板を用いたトランジスタ570の作製方法について、図14を参照して説明する。

【0211】

50

図14(A)は、図13に示す方法で作製したSOI基板の一部を示す断面図である。

【0212】

まず、単結晶半導体層518を島状に加工して、半導体層520を形成する(図14(B))。なお、この工程の前後において、トランジスタのしきい値電圧を調整するために、n型の導電性を付与する不純物元素や、p型の導電性を付与する不純物元素を半導体層に添加してもよい。半導体がシリコンの場合には、n型の導電性を付与する不純物元素として、例えば、リン(P)や砒素(As)などを用いることができる。p型の導電性を付与する不純物元素としては、例えば、硼素(B)、アルミニウム(Al)、ガリウム(Ga)などを用いることができる。

【0213】

次に、半導体層520を覆って、絶縁層522を形成する(図14(C))。絶縁層522は、後にゲート絶縁層となるものである。ここでは、プラズマCVD法を用いて、酸化シリコン膜を単層で形成する。絶縁層522の材料及び形成方法は、特定のものに限定されない。

【0214】

次に、絶縁層522上に導電膜を形成した後、該導電膜を選択的にエッチングして、半導体層520上に重畳してゲート電極524を形成する(図14(D))。ゲート電極524の材料及び形成方法は、特定のものに限定されない。

【0215】

次に、ゲート電極524をマスクとして、一導電性を付与する不純物元素を半導体層520に添加して、不純物領域526を形成する(図14(E))。なお、ここでは、n型トランジスタを形成するために、リン(P)または砒素(As)を添加するが、p型トランジスタを形成する場合には、ボロン(B)またはアルミニウム(Al)などの不純物元素を添加すればよい。

【0216】

次に、ゲート電極524の側面にサイドウォール絶縁層528を形成する。サイドウォール絶縁層528は、絶縁層522及びゲート電極524を覆って絶縁層を形成した後、当該絶縁層に異方性の高いエッチング処理を適用することで、自己整合的に形成することができる。なお、このとき、絶縁層522を部分的にエッチングしてゲート絶縁層522aを形成すると共に、不純物領域526を露出させるとよい。

【0217】

次に、ゲート電極524とサイドウォール絶縁層528をマスクとして、一導電性を付与する不純物元素を、不純物領域526に添加する。なお、不純物領域526に添加する不純物元素は、先の工程で添加した不純物元素(すなわち、不純物領域526に既に含まれる不純物元素)と同じ導電型の不純物元素である。そして、その濃度は、先の工程より高くする。当該不純物元素の添加により、半導体層520には、一対の高濃度不純物領域530、一対の低濃度不純物領域532及びチャネル形成領域534が形成される(図14(G))。高濃度不純物領域530は、ソース領域またはドレイン領域として機能する。

【0218】

なお、半導体層520がシリコンを含む材料でなる場合には、ソース領域及びドレイン領域をさらに低抵抗化するために、半導体層520の一部をシリサイド化したシリサイド領域を形成してもよい。シリサイド化は、半導体層に金属を接触させ、加熱処理(例えば、GRTA法またはLRTA法など)を行うことにより、半導体層中のシリコンと金属とを反応させて行う。シリサイド領域としては、コバルトシリサイド領域またはニッケルシリサイド領域を形成すればよい。半導体層520が薄い場合には、半導体層520の底までシリサイド反応を進めてもよい。シリサイド化に用いることができる金属材料としては、チタン(Ti)、ニッケル(Ni)、タングステン(W)、モリブデン(Mo)、コバルト(Co)、ジルコニウム(Zr)、ハフニウム(Hf)、タンタル(Ta)、バナジウム(V)、ネオジム(Nd)、クロム(Cr)、白金(Pt)、パラジウム(Pd)な

10

20

30

40

50

どが挙げられる。なお、加熱処理としてレーザー光の照射を行ってもシリサイド領域を形成することができる。

【0219】

次に、上述の工程により形成された各構成を覆うように、層間絶縁層536及び層間絶縁層538を形成する(図14(H))。層間絶縁層536及び層間絶縁層538は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタルなどの無機絶縁材料を含む材料を用いて形成することができる。または、ポリイミド、アクリルなどの有機絶縁材料を用いて形成することも可能である。なお、ここでは、層間絶縁層536と層間絶縁層538の積層構造としているが、これに限定されない。層間絶縁層536と層間絶縁層538のいずれか一方が形成されていなくてもよいし、更に他の複数の層が積層されていてもよい。なお、層間絶縁層538の形成後、層間絶縁層538の表面をCMPまたはエッチング処理などによって平坦化しておくことが好ましい。このCMPまたはエッチング処理により、ゲート電極524を露出させる。

10

【0220】

または、層間絶縁層536及び層間絶縁層538の一部をエッチングしてゲート電極524を露出させ、該開口に導電膜を形成してゲート電極524に電氣的に接続される電極を形成してもよい。

【0221】

以上説明したように、SOI基板を用いたトランジスタ570が形成される(図14(H))。トランジスタ570は、高速動作が可能であるため、当該トランジスタを用いて論理回路(演算回路ともいう)などを構成することができる。すなわち、記憶装置の駆動回路などに用いることもできる。

20

【0222】

なお、上記工程の後に、さらに電極や配線、絶縁層などを形成してもよい。配線の構造として、層間絶縁層と導電層の積層構造でなる多層配線構造を採用することにより、高密度に集積化した記憶装置を提供することができる。

【0223】

トランジスタ570が設けられたSOI基板を用いることで、図6などと同様に、図15に示すように記憶素子を作製することができる。

30

【0224】

次に、本発明の一態様である電子機器について説明する。本発明の一態様である電子機器には、上記説明した記憶装置の少なくとも一つを搭載させる。本発明の一態様である電子機器として、例えば、コンピュータ、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯情報端末(携帯型ゲーム機、音響再生装置なども含む)、デジタルカメラ、デジタルビデオカメラ等のカメラ、電子ペーパー、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)などが挙げられる。

【0225】

図16(A)は、ノート型のパーソナルコンピュータであり、筐体901、筐体902、表示部903、キーボード904などによって構成されている。筐体901と筐体902内には、上記の記憶装置が設けられている。図16(A)に示すノート型のパーソナルコンピュータに上記の記憶装置を搭載することで、消費電力を低減し、記憶装置の占有面積を小さくすることができる。

40

【0226】

図16(B)は、携帯情報端末(PDA)であり、本体911には、表示部913と、外部インターフェイス915と、操作ボタン914などが設けられている。更には、携帯情報端末を操作するスタイラス912などを備えている。本体911内には、上記の記憶装置が設けられている。図16(B)に示すPDAに上記の記憶装置を搭載することで、消費電力を低減し、記憶装置の占有面積を小さくすることができる。

【0227】

50

図16(C)は、電子ペーパーを実装した電子書籍920であり、筐体921と筐体923の2つの筐体で構成されている。筐体921及び筐体923には、それぞれ表示部925及び表示部927が設けられている。筐体921と筐体923は、軸部937により接続されており、該軸部937を軸として開閉動作を行うことができる。そして、筐体921は、電源931、操作キー933、スピーカー935などを備えている。筐体921、筐体923の少なくとも一には、上記の記憶装置が設けられている。図16(C)に示す電子書籍に上記の記憶装置を搭載することで、消費電力を低減し、記憶装置の占有面積を小さくすることができる。

【0228】

図16(D)は、携帯電話機であり、筐体940と筐体941の2つの筐体で構成されている。さらに、筐体940と筐体941は、スライドし、図16(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。そして、筐体941は、表示パネル942、スピーカー943、マイクロフォン944、操作キー945、ポインティングデバイス946、カメラ用レンズ947、外部接続端子948などを備えている。そして、筐体940は、携帯電話機の充電を行う太陽電池セル949、外部メモリスロット950などを備えている。なお、アンテナは、筐体941に内蔵されている。筐体940と筐体941の少なくとも一には、上記の記憶装置が設けられている。図16(D)に示す携帯電話機に上記の記憶装置を搭載することで、消費電力を低減し、記憶装置の占有面積を小さくすることができる。

【0229】

図16(E)は、デジタルカメラであり、本体961、表示部967、接眼部963、操作スイッチ964、表示部965、バッテリー966などによって構成されている。本体961内には、上記の記憶装置が設けられている。図16(E)に示すデジタルカメラに上記の記憶装置を搭載することで、消費電力を低減し、記憶装置の占有面積を小さくすることができる。

【0230】

図16(F)は、テレビジョン装置970であり、筐体971、表示部973、スタンド975などで構成されている。テレビジョン装置970の操作は、筐体971が備えるスイッチや、リモコン操作機980により行うことができる。筐体971及びリモコン操作機980の少なくとも一には、上記の記憶装置が設けられている。図16(F)に示すテレビジョン装置に上記の記憶装置を搭載することで、消費電力を低減し、記憶装置の占有面積を小さくすることができる。

【符号の説明】

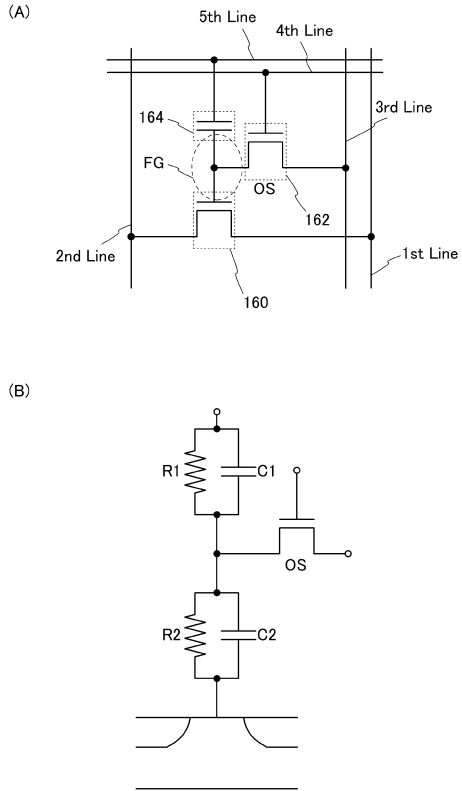
【0231】

100	基板	
102	保護層	
104	半導体領域	
106	素子分離絶縁層	
108 a	ゲート絶縁層	
110	ゲート電極	40
112	絶縁膜	
114	不純物領域	
116	チャンネル形成領域	
118	サイドウォール絶縁層	
120	高濃度不純物領域	
122	金属膜	
124	金属化合物領域	
125	層間絶縁層	
126	層間絶縁層	
128	層間絶縁層	50

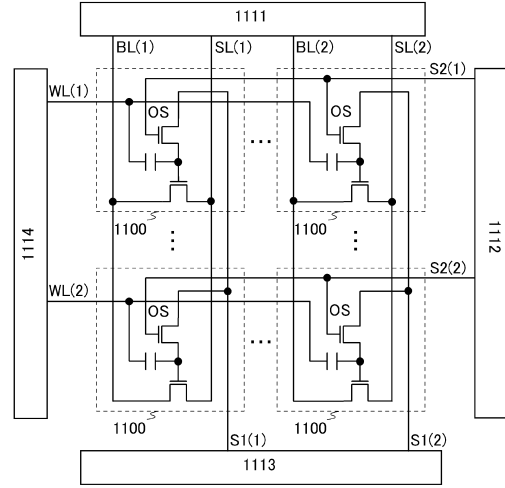
1 4 1 a	絶縁層	
1 4 1 b	絶縁層	
1 4 2 a	ソース電極またはドレイン電極	
1 4 2 b	ソース電極またはドレイン電極	
1 4 3 a	絶縁層	
1 4 3 b	絶縁層	
1 4 4	酸化物半導体層	
1 4 6	ゲート絶縁層	
1 4 8 a	ゲート電極	
1 4 8 b	電極	10
1 5 0	層間絶縁層	
1 5 1	開口	
1 5 2	層間絶縁層	
1 5 4	ソース電極またはドレイン電極	
1 6 0	トランジスタ	
1 6 2	トランジスタ	
1 6 4	容量素子	
5 0 0	ベース基板	
5 0 2	窒素含有層	
5 1 0	単結晶半導体基板	20
5 1 2	酸化膜	
5 1 4	脆化領域	
5 1 6	単結晶半導体層	
5 1 8	単結晶半導体層	
5 2 0	半導体層	
5 2 2	絶縁層	
5 2 2 a	ゲート絶縁層	
5 2 4	ゲート電極	
5 2 6	不純物領域	
5 2 8	サイドウォール絶縁層	30
5 3 0	高濃度不純物領域	
5 3 2	低濃度不純物領域	
5 3 4	チャンネル形成領域	
5 3 6	層間絶縁層	
5 3 8	層間絶縁層	
5 7 0	トランジスタ	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	キーボード	40
9 1 1	本体	
9 1 2	スタイラス	
9 1 3	表示部	
9 1 4	操作ボタン	
9 1 5	外部インターフェイス	
9 2 0	電子書籍	
9 2 1	筐体	
9 2 3	筐体	
9 2 5	表示部	
9 2 7	表示部	50

9 3 1	電源	
9 3 3	操作キー	
9 3 5	スピーカー	
9 3 7	軸部	
9 4 0	筐体	
9 4 1	筐体	
9 4 2	表示パネル	
9 4 3	スピーカー	
9 4 4	マイクロフォン	
9 4 5	操作キー	10
9 4 6	ポインティングデバイス	
9 4 7	カメラ用レンズ	
9 4 8	外部接続端子	
9 4 9	太陽電池セル	
9 5 0	外部メモリスロット	
9 6 1	本体	
9 6 3	接眼部	
9 6 4	操作スイッチ	
9 6 5	表示部	
9 6 6	バッテリー	20
9 6 7	表示部	
9 7 0	テレビジョン装置	
9 7 1	筐体	
9 7 3	表示部	
9 7 5	スタンド	
9 8 0	リモコン操作機	
1 1 0 0	記憶素子	
1 1 1 1	第 1 の駆動回路	
1 1 1 2	第 2 の駆動回路	
1 1 1 3	第 3 の駆動回路	30
1 1 1 4	第 4 の駆動回路	

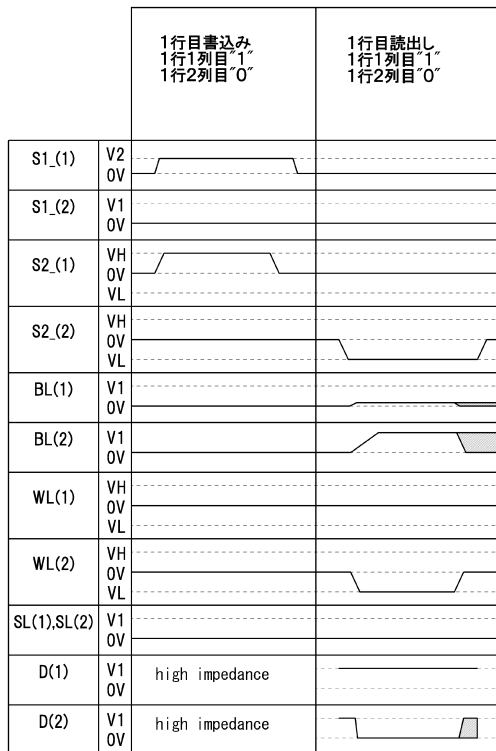
【 図 1 】



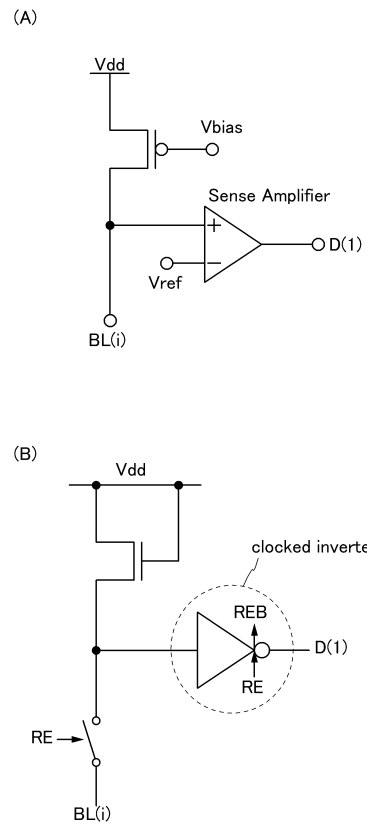
【 図 2 】



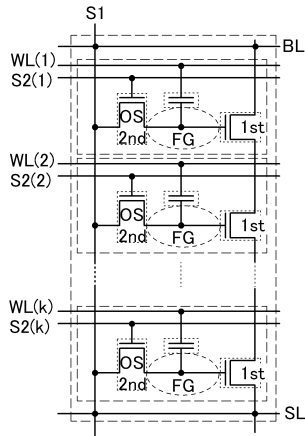
【 図 3 】



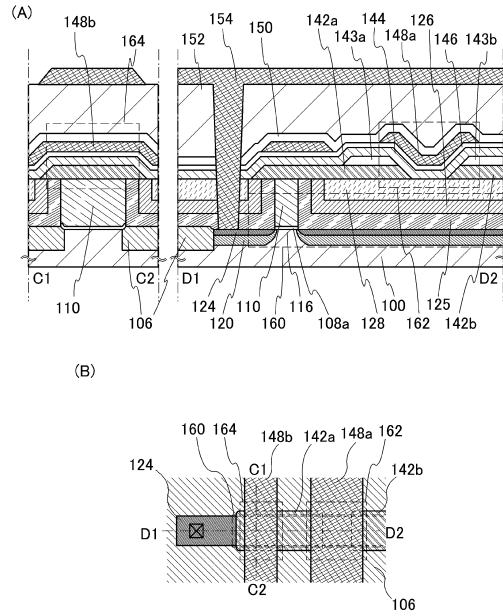
【 図 4 】



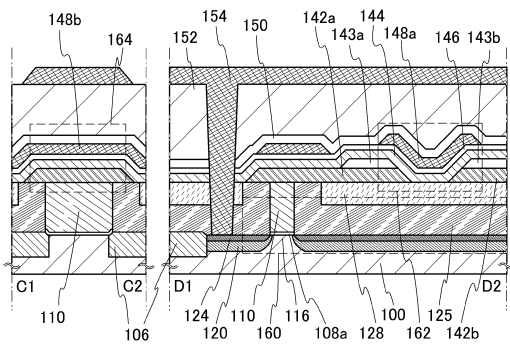
【 図 5 】



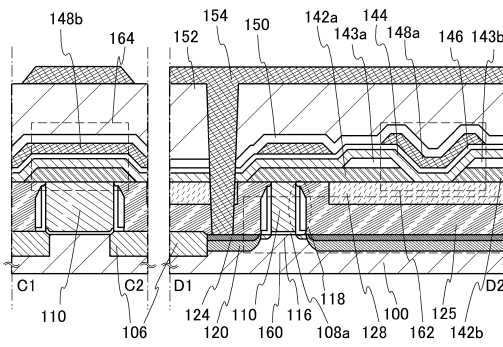
【 図 6 】



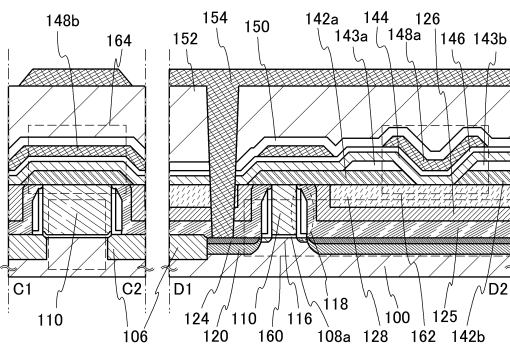
【 図 7 】



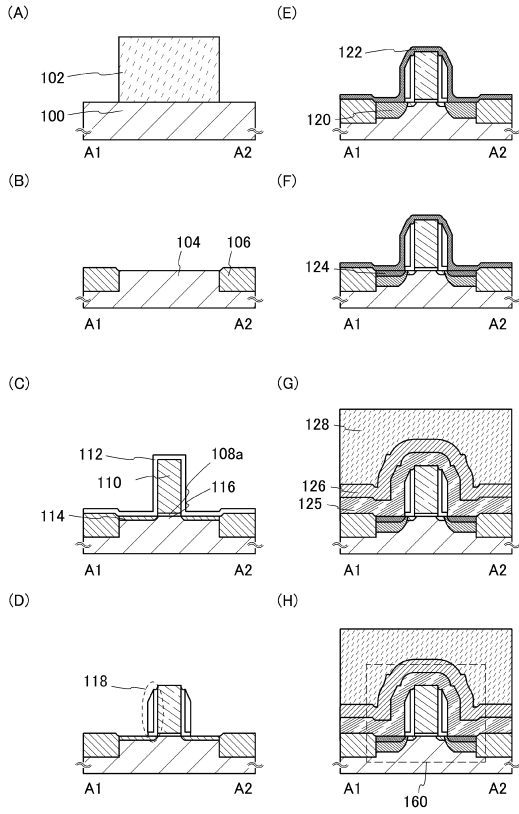
【 図 9 】



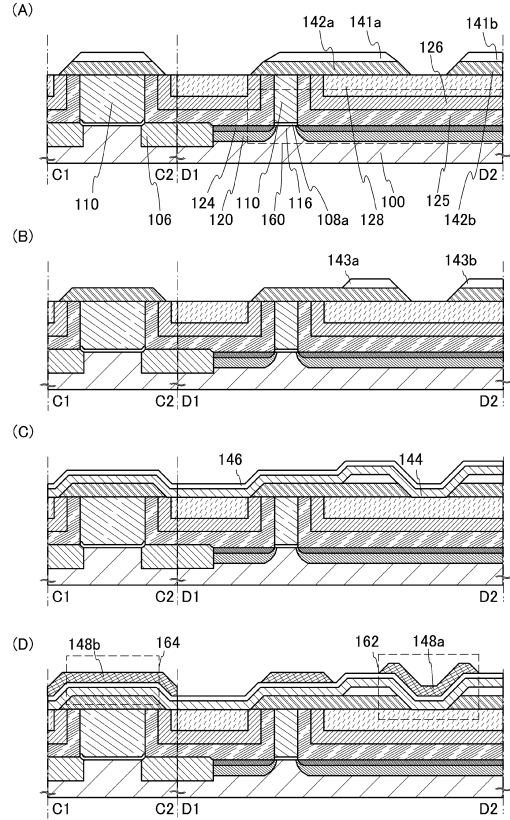
【 図 8 】



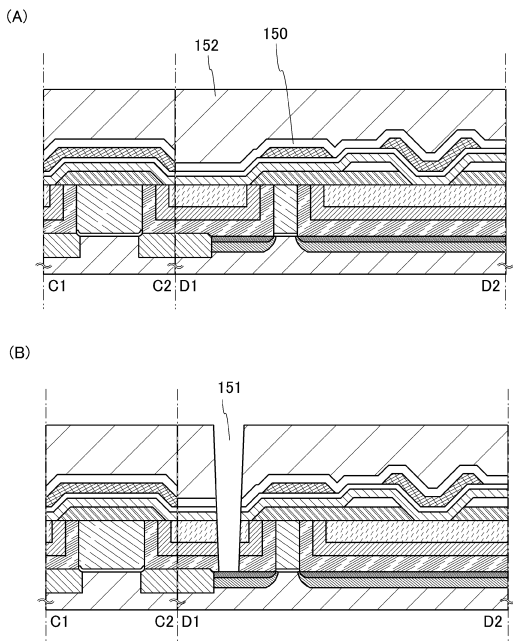
【 10 】



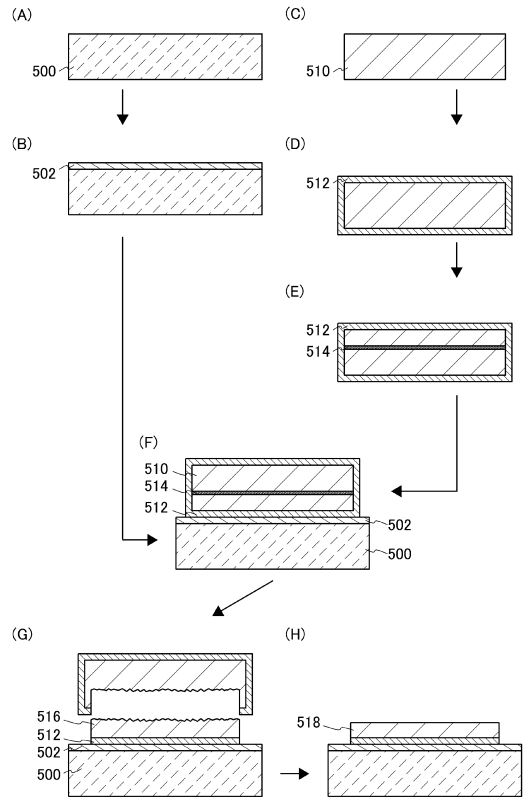
【 11 】



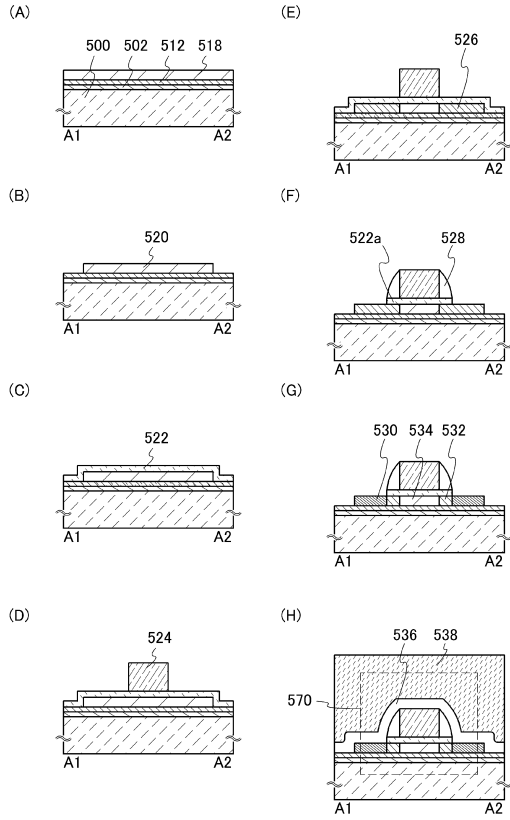
【 12 】



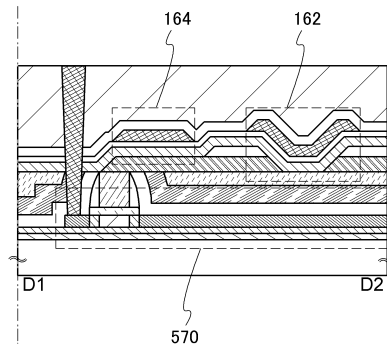
【 13 】



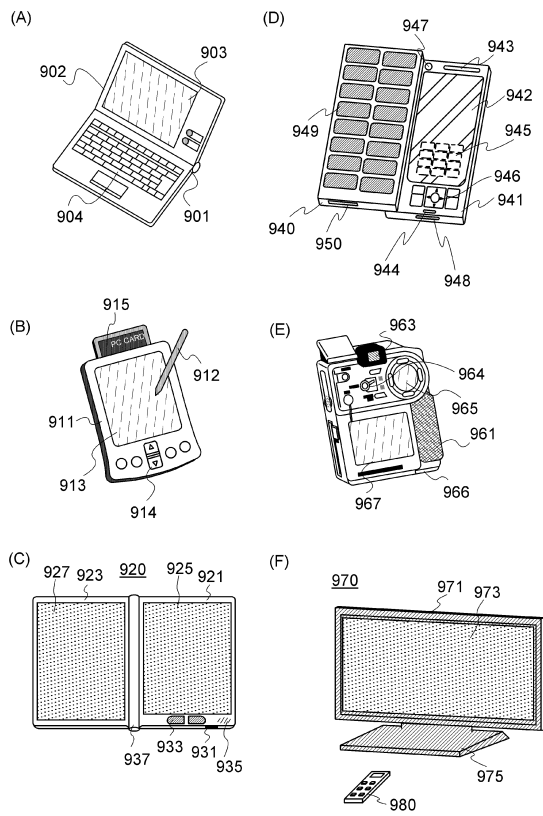
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

(56)参考文献 特開2002-368226(JP,A)
特開2007-165861(JP,A)
特開平05-029567(JP,A)
特開平09-289165(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242, 27/108, 29/786