

(12) 发明专利申请

(10) 申请公布号 CN 103426907 A

(43) 申请公布日 2013. 12. 04

(21) 申请号 201210162593. 2

(22) 申请日 2012. 05. 23

(71) 申请人 中国科学院微电子研究所

地址 100029 北京市朝阳区北土城西路 3#

(72) 发明人 王桂磊 崔虎山 赵超

(74) 专利代理机构 北京蓝智辉煌知识产权代理
事务所（普通合伙） 11345

代理人 陈红

(51) Int. Cl.

H01L 29/06(2006. 01)

H01L 29/78(2006. 01)

H01L 21/336(2006. 01)

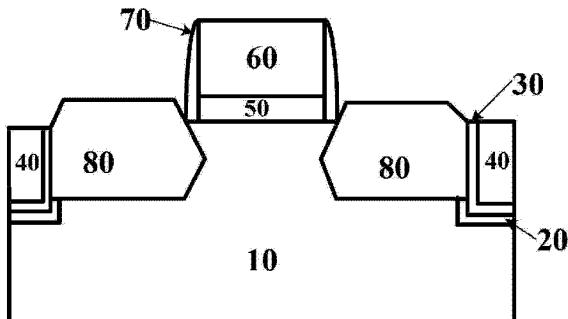
权利要求书2页 说明书5页 附图7页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明提供一种半导体器件，包括：衬底；浅沟槽隔离，嵌于所述衬底中，且形成至少一个开口区；沟道区，位于所述开口区内；栅堆叠，包括栅介质层和栅电极层，位于所述沟道区上方；源漏区，位于所述沟道区的两侧，包括为所述沟道区提供应变的应力层；其中，所述浅沟槽隔离和所述应力层之间具有衬垫层，作为所述应力层的晶种层；以及，所述衬底与所述浅沟槽隔离之间具有衬垫层和垫氧化层。在 STI 和源漏区应力层中间插入衬垫层作为外延生长的晶种层或成核层，借此而消除了在源漏应变工程中 STI 边缘效应，也即消除了 STI 与源漏区应力层之间的空隙，防止了源漏应变对沟道应力的减小，提高了 MOS 器件的载流子迁移率从而提高了器件的驱动能力。



1. 一种半导体器件，包括：

衬底；

浅沟槽隔离，嵌于所述衬底中，且形成至少一个开口区；

沟道区，位于所述开口区内；

栅堆叠，包括栅介质层和栅电极层，位于所述沟道区上方；

源漏区，位于所述沟道区的两侧，包括为所述沟道区提供应变的应力层；

其中，所述浅沟槽隔离和所述应力层之间具有衬垫层，作为所述应力层的晶种层；以及，所述衬底与所述浅沟槽隔离之间具有衬垫层和垫氧化层。

2. 如权利要求 1 所述的半导体器件，其中，对于 pMOSFET，所述应力层包括外延生长的 $\text{Si}_{1-x}\text{Ge}_x$ ，对于 nMOSFET，所述应力层包括外延生长的 $\text{Si}_{1-y}\text{C}_y$ ，其中 x, y 均大于 0 小于 1。

3. 如权利要求 1 所述的半导体器件，其中，所述衬垫层包括 $\text{Si}_{1-x}\text{Ge}_x$ 、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 或 $\text{Si}_{1-y}\text{C}_y$ ，其中 x, y 均大于 0 小于 1。

4. 如权利要求 3 所述的半导体器件，其中， x 介于 0.15 至 0.7 范围内， y 介于 0.002 至 0.02 范围内。

5. 如权利要求 1 所述的半导体器件，其中，所述衬垫层的厚度为 1~20nm。

6. 如权利要求 1 所述的半导体器件，其中，所述应力区与所述浅沟槽隔离的顶部齐平。

7. 如权利要求 1 所述的半导体器件，其中，所述源漏区还具有位于所述栅堆叠下方的源漏延伸区。

8. 一种半导体器件制造方法，包括：

在衬底中形成浅沟槽；

在所述浅沟槽的底部以及侧面依次形成垫氧化层和衬垫层，其中所述衬垫层作为应力层的晶种层；

在所述浅沟槽中且在所述衬垫层上形成隔离材料，构成浅沟槽隔离，所述浅沟槽隔离包围至少一个开口区；

在所述开口区内形成栅堆叠；

在所述栅堆叠两侧形成源漏区，所述栅堆叠下方的所述源漏区之间形成为沟道区，所述源漏区包括为所述沟道区提供应变的应力层。

9. 如权利要求 8 所述的半导体器件制造方法，其中，对于 pMOSFET，所述应力层包括外延生长的 $\text{Si}_{1-x}\text{Ge}_x$ ，对于 nMOSFET，所述应力层包括外延生长的 $\text{Si}_{1-y}\text{C}_y$ ，其中 x, y 均大于 0 小于 1。

10. 如权利要求 8 所述的半导体器件制造方法，其中，所述衬垫层包括 $\text{Si}_{1-x}\text{Ge}_x$ 、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 或 $\text{Si}_{1-y}\text{C}_y$ ，其中 x, y 均大于 0 小于 1。

11. 如权利要求 10 所述的半导体器件制造方法，其中， x 介于 0.15 至 0.7 范围内， y 介于 0.002 至 0.02 范围内。

12. 如权利要求 8 所述的半导体器件制造方法，其中，所述衬垫层的厚度为 1~20nm。

13. 如权利要求 8 所述的半导体器件制造方法，其中，所述应力层与所述浅沟槽隔离的顶部齐平。

14. 如权利要求 8 所述的半导体器件制造方法，其中，所述隔离材料为二氧化硅。

15. 如权利要求 8 所述的半导体器件制造方法，其中，形成所述源漏区的步骤具体包

括：

在所述栅堆叠两侧的衬底中在掩膜的保护下刻蚀形成源漏凹槽；

侧向刻蚀所述栅堆叠下方的所述衬底形成侧面凹槽；

去除所述源漏凹槽侧面的所述垫氧化层和顶部的掩膜，暴露所述衬垫层；

在所述源漏凹槽中外延生长所述应力层，与所述衬垫层相接。

16. 如权利要求 15 所述的半导体器件制造方法，其中，采用干法刻蚀所述源漏凹槽。

17. 如权利要求 15 所述的半导体器件制造方法，其中，采用 TMAH 湿法腐蚀所述侧面凹槽。

半导体器件及其制造方法

技术领域

[0001] 本发明涉及半导体器件领域,特别是涉及一种改进外延边缘的半导体器件结构及其制造方法。

背景技术

[0002] 当前通过单一缩减特征尺寸来降低成本的方法已经遇到了瓶颈,特别是当特征尺寸降至 150nm 以下时,很多物理参数不能按比例变化,例如硅禁带宽度 Eg、费米势 Φ_F 、界面态及氧化层电荷 Qox、热电势 Vt 以及 pn 结自建势等等,这些将影响按比例缩小的器件性能。

[0003] 为了进一步改进器件性能,人们将应力引入 MOSFET 沟道区,用来改善载流子的迁移率。例如在晶面为 (100) 的晶片上,沟道区晶向为 <110>,在 PMOS 中沿着纵轴方向(沿源漏方向)的应力需要为压力,沿着横轴方向的应力需要为张力;而在 NMOS 中沿着纵轴方向的应力需要为张力,而沿着横轴方向的应力为压力。也即将沿着源 (Source, 简称 S)-漏 (Drain, 简称 D) 方向的张力引入 NMOS 沟道;而将沿着 S-D 方向的压力引入 PMOS 沟道。常用的对 PMOS 沟道施加压应力的方法,是沿着 S-D 方向在源漏区上外延生长出 SiGe 应力层,由于 SiGe 晶格常数大于 Si,故 S/D 的应力层会对于其之间的沟道区施加压应力,增大了空穴的迁移率从而增大了 PMOS 的驱动电流。同样,在源漏区上外延生长晶格常数小于 Si 的 Si:C 应力层可对 NMOS 沟道提供张力。

[0004] 但是,由于 SiGe 是在 Si 上选择性外延生长的,不同的晶面具有不同的外延生长速度,例如在 (111) 晶面上 SiGe 外延生长最慢,因此在源漏应变工艺集成中外延 SiGe 具有较大的边缘效应。

[0005] 附图 1 至 6 显示了现有技术的在源漏区上外延生长 SiGe 的剖面示意图。

[0006] 首先,如图 1 所示,刻蚀形成浅沟槽。附图 1A 为器件的侧视剖面图,附图 1B 为器件的顶视图,以下若无特殊说明,某图 A 代表侧视剖面图而某图 B 代表其相应的顶视图。在衬底 1 上沉积垫氧化层或氮化硅层 2,通过常规的掩模曝光刻蚀形成浅沟槽,其中,衬底晶面为 (100),沟道区晶向为 <110>,垫氧化层或氮化硅层 2 通常为矩形,与有源区相对应,被浅沟槽包围。

[0007] 其次,如图 2 所示,沉积形成浅沟槽隔离。在刻蚀形成的浅沟槽中填充氧化物,例如 CVD 沉积或热氧化法生成二氧化硅,随后通过例如化学机械抛光 (CMP) 的方法平坦化氧化物层直至露出衬底 1,从而形成浅沟槽隔离 STI 3。在填充氧化物之前,还可以在浅沟槽中沉积 STI 衬垫层 (未示出),其材质为氧化物或氮化硅,用作后续选择性外延生长 SiGe 或 SiC 的应力衬垫层。

[0008] 再次,如图 3 所示,形成栅极堆叠结构。在衬底 1 上沉积栅介质层 4,其材质可为氧化硅或高 k 材料的氧化铪等等;在栅介质层 4 上沉积栅电极层 5,其材质为多晶硅或金属;掩模曝光刻蚀形成栅堆叠结构;在整个结构上沉积例如为氮化硅的绝缘隔离层并刻蚀,只在栅堆叠结构周围留下隔离侧墙 6。

[0009] 接着,如图 4 所示,光刻形成源漏凹槽,位于 STI3 内侧且位于隔离侧墙 6 两侧,对

应于后续要形成的 PMOS 的源漏区域。

[0010] 然后,如图 5 所示,外延生长 SiGe 应力层 7。由于 STI 衬垫层材质与外延层 7 不同或不相近,不能作为外延层 7 的晶种层,也即外延生长的 SiGe 或 SiC 层与衬垫层以及 STI3 之间仍然存在晶格不匹配。而由于 SiGe 在 (111) 面上生长最慢,因此在 STI3 的边缘处也即与外延生长的 SiGe 的界面处会形成图 5A 所示的倾斜的侧面,该侧面为 (111) 面。该侧面形成的空隙会减小源漏区 SiGe 中的压应力,使得空穴迁移率降低,PMOS 驱动能力变弱。图 5C 为图 5 结构沿垂直于源漏的 BB' 方向的剖面图,类似地,以下若无特别说明,某图 C 即为相应结构沿垂直于源漏的 BB' 方向的剖面图。

[0011] 最后,如图 6 所示,在源漏区上形成硅化物。在外延生长的 SiGe 应力层 7 上沉积材质为 Ni、Ti 或 Co 的金属,退火以形成相应的金属硅化物,剥除未反应的金属,即在 SiGe 应力层 7 上留下接触层 8。

[0012] 由图 6 可见,SiGe 的厚度在浅沟槽隔离 STI 边缘处要薄很多,因此源漏区中 SiGe 沿纵轴 AA' 方向以及横轴 BB' 方向的应力均降低了;而在边缘区域的硅化物的接触层 8 可能接触底部的硅区域,这很可能将增大结泄漏电流。与 PMOS 类似的,SiC 在 NMOS 的 STI 边缘处也将变薄,从而降低了驱动能力。

[0013] 有鉴于此,需要一种能有效提供应力以增强 CMOS 驱动能力且减小结泄漏电流的新型半导体器件及其制造方法。

发明内容

[0014] 本发明的目的在于防止半导体器件应力层与浅沟槽隔离之间出现空隙而使得应力减小。

[0015] 为此,本发明提供了一种半导体器件,包括:衬底;浅沟槽隔离,嵌于所述衬底中,且形成至少一个开口区;沟道区,位于所述开口区内;栅堆叠,包括栅介质层和栅电极层,位于所述沟道区上方;源漏区,位于所述沟道区的两侧,包括为所述沟道区提供应变的应力层;其中,所述浅沟槽隔离和所述应力层之间具有衬垫层,作为所述应力层的晶种层;以及,所述衬底与所述浅沟槽隔离之间具有衬垫层和垫氧化层。

[0016] 其中,对于 pMOSFET,所述应力层包括外延生长的 $\text{Si}_{1-x}\text{Ge}_x$,对于 nMOSFET,所述应力层包括外延生长的 $\text{Si}_{1-y}\text{C}_y$,其中 x, y 均大于 0 小于 1。

[0017] 其中,所述衬垫层包括 $\text{Si}_{1-x}\text{Ge}_x$ 、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 或 $\text{Si}_{1-y}\text{C}_y$,其中 x, y 均大于 0 小于 1。其中, x 介于 0.15 至 0.7 范围内, y 介于 0.002 至 0.02 范围内。

[0018] 其中,所述衬垫层的厚度为 1~20nm。

[0019] 其中,所述应力区与所述浅沟槽隔离的顶部齐平。

[0020] 其中,所述源漏区还具有位于所述栅堆叠下方的源漏延伸区。

[0021] 本发明还提供了一种半导体器件制造方法,包括:在衬底中形成浅沟槽;在所述浅沟槽的底部以及侧面依次形成垫氧化层和衬垫层,其中所述衬垫层作为应力层的晶种层;在所述浅沟槽中且在所述衬垫层上形成隔离材料,构成浅沟槽隔离,所述浅沟槽隔离包围至少一个开口区;在所述开口区内形成栅堆叠;在所述栅堆叠两侧形成源漏区,所述栅堆叠下方的所述源漏区之间形成为沟道区,所述源漏区包括为所述沟道区提供应变的应力层。

[0022] 其中,对于 pMOSFET,所述应力层包括外延生长的 $\text{Si}_{1-x}\text{Ge}_x$,对于 nMOSFET,所述应力层包括外延生长的 $\text{Si}_{1-y}\text{C}_y$,其中 xy 均大于 0 小于 1。

[0023] 其中,所述衬垫层包括 $\text{Si}_{1-x}\text{Ge}_x$ 、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 或 $\text{Si}_{1-y}\text{C}_y$,其中 xy 均大于 0 小于 1。其中, x 介于 0.15 至 0.7 范围内, y 介于 0.002 至 0.02 范围内。

[0024] 其中,所述衬垫层的厚度为 1~20nm。

[0025] 其中,所述应力层与所述浅沟槽隔离的顶部齐平。

[0026] 其中,所述隔离材料为二氧化硅。

[0027] 其中,形成所述源漏区的步骤具体包括:在所述栅堆叠两侧的衬底中在掩膜的保护下刻蚀形成源漏凹槽;侧向刻蚀所述栅堆叠下方的所述衬底形成侧面凹槽;去除所述源漏凹槽侧面的所述垫氧化层和顶部的掩膜,暴露所述衬垫层;在所述源漏凹槽中外延生长所述应力层,与所述衬垫层相接。

[0028] 其中,采用干法刻蚀所述源漏凹槽。

[0029] 其中,采用 TMAH 湿法腐蚀所述侧面凹槽。

[0030] 本发明在 STI 和源漏区应力层中间插入一个与源漏区应力层材质相同或相近的衬垫层作为外延生长的晶种层或成核层,借此而消除了 STI 边缘效应,也即消除了 STI 与源漏区应力层之间的空隙,防止了应力的减小,提高了 MOS 器件的载流子迁移率从而提高了器件的驱动能力。

附图说明

[0031] 以下参照附图来详细说明本发明的技术方案,其中:

[0032] 图 1 至 6 为现有技术的形成 MOS 源漏区应力层的步骤剖面图;以及

[0033] 图 7 至 13 为依照本发明的形成带衬垫层的 MOS 源漏区应力层的步骤剖面图。

具体实施方式

[0034] 以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果。需要指出的是,类似的附图标记表示类似的结构,本申请中所用的术语“第一”、“第二”、“上”、“下”、“厚”、“薄”等等可用于修饰各种器件结构和方法步骤。这些修饰除非特别说明并非暗示所修饰器件结构及其方法步骤的空间、次序或层级关系。

[0035] 附图 7 至 13 显示了依照本发明的在源漏区上外延生长 SiGe 的剖面示意图。

[0036] 首先,如图 7 所示,通过常规的掩模曝光刻蚀衬底 10 形成包围了一个开口区(或有源区)的浅沟槽,然后在衬底 10 上以及浅沟槽中沉积垫氧化层 20。其中,衬底 10 可为体硅或绝缘体上硅(SOI),也可为 SiGe、SiC、蓝宝石、GaAs、InSb、GaN 等常用的半导体衬底材料。优选地,衬底 10 采用体硅或 SOI。衬底晶面为(100),沟道区晶向为<110>。垫氧化层 20 完全覆盖了浅沟槽的底面和侧面以及衬底 10 有源区的表面,其厚度非常薄,例如仅 5nm 以下。之后,在垫氧化层 20 上选择性外延生长一薄层的衬垫层 30(由于垫氧化层 20 非常薄,因此沉积在其上的半导体材质可以穿透该垫氧化层而与衬底 10 中半导体材质反应或扩散,从而形成衬垫层 30),衬垫层 30 与垫氧化层 20 是保形的,也即衬垫层 30 完全覆盖在垫氧化层 20 上从而分布在浅沟槽底面、侧面以及有源区表面上。衬垫层 30 的材质为 $\text{Si}_{1-x}\text{Ge}_x$ 、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 或 $\text{Si}_{1-y}\text{C}_y$,其中 xy 均大于 0 小于 1, x 优选为介于 0.15 至 0.7 范围内,

y 优选地介于 0.002 至 0.02 范围内。对于 PMOS 而言, 衬垫层 30 优选为与 PMOS 源漏区应力层同材质的 $\text{Si}_{1-x}\text{Ge}_x$; 对于 NMOS 而言, 衬垫层 30 优选为与 NMOS 源漏区应力层同材质的 $\text{Si}_{1-y}\text{C}_y$ 。衬垫层 30 的作用是在后续外延生长源漏区应力层时, 以衬垫层 30 为成核层或晶种层, 完全填充因 SiGe 在 (111) 晶面上生长缓慢而引起的 STI 40 与源漏区应力层之间的空隙。该薄层的衬垫层 30 的厚度例如是 1 至 20nm。

[0037] 其次, 如图 8 所示, 去除有源区顶部的衬垫层 30 和垫氧化层 20, 并在浅沟槽中填充绝缘材料形成浅沟槽隔离 (STI) 40。使用氢氟酸湿法刻蚀、氟基气体等离子干法刻蚀、或者化学机械抛光 (CMP) 去除有源区顶部的衬垫层 30 和垫氧化层 20, 仅在浅沟槽中留下衬垫层 30 和垫氧化层 20。随后在浅沟槽中填充隔离材料, 隔离材料可为氧化物, 例如 CVD 沉积或热氧化法生成二氧化硅, 随后通过例如化学机械抛光 (CMP) 的方法平坦化氧化物层直至露出衬底 10, 从而形成浅沟槽隔离 (STI) 40。此时, 在 STI40 与衬底 10 之间具有衬垫层 30 与垫氧化层 20 的双层层叠结构, 其中垫氧化层 20 为稍后 TMAH 各向异性湿法腐蚀硅应力晶种层的保护层。

[0038] 再次, 如图 9 所示, 在有源区上形成栅极堆叠结构。在衬底 10 上沉积栅介质层 50, 其材质可为氧化硅或高 k 材料的氧化铪等等; 在栅介质层 50 上沉积栅电极层 60, 其材质为多晶硅或金属; 掩模曝光刻蚀形成栅堆叠结构; 在整个结构上沉积例如为氮化硅的绝缘隔离层并刻蚀, 只在栅堆叠结构周围留下隔离侧墙 70。

[0039] 接着, 如图 10 所示, 掩模曝光并各向异性地刻蚀形成源漏凹槽 11, 位于 STI40 内侧且位于隔离侧墙 70 两侧, 对应于后续要形成的 PMOS/NMOS 的源漏区域。优选地, 源漏凹槽 11 的深度小于 STI40 的厚度 (或高度), 以便实现良好的绝缘隔离。优选采用在 SiO_2 或者 SiN 掩膜 (图中所示为附图标记 71) 的保护下干法刻蚀形成源漏凹槽 11, 例如采用氟基、氯基、氧基等离子体刻蚀。值得注意的是, 刻蚀形成源漏凹槽 11 的过程中, STI40 (侧壁) 与衬底 10 之间的部分垫氧化层 20、衬垫层 30 会暴露在源漏凹槽 11 的侧面。

[0040] 然后, 如图 11 所示, 侧向刻蚀源漏凹槽 11, 使得栅极堆叠结构下方的衬底 10 中形成侧面凹槽 12。例如是采用 TMAH 湿法刻蚀液各向异性侧向腐蚀衬底 10。此时, 由于垫氧化层 30 的保护, 衬垫层 20 不会被刻蚀。侧面凹槽 12 用于控制源漏区几何形状, 使得未来形成的源漏区有一部分位于栅极堆叠结构下方, 更加靠近沟道从而构成源漏延伸区, 改进提高器件的性能, 例如减小 DIBL 效应、避免源漏穿通。

[0041] 接着, 如图 12 所示, 去除源漏凹槽 11 侧面暴露的部分垫氧化层 20 以及顶部的掩膜 71, 使得部分衬垫层 30 暴露在源漏凹槽 11 中。这是为了使得未来形成的源漏区直接与衬垫层 30 衔接, 从而消除了 STI 边缘效应, 也即消除了 STI 与源漏区应力层之间的空隙, 防止了应力的减小。

[0042] 最后, 如图 13 所示, 外延生长应力层 80, 以作为器件的源漏区, 也即应力层 80 也作为源漏区 80。由于衬垫层 30 材质与应力层 80 相近或相同, 外延生长时消除了可能存在的空隙也即消除了 STI 边缘效应, 防止了应力减小, 保持或提高了载流子迁移率, 提高了 MOS 驱动能力。特别地, 外延生长的应力层 80 的顶面虽然如图 13 所示比 STI40 的顶面要高, 但是, 优选地, 应力层 80 的顶面与 STI40 的顶面大致齐平, 以防止应力从应力层 80 高于 STI40 的地方泄漏而减小了实际施加的应力, 从而防止了驱动能力降低。对于 PMOS 而言, 应力层 80 优选为 $\text{Si}_{1-x}\text{Ge}_x$; 对于 NMOS 而言, 应力层 80 优选为 $\text{Si}_{1-y}\text{C}_y$ 。其中 xy 均大于 0 小于 1, x 优

选为介于 0.15 至 0.7 范围内, y 优选地介于 0.002 至 0.02 范围内。

[0043] 最后,在源漏区应力层 80 上形成硅化物。在外延生长的应力层 80 上沉积材质为 Ni、Ti 或 Co 的金属,退火以形成相应的金属硅化物,剥除未反应的金属,即在应力层 80 上留下接触层(图 13 中未示出)。

[0044] 最后形成的器件结构如图 13 所示:浅沟槽隔离(STI)40 位于衬底 10 中,STI40 包围有半导体开口区,器件的沟道区位于该半导体开口区内;栅介质层 50 位于衬底 10 的沟道区上方,栅电极层 60 位于栅介质层 50 上,栅介质层 50 与栅电极层 60 构成栅极堆叠结构,隔离侧墙 70 位于栅极堆叠结构周围;源漏区 80 也即应力层 80 位于栅极堆叠结构两侧,由能增加应力的材料构成,对于 PMOS 而言,应力层 80 优选为 $\text{Si}_{1-x}\text{Ge}_x$;对于 NMOS 而言,应力层 80 优选为 $\text{Si}_{1-y}\text{C}_y$,其中 xy 均大于 0 小于 1;源漏区 80 或应力层 80 与 STI40 之间具有衬垫层 30,衬垫层 30 的材质与应力层 80 材质相同或相近,例如为 $\text{Si}_{1-x}\text{Ge}_x$ 、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 或 $\text{Si}_{1-y}\text{C}_y$,其中 xy 均大于 0 小于 1,x 优选为介于 0.15 至 0.7 范围内,y 优选地介于 0.002 至 0.02 范围内;衬底 10 与 STI40 之间具有衬垫层 30 以及垫氧化层 20;应力层 80 顶部还可具有金属硅化物(未示出)。特别地,应力层 80 顶部与 STI40 的顶部齐平。

[0045] 以上公开了 PMOS 源漏区应力层 80 的形成工艺,对于 NMOS 而言,工艺步骤类似,区别仅在于衬垫层 30 的材质对应于 SiC 的源漏应力层 80 而变为 $\text{Si}_{1-y}\text{C}_y$ 。

[0046] 本发明在 STI 和源漏区应力层中间插入一个与源漏区应力层材质相同或相近的衬垫层作为外延生长的晶种层或成核层,借此而消除了 STI 边缘效应,也即消除了 STI 与源漏区应力层之间的空隙,防止了应力的减小,提高了 MOS 器件的载流子迁移率从而提高了器件的驱动能力。

[0047] 尽管已参照一个或多个示例性实施例说明本发明,本领域技术人员可以知晓无需脱离本发明范围而对形成器件结构的方法做出各种合适的改变和等价方式。此外,由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此,本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例,而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

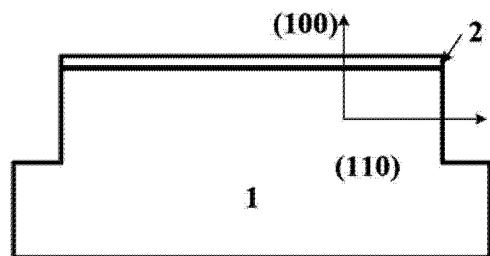


图 1A

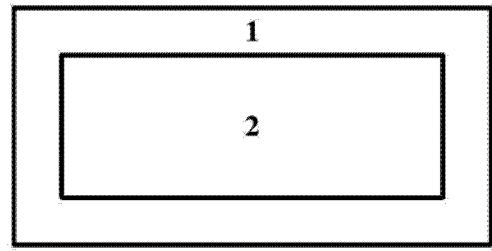


图 1B

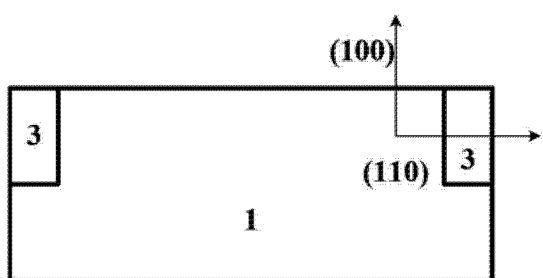


图 2A

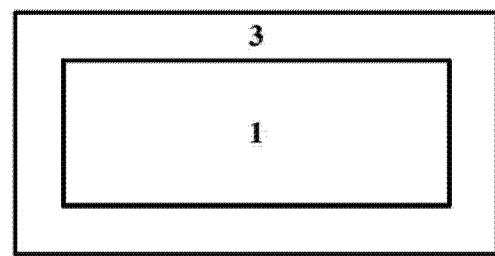


图 2B

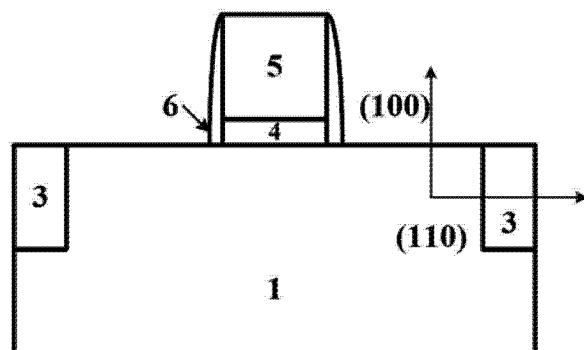


图 3A

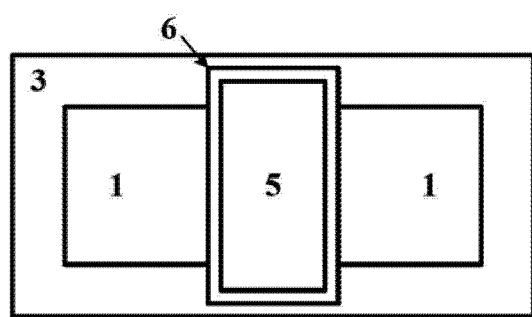


图 3B

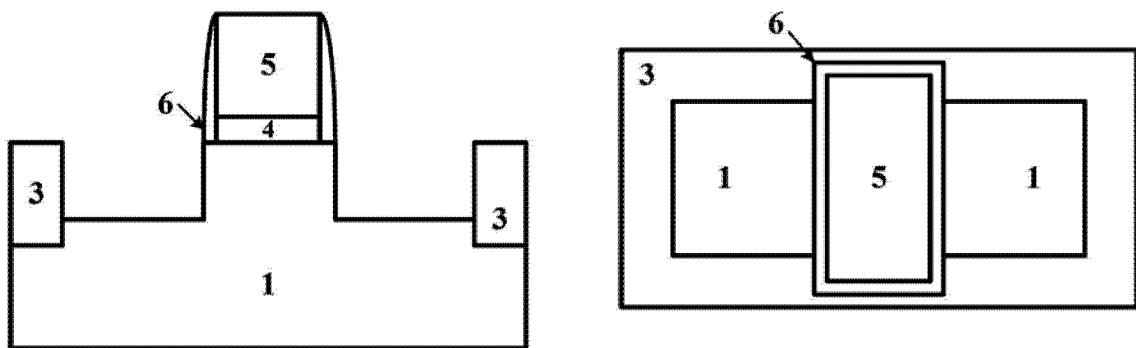


图 4A

图 4B

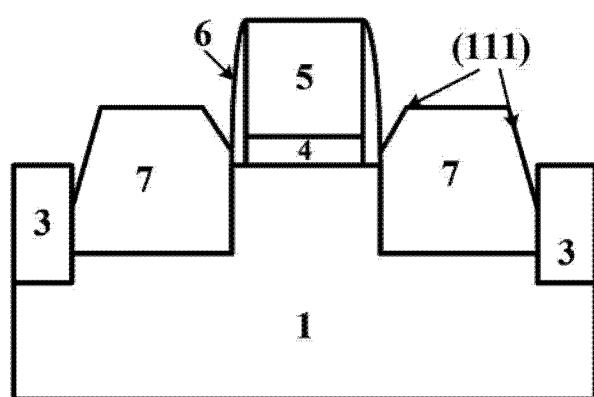


图 5A

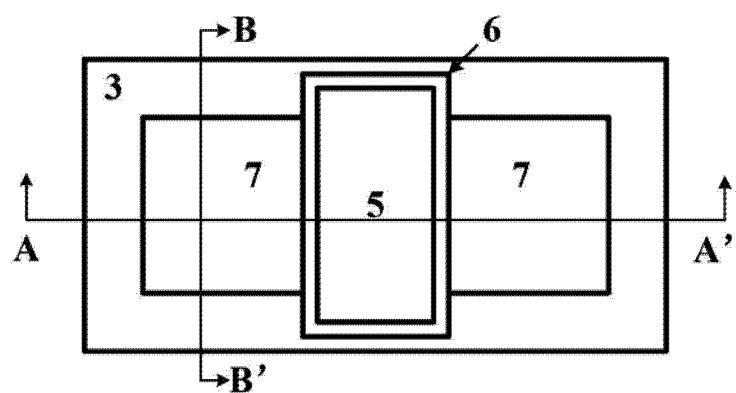


图 5B

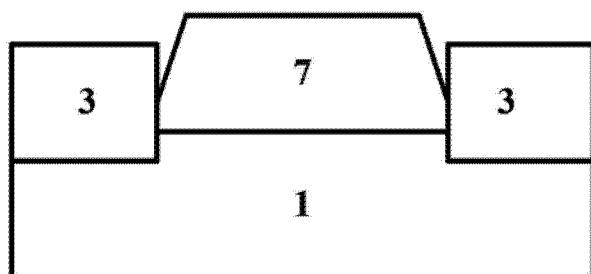


图 5C

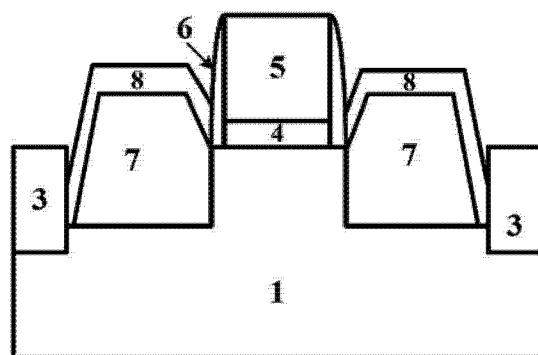


图 6A

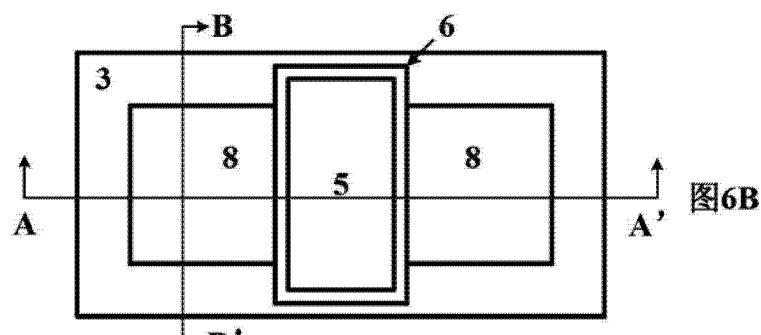


图 6B

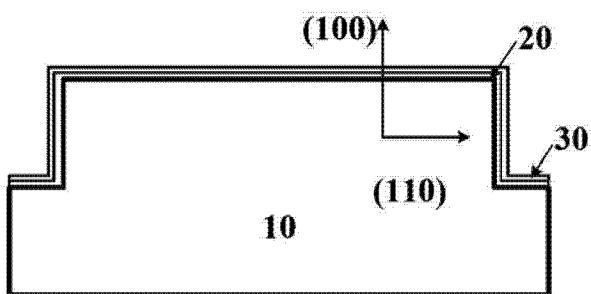
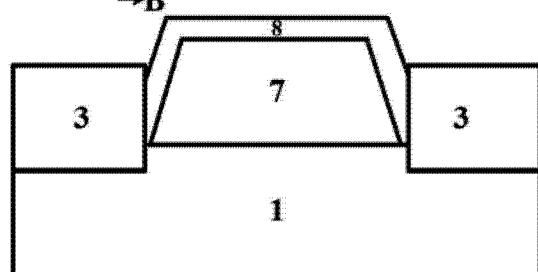


图 7A

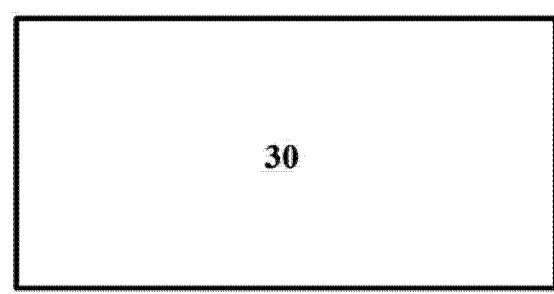


图 7B

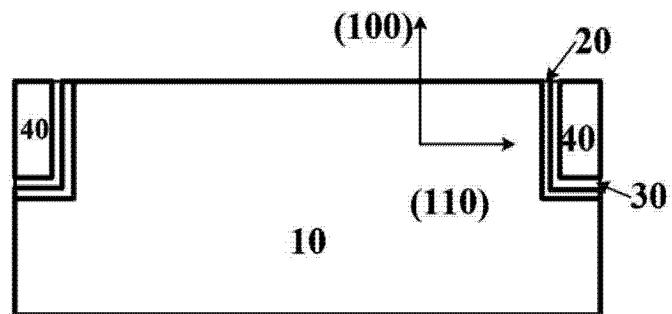


图 8A

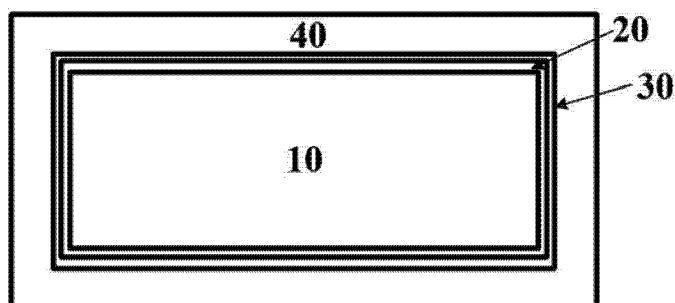


图 8B

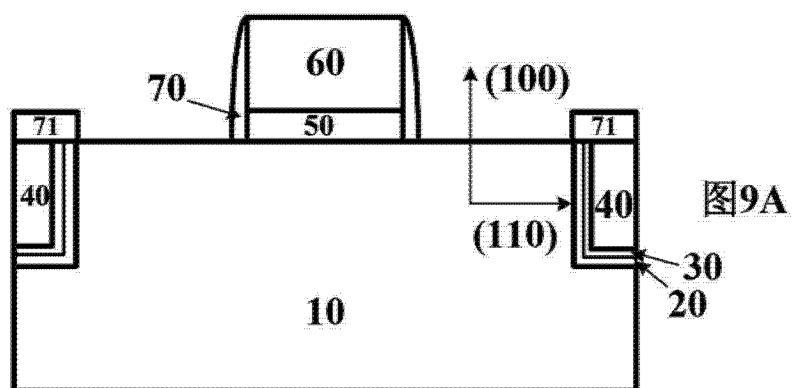


图9A

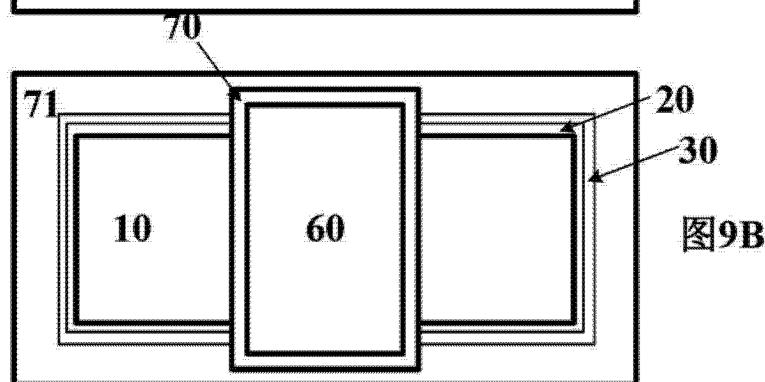
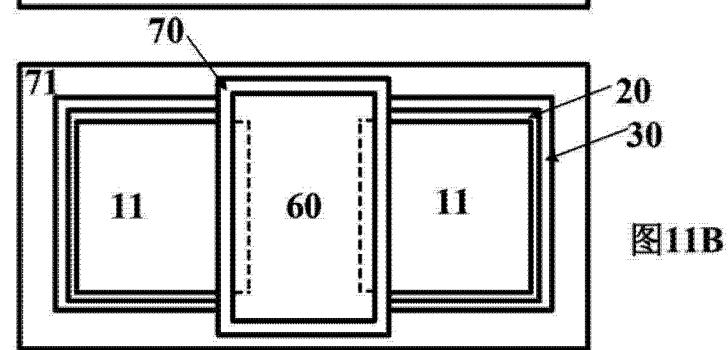
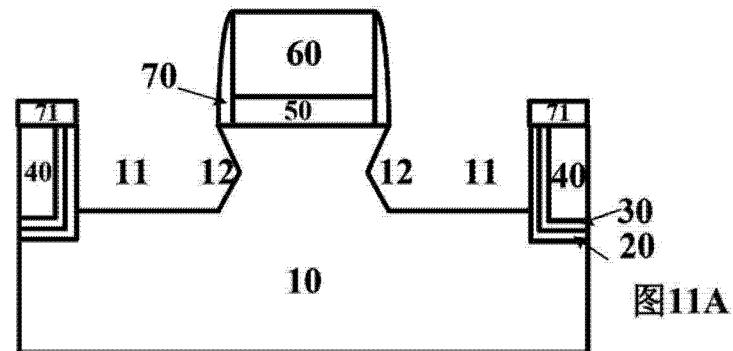
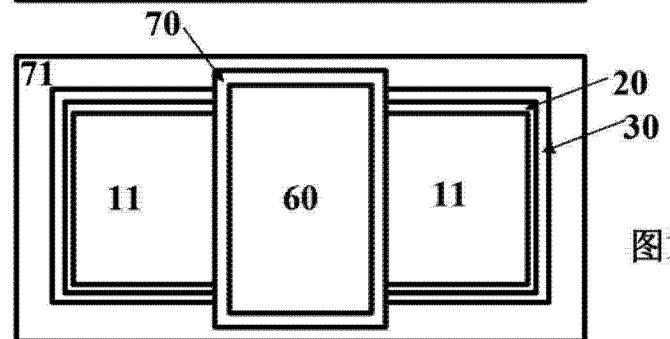
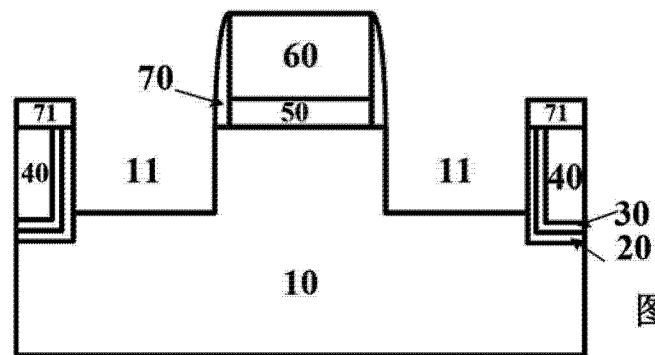
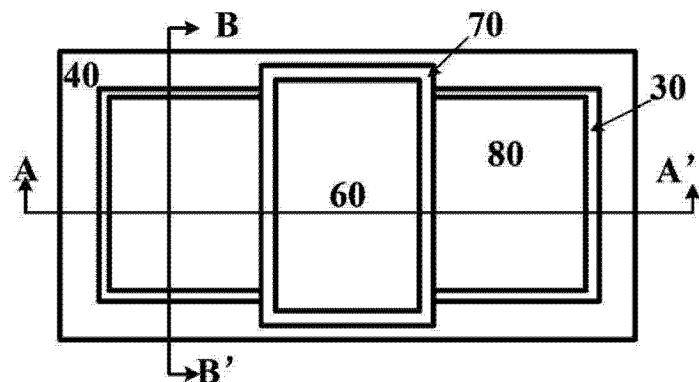
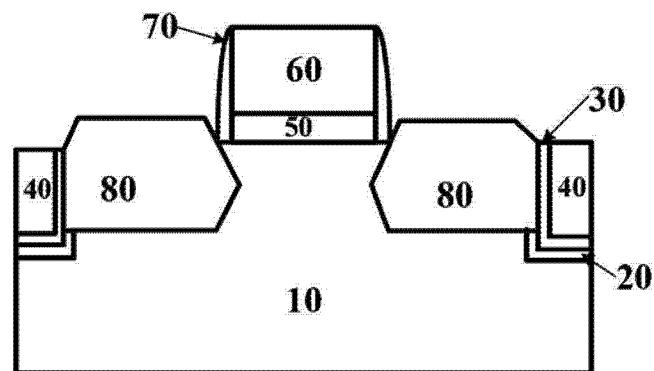
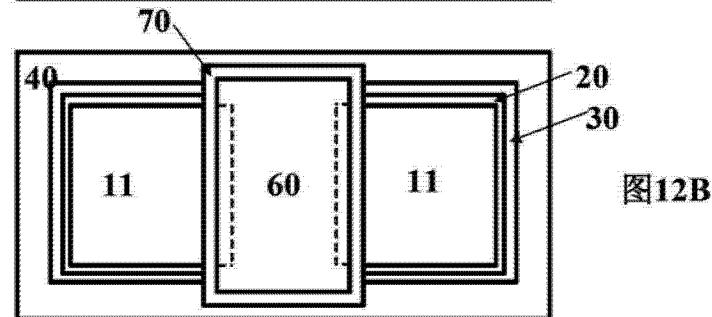
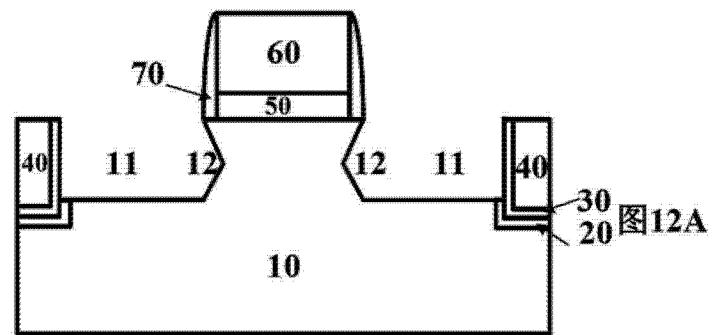


图9B





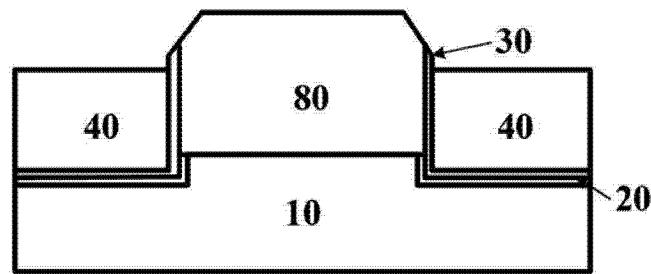


图 13C