



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년12월01일

(11) 등록번호 10-1573302

(24) 등록일자 2015년11월25일

(51) 국제특허분류(Int. Cl.)

H01L 23/12 (2006.01) *H01L 23/055* (2006.01)

(21) 출원번호 10-2009-0001448

(22) 출원일자 2009년01월08일

심사청구일자 2013년12월05일

(65) 공개번호 10-2009-0076832

(43) 공개일자 2009년07월13일

(30) 우선권주장

JP-P-2008-002553 2008년01월09일 일본(JP)

(56) 선행기술조사문현

KR1020060049323 A*

JP2005005322 A

JP2007294821 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

소니 주식회사

일본국 도쿄도 미나토구 코난 1-7-1

가부시키가이샤후지쿠라

일본국 도쿄도 고토쿠 기바 1쵸메 5반 1고

(72) 발명자

하라다 요시미치

일본국 도쿄도 미나토구 코난 1-7-1 소니 가부시

끼 가이샤내

스즈키 마사미

일본국 도쿄도 미나토구 코난 1-7-1 소니 가부시

끼 가이샤내

(뒷면에 계속)

(74) 대리인

유미특허법인

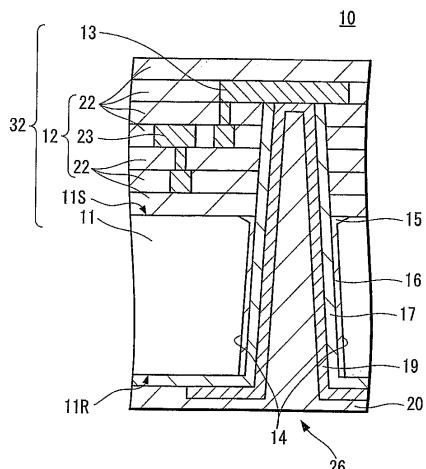
전체 청구항 수 : 총 4 항

심사관 : 김상연

(54) 발명의 명칭 반도체 장치 및 그 제조 방법

(57) 요 약

반도체 장치는 반도체 기판, 반도체 기판 상에 형성된 절연층, 반도체 기판 및 절연층을 관통하여 형성된 비아홀, 및 비아 홀 내의 절연층 상에 형성된 도전층을 갖는 관통 전극을 포함한다. 비아 홀의 내측면에 형성된 절연층의 표면은, 반도체 기판과 반도체 기판 상에 형성된 절연층의 계면의 오목부를 매립함으로써 대략적으로 평탄화된다.

대 표 도 - 도10

(72) 발명자

나베 요시히로

일본국 도쿄도 미나토구 코난 1-7-1 소니 가부시끼
가이샤내

다카오카 유지

일본국 도쿄도 미나토구 코난 1-7-1 소니 가부시끼
가이샤내

스에마스 다쓰오

일본국 도쿄도 고토쿠 기바 1쵸메 5반 1고 가부시
키가이샤 후지쿠라내

와다 히데유키

일본국 도쿄도 고토쿠 기바 1쵸메 5반 1고 가부시
키가이샤 후지쿠라내

사루타 마사노부

일본국 도쿄도 고토쿠 기바 1쵸메 5반 1고 가부시
키가이샤 후지쿠라내

명세서

청구범위

청구항 1

반도체 장치에 있어서, 반도체 기판;

상기 반도체 기판 상에 형성된 절연층;

상기 반도체 기판 및 상기 절연층을 관통하여 형성된 비아홀; 및

상기 비아홀의 내측면에, 절연층을 개재하여 도전층이 형성된 관통 전극이 구성되고,

상기 비아홀의 내측면에 형성된 절연층의 표면이, 상기 반도체 기판과 상기 반도체 기판 상에 형성된 절연층의 계면의 오목부를 매립함으로써 평탄화되는, 반도체 장치.

청구항 2

제1항에 있어서,

상기 관통 전극 내의 상기 비아홀의 내측면에 복수의 절연층이 형성된,

반도체 장치.

청구항 3

반도체 장치의 제조 방법에 있어서,

반도체 기판의 한쪽 면에 절연층을 형성하는 공정;

상기 반도체 기판을 상기 반도체 기판의 다른쪽 면으로부터 에칭함으로써 비아홀용의 개구를 형성하는 공정;

상기 개구의 내측면에, 상기 반도체 기판과 상기 반도체 기판의 한쪽 면 상에 형성된 절연층의 계면의 오목부를 매립하여 평탄화하는 절연층을 형성하는 공정;

상기 개구의 내측면에 형성된 절연층의 저부와, 상기 반도체 기판의 한쪽 면에 형성된 절연층을 에칭하여, 비아홀을 형성하는 공정; 및

상기 비아홀 내에 도전층을 형성하는 공정

을 포함하는 반도체 장치의 제조 방법.

청구항 4

제3항에 있어서,

상기 비아홀을 형성한 후, 상기 도전층을 형성하기 전에, 상기 비아홀의 내측면에 절연층을 형성하는 공정을 포함하는 반도체 장치의 제조 방법.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 반도체칩에 관통 전극을 형성한 반도체 장치 및 그 제조 방법에 관한 것이다.

[0002] 관련 출원

[0003] 본 발명은 2008년 1월 9일자로 일본 특허청에 출원된 일본 특허 출원 번호 2008-002553호에 관련된 기술 요지를 포함하고 있으며, 상기 특허 출원은 그 전체 내용이 본 명세서에 발명의 일부로서 원용되어 있다.

배경 기술

- [0004] 종래, LSI 등의 반도체 소자를 소형화 박형화한 구조로서 CSP(칩 사이즈 패키지 또는 칩 스케일 패키지)가 주목되고 있다.
- [0005] CSP의 상당수는 뼈납 등으로 이루어지는 볼을 반도체 장치의 최상면에 배열한 볼 그리드 어레이(BGA) 또는 복수의 평면 전극을 배열한 랜드 그리드 어레이(LGA)로서 제공된다.
- [0006] 또한, CMOS(상보형 금속 산화물 반도체) 이미지 센서 또는 CCD(전하 결합 소자) 이미지 센서 등의 이미지 센서에 사용된 CSP 기술의 경우, 과거에는 전극이 기판의 주면(동동 소자가 형성되는 면)에 배치되는 CPS와는 반대로, 전극이 기판의 배면 또는 이미지 센서측의 반대측에 배치된다.
- [0007] 이러한 구조에 의해 이미지 센서용으로 사용되는 반도체 장치의 소형화 및 박형화를 실현하고 있다.
- [0008] 이미지 센서용으로 사용되는 BGA-타입 CSP로서는 도 1에 도시된 바와 같은 Shell1OP-타입 반도체가 알려져 있다(예컨대, 미심사 일본 특허 공개 번호 2004-165312호를 참조).
- [0009] 도 1에 도시된 반도체 장치(100)는, 반도체칩(109)이 수지 등으로 이루어진 접착층(104, 107)을 사이에 두고 제1 클래스 기판(101) 및 제2 클래스 기판(109)으로 밀봉되는 적층 구조를 갖는다.
- [0010] 반도체칩(109)은 반도체 기판(111) 및 배선층(110)을 포함한다. 반도체 기판(111)은 실리콘 등으로 구성되며, 도 1에 도시되지 않은 트랜지스터, 보호막 등이 그 위에 형성되어 있다. 반도체 기판(111) 상에는 배선층(110)이 형성되며, 이 배선층(110)은 배선, 패드 전극 등을 포함하는 도전층과 이 도전층을 덮는 층간 절연막 등에 의한 절연층이 적층되어 있다.
- [0011] 또한, 반도체칩(109)은 수광/발광 소자, 수광/발광 센서 표면(도시하지 않음) 등이 제공된다. 또한, 센서 표면에 대응하여 컬러 필터 및 온-칩 렌즈(도시하지 않음)가 배선층(110) 위에 형성된다.
- [0012] 또한, 반도체 장치(100)에서, 반도체칩(109)은 배선층(110) 내의 패드 전극을 통해 재배선층(rewiring layer)(108)에 접속된다. 그리고, 재배선층(108)의 일단을 반도체 장치(100)의 배선층(103)에 접속시킴으로써 반도체칩(109)이 재배선된다.
- [0013] 반도체 장치(100)에서, 배선층(103)은, 서로 적층되어 있는 제1 클래스 기판(101)과 접착층(107)의 계면에서부터, 반도체칩(109), 접착층(104), 및 제2 클래스 기판(105)의 측면을 거쳐, 제2 클래스 기판(105)의 하위부까지 형성되어 있다. 또한, 배선층(103)은 제2 클래스 기판(105)의 하부에서 반도체 장치(100)의 외부 단자(106)에 접속되어 있다.
- [0014] 또한, 예컨대, 솔더 레지스트 등의 절연 수지로 구성된 보호층(102)이, 외부 단자(106)의 표면을 제외한 전체 표면을 덮고 있다. 외부 단자(106)가 형성되어 있는 위치에 대응하는 위치에서의 배선층(103)과 제2 클래스 기판(105) 사이에는 수지층(112)이 형성되어 있으며, 이 수지층(112)은 외부 단자(106) 상의 응력(stress)을 감소시키기 위한 부재이다.
- [0015] 보호층(102)이 형성된 후, 반도체 장치(100)는 화살표 C 및 C'으로 나타낸 방향으로 절단된다. 따라서, 배선층(103)의 절단면(113)이 보호층(102)으로 덮히지 않고 노출된다. 배선층(103)의 일단이 반도체 장치(100)의 측면에 노출되면, 배선층(103)은 대기 중의 수분과 반응하여 부식될 수도 있으므로, 동작 시의 반도체 장치(100)의 신뢰성에 문제를 야기할 수도 있다.
- [0016] 또한, 재배선층(108)과 배선층(103)이 접속되는 부분은 접촉 면적이 작으므로, 예컨대 접촉 저항이 증가하고, 단선이 발생할 수도 있다.
- [0017] 전술한 Shell1OP-타입 반도체 장치에 추가하여, 반도체 장치의 절단면 내측에 관통 전극이 형성되는 상이한 구조를 갖는 반도체 장치가 이미지 센서로서 사용되고 있다(예컨대, 미심사 일본 특허 공개 번호 2006-128353호 및 2007년 전자 부품 및 기술 회의에서 Dzafir Shariff 등에 의해 발표된 "Via Interconnections for Wafer Level Packing: Impact Tapered Via Geometry on Product Yield and Reliability"를 참조).
- [0018] 도 2는 이와 같은 반도체 기판(210)에 관통 전극(206)이 형성된 반도체 장치(200)에서의 관통 전극(206) 주변의 단면도를 나타낸다.
- [0019] 반도체 장치(200)에서는, 반도체칩(203)이 수지층(208)을 사이에 두고 클래스 기판 등의 광투과성 기판인 지지 기판(201)에 접착되어 있다.
- [0020] 반도체칩(203)은 반도체 기판(210) 및 배선층(209)을 포함한다. 반도체 기판(210)은 실리콘 등으로 구성되며,

도면에 도시되지 않은 트랜지스터, 보호막 등이 그 위에 형성되어 있다. 반도체 기판(210) 상에는 배선층(209)이 형성되며, 이 배선층(209)은 배선, 패드 전극 등을 포함하는 도전층과 이 도전층을 덮는 충간 절연막 등에 의한 절연층이 적층되어 있다.

[0021] 또한, 반도체칩(203)은 수광/발광 소자, 수광/발광 센서 표면(도시하지 않음) 등이 제공된다. 또한, 센서 표면에 대응하여 컬러 필터 및 온-칩 렌즈(도시하지 않음)가 배선층(209) 위에 형성된다.

[0022] 또한, 반도체칩(203)에는, 반도체 기판(210)을 관통하고, 패드 전극(202)에 접속되는 관통 전극(206)이 형성된다. 관통 전극(206)은, 배선층(209)에 형성된 패드 전극(202)에 대하여, 반도체 기판(210)의 배선층(209)이 형성된 면의 반대측의 면으로부터 비아 홀(via hole)이 형성되고, 비아 홀 내부를 도전층(205)으로 덮음으로써 형성된다. 도전층(205)은, 패드 전극(202)으로부터 관통 전극(206)을 거쳐 반도체 기판(210)의 하부까지 형성되고, 반도체 기판(210)의 하부에서 반도체 장치(200)의 외부 단자(207)에 접속된다.

[0023] 또한, 반도체 장치(200)에서, 반도체 기판(210)과 도전층(205) 사이에는 절연층(204)이 형성되어 있다. 그리고, 예를 들면 솔더 레지스트 등의 절연성 수지에 의해 형성되는 보호층(217)이, 도전층(205)과 외부 단자(207)가 접속되는 부분을 제외하고는 전체 표면에 형성된다.

[0024] 또한, 외부 단자(207)가 형성되어 있는 위치에 대응하는 위치에서, 도전층(205)과 절연층(204) 사이에는 외부 단자(207)에서의 응력을 완화하기 위한 원추 부재로서 수지층(211)이 형성된다.

[0025] 다음에, 도 2에 나타낸 반도체 장치(200)의 관통 전극(206)의 형성 방법에 대하여 설명한다.

[0026] 도 3a는 관통 전극(206)을 형성하기 전의 상태의 반도체칩(203)에서, 반도체 기판(210)과 반도체 기판(210) 상에 형성된 배선층(209)을 나타낸다. 도 3a는 도 2에 나타낸 반도체 장치(200)를 상하 반대로 나타내고 있다.

[0027] 배선층(209)은 절연층(212) 및 배선(213)이 복수개 적층되어 형성된다. 또한, 반도체칩(203)과 외부 단자를 배선 접속하기 위한 패드 전극(202)이 배선층(209) 내에 형성되어 있다.

[0028] 다음에, 예를 들면, 포토리소그래피 등을 사용함으로써 반도체칩(203) 상에 레지스트 등에 의한 패턴을 형성하고, 반도체칩(203)을 드라이 에칭한다. 이로써, 도 3b에 나타낸 바와 같이, 반도체칩(203)에 비아 홀용의 개구(214)를 형성한다.

[0029] 이 때, 반도체 기판(210)의 드라이 에칭 시에, 절연층(212)의 표면에 전자가 축적되므로, 반도체 기판(210)과 절연층(212)의 계면 부근에서 에칭이 가로 방향으로 수행된다. 그러므로, 절연층(212)과 반도체 기판(210)의 계면 부근에서의 반도체 기판(210)측에 국소적인 사이드 에칭이 행해지고, V 자형의 오목부(215), 이른바 노치가 형성된다.

[0030] 다음에, 반도체 기판(210)의 개구(214)로부터 노출된 절연층(212)을 에칭하여 패드 전극(202)을 노출시킴으로써, 도 4c에 나타낸 바와 같이 반도체 기판(210)으로부터 패드 전극(202)까지를 관통한 비아 홀(216)을 형성한다. 이 때, 반도체 기판(210)에 형성된 오목부(215)에 대응하는 위치에서, 절연층(212)에도 사이드 에칭이 행해져, 오목부(215)가 절연층(212)에도 형성된다.

[0031] 다음에, 도 4d에 나타낸 바와 같이, 비아 홀(216) 내의 반도체 기판(210)과 배선층(209)을 덮는 절연층(204)을 형성한다. 이 때, 절연층(204)은, 반도체 기판(210)의 표면의 피복율, 비아 홀(216) 내측면의 피복률, 및 비아 홀(216)의 저면의 피복율이 서로 상이하다. 따라서, 반도체 기판(210) 상에는 두껍게 형성되고, 비아 홀(216)의 저부 부근의 벽부의 패드 전극(202) 상에는 얇게 형성된다. 그리고나서, 비아 홀(216) 내의 절연층(204)을 에칭하여, 얇게 형성한 패드 전극(202) 상의 절연층(204)을 제거한다. 그 결과, 도 5e에 나타낸 바와 같이 패드 전극(202)의 일부가 노출된다. 즉, 이 경우, 피복율의 차를 이용하여 마스크 등을 사용하지 않고 비아 홀(216)의 저면 상의 절연층(204)만을 제거할 수 있다.

[0032] 다음에, 도시하지 않은 장벽 금속(barrier metal) 및 시드 금속(seed metal)을 형성한 후, 도 5f에 나타낸 바와 같이, 노출된 패드 전극(202)을 재배선하여 반도체 장치(200)의 외부 단자(207)에 접속된 도전층(205)을 형성한다.

[0033] 그리고, 외부 단자(207)가 형성되는 부분 이외의 도전층(205)의 부분에 보호층(217)을 형성함으로써, 도 2에 나타낸 반도체 장치(200)의 관통 전극(206)을 형성할 수 있다.

[0034] 또한, 전술한 반도체 기판과 반도체 기판 상의 절연층의 계면에서의 오목부, 이른바 노치의 형성을 억제하기 위해, 반도체 장치에 관통 전극을 형성하는 다른 방법으로서, 반도체 기판과 절연층을 관통하는 비아 홀을 형성할

때, 반도체 기판을 에칭하는 공정을 2단계 이상으로 나누어 행하는 방법이 있다(예를 들면, P. R. Morrow 등이 저술한 "Three-Dimensional Wafer Stacking Via Cu-Cu Bonding Integrated With 65-nm Strained-Si/Low-k CMOS Technology" IEEE Electron Device Letters, Vol.27, No5, MAY 2006를 참조).

[0035] 예를 들면, 반도체 기판의 에칭을 2단계로 나눈 방법에서는, 먼저 도 6a에 나타낸 바와 같이, 반도체 기판(210)의 에칭을 높은 에칭 속도(etching rate)로 행하여, 반도체 기판(210)과 절연층(212)의 비아 홀용으로서 제공될 개구(218a)의 일부를 형성한다. 그 다음에, 반도체 기판의 에칭을 낮은 에칭 속도로 행함으로써, 도 6b에 나타낸 바와 같이, 반도체 기판(210)을 절연층(212)과의 계면까지 에칭한다.

[0036] 이 때, 절연층(212)과의 계면 부근에서, 반도체 기판(210)의 제1 에칭 단계를 제2 에칭 단계로 변경한 위치에서는 개구(218a)의 내측면의 각도가 변화되어, 테이퍼형의 개구(218a)가 형성된다.

[0037] 또한, 도 7c에 나타낸 바와 같이, 절연층(212)을 에칭함으로써 패드 전극(202)을 부분적으로 노출시키고, 반도체 기판(210)과 절연층(212)을 관통하는 비아 홀(218)을 형성한다. 그 다음에, 도 7d에 나타낸 바와 같이, 반도체 기판(210)의 표면과 비아 홀(218)의 내측면에 절연층(204)을 형성하고, 패드 전극(202)에 접속된 도전층(205)을 형성한다.

[0038] 이 후, 보호막, 외부 단자 등을 형성함으로써 도 2에 나타낸 관통 전극(206)을 갖는 반도체 장치(200)를 형성할 수 있다.

[0039] 이 방법에 의하면, 반도체 기판과 절연층의 계면 부근을 에칭할 때, 낮은 에칭 속도로 에칭을 행함으로써 오목부의 발생을 억제할 수 있다. 또한, 반도체 기판의 초기의 에칭을 높은 에칭 속도로 행함으로써, 비아 홀을 형성하는 속도를 저하시키지 않고서도 반도체 장치를 제조할 수 있다.

발명의 내용

[0040] 전술한 바와 같이, 도 2에 나타낸 반도체칩에 관통 전극이 형성된 반도체 장치에서는, 도 3b에 나타낸 바와 같이 반도체칩을 드라이 에칭할 때, 절연층의 표면에 전하가 모여진다. 그 결과, 절연층과의 계면에서의 반도체 칩에 오목부(215), 이른바 노치가 형성된다. 또한, 반도체칩에 오목부(215)가 형성된 상태에서 절연층을 에칭하면, 반도체칩과의 계면에서의 절연층에도 마찬가지의 오목부(215)가 형성된다. 도 4d에 나타낸 바와 같이, 비아 홀(216)에 오목부(215)가 형성된 상태에서 비아 홀(216) 내에 절연층 및 배선을 형성하면, 오목부(215)에 형성되는 장벽 금속 및 시드 금속이 다른 부분보다 얇게 되거나 또는 형성되지 않는 경우가 있다. 그러므로, 오목부(215)에서의 시드 금속의 단선 또는 특성의 저하에 의해, 전해 도금에 의한 배선을 안정적으로 형성할 수 없다.

[0041] 또한, 시드 금속의 단선이 없게 배선이 형성된 경우에도, 배선에도 오목(215)에 대응하는 볼록 부분이 형성된다. 그러므로, 반도체 장치의 제조 공정에서의 열이력(heat history) 또는 동작시의 발열에 의한 배선 재료의 열팽창으로 인한 응력이 배선의 볼록 부분에 집중된다. 따라서, 도 8에 열 과정(heat process) 후의 모양을 모식적으로 나타낸 바와 같이, 반도체칩(203)과 배선층(209) 사이의 오목부(215) 부근으로부터 균열이 발생하고, 배선(205)과 패드 전극(202)의 계면 및 배선층(209)이 균열에 의해 손상된다. 그 결과, 반도체 장치의 동작 불량이 발생한다.

[0042] 전술한 바와 같이, 반도체칩과 배선층의 계면에 존재하는 오목부는 반도체 장치를 제조할 때의 수율의 저하 및 반도체 장치의 신뢰성의 저하를 야기한다.

[0043] 또한, 전술한 바와 같은 P. R. Morrow 등이 저술한 "Three-Dimensional Wafer Stacking Via Cu-Cu Bonding Integrated With 65-nm Strained-Si/Low-k CMOS Technology" IEEE Electron Device Letters, Vol.27, No5, MAY 2006의 경우에서와 같이, 에칭 스텝을 2단계 이상으로 나누어 비아 홀을 형성한 경우에는, 반도체 기판과 절연층의 계면에 형성되는 오목부를 억제할 수 있다.

[0044] 그러나, 이 경우에는 도 7d에 나타낸 바와 같이, 반도체 기판(210)의 에칭 속도가 변경되는 위치(219)에서 내측면의 각도가 변화된 비아 홀(218)이 형성된다. 그리고, 이 내측면의 각도가 변화하는 위치(219)에서 비아 홀(218) 내에 형성되는 도전층(205)의 응력 집중으로 인해 반도체 기판(210)에 균열이 발생되어, 전기적 특성이 저하되고, 반도체 장치의 신뢰성이 저하된다.

[0045] 또한, 비아 홀(218)의 내측면에 형성된 절연층(204)을 에치백(etch back)하여 패드 전극(202)을 노출시킬 때,

비아 홀(218)의 내측면의 각도가 완만한 부분(220)에서의 절연층(204)이 다른 부분보다 과도하게 예칭된다. 그러므로, 내측면의 각도가 완만한 부분(220)에서, 절연층(204)의 두께가 얕아지게 되거나 또는 절연층(204)이 완전히 제거되어, 반도체 기판(210)이 노출되어 버린다. 따라서, 반도체 장치에서, 반도체 기판(210)과 도전층(205) 양자의 절연성이 저하되어, 반도체 장치의 전기적 특성의 저하 및 신뢰성의 저하를 초래한다.

[0046] 전술한 문제점을 해결하기 위해, 관통 전극이 형성된 신뢰성이 높은 반도체 장치를 제공하는 것이 요망된다.

[0047] 본 발명의 실시예에 따른 반도체 장치는, 반도체 기판, 상기 반도체 기판 상에 형성된 절연층, 상기 반도체 기판 및 상기 절연층을 관통하여 형성된 비아 홀, 및 상기 비아 홀 내의 상기 절연층 상에 형성된 도전층을 갖는 관통 전극을 포함한다. 비아 홀의 내측면에 형성된 절연층의 표면은, 반도체 기판과 반도체 기판 상에 형성된 절연층의 계면의 오목부를 매립하여 대략적으로 평탄화된다.

[0048] 본 발명의 실시예에 따른 반도체 장치의 제조 방법은,

[0049] 반도체 기판의 한쪽 면에 절연층을 형성하는 공정;

[0050] 상기 반도체 기판의 다른 쪽의 면으로부터 예칭에 의해 비아 홀용의 개구를 형성하는 공정;

[0051] 상기 개구의 내측면에 절연층을 형성하는 공정;

[0052] 상기 개구의 내측면에 형성된 상기 절연층의 저부와 상기 반도체 기판의 한쪽 면에 형성된 상기 절연층을 예칭하여, 비아 홀을 형성하는 공정; 및

[0053] 상기 비아 홀 내에 도전층을 형성하는 공정

[0054] 을 포함하는 것을 특징으로한다.

[0055] 본 발명의 반도체 장치 및 반도체 장치의 제조 방법에 의하면, 관통 전극은, 반도체 기판에 형성된 오목부를 절연층으로 매립함으로써 비아 홀의 내측면을 평탄화할 수 있도록 구성된다. 그 다음에, 이 평탄화된 절연층 상에 도전층을 형성한다. 그러므로, 비아 홀을 형성할 때, 비아 홀의 내측면에서 반도체 기판과 절연층의 계면에 형성되는 오목부의 영향을 받지 않고 평탄화된 면에 도전층을 형성하고, 관통 전극을 형성할 수 있다. 따라서, 도전층에 볼록 부분 등과 같이 열이력 등으로 인한 열팽창의 응력이 집중되기 쉬운 부분이 형성되지 않기 때문에, 반도체 장치의 신뢰성을 향상시킬 수 있다.

[0056] 본 발명의 실시예에 의하면, 관통 전극을 갖는 신뢰성이 높은 반도체 장치를 실현할 수 있다.

발명의 실시를 위한 구체적인 내용

[0057] 본 발명의 실시예를 도면을 참조하여 설명한다.

[0058] 도 9는 본 발명의 실시예에 따른 반도체 장치(10)의 단면도이다.

[0059] 반도체 장치(10)는, 반도체칩(32), 반도체칩(32)에 접착층(28)을 통하여 접속된 지지 기판(27), 반도체칩(32)에 형성된 관통 전극(26), 관통 전극(26)으로부터 반도체칩(32)의 배면으로 인출되어 외부 단자(31)에 접속된 도전층(19), 및 반도체칩(32)을 밀봉하는 보호층(20)을 포함한다.

[0060] 반도체칩(32)은 예를 들면 실리콘 등으로 구성된 반도체 기판(11) 상에 도시하지 않은 트랜지스터 등의 능동 소자 및 보호막이 형성된다. 또한, 반도체칩(32)은 반도체 기판(11) 상에 형성된 배선층(12)을 포함하며, 이 배선층(12)은 배선(도시하지 않음) 및 패드 전극(13) 등의 도전층과 이 도전층을 덮는 층간 절연막 등의 절연층이 적층되어 이루어지는 구조를 갖는다.

[0061] 또한, 예컨대, 반도체칩(32)은 수발광 소자를 포함할 수도 있다. 예컨대, 반도체칩(32)은 도시하지 않은 수광 소자 및/또는 발광 소자, 또는 수광 및/또는 발광용의 센서 면을 포함할 수도 있다. 또한, 예컨대 이 센서 면에 대응하여, 배선층(12) 상에 컬러 필터(30) 및 마이크로 렌즈(29)가 형성될 수도 있다.

[0062] 지지 기판(27)은 예를 들면 유리 등의 광투과성의 기판으로 이루어지며, 능동 소자가 형성된 반도체칩(32)의 면(즉, 주면)측에 접착층(28)을 사이에 두고 접속된다. 도 9에 도시된 바와 같이, 지지 기판(27)과 반도체칩의 주면 사이에 공간을 두고 있지만, 예를 들면 이 공간을 광투과성의 수지 등에 의해 매립한 구조로 하여도 된다.

[0063] 또한, 반도체칩(32)은, 반도체 기판(11)을 관통하고 패드 전극(13)에 접속되는 관통 전극(26)이 형성된다. 관통 전극(26)은, 도체칩(32)의 능동 소자가 형성된 면과는 반대측의 면(배면)으로부터 배선층(12)에 형성된 패드

전극(13)까지 형성된 비아 홀을 갖는다. 비아 홀의 내측면은 도전층(19)으로 덮혀진다. 그리고, 도전층(19)은 패드 전극(13)으로부터 관통 전극(26)의 내측면을 따라 반도체칩(32)의 배면에 형성되고, 반도체칩(32)의 배면 측에서 외부 단자(31)에 접속된다.

[0064] 또한, 도전층(19)과 반도체 기판(11)의 접촉에 의한 통전을 방지하기 위해, 반도체 기판(11)의 배면 및 관통 전극(26)의 내측면을 덮도록 절연층(17)이 형성된다.

[0065] 또한, 도전층(19)과 외부 단자(31)의 접속 부분을 제외한 반도체칩(32)의 배면측의 전체 면에 보호층(20)이 형성된다. 보호층(20)은 예를 들면 폴리이미드 수지, 솔더 레지스트와 같은 절연성 수지 등에 의해 형성된다.

[0066] 도 10은 도 9에 나타낸 반도체 장치(10)에서의 관통 전극(26)의 주변부를 확대도로 나타낸다.

[0067] 도 10에 나타낸 바와 같이, 반도체 장치(10)에서, 배선층(12)은 능동 소자가 형성되어 있는 반도체칩(32)의 면에 절연층(22) 및 금속 배선(23)이 복수개 적층되어 형성된 구성을 갖는다. 또한, 반도체칩(32)과 외부 단자(31)를 상호 접속하기 위한 패드 전극(13)이 배선층(12) 내에 형성된다.

[0068] 절연층(22)은, 예를 들면, SiO_2 , SiN , SiC , SiCN , SiOCH , SiOF 등으로 형성된다. 또한, 금속 배선(23) 및 패드 전극(13)은, 예를 들면, Al , AlCu , AlSi , Cu 등과 Ti , TiN , Ta , TaN 등의 고용접 금속(장벽 금속)의 적층 구조로 형성된다. 이 때, 예를 들면, 반도체칩(32)은 반도체 기판(11)의 두께가 $30 \mu\text{m}$ 이상이고, 배선층(12)의 두께가 $1\sim10 \mu\text{m}$ 으로 형성된다.

[0069] 반도체 장치(10)에는, 반도체 기판(11)의 배선층(12)이 형성되는 면(주면)(11S)과는 반대측의 면(배면)(11R)으로부터 패드 전극(13)에 이르는 개구, 즉 비아 홀(14)이 형성된다. 그 다음에, 이 비아 홀(14)의 내측면에 절연층(16, 17)이 형성되고, 또한 반도체칩(32)의 배면(11R)측으로부터 절연층(22)에 형성된 패드 전극(13)에 접속될 도전층(19)이 형성되며, 이에 의해 관통 전극(26)이 형성된다.

[0070] 관통 전극(26)은, 예를 들면, 반도체 기판(11)의 배면(11R)의 개구의 직경이 $10\sim100 \mu\text{m}$ 이고, 반도체 기판(11)의 배면(11R)으로부터 패드 전극(13)까지의 개구의 깊이가 $30 \mu\text{m}$ 이상이 되도록 형성된다.

[0071] 또한, 반도체칩(32)에 형성된 비아 홀(14)에서, 반도체 기판(11)의 절연층(22)과의 계면 부근에는 오목부(15)가 형성되어 있다. 그리고, 절연층(16)이 오목부(15)를 매립하도록 형성되고, 또한 비아 홀(14)의 내측면 상의 절연층(16) 및 반도체 기판(11)의 배면(11R)을 덮는 절연층(17)이 반도체칩(32)의 전체 배면(11R)에 형성된다.

[0072] 또한, 도전층(19) 및 절연층(17)을 덮는 보호층(20)이 반도체칩(32)의 배면(11R) 전체 면에 형성된다.

[0073] 전술한 반도체 장치(10)에서, 반도체 기판(11)의 비아 홀(14)을 절연층(16)으로 피복함으로써, 반도체 기판(11)과 배선층(12)의 계면 상의 오목부(15)를 매립하고, 또한 절연층(16)을 덮는 절연층(17)이 형성된다.

[0074] 이와 같이, 반도체 장치(10)에서, 반도체 기판(11)과 배선층(12)의 계면에 에칭에 의해 오목부(15)가 형성된 경우에도, 절연층(16, 17)에 의해 비아 홀(14)의 내측 공간이 매립되어, 내측면의 표면이 거의 평탄하게 형성된다. 그러므로, 절연층(17) 상에 형성되는 도전층(19)이 관통 전극(26) 내에서 오목부(15)의 영향을 받지 않고 형성된다.

[0075] 따라서, 관통 전극(26)에 형성되는 도전층(19)에 오목부(15)의 형상을 반영한 불록 형상 등이 형성되는 것이 방지되기 때문에, 반도체 장치(10)의 제조 공정에서의 열이력 또는 동작시의 발열에 의해, 배선 재료의 열팽창으로 인한 응력이 집중되는 등의 문제를 방지할 수 있다.

[0076] 또한, 절연층(17)의 표면이 대략 평탄한다. 그러므로, 도전층(19)을 도금 법 등으로 형성할 때, 도전층(19)의 도금 베이스층으로 되는 시드 금속 등의 피복성이 향상되고, 또한 단선 등에 의한 도전층(19)의 제조 불량이 감소된다. 그러므로, 도전층(19)을 안정적으로 형성할 수 있고, 반도체 장치를 제조할 때의 수율의 저하를 억제 할 수 있다.

[0077] 따라서, 관통 전극을 갖는 반도체 장치의 수율을 향상시킬 수 있는 동시에, 반도체 장치의 신뢰성을 향상시킬 수 있다.

[0078] 그리고, 비아 홀(14) 내의 절연층(16)의 표면은 오목부(15)를 매립하여 대략 평탄화하는 형상이면 된다. 구체적으로는, 절연층(16)의 표면은, 절연층(16) 상에 형성되는 도전층(19)에 요철 등의 형상이 반영되지 않고, 배선 재료의 열팽창 등에 의해 응력의 집중을 받아 손상되는 부분이 야기되지 않을 정도로 평탄화되어 있으면 된다. 또한, 도전층(19)을 도금법 등으로 형성할 때, 절연층(16)의 표면은, 도전층(19)이 시드 금속의 피복성을

저하시키거나 단선 등을 야기하지 않는 정도로 평탄화되어 있으면 된다.

[0079] 도 10에 나타낸 바와 같이, 반도체 장치(10)는 비아 홀(14)의 내측면에 절연층(16)과 절연층(17)의 2층의 절연층을 형성하고 있지만, 비아 홀(14)의 내측면에 형성된 절연층은 단층이어도 된다.

[0080] 비아 홀(14) 내에 형성된 절연층은, 오목부(15)를 매립하고 또한 비아 홀(14)의 내측면을 평탄화할 수 있으면 된다. 그러므로, 비아 홀(14)의 내측면에 형성되는 절연층은 단층이어도 되고 복수 층이어도 된다.

[0081] 비아 홀(14)의 내측면에 형성되는 절연층을 단층으로 하는 경우에는, 절연층을 복수의 층으로 형성하는 경우에 비해 공정수를 감소시킬 수 있다.

[0082] 이하, 본 발명의 실시예에 따른 반도체 장치의 제조 방법의 일례에 대하여, 특히 도 10에 나타낸 관통 전극의 형성 방법에 대하여 도면을 참조하여 설명한다.

[0083] 먼저, 예를 들면, 실리콘, GaAs, InP 등으로 이루어지는 웨이퍼인 반도체 기판(11)의 능동 소자 형성면(주면)(11S)측에, 예를 들면 SiO₂, SiN, SiC, SiCN, SiOCH, SiOF 등에 의해 형성되는 절연층(22)과, Al, AlCu, AlSi, Cu 등에 의해 형성되는 배선(23)과, 패드 전극(13)을 적층하여, 배선층(12)을 형성한다. 또한, 반도체 기판(11) 및/또 배선층(12) 위에는, 트랜지스터 등의 능동 소자, 수광 및/또는 발광 소자, 수광 및/또는 발광용의 센서면, 컬러 필터, 온-칩 렌즈 등을 형성해도 된다.

[0084] 도 11a에 나타낸 바와 같이, 레지스트 마스크 또는 SiO₂, SiN 등으로 구성된 하드 마스크(24)가 반도체 기판(11)의 능동 소자를 형성하는 면과 반대의 면인 배면(11R) 상에 형성된다. 마스크(24)는 반도체침에서 비아 홀이 형성되는 패드 전극(13)의 위치에 대응하는 영역을 제외한 배면에 형성된다.

[0085] 다음에, 마스크(24)의 개구로부터 예를 들면 SF₆, O₂, 플루오로카본 가스, HBr 등을 포함하는 가스를 사용하여 반도체 기판(11)에 드라이 에칭을 행함으로써, 반도체 기판(11)에 비아 홀용의 개구(14a)가 형성된다.

[0086] 반도체 기판(11)의 에칭은 개구(14a)의 저부에 절연층(22)이 노출될 때까지 행한다. 웨이퍼 전체에서 반도체 기판(11)의 개구(14a)로부터 확실하게 절연층(22)를 노출시키도록 반도체 기판(11)에 오버 에칭(over-etching)을 행할 필요가 있다. 이 때, 반도체 기판(11)의 오버 에칭 시에 절연층의 표면에 전하가 축적되어, 에칭이 가로 방향으로 진행한다. 그러므로, 반도체 기판(11)과 절연층(22)의 계면에서 반도체 기판(11)측에 국소적인 사이드 에칭 부분이 형성된다. 그 결과, 도 11b에 나타낸 바와 같이, 반도체 기판(11)에 단면이 V자 형상의 오목부(15), 이른바 노치가 형성된다.

[0087] 그 다음에, 반도체 기판(11) 상에 형성된 마스크(14)를 제거한 후, 도 12c에 나타낸 바와 같이, 반도체 기판(11)의 배면(11R), 개구(14a)의 내측면, 및 개구(14a)의 저부를 절연층(16)으로 피복한다.

[0088] 절연층(16)은 예를 들면 SiO₂, SiN, SiC, SiCN 등에 의해 형성할 수 있다. 절연층(16)의 재료는, 후술하는 선택적 에치백(selective etch-back) 시에 배선층(12)의 절연층(22)에 연속하여 행할 수 있도록 하기 위해, 절연층(22)과 동일한 에칭 선택성(etching selectivity)을 갖는 재료인 것이 바람직하며, 절연층(12)과 절연층(22)을 동일한 재료로 하는 것이 보다 바람직하다. 또한, 절연층(16)은, 예를 들면, 플라즈마 CVD법 외에, 스펄 코팅법, 스프레이 코팅법 등에 의해 형성한 무기막, 또는 유기막으로 할 수도 있다.

[0089] 여기서, 절연층(16)은 적어도 반도체 기판(11)에 형성된 오목부(15)를 완전히 매립할 수 있는 두께까지 형성된다. 오목부(15)를 완전히 매립하기 위해서는, 예를 들면 개구(14a)의 저부에서 절연층(16)의 두께를 1 μm 이상으로 하는 것이 바람직하다. 이와 같이 절연층(16)에 의해 오목부(15)를 매립함으로써, 개구(14a)의 측면과 저면 사이에 험물이 없는 형상으로 할 수 있다.

[0090] 또한, 절연층(16)은, 피복율의 차이에 의해, 반도체 기판(11)의 배면(11R) 상에 가장 두껍고 형성되고, 개구(14a)의 저부에 가장 얇게 형성된다.

[0091] 다음에, 도 13d에 나타낸 바와 같이, CF₄, O₂ 등을 사용한 드라이 에칭에 의해 절연층(16)을 선택적 에치백하고, 또한 배선층(12)의 절연층(22)을 에칭함으로써 패드 전극(13)을 노출시켜 비아 홀(14)을 형성한다.

[0092] 절연층(16)의 선택적 에치백은 절연층(16)의 피복율의 차를 이용하여 행할 수 있다. 전술한 바와 같이, 절연층(16)은 반도체 기판(11)의 배면(11R)에서 두껍고 형성되고, 비아 홀(14) 내에서는 절연층(16)의 두께를 얇게 형성할 수 있다. 그러므로, 절연층(16)에 이방성 에칭을 행하고, 반도체 기판(11)의 배면(11R)에 두껍게 형성된 절연층(16)을 에칭함으로써, 비아 홀(14)의 저부에 형성한 절연층(16)과 배선층(12)의 절연층(22)을 동시에 에

칭할 수 있다. 이 때, 비아 홀(14)의 내측면에 형성한 절연층(16)은 예칭 속도가 낮기 때문에 도 13d에 나타낸 바와 같이 비아 홀(14) 내에 잔존하게 된다.

[0093] 도 13d에 나타낸 바와 같이, 비아 홀(14) 내의 오목부(15)는 절연층(16)에 의해 완전히 피복되어 있다. 그러므로, 반도체 기판(11)의 배면(11R)으로부터 패드 전극(13)까지의 비아 홀(14)의 내측면은 오목부(15)의 형상에 영향을 받지 않고 대략 평탄화될 수 있다.

[0094] 그리고, 도 13d에서는, 비아 홀(14)의 내측면에 절연층(16)을 남겨두고, 반도체 기판(11)의 배면(11R)으로부터는 절연층(16)을 제거하고 있다. 이와 달리, 반도체 기판(11)의 배면(11R)에 절연층(16)을 잔존시켜도 된다. 또한, 비아 홀(14)의 내측면에 잔존하는 절연층(16)은, 오목부(15)를 완전히 매립할 수 있는 범위 내에서는, 그 두께가 임의로 변경될 수도 있다.

[0095] 또한, 전술한 공정에서는, 절연층(16)의 두께를, 다른 부분에서보다 반도체 기판(11)의 배면(11R) 상에서 더욱 두껍게 하는 것이 바람직하다. 도 13d에 나타낸 구조의 비아 홀(14)을 형성하기 위해서는, 도 12c에 나타낸 개구(14a)의 저부에 형성한 절연층(16)을 선택적 에치백하고, 또한 패드 전극(13) 상의 절연층(22)을 예칭한다.

[0096] 절연층(16)을 선택적 에치백하여 개구(14a)의 저부를 노출시키고 또한 절연층(22)을 에치백할 때, 반도체 기판(11)의 배면(11R) 상에 절연층(16)이 남아 있으면, 반도체 기판(11)의 내측면 위의 절연층(16)을 잔존시킬 수 있다. 이 경우, 절연층(16) 상에 성막하는 후술하는 절연층(17)을 생략하는 것이 가능하다.

[0097] 전술한 바와 같이, 절연층(16)과 절연층(22)을 동일한 예칭 선택성을 갖는 재료, 바람직하게는 동일한 재료로 구성함으로써, 연속된 선택적 에치백을 행할 수 있다. 또한, 전술한 바와 같은 절연층(16)의 반도체 기판(11)의 배면(11R) 상의 두께를 적합하게 선정함으로써, 비아 홀(14) 내의 절연층(16)의 피복을 유지할 수 있다.

[0098] 다음에, 도 13e에 나타낸 바와 같이, 반도체 기판(11)의 배면(11R) 및 비아 홀(14) 내에 다시 절연층(17)을 형성한다.

[0099] 절연층(17)은, 예를 들면 플라즈마 CVD법을 사용하여, 예를 들면 SiO₂, SiN, SiC, SiCN, SiOCH, SiOF 등에 의해 형성될 수 있다. 또는, 스판 코팅법, 스프레이 코팅법 등을 사용하여 폴리이미드 수지 등으로 이루어진 수지막을 형성하는 것도 가능하다.

[0100] 비아 홀(14)의 내측면은, 절연층(16)에 의해 오목부(15)가 매립되어 대략 평탄화되어 있다. 그러므로, 절연층(17)도 오목부(15)의 형상에 영향을 받지 않고 비아 홀(14)의 내측면을 대략 평탄화한 상태에서 형성할 수 있다.

[0101] 이 때, 절연층(17)은, 피복율의 차이에 의해, 반도체 기판(11)의 배면(11R)에서 가장 두껍고 형성되고, 비아 홀(14)의 저부 부근의 벽부에서 가장 얕게 형성된다. 이 때, 절연층(17)의 두께가 요구된 것보다 작으면, 절연층(17) 상에 형성되는 도전층과 반도체 기판과의 절연성을 확보할 수 없으므로, 예를 들면 절연층(17)을 비아 홀(14)의 저부에서는 500nm 정도의 두께로 형성하는 것이 바람직하였다.

[0102] 다음에, 도 14f에 나타낸 바와 같이, CF₄, O₂ 등을 이용하여 절연층(17)을 드라이 예칭함으로써, 절연층(17)을 에치백하고, 비아 홀(14)의 저부에 형성된 절연층(17)을 제거하여 패드 전극(13)을 노출시킨다.

[0103] 절연층(17)의 예칭은 전술한 비아 홀(14) 내의 피복율의 차를 이용하여 수행된다. 그러므로, 비아 홀(14)의 저부에 형성된 절연층(17)이 예칭될 수 있다. 비아 홀(14)의 저부에서는, 비아 홀(14)의 내측면 및 반도체 기판(11)의 배면(11R)에 비해, 절연층(17)이 얕게 형성된다. 그러므로, 예를 들면 이방성 예칭을 행함으로써, 반도체 기판(11)의 배면(11R) 및 비아 홀(14)의 내측면에 절연층(17)을 잔존시킨 상태에서, 비아 홀(14)의 저부로부터 패드 전극(13)을 노출시키는 것이 가능하다.

[0104] 그리고, 도 13d를 참조하여 설명한 공정에서, 반도체 기판(11)의 배면(11R) 및 비아 홀(14)의 내측면에 잔존하는 절연층(16)의 두께가 충분한 경우에는, 도 13e 및 도 14f를 참조하여 설명한, 절연층(17)의 형성 및 패드 전극(13)의 노출 공정을 생략할 수 있다.

[0105] 다음에, 반도체 기판(11)의 배면(11R) 및 비아 홀(14) 내의 전체면에, 예를 들면, 스퍼터법, CVD법, ALD(Atomic Layer Deposition)법 등을 사용하여 장벽 금속(도시하지 않음)을 형성한다. 장벽 금속은, 예를 들면 Cr, Ti, Ta 또는 이들의 합금(TaN 등) 중의 하나로 이루어진 단층 또는 적층을 구성함으로써 형성된다. 또한, 장벽 금속은 Cu 등의 금속 배선 재료가 절연층에 확산되는 것을 방지할 수 있는 두께로 형성된다.

- [0106] 도 14g에 나타낸 바와 같이, 장벽 금속 상에 스퍼터법, CVD법, ALD법, 도금 법을 이용하여 예를 들면 Cu 등에 의해 시드 금속(18)을 형성한다.
- [0107] 다음에, 도 15h에 나타낸 바와 같이, 도 14g에 나타낸 공정에 의해 형성된 시드 메탈(18)의 전체 면 상에 예를 들면 전해 도금 등에 의해 Cu 등의 도전층(19)을 형성한다. 그리고, 설명의 간략화를 위해, 도 14h 이후의 도면에서는 시드 금속(18)을 생략하여 도시한다.
- [0108] 도 15i에 나타낸 바와 같이, 반도체 기판(11)의 배면(11R)측에 레지스트(25)의 패터닝을 행한다. 그리고나서, 도 16j에 나타낸 바와 같이, 레지스트(25)를 마스크로하여 도전층(19)을 에칭하고, 잉여의 도전체를 제거한다. 이로써, 반도체 기판(11)의 배면(11R)으로부터, 패드 전극(13)을 접속하는 도전층(19)이 형성될 수 있다.
- [0109] 비아 홀(14)의 내측면이 절연층(17)에 의해 대략 평탄화되어 있으므로, 시드 금속의 피복성의 저하 또는 단선 등이 발생하지 않고, 또한 비아 홀(14)의 내측면이 반도체 기판(11)과 배선층(12)의 계면에 형성된 오목부(15)의 영향을 받지 않고 대략 평탄하게 될 수 있다.
- [0110] 비아 홀(14)의 내측면은, 절연층(17) 상에 형성된 도전층(19)이 반도체 기판(11)과 배선층(12)의 계면에 형성된 오목부의 영향을 받지 않고, 배선 재료의 열팽창 등에 의해 응력이 집중되는 볼록 형상 등이 형성되지 않을 정도로, 절연층(16, 17)으로 평탄화하면 된다.
- [0111] 이상의 공정에 의해, 반도체 기판(11)을 관통하고, 패드 전극(13)에 접속하는 도전층(19)을 형성함으로써, 반도체 장치에 관통 전극(26)을 형성할 수 있다.
- [0112] 도 16k에 나타낸 바와 같이, 반도체칩의 배면 전체 면에 보호층(20)을 형성한다. 보호층(20)은 예를 들면 폴리 이미드 수지 등의 수지로 이루어지는 레지스트 등으로 형성할 수 있다. 또한, 보호층(20)은 감광성 수지를 이용하는 것이 바람직하다. 감광성 수지를 사용함으로써, 외부 단자 등을 형성하기 위한 패터닝을 포토리소그래피법에 의해 용이하게 행할 수 있다.
- [0113] 그리고, 도금 등에 의해 외부 단자를 형성하고, 반도체 웨이퍼의 다이싱에 의해 개별 부품화 등을 행하고, 또한 접착층을 통하여 글래스 등으로 이루어진 지지 기판을 접속함으로써, 도 9에 나타낸 반도체 장치(10)를 제조할 수 있다.
- [0114] 그리고, 도전층(19)은 전술한 제거법(subtractive method)을 따른 형성 방법 이외에도, 예를 들면 반추가법(semi-additive method)에 따라 형성할 수도 있다.
- [0115] 예를 들면, 전술한 도 14g에 나타낸 장벽 금속 및 시드 금속(18)을 형성한 후, 도 17a에 나타낸 바와 같이, 도전층(19)이 형성되지 않는 부분에 레지스트(25)를 형성하고, 이러한 부분에 전해 도금 등에 의해 도전층(19)을 형성한다. 이로써, 레지스트(25)로부터 노출된 부분에만 선택적 전해 도금에 의해 도전층(19)을 형성할 수 있다.
- [0116] 다음에, 도 17b에 나타낸 바와 같이 레지스트(25)를 제거한다. 그리고, 도 17c에 나타낸 바와 같이, 노출된 시드 금속 및 장벽 금속을 에칭하여 제거한다. 그 결과, 도 16j와 동일한 구조의 도전층(19)을 형성할 수 있다.
- [0117] 이 방법에 의하면, 도전층(19)을 형성하는 동안, 시드 금속 및 장벽 금속(18)만이 에칭에 의해 제거된다. 따라서, 에칭되는 층의 두께가 작으므로, 사이드 에칭 등을 저감할 수 있고, 금속 배선의 미세화가 가능하다.
- [0118] 그리고, 전술한 실시예에서는, CCD 또는 CMOS 이미지 센서 등의 수광 소자 또는 발광 소자에 사용되는 반도체 장치에 본 발명을 적용한 경우에 대하여 설명하였다. 그러나, 본 발명의 실시예에 따르면, 전술한 반도체 장치에 한정되지 않고, 반도체칩에 형성된 관통 전극을 갖는 반도체 장치라면 어떠한 반도체 장치에도 본 발명을 적용할 수 있다. 예를 들면, 도 18에 나타낸 바와 같이, 2개의 반도체칩이 서로 마주 보고 실장된 칩-온-칩 구조의 반도체 장치(40)에도 적용할 수 있다.
- [0119] 도 18에 나타낸 바와 같이, 반도체 장치(40)에 있어서, 도 1에 나타낸 반도체 장치(10)의 구성 요소와 동일한 구성 요소에는 동일한 도면 부호를 부여하며, 그 구체적인 설명을 생략한다.
- [0120] 도 18에 나타낸 바와 같은 반도체 장치(40)는 한쪽의 반도체칩(32) 상에 다른 쪽의 반도체칩(41)이 미소 범프(minute bump)(51)를 이용하여 실장되도록 구성된다. 또한, 예를 들면, 반도체 장치(40)는 도시하지 않은 몰드 수지 등으로 패키징됨으로써 형성된다.
- [0121] 또한, 반도체칩(32)은 도 9에 나타낸 반도체 장치(10)와 동일한 관통 전극(26)을 포함한다.

- [0122] 반도체칩(32) 상에 탑재된 반도체칩(41)은 반도체칩(41)의 한쪽 면에 전극(52)이 형성된다. 그리고, 전극(52) 상에 형성된 뼈납 등으로 이루어지는 범프(51)에 의해 반도체칩(32) 상에 실장된다.
- [0123] 반도체칩(32)에서, 배선층(12)은 반도체 기판(11) 상에 절연층과 도전층이 복수개 적층되어 이루어진다. 또한, 반도체칩(32)은 배선층(12)의 표면에 패드 전극(13)과, 반도체칩(41)에 접속하기 위한 범프(51)가 형성된 전극(50)을 갖는다.
- [0124] 반도체칩(32)에는, 도전층(19)에 패드 전극(13)을 접속시키기 위한 관통 전극(26)이 반도체 기판(11)의 배면에 형성된다. 그리고, 이 관통 전극(26)은 도 10에 나타낸 관통 전극(26)과 동일한 구조를 갖는다.
- [0125] 또한, 관통 전극(26)은 전술한 도 11 내지 도 17을 참조하여 설명한 방법과 동일한 방법으로 형성될 수 있다.
- [0126] 전술한 반도체 장치(40)에 의하면, 도 9에 나타낸 반도체 장치(10)와 동일한 효과를 얻을 수 있다. 또한, 반도체 장치(40)에 의하면, 복수개의 반도체칩을 적층한 경우에 있어서 반도체 장치를 소형화하는 것이 가능하게 된다.
- [0127] 본 발명은 전술한 구성으로 한정되지 않고, 본 발명의 요지를 벗어나지 않는 범위에서 그 외에 다양한 구성이 가능하다.
- [0128] 당업자라면 첨부된 청구범위 및 그 등가물의 범위 내에서 설계 조건 및 기타 요인에 따라 다양한 수정, 조합, 부분 조합 및 변경이 가능하다는 것을 이해하여야 한다.

도면의 간단한 설명

- [0129] 도 1은 종래 기술에 따른 반도체 장치의 단면도이다.
- [0130] 도 2는 종래 기술의 반도체 장치에 사용된 관통 전극의 단면도이다.
- [0131] 도 3a 및 도 3b는 종래 기술의 반도체 장치에 사용된 관통 전극의 제조 공정을 예시하는 단면도로, 각각 상이한 공정 단계를 나타내고 있다.
- [0132] 도 4c 및 도 4d는 종래 기술의 반도체 장치에 사용된 관통 전극의 제조 공정을 예시하는 단면도로, 각각 상이한 공정 단계를 나타내고 있다.
- [0133] 도 5e 및 도 5f는 종래 기술의 반도체 장치에 사용된 관통 전극의 제조 공정을 예시하는 단면도로, 각각 상이한 공정 단계를 나타내고 있다.
- [0134] 도 6a 및 도 6b는 종래 기술의 반도체 장치에 사용된 관통 전극의 제조 공정을 예시하는 단면도로, 각각 상이한 공정 단계를 나타내고 있다.
- [0135] 도 7c 및 도 7d는 종래 기술의 반도체 장치에 사용된 관통 전극의 제조 공정을 예시하는 단면도로, 각각 상이한 공정 단계를 나타내고 있다.
- [0136] 도 8은 종래 기술의 반도체 장치에 사용된 관통 전극에서의 균열 상태를 나타낸 단면도이다.
- [0137] 도 9는 본 발명의 실시예에 따른 반도체 장치의 단면도이다.
- [0138] 도 10은 본 발명의 실시예에 따른 반도체 장치에 사용된 관통 전극의 주변에 대한 확대 단면도이다.
- [0139] 도 11a 및 도 11b는 본 발명의 실시예에 따른 반도체 장치의 제조 공정을 예시하는 단면도로, 각각 상이한 공정 단계를 나타내고 있다.
- [0140] 도 12c는 본 발명의 실시예에 따른 반도체 장치의 제조 공정을 예시하는 단면도이다.
- [0141] 도 13d 및 도 13e는 본 발명의 실시예에 따른 반도체 장치의 제조 공정을 예시하는 단면도로, 각각 상이한 공정 단계를 나타내고 있다.
- [0142] 도 14f 및 도 14g는 본 발명의 실시예에 따른 반도체 장치의 제조 공정을 예시하는 단면도로, 각각 상이한 공정 단계를 나타내고 있다.
- [0143] 도 15h 및 도 15i는 본 발명의 실시예에 따른 반도체 장치의 제조 공정을 예시하는 단면도로, 각각 상이한 공정 단계를 나타내고 있다.
- [0144] 도 16j 및 도 16k는 본 발명의 실시예에 따른 반도체 장치의 제조 공정을 예시하는 단면도로, 각각 상이한 공정

단계를 나타내고 있다.

[0145] 도 17a 내지 도 17c는 본 발명의 실시예에 따른 반도체 장치의 제조 공정을 예시하는 단면도로, 각각 상이한 공정 단계를 나타내고 있다.

[0146] 도 18은 본 발명의 다른 실시예에 따른 반도체 장치를 예시하는 단면도이다.

[0147] <도면의 주요 부분에 대한 부호의 설명>

[0148] 10, 40, 100, 200 : 반도체 장치

[0149] 11, 111, 210 : 반도체 기판

[0150] 11S : 주면

[0151] 11R : 배면

[0152] 12, 103, 110, 209 : 배선층

[0153] 13, 202 : 패드 전극

[0154] 14, 216, 218 : 비아 훌

[0155] 14a, 214, 218a : 개구

[0156] 15, 215 : 오목부

[0157] 16, 17 : 절연층

[0158] 18 : 시드 금속

[0159] 19, 205 : 도전층

[0160] 20, 102, 217 : 보호층

[0161] 22, 204, 212 : 절연층

[0162] 23, 213 : 배선

[0163] 24 : 마스크

[0164] 25 : 레지스트

[0165] 26, 206 : 관통 전극

[0166] 27, 201 : 지지 기판

[0167] 28, 104, 107 : 접착층

[0168] 29 : 마이크로 렌즈

[0169] 30 : 컬러 필터

[0170] 31, 106, 207 : 외부 단자

[0171] 32, 41, 109, 203 : 반도체칩

[0172] 50, 52 : 전극

[0173] 51 : 범프

[0174] 101, 105 : 클래스 기판

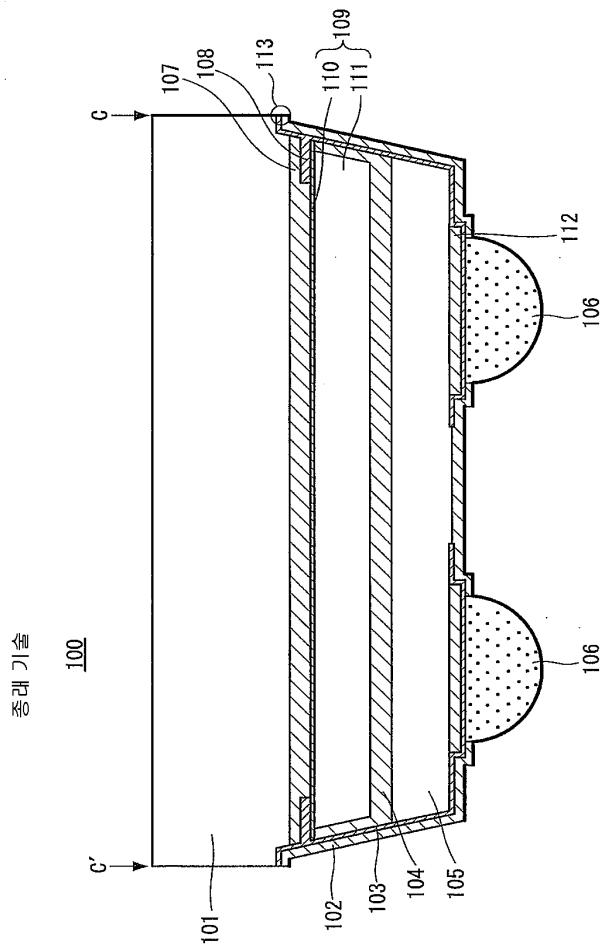
[0175] 108 : 재배선층

[0176] 112, 208, 211 : 수지층

[0177] 113 : 단부

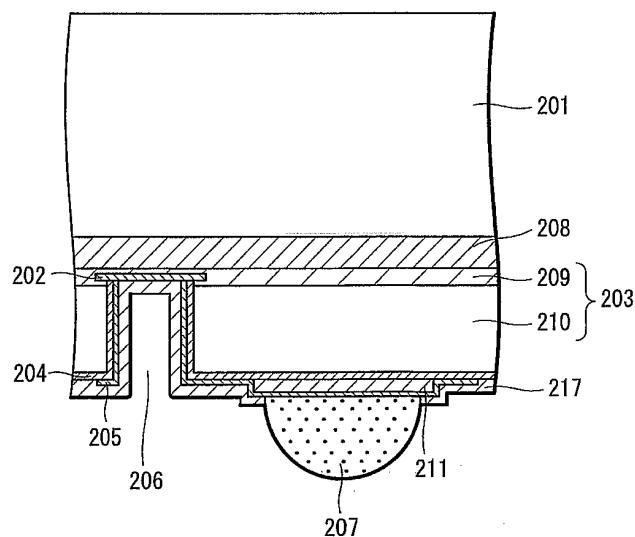
도면

도면1



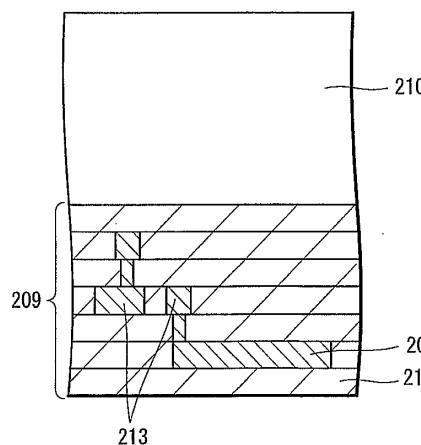
도면2

200

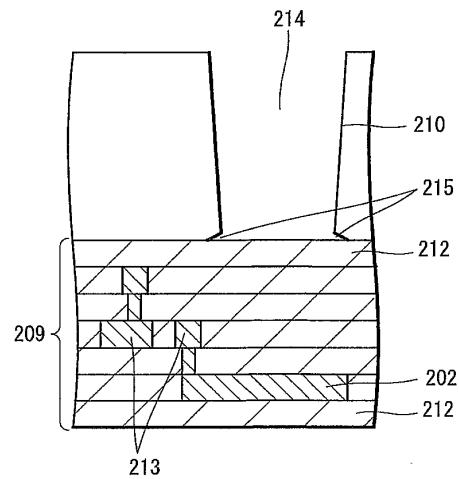


도면3a

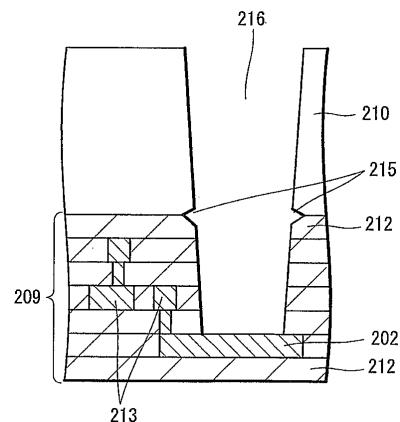
203



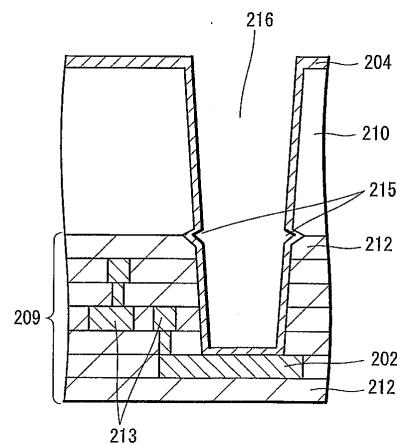
도면3b



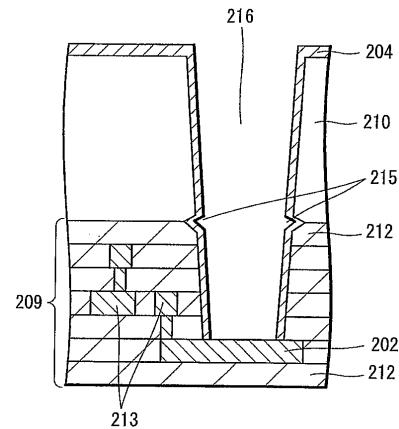
도면4c



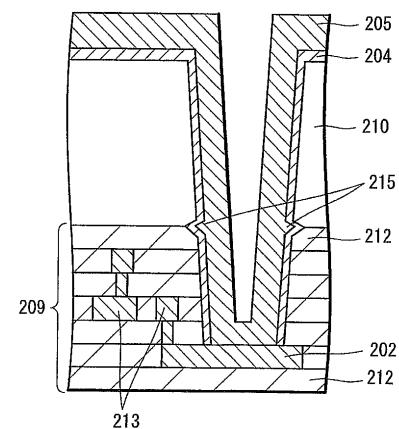
도면4d



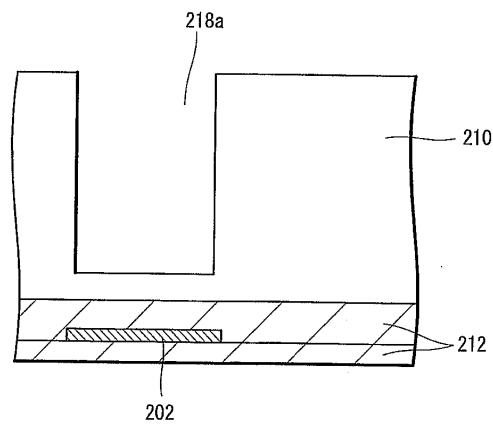
도면5e



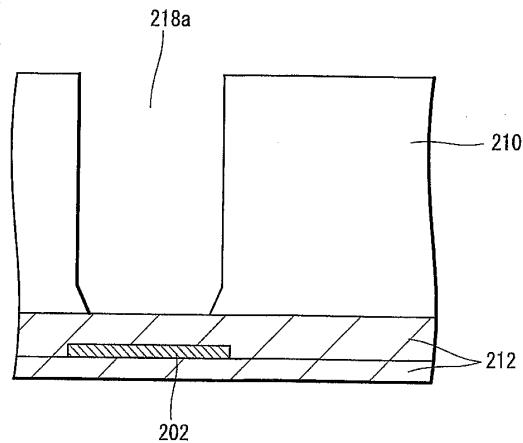
도면5f



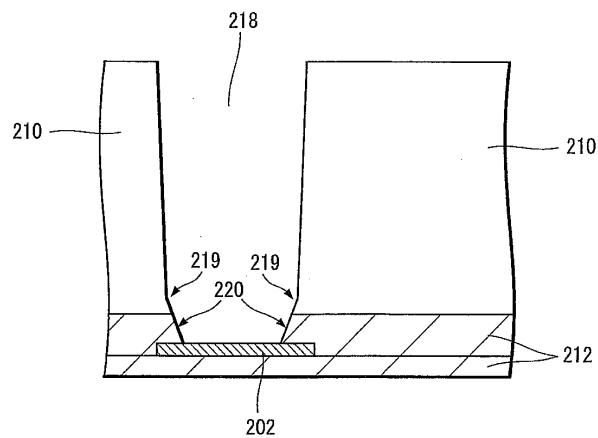
도면6a



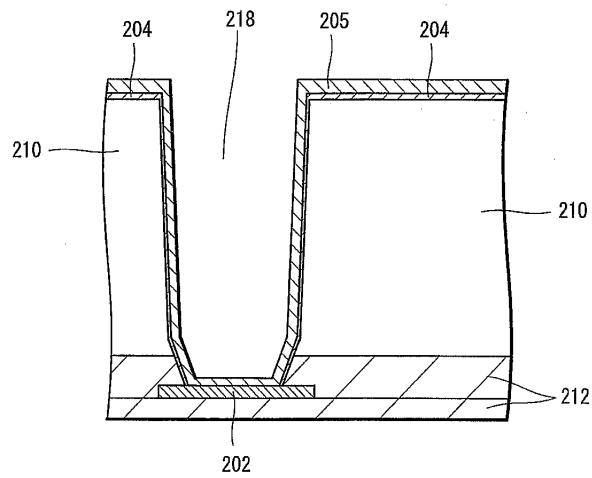
도면6b



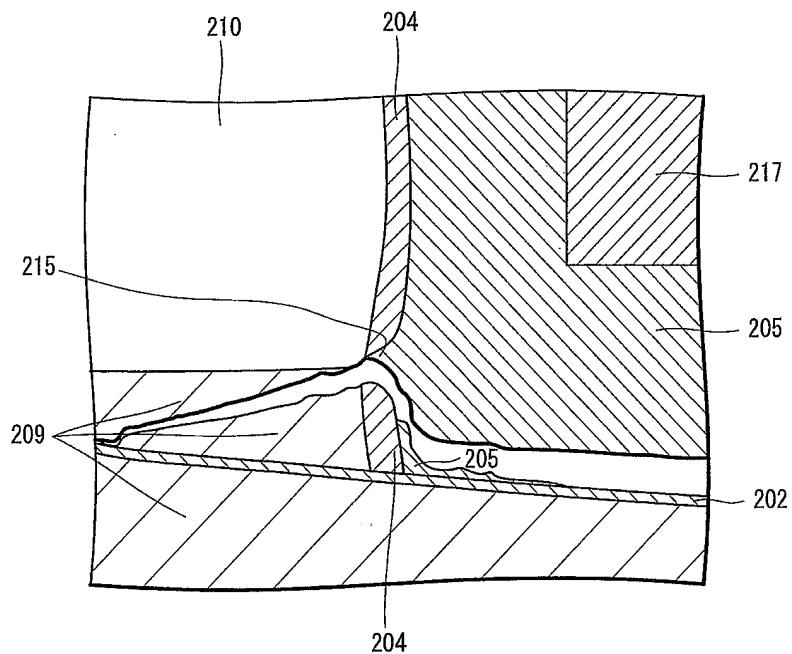
도면7c



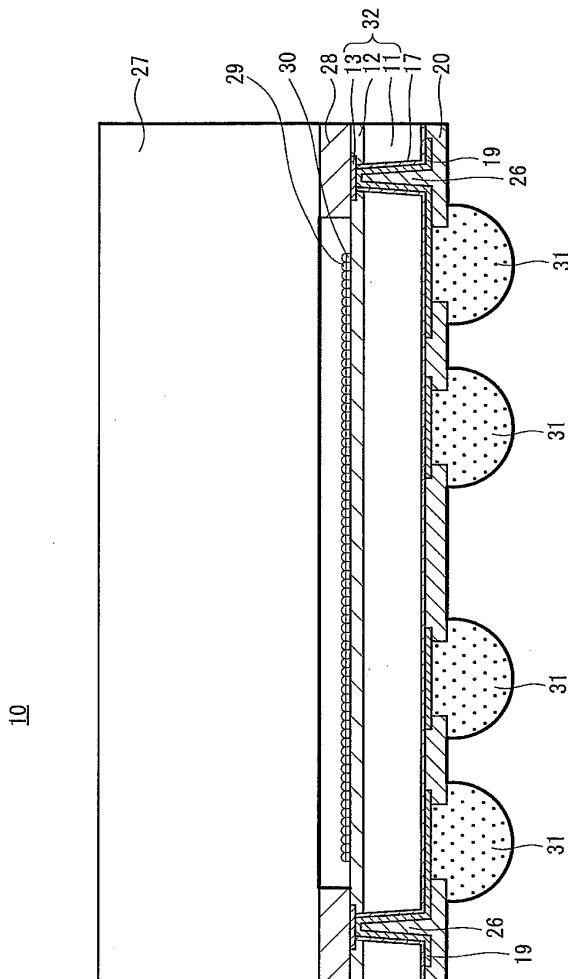
도면7d



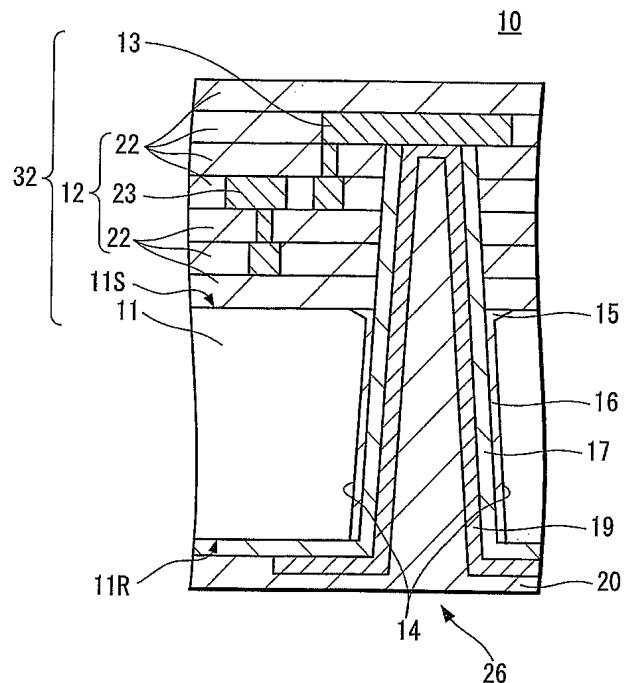
도면8



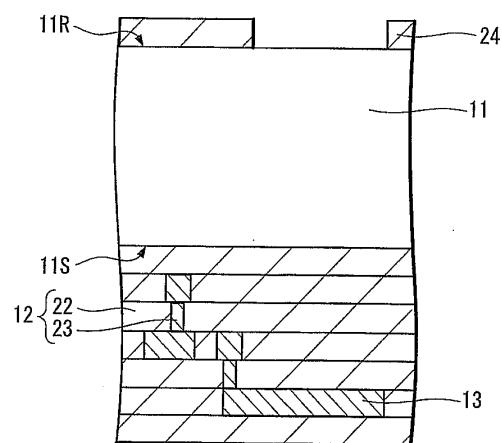
도면9



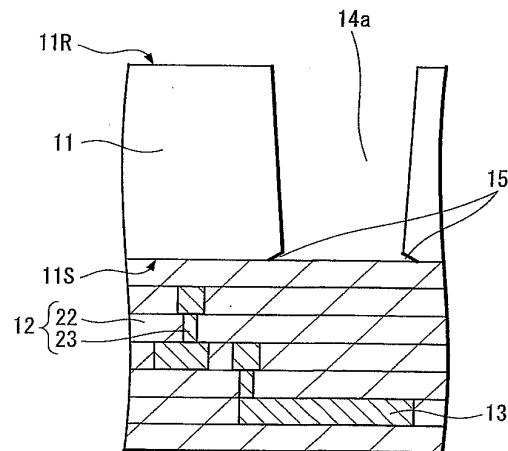
도면10



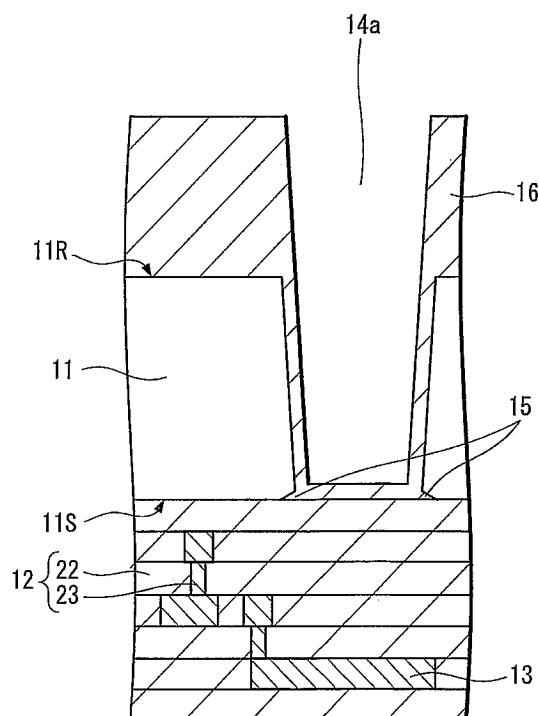
도면11a



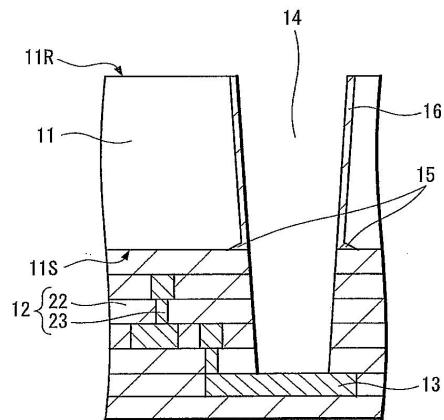
도면11b



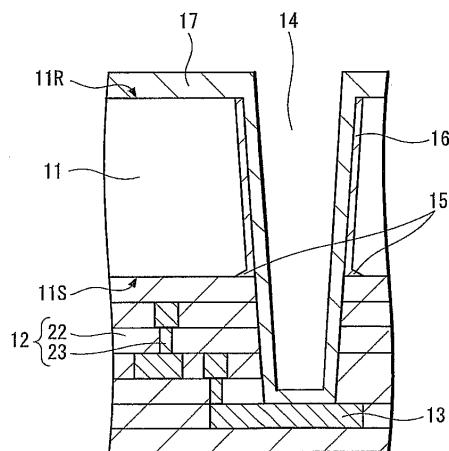
도면12c



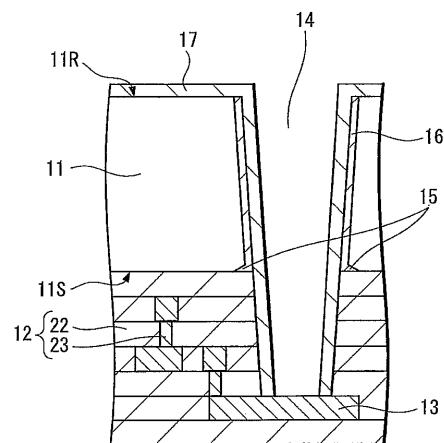
도면13d



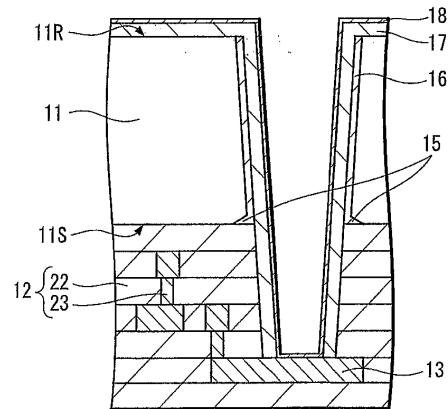
도면13e



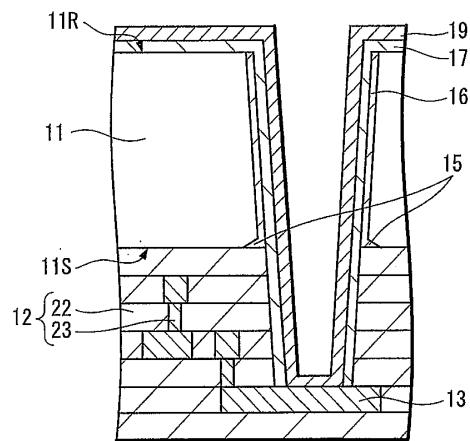
도면14f



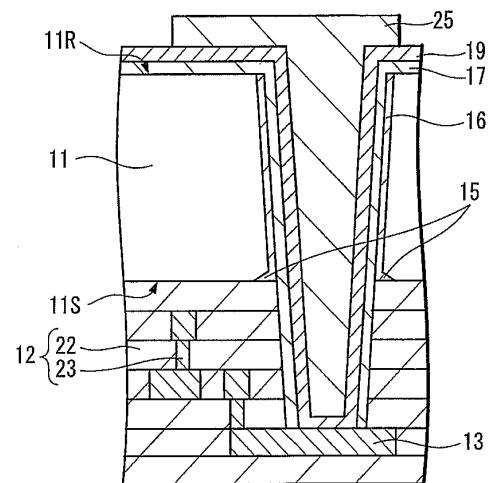
도면14g



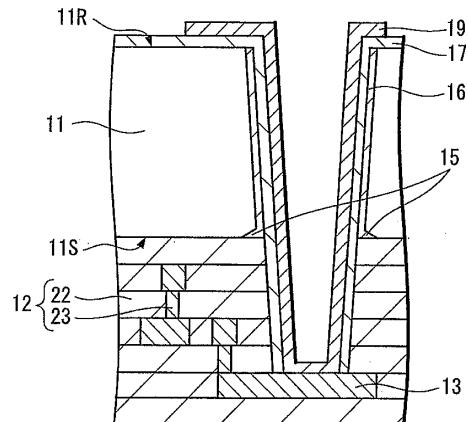
도면15h



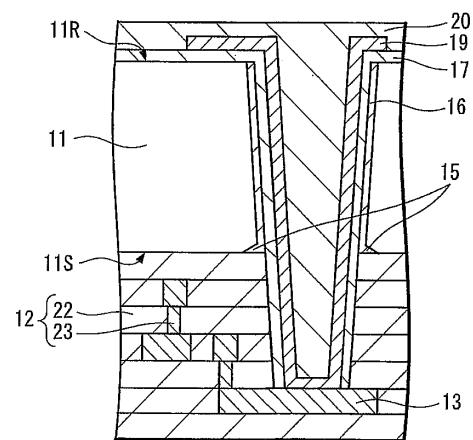
도면15i



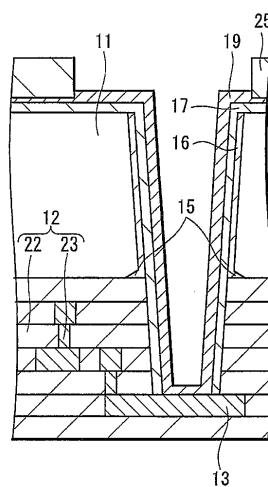
도면16j



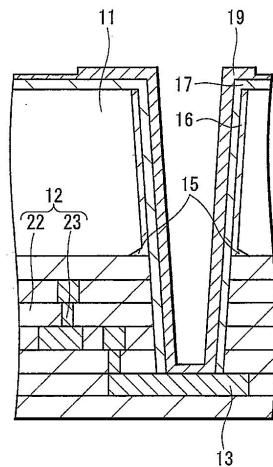
도면16k



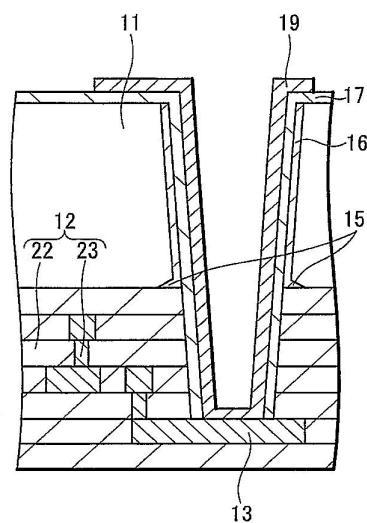
도면17a



도면17b



도면17c



도면18

