ČESKOSLOVENSKÁ SOCIALISTICKÁ REPUBLIKA
(19)

ÚŘAD PRO VYNÁLEZY A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

260853
(11) (B1)

(22) Přihlášeno 09 09 85
(21) (PV 6427-85)

(40) Zveřejněno 15 06 88

(45) Vydáno 15 05 89

(51) Int. Cl.[4]
H 03 L 7/00
H 03 L 7/06
H 03 L 7/20
H 03 L 1/08

(75)
Autor vynálezu BUKOLSKÝ ALEŠ ing., BRNO

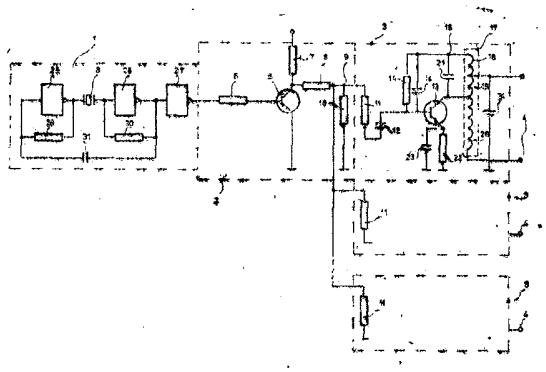
(54) Obvod synchronizace oscilátorů pro napájení kapacitních snímačů polohy

1

Účelem řešení je snížení vyzařování VF energie z jejího rozvodu na kapacitní snímače polohy.

Tohoto účelu je dosaženo tím, že na výstup zdroje signálu je připojen oddělovací stupeň, na jehož výstup jsou připojeny alespoň dva synchronizované oscilátory pro napájení kapacitních snímačů polohy.

2



Vynález se týká obvodu synchronizace oscilátorů pro napájení kapacitních snímačů polohy a řeší zvýšení spolehlivosti a stability jejich činnosti.

Doposud se kapacitní snímače polohy u zapisovacích systémů zapisovačů napájely z jednoho oscilátoru což vedlo k rozvádění vysokofrekvenčního napětí velikosti řádově 10^{-2} V v obvodech přístroje. Následkem toho docházelo k nepřesnostem v činnosti některých dalších spolupracujících obvodů, zejména pak těch, jejichž součástí byly operační zesilovače, u nichž docházelo k nestabilitě funkcí a vzájemnému ovlivňování. Toto ovlivňování se v některých případech projevovalo akustickým signálem, zesilovaným koncovým zesilovačem zapisovače.

Současně vznikaly i další problémy, spojené s fyzickou délkou rozvodu vysokofrekvenčního napětí, například problémy s nastavováním pracovního kmitočtu oscilátoru a problémy spojené s vyzařováním.

Výše uvedené nedostatky jsou odstraněny zapojením obvodu synchronizace oscilátorů pro napájení kapacitních snímačů polohy, jehož podstatou je to, že na výstup základního oscilátoru je připojen oddělovací stupeň, na jehož výstup jsou připojeny alespoň dva synchronizované oscilátory, přičemž každý synchronizovaný oscilátor je opatřen výstupem signálu pro napájení kapacitních snímačů polohy.

Výhodou obvodu synchronizace oscilátorů je zejména to, že řešení podle vynálezu umožňuje jednodušší nastavování hodnot režimu jednotlivých oscilátorů, zvýšení spolehlivosti činnosti, jakožto i zlepšení stability funkcí systému bez vzájemného ovlivňování spolupracujících obvodů. Těchto výhod je dosaženo bezprostředním umístěním synchronizovaných oscilátorů u jim odpovídajících kapacitních snímačů, čímž zamezí vyzařování VF energie do okolí.

Schéma příkladu provedení zapojení obvodu synchronizace oscilátorů podle vynálezu je nakresleno na obrázku připojeného výkresu.

Obvod synchronizace oscilátorů sestává ze základního oscilátoru, na jehož výstup je připojen oddělovací stupeň **2**, na jehož výstup jsou připojeny alespoň dva synchronizované oscilátory **3**, přičemž každý synchronizovaný oscilátor **3** je opatřen výstupem **4** signálu.

Zdroj **1** signálu je realizován oscilátorem, který je sestaven z prvního invertoru **25**, jež je přemostěn osmým odporem **29** a na jehož výstup je zapojen přes krystal **28** vstup druhého invertoru **26**, jež je přemostěn devátým odporem **30** a na jehož výstup navazuje vstup třetího invertoru **27**. Do uzlu mezi výstup druhého invertoru **26** a vstup třetího invertoru **27** je připojen jeden pól šestého kondenzátoru **31**, jehož druhý pól je připojen na vstup prvního invertoru **25**. Výstup třetího invertoru **27** je zapojen na vstup oddělovacího stupně **2** realizovaného prvním odporem **6**, jehož druhý pól je přiveden na bázi prvního tranzistoru **5**, na jehož kolektor je připojen jednak druhý odpor **7**, na jehož druhý pól je připojeno napájení a jednak třetí odpor **8**, jehož druhý pól je připojen do prvního uzlu **9**. K prvnímu uzlu **9** je připojen také čtvrtý odpor **10**, jehož druhý pól je uzemněn, přičemž emitor prvního tranzistoru **5** je uzemněn.

Synchronizovaný oscilátor **3** je sestaven ze sériové kombinace pátého odporu **11** a prvního kondenzátoru **12**, zapojený mezi první uzel **9** a bázi druhého tranzistoru **13**, k níž je též připojen jeden pól paralelní kombinace šestého odporu **14** a druhého kondenzátoru **15**, jehož druhý pól je připojen do druhého uzlu **16**. Do druhého uzlu **16** je také připojen jeden pól paralelní kombinace třetího kondenzátoru **21** a do série zapojené první sekce **18** a druhé sekce **19** cívky **17**. Druhý pól této paralelní kombinace je zapojen jednak na kolektor druhého tranzistoru **13** a jednak na první pól třetí sekce **20** cívky **17**, jejíž volný druhý pól je připojen na výstup **4** signálu.

Do uzlu mezi první sekci **18** a druhou sekci **19** cívky **17** je zapojeno jednak napájení a jednak pátý kondenzátor **24**, jehož druhý pól je uzemněn. Na emitor druhého tranzistoru **13** je proti zemi zapojena paralelní kombinace sedmého odporu **22** se čtvrtým kondenzátorem **23**.

Signál ze zdroje **1** signálu o velikosti a tvaru TTL je veden na oddělovací stupeň **2**, z jehož výstupu se po zesílení získává synchronizační signál obdélníkového tvaru, který se rozvádí k jednotlivým synchronizovaným oscilátorům **3**, kde vlivem tohoto signálu tyto kmitají sinusovými kmity ve fázi se signálem synchronizačním. Výstup **4** signálu každého synchronizovaného oscilátoru **3** slouží k napájení vždy jen jednoho kapacitního snímače. Každý synchronizovaný oscilátor **3** je mechanicky umístěn bezprostředně u jemu odpovídajícího kapacitního snímače, čímž je vyzařování VF energie minimální.

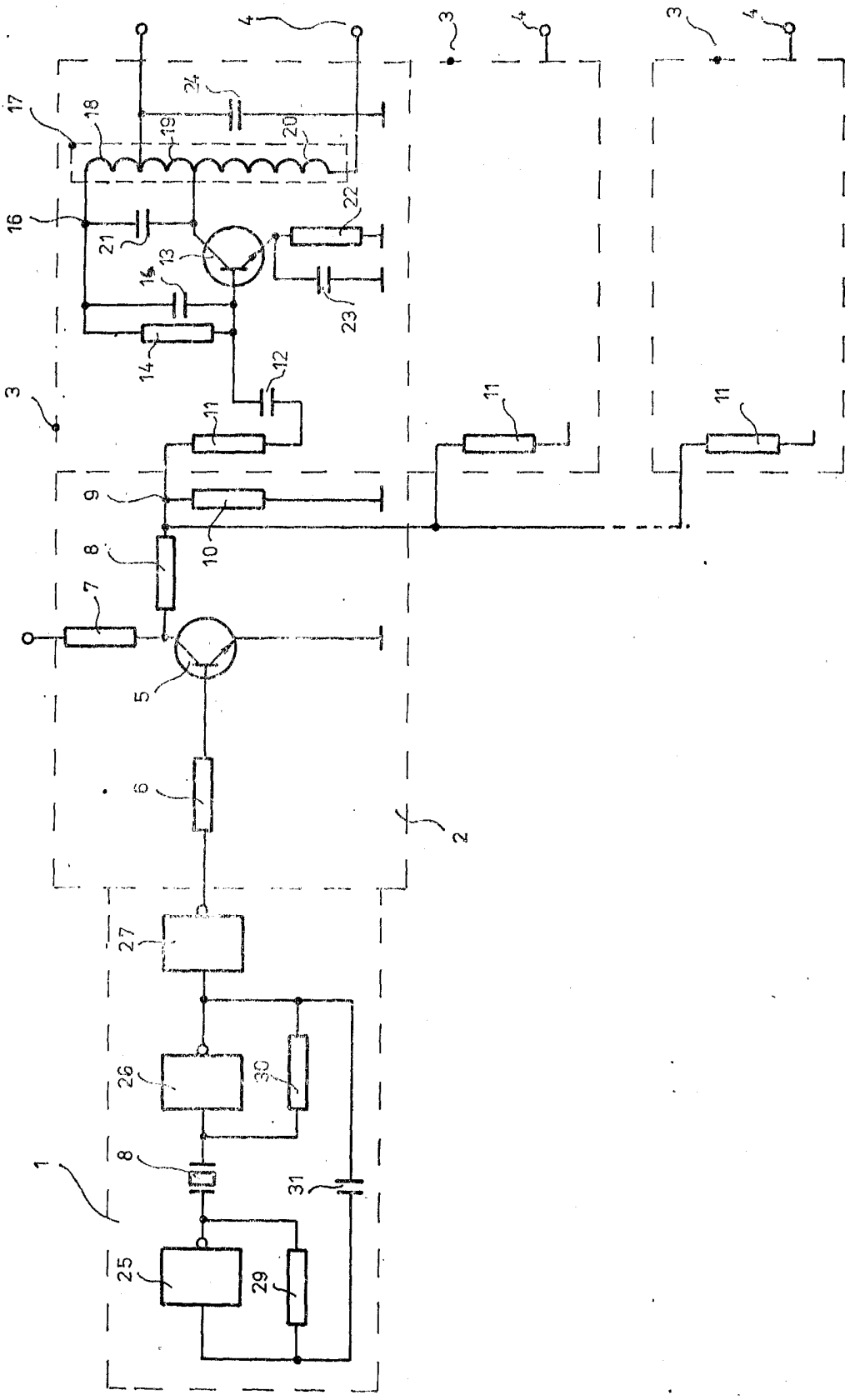
PŘEDMĚT VYNÁLEZU

1. Obvod synchronizace oscilátorů pro napájení kapacitních snímačů polohy opatřené zdrojem signálu, vyznačující se tím, že na výstup zdroje (1) signálu je připojen oddělovací stupeň (2), na jehož výstup jsou připojeny alespoň dva synchronizované oscilátory (3), přičemž každý synchronizovaný oscilátor (3) je opatřen výstupem (4) signálu.

2. Obvod synchronizace oscilátorů podle bodu 1, vyznačující se tím, že oddělovací stupeň (2) sestává z prvního tranzistoru (5), na jehož bázi je připojen první odpor (6), přičemž na kolektor prvního tranzistoru (5) je připojen jednak druhý odpor (7), na jehož druhý pól je připojeno napájení a jednak třetí odpor (8), jehož druhý pól je připojen do prvního uzlu (9), k němuž je připojen čtvrtý odpor (10), jehož druhý pól je uzemněn, přičemž emitor prvního tranzistoru (5) je uzemněn.

3. Obvod synchronizace oscilátorů podle bodů 1 a 2, vyznačující se tím, že synchronizovaný oscilátor (3) je sestaven ze sériové kombinace pátého odporu (11) a prvního kondenzátoru (12), zapojené mezi první uzel (9) a bázi druhého tranzistoru (13), k níž je též připojen jeden pól paralelní kombinace šestého odporu (14) a druhého kondenzátoru (15) jejíž druhý pól je připojen do druhého uzlu (16), do kterého je připojen jeden pól paralelní kombinace třetího kondenzátoru (21) a do série zapojené první sekce (18) a druhé sekce (19) cívky (17), přičemž druhý pól je zapojen jednak na kolektor druhého tranzistoru (13) a jednak na první pól třetí sekce (20) cívky (17), jejíž volný druhý pól je připojen na výstup (4) signálu, přičemž do uzlu mezi první sekci (18) a druhou sekci (19) cívky (17) je zapojeno jednak napájení a jednak pátý kondenzátor (24), jehož druhý pól je uzemněn, přičemž na emitor druhého tranzistoru (13) je proti zemi zapojena paralelní kombinace sedmého odporu (22) se čtvrtým kondenzátorem (23).

1 list výkresů



Severografia, n. p. závod 7, Most

Cena 2,40 Kčs

O P R A V A

k PVAO č. 260 853 (51) Int.Cl.[4] H 03 L 7/00
H 03 L 7/06
H 03 L 7/20
H 03 L 1/00

Správné číslo PV je:

(21) PV 6423 - 85

FEDERÁLNÍ ÚŘAD PRO VYNÁLEZY