

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 16 年 12 月 2 日 (2004.12.2)

【公開番号】特開 2001-167592 (P2001-167592A)

【公開日】平成 13 年 6 月 22 日 (2001.6.22)

【出願番号】特願 2000-295268 (P2000-295268)

【国際特許分類第 7 版】

G 1 1 C 16/06

G 1 1 C 16/02

H 0 1 L 21/8247

H 0 1 L 27/115

H 0 1 L 29/788

H 0 1 L 29/792

【F I】

G 1 1 C 17/00 6 3 3 A

G 1 1 C 17/00 6 1 1 Z

G 1 1 C 17/00 6 3 4 Z

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

【手続補正書】

【提出日】平成 15 年 12 月 12 日 (2003.12.12)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の制御線と、前記第 1 の制御線に接続された複数のデータ保持手段と、前記複数のデータ保持手段にそれぞれ電氣的に接続された複数の第 1 のデータ転送線と、前記複数の第 1 のデータ転送線にそれぞれ接続され、不揮発性半導体メモリセルを有する複数の第 1 のメモリセルユニットと、前記複数の第 1 のメモリセルユニットに接続された第 1 のデータ選択線と、第 2 の制御線と、複数の第 2 のデータ転送線と、前記第 2 の制御線に接続され前記複数の第 1 のデータ転送線と、前記複数の第 2 のデータ転送線の間にそれぞれ挿入された複数のスイッチング素子と、前記複数の第 2 のデータ転送線にそれぞれ接続され、不揮発性半導体メモリセルを有する複数の第 2 のメモリセルユニットと、前記複数の第 2 のメモリセルユニットに接続された第 2 のデータ選択線とを具備し、プログラムに際し、前記複数のデータ保持手段は前記複数の第 2 のデータ転送線にデータを転送した後、前記複数のスイッチング素子が遮断状態となり、前記複数の第 1 のメモリセルユニットと第 2 のメモリセルユニットが同時に選択される不揮発性半導体記憶装置。

【請求項 2】

前記データ保持手段は、第 1 の制御線と平行な方向に並んで複数形成され、前記第 1 のメモリセルユニットは、第 1 のデータ選択線と平行な方向に並んで複数形成され、前記スイッチング素子は、第 2 の制御線と平行な方向に並んで複数形成され、前記第 2 のメモリセルユニットは、第 2 のデータ選択線と平行な方向に並んで複数形成されることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】

前記スイッチング素子、および、前記第 1 のメモリセルユニットを構成する不揮発性半導

体メモリ、および、前記第 2 のメモリセルユニットを構成する不揮発性半導体メモリは同一のウェル上に形成されていることを特徴とする請求項 2 に記載の不揮発性半導体記憶装置。

【請求項 4】

前記複数の第 2 のデータ転送線の一端に、それぞれ前記複数のスイッチング素子を接続し、前記複数の第 2 のデータ転送線の他端に、それぞれ前記複数の第 2 のメモリセルユニットが接続されていることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 5】

第 1 の制御線と、前記第 1 の制御線に接続された複数のデータ保持手段と、前記複数のデータ保持手段にそれぞれ電氣的に接続された複数のデータ転送線と、不揮発性半導体メモリセルを有する複数の第 1 のメモリセルユニットと、前記複数の第 1 のメモリセルユニットに接続された第 1 のデータ選択線と、第 2 の制御線と、前記第 2 の制御線に接続され前記複数のデータ転送線と、前記複数の第 1 のメモリセルユニットとの間にそれぞれ挿入された複数の第 1 のスイッチング素子と、不揮発性半導体メモリセルを有する複数の第 2 のメモリセルユニットと、前記複数の第 2 のメモリセルユニットに接続された第 2 のデータ選択線と、第 3 の制御線と、前記第 3 の制御線に接続され前記複数のデータ転送線と、前記複数の第 2 のメモリセルユニットとの間にそれぞれ挿入された複数の第 2 のスイッチング素子とを具備し、プログラムに際し、前記複数のデータ保持手段は前記複数の第 2 のメモリセルユニットにデータを転送した後、前記複数の第 1 のスイッチング素子と第 2 のスイッチング素子が遮断状態となり、前記複数の第 1 のメモリセルユニットと第 2 のメモリセルユニットが同時に選択される不揮発性半導体記憶装置。

【請求項 6】

前記データ保持手段は、第 1 の制御線と平行な方向に並んで複数形成され、前記第 1 のメモリセルユニットは、第 1 のデータ選択線と平行な方向に並んで複数形成され、前記第 1 のスイッチング素子は、第 2 の制御線と平行な方向に並んで複数形成され、前記第 2 のメモリセルユニットは、第 2 のデータ選択線と平行な方向に並んで複数形成され、前記第 2 のスイッチング素子は、第 3 の制御線と平行な方向に並んで複数形成されることを特徴とする請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 7】

前記第 1 のスイッチング素子および前記第 1 のメモリセルユニットを構成する不揮発性半導体メモリは同一のウェルに形成され、前記第 2 のスイッチング素子および前記第 2 のメモリセルユニットを構成する不揮発性半導体メモリは同一のウェル上に形成されていることを特徴とする請求項 6 に記載の不揮発性半導体記憶装置。

【請求項 8】

前記データ保持手段は、第 1 のメモリセルユニットのデータを一時的に記憶する第 1 の回路と、第 2 のメモリセルユニットのデータを一時的に記憶する第 2 の回路を含むことを特徴とする請求項 1 または請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 9】

第 1 のメモリセルユニットに既書きこまれたデータと、第 1 のメモリセルユニットに書かれるべきデータが同じである場合、前記第 1 の回路に記憶されたデジタルデータが変化することを特徴とする請求項 8 に記載の不揮発性半導体記憶装置。

【請求項 10】

前記不揮発性半導体メモリセルは、書きこみ動作に F N トンネル電流を用いることを特徴とする電界効果トランジスタを含むことを特徴とする請求項 1 または請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 11】

前記第 1 のメモリセルユニットと第 2 のメモリセルユニットは、前記不揮発性半導体メモリセルが複数直列接続された N A N D 型セルユニットからなることを特徴とする請求項 1 または請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 12】

前記第 1 のメモリセルユニットと第 2 のメモリセルユニットは、前記不揮発性半導体メモリセルの電流端子が複数並列接続された A N D 型セルユニットからなることを特徴とする請求項 1 または請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 1 3】

前記不揮発性半導体メモリセルは、少なくとも 1 つの電荷蓄積層と制御ゲートを有する電界効果トランジスタを含み、前記電荷蓄積層は絶縁体膜からなることを特徴とする請求項 1 または請求項 5 に記載の不揮発性半導体記憶装置。