

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第4区分  
 【発行日】平成16年12月2日(2004.12.2)

【公開番号】特開2001-167592(P2001-167592A)

【公開日】平成13年6月22日(2001.6.22)

【出願番号】特願2000-295268(P2000-295268)

【国際特許分類第7版】

G 1 1 C 16/06

G 1 1 C 16/02

H 0 1 L 21/8247

H 0 1 L 27/115

H 0 1 L 29/788

H 0 1 L 29/792

【F I】

G 1 1 C 17/00 6 3 3 A

G 1 1 C 17/00 6 1 1 Z

G 1 1 C 17/00 6 3 4 Z

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

【手続補正書】

【提出日】平成15年12月12日(2003.12.12)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の制御線と、前記第1の制御線に接続された複数のデータ保持手段と、前記複数のデータ保持手段にそれぞれ電気的に接続された複数の第1のデータ転送線と、前記複数の第1のデータ転送線にそれぞれ接続され、不揮発性半導体メモリセルを有する複数の第1のメモリセルユニットと、前記複数の第1のメモリセルユニットに接続された第1のデータ選択線と、第2の制御線と、複数の第2のデータ転送線と、前記第2の制御線に接続され前記複数の第1のデータ転送線と、前記複数の第2のデータ転送線の間にそれぞれ挿入された複数のスイッチング素子と、前記複数の第2のデータ転送線にそれぞれ接続され、不揮発性半導体メモリセルを有する複数の第2のメモリセルユニットと、前記複数の第2のメモリセルユニットに接続された第2のデータ選択線とを具備し、プログラムに際し、前記複数のデータ保持手段は前記複数の第2のデータ転送線にデータを転送した後、前記複数のスイッチング素子が遮断状態となり、前記複数の第1のメモリセルユニットと第2のメモリセルユニットが同時に選択される不揮発性半導体記憶装置。

【請求項2】

前記データ保持手段は、第1の制御線と平行な方向に並んで複数形成され、前記第1のメモリセルユニットは、第1のデータ選択線と平行な方向に並んで複数形成され、前記スイッチング素子は、第2の制御線と平行な方向に並んで複数形成され、前記第2のメモリセルユニットは、第2のデータ選択線と平行な方向に並んで複数形成されることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】

前記スイッチング素子、および、前記第1のメモリセルユニットを構成する不揮発性半導

体メモリ、および、前記第2のメモリセルユニットを構成する不揮発性半導体メモリは同一のウェル上に形成されていることを特徴とする請求項2に記載の不揮発性半導体記憶装置。

【請求項4】

前記複数の第2のデータ転送線の一端に、それぞれ前記複数のスイッチング素子を接続し、前記複数の第2のデータ転送線の他端に、それぞれ前記複数の第2のメモリセルユニットが接続されていることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項5】

第1の制御線と、前記第1の制御線に接続された複数のデータ保持手段と、前記複数のデータ保持手段にそれぞれ電気的に接続された複数のデータ転送線と、不揮発性半導体メモリセルを有する複数の第1のメモリセルユニットと、前記複数の第1のメモリセルユニットに接続された第1のデータ選択線と、第2の制御線と、前記第2の制御線に接続され前記複数のデータ転送線と、前記複数の第1のメモリセルユニットとの間にそれぞれ挿入された複数の第1のスイッチング素子と、不揮発性半導体メモリセルを有する複数の第2のメモリセルユニットと、前記複数の第2のメモリセルユニットに接続された第2のデータ選択線と、第3の制御線と、前記第3の制御線に接続され前記複数のデータ転送線と、前記複数の第2のメモリセルユニットとの間にそれぞれ挿入された複数の第2のスイッチング素子とを具備し、プログラムに際し、前記複数のデータ保持手段は前記複数の第2のメモリセルユニットにデータを転送した後、前記複数の第1のスイッチング素子と第2のスイッチング素子が遮断状態となり、前記複数の第1のメモリセルユニットと第2のメモリセルユニットが同時に選択される不揮発性半導体記憶装置。

【請求項6】

前記データ保持手段は、第1の制御線と平行な方向に並んで複数形成され、前記第1のメモリセルユニットは、第1のデータ選択線と平行な方向に並んで複数形成され、前記第1のスイッチング素子は、第2の制御線と平行な方向に並んで複数形成され、前記第2のメモリセルユニットは、第2のデータ選択線と平行な方向に並んで複数形成され、前記第2のスイッチング素子は、第3の制御線と平行な方向に並んで複数形成されることを特徴とする請求項5に記載の不揮発性半導体記憶装置。

【請求項7】

前記第1のスイッチング素子および前記第1のメモリセルユニットを構成する不揮発性半導体メモリは同一のウェルに形成され、前記第2のスイッチング素子および前記第2のメモリセルユニットを構成する不揮発性半導体メモリは同一のウェル上に形成されていることを特徴とする請求項6に記載の不揮発性半導体記憶装置。

【請求項8】

前記データ保持手段は、第1のメモリセルユニットのデータを一時的に記憶する第1の回路と、第2のメモリセルユニットのデータを一時的に記憶する第2の回路を含むことを特徴とする請求項1または請求項5に記載の不揮発性半導体記憶装置。

【請求項9】

第1のメモリセルユニットに既に書きこまれたデータと、第1のメモリセルユニットに書きかれるべきデータが同じである場合、前記第1の回路に記憶されたディジタルデータが変化することを特徴とする請求項8に記載の不揮発性半導体記憶装置。

【請求項10】

前記不揮発性半導体メモリセルは、書きこみ動作にFNトンネル電流を用いることを特徴とする電界効果トランジスタを含むことを特徴とする請求項1または請求項5に記載の不揮発性半導体記憶装置。

【請求項11】

前記第1のメモリセルユニットと第2のメモリセルユニットは、前記不揮発性半導体メモリセルが複数直列接続されたNAND型セルユニットからなることを特徴とする請求項1または請求項5に記載の不揮発性半導体記憶装置。

【請求項12】

前記第1のメモリセルユニットと第2のメモリセルユニットは、前記不揮発性半導体メモリセルの電流端子が複数並列接続されたA N D型セルユニットからなることを特徴とする請求項1または請求項5に記載の不揮発性半導体記憶装置。

**【請求項13】**

前記不揮発性半導体メモリセルは、少なくとも1つの電荷蓄積層と制御ゲートを有する電界効果トランジスタを含み、前記電荷蓄積層は絶縁体膜からなることを特徴とする請求項1または請求項5に記載の不揮発性半導体記憶装置。