

A1

**DEMANDE  
DE BREVET D'INVENTION**

(21)

**N° 82 07052**

(54)

Ensemble semiconducteurs et dispositif à transistors pour amplificateurs à grande puissance.

(51)

Classification internationale (Int. Cl. <sup>3</sup>). H 03 F 3/26.

(22)

Date de dépôt..... 23 avril 1982.

(33)

(32)

(31)

Priorité revendiquée : *EUA*, 24 avril 1981, n° 06/ 257 259.

(41)

Date de la mise à la disposition du  
public de la demande..... B.O.P.I. — « Listes » n° 43 du 29-10-1982.

(71)

Déposant : Société dite : TRW INC., résidant aux EUA.

(72)

Invention de : Jean Raymond Basset.

(73)

Titulaire : *Idem* (71)

(74)

Mandataire : Rinuy, Santarelli,  
14, av. de la Grande-Armée, 75017 Paris.

L'invention concerne des amplificateurs à transistors destinés à des applications aux radiofréquences. L'invention concerne plus particulièrement l'assemblage d'amplificateurs radiofréquence à grande puissance utilisant un montage push-pull ou symétrique (également appelé montage équilibré ou double).

Dans la conception d'amplificateurs destinés à des applications aux radiofréquences, des dés de transistors, c'est-à-dire des dispositifs comportant plusieurs cellules à transistors individuels formées sur une puce, sont souvent utilisés. Ces dés ou puces sont utilisés avec d'autres composants pour constituer un amplificateur radiofréquence entier. L'amplificateur comprend généralement des circuits d'adaptation d'impédance d'entrée et de sortie destinés à adapter l'amplificateur à la source et à la charge auquel il est relié. Pour produire des amplificateurs à grande puissance (de l'ordre de 10 à 200 watts), le procédé classique consiste à brancher de nombreuses cellules de transistors en parallèle. Bien que ce montage accroisse la puissance de l'amplificateur, il diminue les impédances d'entrée et de sortie, provoque des pertes radiofréquence et réduit la bande passante de l'amplificateur.

Un progrès par rapport au montage classique en parallèle est décrit dans le brevet des Etats-Unis d'Amérique N° 4 107 728 et dans l'article de Max intitulé "Balanced Transistors : A New Option For RF Design", Microwaves, Juin 1977. Selon la conception décrite dans ces références, deux puces de transistors comportant le même nombre de cellules sont montées en série pour un fonctionnement en radiofréquence. Ce montage en série accroît les impédances d'entrée et de sortie des transistors d'un facteur de quatre par rapport au montage en parallèle. Des réseaux extérieurs sont utilisés pour commander les deux puces afin qu'elles fonctionnent en mode push-pull ou symétrique. L'accroissement des impédances d'entrée et de sortie simplifie notablement l'adaptation des transistors à la source et à la charge.

La figure 1 des dessins annexés et décrits ci-après montre la configuration physique générale du montage push-pull de l'art antérieur. Le dispositif 10 comprend deux puces 12 et 14 à transistors à cellules multiples, 5 disposées de manière que toutes les cellules s'étendent sur une seule ligne qui est perpendiculaire à l'axe 16 de symétrie du dispositif. Les puces 12 et 14 sont montées sur des plots collecteurs 18 et 20 formés par métallisation qui sont eux-mêmes disposés sur un support céramique 22 10 (BeO). Le dispositif comporte une zone 24 de métallisation de masse et deux condensateurs d'entrée 26 à semiconducteur métal-oxyde, montés sur la métallisation de masse. Des fils 28 de connexion relient la base, l'émetteur et le collecteur des puces à divers points. Pour annuler les 15 effets de la capacité de sortie du dispositif, un élément d'induction 30 est monté en parallèle. En général, cet élément d'induction parallèle est constitué d'une bande de métallisation montée entre les plots de collecteur des deux puces.

20 Les fils et les zones de métallisation présentent tous une inductance parasite. Lorsque cette inductance augmente, les pertes se produisant à l'intérieur du dispositif augmentent également et la bande passante du dispositif diminue. Il est donc souhaitable de minimiser les 25 inductances associées aux fils et aux zones de métallisation du dispositif. L'invention a pour objet de réduire les inductances associées à ces éléments.

Pour parvenir à un fonctionnement optimal, toutes les cellules de chaque puce doivent fonctionner 30 de façon identique. Autrement dit, les courants passant dans les cellules doivent être les mêmes, ce qui a pour résultat une différence minimale de température entre les cellules et une égale répartition de la puissance. Cependant, dans la configuration montrée sur la figure 1, les 35 trajets suivis par les courants entre les cellules montées en série (passant par les fils 28 émetteur-masse (base-masse) et les zones de métallisation de masse) ne sont pas égaux. L'invention a pour autre objet un montage à

transistors qui égalise les flux de courant dans les cellules à transistors.

L'invention concerne donc un dispositif à transistors push-pull ou symétrique, configuré de manière que  
5 les cellules individuelles de chaque puce soient équidistantes de l'axe de symétrie du dispositif. Cette configuration a pour résultat l'établissement d'une longueur électrique constante entre les deux puces, ce qui permet la circulation du courant avec une impédance minimale de  
10 la base (ou émetteur) d'une puce vers la base (ou émetteur) de l'autre puce. La longueur constante conduit également à une répartition égale de la puissance entre les cellules et réduit l'inductance entre les deux puces. Cette inductance réduite accroît la stabilité en atténuant la réaction série et en réduisant les pertes se produisant à  
15 l'intérieur du dispositif. La configuration facilite également la diminution de la longueur de l'élément d'induction monté en parallèle entre les collecteurs. Ceci est utile pour des applications aux hyperfréquences ou pour des  
20 transistors de puissance à grande capacité de sortie nécessitant des éléments d'induction en parallèle de faible valeur. De plus, la configuration permet l'utilisation de plusieurs éléments d'induction identiques en parallèle pour améliorer davantage la répartition de la puissance entre  
25 les cellules.

L'invention sera décrite plus en détail en regard des dessins annexés à titre d'exemples nullement limitatifs et sur lesquels, les mêmes références numériques désignant des éléments correspondants :

30 la figure 1 est une vue en plan montrant la configuration d'un montage radiofréquence push-pull classique à transistors de puissance ;

la figure 2 est une vue en plan d'un support céramique (BeO) faisant partie du dispositif selon l'invention ;  
35

la figure 3 est une vue en plan d'un substrat d'alumine faisant partie du dispositif selon l'invention ;

la figure 4 est une vue en plan d'une forme de réalisation du dispositif selon l'invention ;

la figure 5 est un schéma du circuit équivalent du dispositif représenté sur la figure 4 ;

la figure 6 est une vue en plan d'une première variante du dispositif selon l'invention ; et

5 la figure 7 est une vue en plan d'une seconde variante du dispositif selon l'invention.

La description qui suit porte sur le mode de réalisation de l'invention actuellement considéré comme étant le meilleur. Comme représenté sur les figures 2 et 10 3, le transistor push-pull selon l'invention utilise un support céramique 40 (généralement BeO) et un substrat supérieur 54 en alumine. Le support 40 comporte des zones 42 et 44 de métallisation d'entrée constituant une base (pour une configuration à émetteur à la masse) ou un 15 émetteur (pour une configuration à base à la masse), des zones 46 et 48 de métallisation de masse et des zones 50 et 52 de métallisation de collecteur ou de sortie. Les couches de métallisation de collecteur comprennent des plots 50a et 52a de collecteur. Deux éléments d'induction 20 53 en parallèle, formés par des métallisations de collecteur, connectent les plots 50a et 52a de collecteur.

Le substrat 54 d'alumine présente deux trous allongés 54a et 54b. Une zone commune 56 de métallisation de masse recouvre une grande partie de la surface supérieure du substrat 54. Cette métallisation s'étend sur 25 les bords du substrat, comme représenté en 56a et 56b. La métallisation des bords sert à connecter la métallisation 56 avec les zones métallisées 46 et 48 situées sur le support 40. Deux zones 58 et 60 de métallisation d'entrée recouvrent la plus grande partie de la portion restante 30 de la surface supérieure du substrat 54 et comprennent des zones 58a et 60a de métallisation de bords qui établissent un contact avec les zones 42 et 44 de métallisation situées sur le support 40.

35 La figure 4 représente le dispositif à transistors selon l'invention à l'état assemblé. Le substrat 54 d'alumine recouvre le support 40 en céramique de manière que les trous 54a et 54b soient placés au-dessus des plots

50a et 52a de collecteur. Deux puces 62 et 64 à transistors sont fixées sur les plots 52a et 50a de collecteur, respectivement. Chacune de ces puces est constituée de plusieurs cellules individuelles à transistors, et le corps de chaque puce constitue le collecteur commun de toutes les cellules à transistors. Chaque puce est représentée comme possédant quatre cellules à transistors ; cependant, le nombre de ces cellules n'est pas critique.

Deux condensateurs 66 et 68 à semiconducteur métal-oxyde sont disposés sur la surface supérieure du substrat 54 d'alumine, à proximité des trous 54a et 54b. Plusieurs fils conducteurs 70a et 70b relient les émetteurs des cellules à transistors à la zone de métallisation de masse en formant une bande comprise entre les ouvertures et aboutissant à une borne d'un condensateur approprié 66 ou 68, respectivement. De même, des fils conducteurs 72a et 72b connectent les bases des cellules à transistors à l'autre borne d'un condensateur approprié 66 ou 68 et aux zones de métallisation d'entrée 58 et 60, respectivement. L'une des bornes des condensateurs 66 et 68 est reliée électriquement à la métallisation de masse. Des conducteurs d'entrée 74, des conducteurs 76 de collecteur et des conducteurs 78 de masse sont reliés aux zones de métallisation correspondantes situées sur le support 40.

La connexion des émetteurs des cellules à transistors avec la zone 56 de métallisation de masse fait fonctionner le dispositif en montage à émetteurs communs. Un fonctionnement en bases communes est obtenu par une modification des connexions des fils conducteurs afin qu'ils relient les bases des cellules à transistors à la métallisation de masse.

La figure 5 représente un circuit équivalent de l'ensemble à transistors montré sur la figure 4. Les éléments qui se correspondent sur les deux figures portent les mêmes références numériques. Des lignes 50, 52, 58 et 60 de transmission et des éléments d'induction 53, 56, 70 et 72 correspondent aux fils conducteurs et/ou aux zones de métallisation portant les mêmes références numériques dans

le cas du dispositif de la figure 4. Le circuit équivalent du dispositif de l'art antérieur, montré sur la figure 1, est le même que celui représenté sur la figure 5, à l'exception qu'une inductance parasite supplémentaire 79

5 résulte de la nécessité d'utiliser des fils conducteurs pour connecter le plot collecteur à la sortie. L'invention évite d'avoir à utiliser de tels fils (ou tout autre type de connexion en pont) grâce à l'emploi du support 40 et du substrat 54 séparés l'un de l'autre.

10 Les perfectionnements présentés par rapport au montage de l'art antérieur, lorsqu'on utilise le montage de la figure 4, ressortent d'une comparaison des valeurs correspondantes des diverses inductances parasites des deux configurations. L'inductance due aux fils 70a qui  
15 relie l'émetteur de chaque cellule à la zone de métallisation de masse est relativement grande dans la configuration antérieure montrée sur la figure 1, par suite de la longueur des fils. Dans la configuration de la figure 4, cette longueur est réduite, car le substrat 54 d'alumine  
20 est positionné à peu de distance de la puce. La disposition à un seul niveau de la figure 1 exige de prévoir un espace relativement grand entre le plot collecteur 18 et la métallisation de masse 24. Selon l'invention, le positionnement de la métallisation de masse sur le substrat séparé en  
25 alumine permet de raccourcir notablement les fils connectant les cellules à la métallisation de masse.

Les inductances 56a de la métallisation de masse dans la configuration de la figure 4 sont constantes d'une cellule à l'autre et elles sont relativement faibles (en  
30 raison de la faible longueur du circuit). Dans la configuration de l'art antérieur, ces inductances sont relativement grandes et elles varient d'une cellule à l'autre. Autrement dit, le trajet suivi par le courant entre les puces, en passant par la métallisation de masse, diffère d'une cellule  
35 à l'autre. La configuration de la figure 4 a pour résultat une longueur électrique très constante entre les deux puces, ce qui permet au courant de circuler avec une impédance minimale, des émetteurs d'une première puce vers ceux de

l'autre puce (ou d'une base à l'autre dans une configuration à bases à la masse). La longueur constante a également pour résultat une bonne répartition de la puissance entre les cellules. L'inductance relativement faible entre les deux  
5 puces accroît la stabilité du dispositif et diminue les pertes en radiofréquence.

Dans la configuration de l'art antérieur de la figure 1, un seul élément d'induction en parallèle est utilisé et sa longueur minimale est à peu près égale à la  
10 longueur d'une puce. Selon l'invention, plusieurs éléments d'induction peuvent être utilisés en parallèle et leur longueur peut être très réduite si cela est nécessaire. L'utilisation de plusieurs éléments d'induction en parallèle permet d'améliorer la répartition de la puissance entre  
15 les cellules en donnant des longueurs égales, dans les cellules, aux trajets suivis par le courant. Lorsque des éléments d'induction en parallèle de faible longueur sont demandés (comme cela est nécessaire dans des applications aux hyperfréquences ou pour des transistors de puissance  
20 ayant une grande capacité de sortie qui exige de faibles valeurs d'inductances en parallèle), une configuration analogue à celle montrée sur la figure 6 peut être utilisée. Dans ce montage, les deux éléments d'induction 53 en parallèle, relativement longs, de la figure 2, sont remplacés  
25 par quatre bandes 80 de métallisation extrêmement courtes, formant les éléments d'induction. Ces éléments d'induction 80 établissent, pour chaque cellule à transistors, une inductance de valeur égale et faible. De plus, les zones de métallisation d'entrée et de collecteur peuvent être modifiées de manière à comporter des saillies ouvertes 42a,  
30 44a, 50b et 52b destinées à réaliser l'adaptation d'entrée et de sortie pour des transistors à hyperfréquences.

La figure 7 représente une variante dans laquelle le substrat d'alumine présente une ouverture unique 90 et  
35 les émetteurs (ou bases) des puces sont connectés entre eux par des fils conducteurs 92. Dans cette configuration, le centre des fils forme une masse fictive et aucune connexion réelle avec la métallisation de masse n'est réalisée. Les



fils 92 sont supportés au moyen d'un barreau de verre 94. Une adaptation supplémentaire d'entrée et de sortie peut être assurée par des condensateurs 96 et 98 à semiconducteur métal-oxyde.

5                    En résumé, le montage selon l'invention constitue un dispositif à transistors ayant des valeurs réduites d'inductance parasite par suite des fils conducteurs et des zones de métallisation. Cette inductance réduite accroît la stabilité et la bande passante du dispositif et elle  
10 réduit également les pertes se produisant dans l'ensemble. De plus, la symétrie de cet ensemble est améliorée par rapport au montage de l'art antérieur afin de réaliser une meilleure répartition de la puissance entre les différentes cellules des puces. Cette meilleure répartition de la puis-  
15 sance réduit les différences de températures entre les cellules et améliore ainsi le comportement en radiofréquence des transistors. La configuration de l'ensemble permet l'utilisation de plusieurs éléments d'induction en parallèle collecteur-collecteur, la longueur minimale des  
20 éléments d'induction n'étant pas limitée par les dimensions des puces comme c'est le cas dans le montage de l'art antérieur. En outre, il devient inutile de mettre en place des fils conducteurs entre les plots de collecteur et les conducteurs de collecteur, ou bien d'utiliser un pont (l'un  
25 ou l'autre de ces moyens étant nécessaire dans le montage de l'art antérieur).

Il va de soi que de nombreuses modifications peuvent être apportées à l'ensemble décrit et représenté sans sortir du cadre de l'invention.

REVENDECATIONS

1. Ensemble semiconducteur destiné à des amplificateurs à grande puissance, caractérisé en ce qu'il comporte un support diélectrique (40), des première et  
5 seconde zones (50, 52) de métallisation de sortie formées sur la surface supérieure du support, au moins une zone (53) de métallisation d'induction en parallèle connectant les première et seconde zones de sortie, des première et  
10 seconde puces (62, 64) à transistors à cellules multiples reliées aux première et seconde zones de sortie, respectivement, les deux puces ayant le même nombre de cellules de transistors individuelles, et étant disposées de part et d'autre d'un axe de symétrie du dispositif de manière que toutes les cellules soient équidistantes dudit axe,  
15 l'ensemble comprenant également un substrat diélectrique (54) placé sur la surface supérieure du support diélectrique et espacé des puces à transistors, une zone (56) de métallisation de masse formée sur la surface supérieure du substrat, des première et seconde zones (42, 44) de métallisation d'entrée formées sur au moins l'un des éléments  
20 constitués par le support diélectrique et le substrat diélectrique, de manière que lesdites zones d'entrée soient isolées électriquement de la zone de masse et des zones de sortie, plusieurs premiers fils conducteurs (70a, 70b) montés entre les zones d'entrée et les cellules de transistors, et plusieurs seconds fils conducteurs (72a, 72b)  
25 connectés entre la zone de masse et les cellules de transistors, afin de connecter les puces pour qu'elles forment un montage push-pull.

30 2. Ensemble semiconducteur selon la revendication 1, caractérisé en ce qu'il comporte plusieurs zones de métallisation formant des éléments d'induction en parallèle de même longueur, connectant les zones de métallisation de sortie.

35 3. Ensemble semiconducteur selon la revendication 2, caractérisé en ce que le nombre de zones de métallisation formant des éléments d'induction en parallèle est égal au nombre de cellules de transistors dans une puce.

4. Ensemble semiconducteur selon la revendication 2, caractérisé en ce qu'il comporte en outre des premier et second condensateurs d'entrée (66, 68) placés sur la zone de métallisation de masse, les premiers et seconds  
5 fils conducteurs étant reliés à des bornes opposées des condensateurs.

5. Dispositif push-pull à transistors, caractérisé en ce qu'il comporte un support diélectrique (40) portant des première et seconde zones (50, 52) de métallisation de sortie, un substrat diélectrique (54) recouvrant  
10 le support diélectrique et présentant des ouvertures allongées (54a, 54b) qui mettent à découvert certaines parties des zones de métallisation de sortie, et une bande centrale située entre lesdites ouvertures, des première et seconde  
15 puces (62, 64) à transistors reliées aux parties découvertes des première et seconde zones de sortie, respectivement, chaque puce comportant plusieurs cellules de transistors individuelles qui sont sensiblement équidistantes de la bande centrale, une zone (56) de métallisation de masse  
20 recouvrant une partie de la surface supérieure du substrat comprenant la bande centrale, des première et seconde zones (58, 60) de métallisation d'entrée recouvrant certaines parties de la surface supérieure du substrat, plusieurs premiers fils conducteurs (70a, 70b) connectant les  
25 cellules à la métallisation de masse couvrant la bande centrale afin de connecter les puces pour qu'elles forment un montage push-pull, et plusieurs seconds fils conducteurs (72a, 72b) connectant les cellules de la première puce à la première zone de métallisation d'entrée et les  
30 cellules de la seconde puce à la seconde zone de métallisation, cette structure ayant pour résultat d'établir une longueur électrique constante entre les cellules des première et seconde puces et de réduire les inductances parasites.

35 6. Dispositif à transistors destiné à un amplificateur radiofréquence, caractérisé en ce qu'il comporte un premier élément diélectrique (40), des première et seconde zones conductrices de sortie (50, 52) situées sur

le premier élément diélectrique, une première puce (62) à transistors située sur la première zone de sortie et comportant un ensemble linéaire de cellules de transistors individuelles, une seconde puce (64) à transistors située  
5 sur la seconde zone de sortie et comportant un ensemble linéaire qui contient le même nombre de cellules de transistors que la première puce, les puces étant placées l'une en face de l'autre et l'ensemble de cellules de chaque puce étant sensiblement parallèle à un axe de symétrie  
10 qui passe entre les puces, le dispositif comportant également un second élément diélectrique (54) qui recouvre le premier élément diélectrique, des première et seconde zones conductrices d'entrée (58, 60) situées sur au moins l'un des éléments diélectriques, et plusieurs connecteurs élec-  
15 triques (70a, 70b, 72a, 72b) qui relient les puces aux zones conductrices et entre elles afin que les puces soient connectées en série.

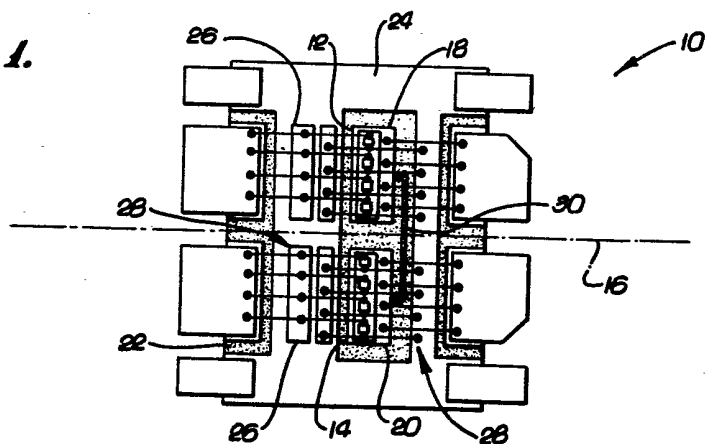
7. Dispositif à transistors selon la revendication 6, caractérisé en ce que le second élément diélectrique comporte une zone de masse (56) et en ce que les connecteurs électriques comprennent des fils conducteurs reliant  
20 chaque transistor à la zone de masse.

8. Dispositif à transistors selon la revendication 6, caractérisé en ce que le second élément diélectrique comporte une zone de masse (56) et en ce que les connecteurs électriques comprennent des fils conducteurs qui  
25 relient entre elles les cellules opposées des première et seconde puces.

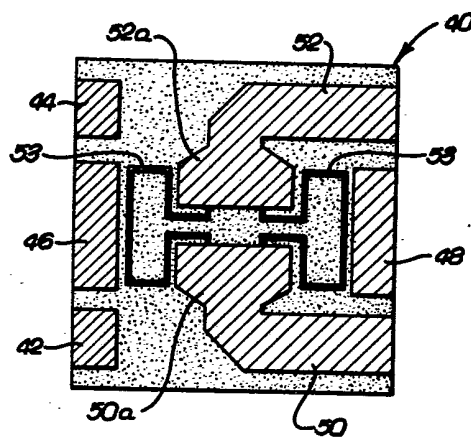
9. Dispositif à transistors destiné à un amplificateur radiofréquence push-pull à grande puissance, caractérisé en ce qu'il comporte un premier élément diélectrique (40) sur la surface supérieure duquel sont formées  
30 deux zones (50, 52) de métallisation formant collecteur, une première puce (62) à transistors comportant plusieurs cellules de transistors disposées linéairement, cette première puce étant reliée à l'une des zones de métallisation de collecteur, une seconde puce (64) à transistors comportant plusieurs cellules de transistors disposées linéaire-  
35

ment, cette seconde puce étant reliée à l'autre des zones de métallisation de collecteur, toutes les cellules des puces étant sensiblement équidistantes d'un axe de symétrie présenté par le dispositif et passant entre les puces, le  
5 dispositif comportant également une métallisation (53) d'induction en parallèle formée sur le premier élément diélectrique et connectée entre les zones de métallisation de collecteur, un second élément diélectrique (54) disposé au-dessus du premier élément diélectrique et espacé des  
10 puces, ce second élément présentant une zone (56) de métallisation de masse et des première et seconde zones (58, 60) de métallisation d'entrée formées sur sa surface supérieure, des premier et second condensateurs d'entrée (66, 68) formés sur la surface de la zone de métallisation de  
15 masse, et plusieurs fils conducteurs (70a, 70b, 72a, 72b) reliant chaque cellule de la première puce à la zone de métallisation de masse, au premier condensateur d'entrée et à la première zone de métallisation d'entrée, et reliant chaque cellule de la seconde puce à la zone de métallisa-  
20 tion de masse, au second condensateur d'entrée et à la seconde zone de métallisation d'entrée, lesdits fils conducteurs étant connectés de manière à former un dispositif push-pull dans lequel la première puce est connectée en série avec la seconde puce.

*FIG. 1.*



**FIG. 2.**



**FIG. 3.**

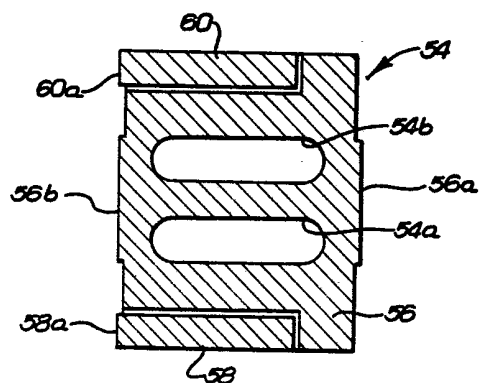


FIG. 4.

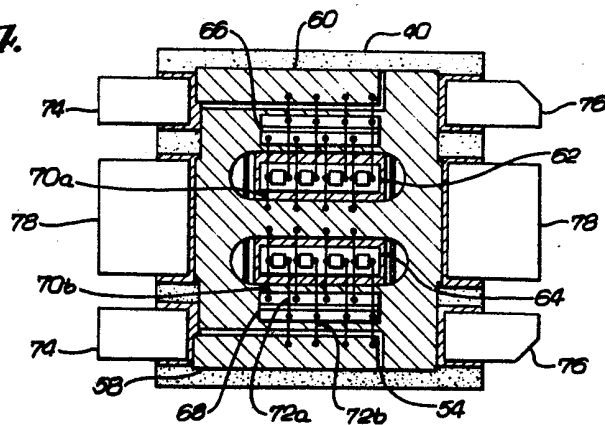


FIG. 5.

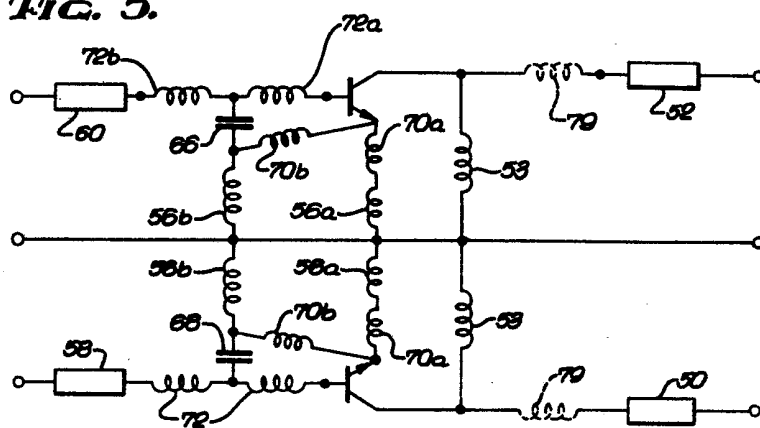
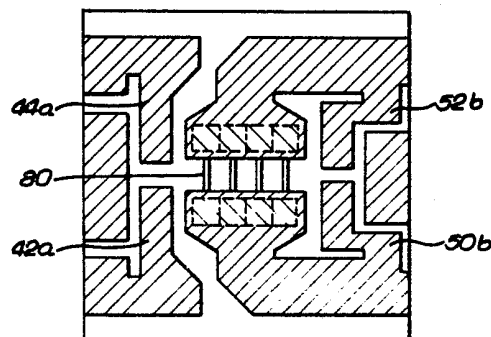


FIG. 6.



*Fig. 7.*