

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年6月3日(03.06.2010)

PCT

(10) 国際公開番号
WO 2010/061654 A1

- (51) 国際特許分類:
H02M 7/12 (2006.01) H02M 3/155 (2006.01)
- (21) 国際出願番号: PCT/JP2009/060215
- (22) 国際出願日: 2009年6月4日(04.06.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-299058 2008年11月25日(25.11.2008) JP
特願 2009-098362 2009年4月14日(14.04.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所 (Murata Manufacturing Co., Ltd.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 鶴野 良之 (UNO Yoshiyuki) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人 楓国際特許事務所 (Kaede Patent Attorneys' Office); 〒5400011 大阪府大阪市中央区農人橋1丁目4番34号 Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

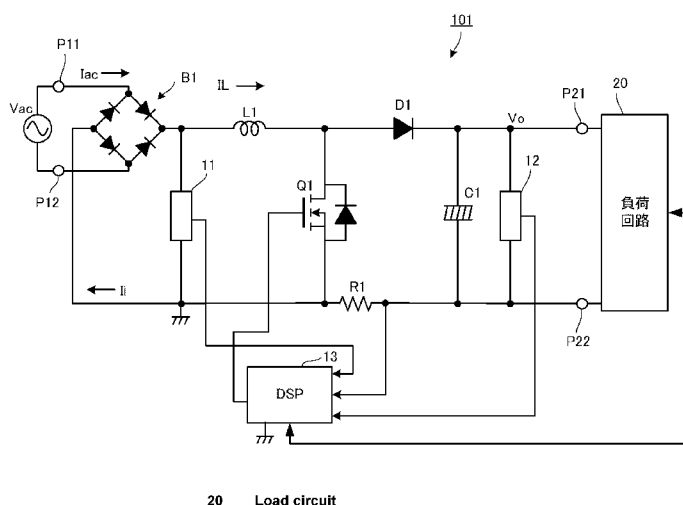
添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(54) Title: PFC CONVERTER

(54) 発明の名称: PFCコンバータ

[図2]



(57) Abstract: Disclosed is a low-cost PFC converter configured such that the inductor current including a direct current component is detected and the power factor is appropriately improved with low loss. It is provided with a diode bridge (B1) that rectifies alternating current voltage input from an alternating current power source (Vac), a series circuit that includes an inductor (L1) and a switching element (Q1), a rectification smoothing circuit connected in parallel with the switching element (Q1) and comprised of a diode (D1) and a smoothing condenser (C1), and a digital signal processing circuit (13) that controls turning switching element (Q1) on/off such that the current input from the alternating current power source (Vac) is similar in shape to an alternating current voltage. The current flowing in inductor (L1) while switching element (Q1) is off is detected by means of a current detection resistor (R1), the falling voltage of the current detection resistor (R1) is sampled in the middle of the off period for switching element (Q1), and the average value of the input current is detected.

(57) 要約:

[続葉有]



インダクタ電流を直流成分を含めて検出して、適正な力率改善を低損失で行えるようにした低コストなPFCコンバータを構成する。交流入力電源 V_{ac} から入力される交流電圧を整流するダイオードブリッジ(B1)と、インダクタ(L1)及びスイッチング素子(Q1)を含む直列回路と、スイッチング素子(Q1)に並列接続された、ダイオード(D1)及び平滑コンデンサ(C1)から成る整流平滑回路と、交流入力電源 V_{ac} から入力される入力電流が交流電圧と相似形となるようにスイッチング素子(Q1)をオン／オフ制御するデジタル信号処理回路(13)と、を備え、電流検出用抵抗(R1)によって、スイッチング素子(Q1)のオフ期間にインダクタ(L1)に流れる電流を検出し、スイッチング素子(Q1)のオフ期間の中央で、電流検出用抵抗(R1)の降下電圧をサンプリングして入力電流の平均値を検出する。

明 細 書

発明の名称： P F Cコンバータ

技術分野

[0001] この発明は、交流電源を入力して直流電圧を出力する A C - D C コンバータに関し、特に力率を改善する P F C コンバータに関するものである。

背景技術

[0002] 日本や欧州などでは用途や入力電力などに応じてクラス分けされた高調波電流規制が行われている。これらに対応するため、規制に該当する一般家電製品の電源では P F C（力率改善回路）コンバータと呼ばれる回路を付加し、高調波電流を抑える工夫をしている。

[0003] 商用交流電源を入力電源とする一般的なスイッチング電源装置は、商用交流電源を整流平滑して直流電圧に変換した後、それを D C - D C コンバータでスイッチングするので入力電流は不連続となり、正弦波から大きく歪む。このことが高調波電流の原因である。

[0004] そこで、この高調波電流を抑制することを目的として、全波整流回路の後段で且つ平滑コンデンサによる平滑回路の手前に P F C コンバータが設けられている。

[0005] この P F C コンバータはチョッパ回路で構成され、入力電流波形が入力電圧波形に相似形となるように、すなわち同位相の正弦波状になるように動作する。そのため高調波電流が一定レベル以下に抑えられる。

[0006] ここで特許文献 1 に示されている P F C コンバータの構成例を、図 1 を基に説明する。

図 1 に示す力率改善回路において、交流入力電源 V_{ac} の交流電源電圧を整流するダイオードブリッジ B 1 の出力両端には、昇圧リアクトル L 1 と M O S F E T からなるスイッチング素子 Q 1 と電流検出抵抗 R とからなる直列回路が接続されている。スイッチング素子 Q 1 の両端には、ダイオード D 1 と平滑コンデンサ C 1 とからなる直列回路が接続され、平滑コンデンサ C 1

の両端には、負荷 R_L が接続されている。スイッチング素子 Q_1 は、制御回路 10 のPWM制御によりオン／オフするようになっている。電流検出抵抗 R は、ダイオードブリッジ B_1 に流れる入力電流を検出する。

[0007] 制御回路 10 は、誤差増幅器 111 、乗算器 112 、誤差増幅器 113 、電圧制御発振器（VCO） 115 、及びPWMコンパレータ 116 を備えている。

[0008] 誤差増幅器 111 は、平滑コンデンサ C_1 の電圧と基準電圧 E_1 との誤差を求める。乗算器 112 は、誤差電圧信号とダイオードブリッジ B_1 による整流電圧とを乗算する。誤差増幅器 113 は、乗算器 112 による乗算結果とダイオードブリッジ B_1 に流れる電流信号との誤差を生成してPWMコンパレータ 116 へ出力する。

[0009] VCO 115 は、交流電源電圧の整流後の電圧値に応じた周波数の三角波信号を生成する。

[0010] PWMコンパレータ 116 は、VCO 115 からの三角波信号が一端子に入力され、誤差増幅器 113 からの信号が＋端子に入力される。すなわち、PWMコンパレータ 116 は、ダイオードブリッジ B_1 に流れる電流と出力電圧とに応じたデューティパルススイッチング素子 Q_1 に与える。このデューティパルスは、交流電源電圧及び直流負荷電圧の変動に対して一定周期で連続的に補償するパルス幅制御信号である。このような構成により、交流電源電流波形が交流電源電圧波形に一致するように制御されて、力率が改善される。

[0011] 一方、デジタル制御のPFCコンバータとして特許文献2が開示されている。

デジタル制御の場合もインダクタに流れる電流を検出して、その電流値に応じたPWM制御によりスイッチング素子をスイッチングすることになる。

先行技術文献

特許文献

[0012] 特許文献1：特開2004-282958号公報

特許文献2：特開平7-177746号公報

発明の概要

発明が解決しようとする課題

[0013] 上述のように、PFCコンバータにおいては、入力電流を入力電圧波形と相似形にするために、基本的にインダクタを流れる電流（以下「インダクタ電流」）を検出する必要がある。そのために、典型的には、

（a）インダクタに流れる電流を直接検出する。

（b）スイッチング素子に流れる電流を検出し、それを等価的にインダクタ電流と見なす。

（c）出力側に設けられているダイオードに流れる電流を検出し、それを等価的にインダクタ電流と見なす。

という方法がある。

[0014] また、電流検出手段としては、

（1）電流経路に電流検出用抵抗を直列に挿入し、抵抗の両端に生じる降下電圧を検出する。

（2）電流経路にカレントトランスを挿入するか、インダクタを一次側とするカレントトランスを用いて検出する。

（3）電流経路にホールセンサを設けて、その出力電圧を検出する。
という方法がある。

[0015] 上記（1）の電流検出用抵抗を用いる方法では、その電流検出用抵抗での電力消費がそのまま損失となるので、低損失化の上で問題となる。（2）のカレントトランスを用いる方法では、検出しようとする電流のうち直流成分がカットされてしまうので、電流の交流成分しか検出できず、電流の直流成分（DCオフセット）が検出できない。上記（b）及び（c）におけるそれぞれの電流をカレントトランスで検出し、信号を合成すればインダクタ電流の検出が可能となるが、この場合はカレントトランスが2つ必要になる。（3）のホールセンサを用いる方法では上記（1）（2）の問題は生じないが

、センサが高価であるので全体にコスト高になるというデメリットがある。

[0016] そこで、この発明の目的は、インダクタ電流を直流成分を含めて検出して適正な力率改善を低損失で行えるようにした低コストなPFCコンバータを提供することにある。

課題を解決するための手段

[0017] 前記課題を解決するために、この発明は次のように構成する。

第1のタイプのPFCコンバータは、交流入力電源から入力される交流電圧を整流する整流回路と、前記整流回路の次段に接続された、インダクタ及びスイッチング素子を含む直列回路と、前記スイッチング素子に並列接続された整流平滑回路と、前記交流入力電源から入力される入力電流の平均値が前記交流電圧に対して相似形となるように前記スイッチング素子をオン／オフ制御するスイッチング制御手段と、前記スイッチング素子のオン期間に前記スイッチング素子又は前記インダクタに流れる電流を検出するオン期間電流検出回路、又は、前記スイッチング素子のオフ期間に前記インダクタに流れる電流を検出するオフ期間電流検出回路と、を備えたPFCコンバータである。この第1のタイプのPFCコンバータで、次の(1)～(3)のいずれかの構成とする。

[0018] (1) 前記スイッチング素子のオン期間の中央又はオフ期間の中央で、前記オン期間電流検出回路又は前記オフ期間電流検出回路による電流検出信号をサンプリングして得た値を前記入力電流の平均値として検知する入力電流検知手段を備える。

[0019] 前記スイッチング素子のオン期間の中央での前記スイッチング素子に流れる電流の検出信号をサンプリングした値はインダクタ電流の平均値である。また、前記スイッチング素子のオフ期間の中央での前記インダクタに流れる電流の検出信号をサンプリングした値はインダクタ電流の平均値である。いずれの場合も実質的に一点サンプリングによってPFCコンバータへの入力電流の平均値を検出できる。

[0020] (2) 前記スイッチング素子のオン期間の始点又はオフ期間の終点で、前記

オン期間電流検出回路又は前記オフ期間電流検出回路による電流検出信号をサンプリングして得た電流値を I_s とし、前記交流入力電源から入力される入力電圧を V_i 、前記インダクタのインダクタンス値を L 、前記スイッチング素子のオン期間を T_{on} 、オフ期間を T_{off} とし、前記インダクタに流れる電流の平均値を I_{Lav} とした場合に、

$$I_{Lav} = I_s + (V_i / L) \times T_{on} / 2 \quad \text{又は、}$$

$$I_{Lav} = I_s + \{ (V_o - V_i) / L \} \times T_{off} / 2$$

の演算により得た値を前記入力電流の平均値として検知する。

これにより、実質的にPFCコンバータへの入力電流の平均値を検出できる。

- [0021] (3) 前記スイッチング素子のオン期間の終点又はオフ期間の始点で、前記オン期間電流検出回路又は前記オフ期間電流検出回路による電流検出信号をサンプリングして得た電流値を I_s とし、前記交流入力電源から入力される入力電圧を V_i 、出力電圧を V_o 、前記インダクタのインダクタンス値を L 、前記スイッチング素子のオン期間を T_{on} 、オフ期間を T_{off} とし、前記インダクタに流れる電流の平均値を I_{Lav} とした場合に、

$$I_{Lav} = I_s - (V_i / L) \times T_{on} / 2 \quad \text{又は、}$$

$$I_{Lav} = I_s - \{ (V_o - V_i) / L \} \times T_{off} / 2$$

の演算により得た値を前記入力電流の平均値として検知する。

これにより、実質的にPFCコンバータへの入力電流の平均値を検出できる。

- [0022] 第2のタイプのPFCコンバータは、負荷に対して並列に接続された、第1のスイッチング素子と第1の整流素子を含む第1の直列回路と、前記第1のスイッチング素子と前記第1の整流素子との接続点と、交流入力電源の第1の入力端との間に接続されたインダクタと、負荷に対して並列に接続され、第2のスイッチング素子と第2の整流素子を含み、第2のスイッチング素子と第2の整流素子との接続点が前記交流入力電源の第2の入力端に接続された第2の直列回路と、負荷に対して並列に接続された平滑回路と、前記交

流入力電源から入力される入力電流の平均値が前記交流入力電源の交流電圧に対して相似形となるように前記第 1 及び第 2 のスイッチング素子をオン／オフ制御するスイッチング制御手段と、前記スイッチング素子のオン期間に前記スイッチング素子又は前記インダクタに流れる電流を検出するオン期間電流検出回路、又は、前記スイッチング素子のオフ期間に前記インダクタに流れる電流を検出するオフ期間電流検出回路と、を備えた P F C コンバータである。この第 2 のタイプの P F C コンバータで、次の (4) ～ (6) のいずれかの構成とする。

[0023] (4) 前記第 1 又は第 2 のスイッチング素子のオン期間若しくはオフ期間の中央で、前記オン期間電流検出回路又は前記オフ期間電流検出回路による電流検出信号をサンプリングして得た値を前記入力電流の平均値として検知する入力電流検知手段を備える。

[0024] 前記第 1 又は第 2 のスイッチング素子のオン期間又はオフ期間の中央での前記第 1 又は第 2 のスイッチング素子に流れる電流の検出信号をサンプリングした値はインダクタ電流の平均値である。そのため、実質的に一点サンプリングによってインダクタに流れる電流の平均値を検出できる。

[0025] (5) 前記スイッチング素子のオン期間の始点又はオフ期間の終点で、前記オン期間電流検出回路又は前記オフ期間電流検出回路による電流検出信号をサンプリングして得た電流値を I_s とし、前記交流入力電源から入力される入力電圧を V_i 、前記インダクタのインダクタンス値を L 、前記スイッチング素子のオン期間を T_{on} 、オフ期間を T_{off} とし、前記インダクタに流れる電流の平均値を $I_{L_{av}}$ とした場合に、

$$I_{L_{av}} = I_s + (V_i / L) \times T_{on} / 2 \quad \text{又は、}$$

$$I_{L_{av}} = I_s + \{ (V_o - V_i) / L \} \times T_{off} / 2$$

の演算により得た値を前記入力電流の平均値として検知する入力電流検知手段を備える。

これにより、実質的に P F C コンバータへの入力電流の平均値を検出できる。

[0026] (6) 前記スイッチング素子のオン期間の終点又はオフ期間の始点で、前記オン期間電流検出回路又は前記オフ期間電流検出回路による電流検出信号をサンプリングして得た電流値を I_s とし、前記交流入力電源から入力される入力電圧を V_i 、出力電圧を V_o 、前記インダクタのインダクタンス値を L 、前記スイッチング素子のオン期間を T_{on} 、オフ期間を T_{off} とし、前記インダクタに流れる電流の平均値を $I_{L_{av}}$ とした場合に、

$$I_{L_{av}} = I_s - (V_i / L) \times T_{on} / 2 \quad \text{又は、}$$

$$I_{L_{av}} = I_s - \{ (V_o - V_i) / L \} \times T_{off} / 2$$

の演算により得た値を前記入力電流の平均値として検知する入力電流検出手段を備える。

これにより、実質的にPFCコンバータへの入力電流の平均値を検出できる。

[0027] (7) 前記オン期間電流検出回路は、前記スイッチング素子に直列接続されている電流検出用抵抗で構成されたものとする。

[0028] この構成により、前記スイッチング素子のオン期間に前記スイッチング素子に流れる電流（すなわちインダクタ電流）の平均値を求めることができる。

[0029] (8) 前記オン期間電流検出回路は、例えば前記第1又は第2のスイッチング素子に直列接続されているカレントトランスで構成されたものとする。

[0030] この構成により、前記スイッチング素子のオン期間に前記インダクタに流れる電流の平均値を求めることができる。

[0031] (9) 前記オフ期間電流検出回路は、例えば前記スイッチング素子のオフ期間に前記インダクタに電流が流れる電流経路に対して直列接続されている電流検出用抵抗で構成されたものとする。

[0032] この構成により、前記スイッチング素子のオフ期間に前記インダクタに流れる電流の平均値を求めることができる。

[0033] (10) 前記オフ期間電流検出回路は、例えば前記スイッチング素子のオフ期間に前記インダクタに電流が流れる電流経路に対して直列接続されている

カレントトランスで構成されたものとする。

[0034] この構成により、前記スイッチング素子のオフ期間に前記インダクタに流れる電流の平均値を求めることができる。

発明の効果

[0035] この発明によれば、第1のタイプのPFCコンバータにおいては、電流検出に抵抗を用いる場合、電流検出用抵抗を用いるので低コスト化できる。また、電流検出用抵抗を用いるので、直流成分を含めてインダクタ電流を検出でき、適正な力率改善を図ることができる。また、前記電流検出用抵抗には前記スイッチング素子のオン時又はオフ時に何れかの期間に電流が流れるだけであるので、その電流検出用抵抗による電力損失が低減される。さらに、電流検出にカレントトランスを用いる場合は、カレントトランスが1つで済むため、低コスト化及び小型化が図れる。また第2のタイプのPFCコンバータにおいても、同様に電流検出回路の低損失化や簡素化が図れる。

図面の簡単な説明

[0036] [図1]特許文献1に示されているPFCコンバータの回路図である。
[図2]第1の実施形態に係るPFCコンバータの回路図である。
[図3]デジタル信号処理回路13によるPFCコンバータ101の各種制御方式について示す図である。
[図4]電流連続モードで制御が行われている状態におけるスイッチング周期の単位でのPFCコンバータ101の電圧・電流の波形図である。
[図5]電流連続モードで平均電流制御を行うために、インダクタL1に流れる電流の平均値を求める方法について示す図である。
[図6]第2の実施形態に係るスイッチング電源装置201の回路図である。
[図7]電流連続モードで平均電流制御を行うために、インダクタL1に流れる電流の平均値を求める方法について示す図である。
[図8]第3の実施形態に係るPFCコンバータ103の回路図である。
[図9]PFCコンバータ103の各部の波形図である。
[図10]第4の実施形態に係るPFCコンバータ104の回路図である。

[図11] P F Cコンバータ 1 0 4 の 4 つのタイミングでの電流経路を示す図である。

[図12] 第 5 の実施形態に係る P F Cコンバータにおいて、スイッチング素子 Q 1 に流れる電流の平均値を求める方法について示す図である。

[図13] 第 6 の実施形態に係る P F Cコンバータにおいて、インダクタ L 1 に流れる電流の平均値を求める方法について示す図である。

[図14] 第 7 の実施形態に係る P F Cコンバータにおいて、スイッチング素子 Q 1 に流れる電流の平均値を求める方法について示す図である。

[図15] 第 8 の実施形態に係る P F Cコンバータにおいて、インダクタ L 1 に流れる電流の平均値を求める方法について示す図である。

発明を実施するための形態

[0037] 《第 1 の実施形態》

第 1 の実施形態に係る P F Cコンバータについて図 2 ～図 4 を参照して説明する。

図 2 は第 1 の実施形態に係る P F Cコンバータの回路図である。図 2 において符号 P 1 1, P 1 2 は P F Cコンバータ 1 0 1 の入力ポート、符号 P 2 1, P 2 2 は P F Cコンバータ 1 0 1 の出力ポートである。入力ポート P 1 1 – P 1 2 には商用交流電源である交流入力電源 V a c が入力され、出力ポート P 2 1 – P 2 2 には負荷回路 2 0 が接続される。

[0038] 負荷回路 2 0 は例えば D C – D Cコンバータ及びその D C – D Cコンバータによって電源供給を受ける電子機器の回路である。

[0039] P F Cコンバータ 1 0 1 の入力段には交流入力電源 V a c の交流電圧を全波整流するダイオードブリッジ B 1 を設けている。このダイオードブリッジ B 1 の出力側にはインダクタ L 1 及びスイッチング素子 Q 1、さらに電流検出用抵抗 R 1 の直列回路を接続している。スイッチング素子 Q 1 の両端にはダイオード D 1 及び平滑コンデンサ C 1 からなる整流平滑回路を並列接続している。このインダクタ L 1、スイッチング素子 Q 1、ダイオード D 1 及び平滑コンデンサ C 1 によっていわゆる昇圧チョッパ回路を構成している。

- [0040] ダイオードブリッジB 1の出力側の両端間には入力電圧検出回路1 1を設けている。また出力ポートP 2 1－P 2 2間に出力電圧検出回路1 2を設けている。デジタル信号処理回路1 3はDSPで構成していて、デジタル信号処理によってこのPFCコンバータ1 0 1を制御する。すなわち、デジタル信号処理回路1 3は入力電圧検出回路1 1の出力信号を入力し、後述する方法によって交流入力電源の電圧の位相を検知する。また出力電圧検出回路1 2の出力信号を入力して出力電圧を検知する。さらにスイッチング素子Q 1を所定のスイッチング周波数でオン／オフする。
- [0041] さらに、デジタル信号処理回路1 3は負荷回路2 0との間で通信を行うためのポートを備えていて、たとえばデータの通信又は信号の入出力を行い、負荷回路（電子機器）に対してコンバータの状態等を常に送信したり、入力電圧、出力電圧、出力電流等を送信したり、負荷回路側から負荷状態等を受信してスイッチング制御に反映したりする。
- [0042] 図3はデジタル信号処理回路1 3によるPFCコンバータ1 0 1の各種制御方式について示す図である。図3の（A）（B）（C）はそれぞれ交流入力電源の1周期における電流波形である。ここで、波形I_Lは、図2に示したPFCコンバータ1 0 1におけるインダクタL 1に流れる電流の波形である。I_pはそのピーク値（ピーク電流）の包絡線、I_aは平均値（平均電流）の包絡線である。但し、図示の都合上、PFCコンバータ1 0 1のスイッチング周波数を極端に低くした場合について、すなわちインダクタL 1に流れる電流波形が三角波状に目に見えるような周波数で表している。
- [0043] 図3（A）は電流連続モード、図3（B）は電流不連続モード、図3（C）は電流臨界モードでのそれぞれの波形図である。このように図3（A）に示す電流連続モードではPFCコンバータ1 0 1のインダクタL 1に流れる電流は、交流入力電源のゼロクロス付近を除いて0になることがない。また図3（B）に示した電流不連続モードではPFCコンバータ1 0 1のインダクタL 1に励磁エネルギーが蓄積・放出されるごとに電流値が0になる期間が生じる。また図3（C）に示した臨界モードではインダクタL 1への励磁

エネルギーの蓄積・放出のごとに電流値が0となり、且つ電流値0の状態が連続することがない。

[0044] この実施形態においては、デジタル信号処理回路13は、図3(A)に示した電流連続モード又は図3(C)の電流臨界モードの制御を行う。

[0045] 図4は、電流連続モードで制御が行われている状態におけるスイッチング周期の単位でのPFCコンバータ101の電圧・電流の波形図である。

デジタル信号処理回路13は、PFCコンバータ101に対する入力電流、すなわちインダクタL1に流れる電流の平均値、が全波整流波形に相似形となるようにスイッチング制御を行う。このようにして入力電圧と相似形の入力電流が流れることにより、高調波が抑制され、力率が改善される。

[0046] 図4において(A)は商用電源周波数の半周期単位での、インダクタL1に流れる電流の平均値 I_i の電流波形、(B)はその一部の時間軸を拡大して表した、スイッチング周期の単位でのインダクタL1に流れる電流 I_L の波形図、(C)はスイッチング素子Q1のドレインソース間電圧 V_{ds} の波形図である。

[0047] スwitchング素子Q1のオン期間 T_{on} ではインダクタL1に電流 I_L が流れ、インダクタL1の両端間電圧及びインダクタL1のインダクタンスに応じて定まる傾きで電流 I_L は上昇する。その後、スイッチング素子Q1のオフ期間 T_{off} で、インダクタL1の両端電圧とそのインダクタンスによって定まる傾きで電流 I_L は下降する。このように電流リップル ΔI_L の幅でインダクタL1に流れる電流 I_L がスイッチング周期で変動する。

[0048] 図5は、電流連続モードで平均電流制御を行うために、インダクタL1に流れる電流の平均値を求める方法について示す図である。

スイッチング素子Q1のターンオフタイミングでインダクタL1に流れる電流値(ピーク値)を I_{Lp} 、スイッチング素子Q1のターンオンタイミングでインダクタL1に流れる電流値(最低値)を I_{Lb} で表すと、スイッチング素子Q1のオフ期間 T_{off} にインダクタL1に流れる電流の平均値(平均電流)は次の関係で表される。

[0049]
$$I_{L a v} = (I_{L p} + I_{L b}) / 2 \quad \cdots (1)$$

一方、スイッチング素子Q1のオフ期間 T_{off} にインダクタL1に流れる電流は直線的に減少するので、スイッチング素子Q1のオフ期間 T_{off} の中央タイミングにおけるインダクタL1の電流値は上記平均電流 $I_{L a v}$ に等しい。

[0050] そこで、スイッチング素子Q1のオフ期間 T_{off} の中央のタイミングでの抵抗R1の降下電圧をサンプリングする。このサンプリング値が、スイッチング素子Q1のオフ期間 T_{off} にインダクタL1に流れる電流の平均電流 $I_{L a v}$ に比例した値である。前記スイッチング素子Q1のゲートに対して与えるスイッチング制御信号はディジタル信号処理回路13が生成するものであるので、前記オフ期間 T_{off} の中央のタイミングもディジタル信号処理回路13が把握している（管理下にある）。そのため、例えば外部からタイミング信号を入力することなく、前記オフ期間 T_{off} の中央のタイミングで電流検出用抵抗R1の降下電圧をサンプリングすることができる。

[0051] 《第2の実施形態》

図6は第2の実施形態に係るスイッチング電源装置201の回路図である。

図6において、スイッチング電源装置201は、PFCコンバータ102及びDC-DCコンバータ50を備えている。DC-DCコンバータ50の出力には負荷60が接続されている。

[0052] PFCコンバータ102の入力ポートP11-P12には商用交流電源である交流入力電源 V_{ac} が入力され、出力部にDC-DCコンバータ50が接続されている。PFCコンバータ102は、交流入力電源 V_{ac} を全波整流するダイオードブリッジB1、ダイオードブリッジB1の出力に接続されるインダクタL1、スイッチング素子Q1、ダイオードD1、及び平滑コンデンサC1を備えている。インダクタL1、スイッチング素子Q1、ダイオードD1、及び平滑コンデンサC1によって、いわゆる昇圧チョッパ回路を構成している。

図2に示した第1の実施形態とは異なり、電流検出用抵抗 R_2 はスイッチング素子 Q_1 のソース側に直列接続されている。

[0053] DC-DCコンバータ50は、トランス T_1 、トランス T_1 の1次巻線 L_p に直列接続されたスイッチング素子 Q_2 、トランス T_1 の2次巻線 L_s に接続された、ダイオード D_2 及びコンデンサ C_2 からなる整流平滑回路を備えている。

[0054] また、トランス T_1 の1次側に設けられたデジタル信号処理回路13は、PFCコンバータ102のスイッチング素子 Q_1 に対してスイッチング制御信号を出力するだけでなく、DC-DCコンバータ50のスイッチング素子 Q_2 に対してもスイッチング制御信号を出力する。また、出力電圧検出回路12の検出信号を絶縁回路16を介して入力することによって、出力電圧を検出する。そして、スイッチング素子 Q_2 のオンデューティ比の制御等によってDC-DCコンバータ50の出力電圧の安定化を図る。

[0055] さらに、デジタル信号処理回路13は、PFCコンバータ102の入力電圧検出回路11の検出電圧、出力電圧検出回路12の検出信号、及び電流検出用抵抗 R_2 の降下電圧を入力して、それに応じたオン期間及びオフ期間のスイッチング制御信号をスイッチング素子 Q_1 のゲートへ与える。すなわち、PFCコンバータ102に対する入力電流が入力電圧の波形と相似形となるように、スイッチング素子 Q_1 を制御する。また、デジタル信号処理回路13は絶縁回路17を介して、負荷60との間で通信を行い、負荷60に対してPFCコンバータ102及びDC-DCコンバータ50の状態を送信したり、負荷60から負荷状態等を受信したりして、スイッチング制御に反映する。

[0056] 図7は、電流連続モードで平均電流制御を行うために、インダクタ L_1 に流れる電流の平均値を求める方法について示す図である。

スイッチング素子 Q_1 のターンオンタイミングにスイッチング素子 Q_1 に流れるドレイン電流を I_{D_b} 、スイッチング素子 Q_1 のターンオフタイミングの直前にスイッチング素子 Q_1 に流れる電流値（ピーク値）を I_{D_p} で表

すと、スイッチング素子Q 1のオン期間T o nにスイッチング素子Q 1に流れる電流すなわちインダクタL 1に流れる電流、の平均値（平均電流）I L a vは次の関係で表される。

[0057]
$$I L a v = (I D p + I D b) / 2 \quad \cdots (2)$$

一方、スイッチング素子Q 1のオン期間T o nにインダクタL 1に流れる電流は直線的に増大するので、スイッチング素子Q 1のオン期間T o nの中央タイミングにおけるスイッチング素子Q 1の電流値は上記平均電流I L a vに等しい。

[0058] そこで、スイッチング素子Q 1のオン期間T o nの中央のタイミングでの電流検出用抵抗R 2の降下電圧をサンプリングする。このサンプリング値が、スイッチング素子Q 1のオン期間T o nにインダクタL 1に流れる電流の平均電流I L a vに比例した値である。前記スイッチング素子Q 1のゲートに対して与えるスイッチング制御信号はディジタル信号処理回路1 3が生成するものであるので、前記オン期間T o nの中央のタイミングもディジタル信号処理回路1 3が把握している（管理下にある）。そのため、例えば外部からタイミング信号を入力することなく、前記オン期間T o nの中央のタイミングで抵抗R 2の降下電圧をサンプリングすることができる。

[0059] 《第3の実施形態》

図8は第3の実施形態に係るP F Cコンバータ1 0 3の回路図である。また図9はP F Cコンバータ1 0 3の各部の波形図である。

P F Cコンバータ1 0 3は、3つのインダクタL 1 1, L 1 2, L 1 3、3つのダイオードD 1 1, D 1 2, D 1 3、及び3つのスイッチング素子Q 1 1, Q 1 2, Q 1 3を備えて3相P F Cコンバータを構成している。ディジタル信号処理回路1 3は、入力電圧検出回路1 1から入力電圧を検出し、電流検出用抵抗R 1 1, R 1 2, R 1 3のそれぞれの降下電圧を入力し、スイッチング素子Q 1 1, Q 1 2, Q 1 3に対してそれぞれスイッチング制御信号を与える。

[0060] 図9は、図8に示したP F Cコンバータ1 0 3の3つのインダクタL 1 1

、 L_{12} 、 L_{13} に流れるインダクタ電流 I_{L11} 、 I_{L12} 、 I_{L13} 及び入力電流 I_L の波形図である。このように3つのスイッチング素子 Q_{11} 、 Q_{12} 、 Q_{13} を 120° 位相差で順次オン／オフすることによって、入力コンデンサ C_1 及び出力コンデンサ C_0 の電氣的ストレスの緩和や、ノイズ低減の効果を得ることができる。また、エネルギー（熱）が分散されて、部品の小型・低背化が図れる。

[0061] 上記エネルギー（熱）の分散のためには、3つのインダクタ L_{11} 、 L_{12} 、 L_{13} に流れるインダクタ電流 I_{L11} 、 I_{L12} 、 I_{L13} が均等になることが重要であり、各インダクタ電流を正確に検出する必要がある。第3の実施形態では、図9に示すように、ディジタル信号処理回路13が前記3つのスイッチング素子 Q_{11} 、 Q_{12} 、 Q_{13} に電流が流れるオン期間の中央タイミングでサンプリングすることによって3つのインダクタのインダクタ電流（平均値）を正確に検出する。

[0062] すなわち、電流検出用抵抗 R_{11} の降下電圧を、スイッチング素子 Q_{11} のオン期間の中央タイミング t_{s1} でサンプリングすることによってインダクタ L_{11} に流れる電流 I_{L11} の平均値を求め、電流検出用抵抗 R_{12} の降下電圧を、スイッチング素子 Q_{12} のオン期間の中央タイミング t_{s2} でサンプリングすることによってインダクタ L_{12} に流れる電流 I_{L12} の平均値を求め、電流検出用抵抗 R_{13} の降下電圧を、スイッチング素子 Q_{13} のオン期間の中央タイミング t_{s3} でサンプリングすることによってインダクタ L_{13} に流れる電流 I_{L13} の平均値を求める。

[0063] 《第4の実施形態》

図10は第4の実施形態に係るPFCコンバータ104の回路図である。また図11はPFCコンバータ104の4つのタイミングでの電流経路を示す図である。

図10に示すPFCコンバータ104はダイオードブリッジを介さずにインダクタと2つのスイッチング素子とを備えたダイオードブリッジレスPFCコンバータである。

- [0064] 図10において、符号P11, P12はPFCコンバータ104の入力ポート、符号P21, P22はPFCコンバータ104の出力ポートである。入力ポートP11-P12には商用交流電源である交流入力電源Vacが入力され、出力ポートP21-P22には負荷回路20が接続される。
- [0065] 負荷回路20は例えばDC-DCコンバータ及びそのDC-DCコンバータによって電源供給を受ける電子機器の回路である。
- [0066] PFCコンバータ104の入力段には、入力電圧検出回路11を設け、一方のラインにインダクタL1を直列に接続している。インダクタL1の後段には、ダイオードD1, D2及びスイッチング素子Q1, Q2によるブリッジ回路を接続している。スイッチング素子Q1, Q2のソースとグランドの間には電流検出用抵抗R21, R22を接続している。ブリッジ回路の出力には平滑コンデンサC1からなる平滑回路を並列接続している。
- [0067] 図11(A)は、交流入力電源の正の半サイクルで、スイッチング素子Q1, Q2が共にオン状態であるときの電流経路、図11(B)は、交流入力電源の正の半サイクルで、スイッチング素子Q1, Q2が共にオフ状態であるときの電流経路である。
- [0068] また、図11(C)は、交流入力電源の負の半サイクルで、スイッチング素子Q1, Q2が共にオン状態であるときの電流経路、図11(D)は、交流入力電源の負の半サイクルで、スイッチング素子Q1, Q2が共にオフ状態であるときの電流経路である。
- [0069] 交流入力電源の正の半サイクルで、Q1, Q2がオン状態であるとき、図11(A)に示す経路で電流が流れて、インダクタL1に励磁エネルギーが蓄積され、Q1, Q2がオフ状態であるとき、図11(B)に示す経路で電流が流れて、インダクタL1から励磁エネルギーが放出される。このとき、Q2の寄生ダイオードを介して電流が流れる。同様に、交流入力電源の負の半サイクルで、Q1, Q2がオン状態であるとき、図11(C)に示す経路で電流が流れて、インダクタL1に励磁エネルギーが蓄積され、Q1, Q2がオフ状態であるとき、図11(D)に示すタイミングで、インダクタL1

から励磁エネルギーが放出される。このとき、Q 1の寄生ダイオードを介して電流が流れる。

[0070] 電流検出用抵抗R 2 1は、交流入力電源の正の半サイクルでQ 1のオン期間において、インダクタL 1に流れる電流を検出するために設けている。また、電流検出用抵抗R 2 2は、交流入力電源の負の半サイクルでQ 2のオン期間において、インダクタL 1に流れる電流を検出するために設けている。図10に示したデジタル信号処理回路13は、スイッチング素子Q 1、Q 2のオン期間の中央で、電流検出用抵抗R 2 1、R 2 2の降下電圧をサンプリングすることによってインダクタL 1に流れる電流の平均値を検出する。

[0071] また、電流検出用抵抗R 1は、Q 1、Q 2のオフ期間において、インダクタL 1に流れる電流を検出するために設けている。デジタル信号処理回路13は、スイッチング素子Q 1、Q 2のオフ期間の中央で、電流検出用抵抗R 1の降下電圧をサンプリングすることによってインダクタL 1に流れる電流の平均値を検出する。

[0072] なお、交流入力電源の正の半サイクルにおいて、Q 1、Q 2のオフ期間の中央で電流検出用抵抗R 2 2の降下電圧をサンプリングすれば、インダクタL 1に流れる電流の平均値を検出できる。同様に、交流入力電源の負の半サイクルにおいて、Q 1、Q 2のオフ期間の中央で電流検出用抵抗R 2 1の降下電圧をサンプリングすれば、インダクタL 1に流れる電流の平均値を検出できる。したがって、この場合には電流検出用抵抗R 1は不要であり、電流検出用抵抗R 1での電力損失が削減される。

[0073] 図10・図11に示した例では、ダイオードD 1とスイッチング素子Q 1との接続点と交流入力電源の第1の入力端P 1 1との間にインダクタL 1を接続したが、ダイオードD 2とスイッチング素子Q 2との接続点と交流入力電源の第2の入力端P 1 2との間にもインダクタを接続してもよい。

[0074] 《第5の実施形態》

第5の実施形態は、スイッチング素子のオン期間の始点又はオフ期間の終点で、スイッチング素子に流れる電流を検出してPFCコンバータへの入力

電流の平均値を検知するものである。

[0075] 回路の構成は、第2の実施形態で図6に示したPFCコンバータ102の構成に適用できる。ここでは、図6を流用し、図6に示したPFCコンバータ102においてデジタル信号処理回路13が実行する処理内容について説明する。

[0076] 図12は、電流連続モードで平均電流制御を行うために、PFCコンバータ102への入力電流の平均値を求める方法について示す図である。

スイッチング素子Q1のオン期間の始点でスイッチング素子Q1に流れるドレイン電流の値を I_s とし、交流入力電源から入力される入力電圧を V_i 、インダクタL1のインダクタンス値を L 、スイッチング素子Q1のオン期間を T_{on} 、とし、インダクタL1に流れる電流の平均値を $I_{L_{av}}$ とした場合、

スイッチング素子Q1のオン期間でインダクタL1に流れる電流の変化の傾きは、 V_i/L である。したがって、PFCコンバータ102への入力電流の平均値を、スイッチング素子Q1のターンオン直後にスイッチング素子又はインダクタに流れる電流 I_s をサンプリングして、

$$I_{L_{av}} = I_s + (V_i/L) \times T_{on}/2 \text{ で求める。}$$

[0077] インダクタンス値 L は出荷時において既知である。 T_{on} は前述の通りデジタル信号処理回路13が把握している（管理下にある）。 V_i はもともと電流の正弦波整形のために検出している。通常デジタル信号処理回路にとって除算は大きな処理負荷となるが、2のべき乗による除算については、ビットシフトを用いることにより積和演算と同様高速に処理することができる。以上の理由により、本手法は回路の追加や処理負荷の増大をさせることなく、計算を実行できる。

[0078] 《第6の実施形態》

第6の実施形態は、スイッチング素子のオン期間の始点又はオフ期間の終点で、インダクタに流れる電流を検出してPFCコンバータへの入力電流の平均値を検知するものである。

[0079] 回路の構成は、第 1 の実施形態で図 2 に示した P F C コンバータ 1 0 1 の構成に適用できる。ここでは、図 2 を流用し、図 2 に示した P F C コンバータ 1 0 1 においてデジタル信号処理回路 1 3 が実行する処理内容について説明する。

[0080] 図 1 3 は、電流連続モードで平均電流制御を行うために、P F C コンバータ 1 0 1 への入力電流の平均値を求める方法について示す図である。

スイッチング素子 Q 1 のオフ期間の終点でインダクタ L 1 に流れているインダクタ電流の値を I_s とし、交流入力電源から入力される入力電圧を V_i 、インダクタ L 1 のインダクタンス値を L 、スイッチング素子 Q 1 オフ期間を T_{off} とし、インダクタ L 1 に流れる電流の平均値を $I_{L_{av}}$ とした場合、

スイッチング素子 Q 1 のオフ期間でインダクタ L 1 に流れる電流の変化の傾きは、 $-(V_o - V_i) / L$ である。

[0081] したがって、P F C コンバータ 1 0 1 への入力電流の平均値を、スイッチング素子 Q 1 のターンオン直前にインダクタに流れる電流 I_s をサンプリングして、

$$I_{L_{av}} = I_s + \{ (V_o - V_i) / L \} \times T_{off} / 2$$

の演算により求める。

[0082] 《第 7 の実施形態》

第 7 の実施形態は、スイッチング素子のオン期間の終点又はオフ期間の始点で、スイッチング素子に流れる電流を検出して P F C コンバータへの入力電流の平均値を検知するものである。

[0083] 回路の構成は、第 2 の実施形態で図 6 に示した P F C コンバータ 1 0 2 の構成に適用できる。ここでは、図 6 を流用し、図 6 に示した P F C コンバータ 1 0 2 においてデジタル信号処理回路 1 3 が実行する処理内容について説明する。

[0084] 図 1 4 は、電流連続モードで平均電流制御を行うために、P F C コンバータ 1 0 2 への入力電流の平均値を求める方法について示す図である。

スイッチング素子Q1のオン期間の終点でスイッチング素子Q1に流れるドレイン電流の値を I_s とし、交流入力電源から入力される入力電圧を V_i 、インダクタL1のインダクタンス値をL、スイッチング素子Q1のオン期間を T_{on} 、とし、インダクタL1に流れる電流の平均値を $I_{L_{av}}$ とした場合、

スイッチング素子Q1のオン期間でインダクタL1に流れる電流の変化の傾きは、 V_i/L である。したがって、PFCコンバータ102への入力電流の平均値を、スイッチング素子Q1のターンオフ直前にスイッチング素子又はインダクタに流れる電流 I_s をサンプリングして、

$$I_{L_{av}} = I_s - (V_i/L) \times T_{on}/2$$

の演算により求める。

[0085] 《第8の実施形態》

第8の実施形態は、スイッチング素子のオン期間の終点又はオフ期間の始点で、インダクタに流れる電流を検出してPFCコンバータへの入力電流の平均値を検知するものである。

[0086] 回路の構成は、第1の実施形態で図2に示したPFCコンバータ101の構成に適用できる。ここでは、図2を流用し、図2に示したPFCコンバータ101においてデジタル信号処理回路13が実行する処理内容について説明する。

[0087] 図15は、電流連続モードで平均電流制御を行うために、PFCコンバータ101への入力電流の平均値を求める方法について示す図である。

スイッチング素子Q1のオン期間の終点でインダクタL1に流れているインダクタ電流の値を I_s とし、交流入力電源から入力される入力電圧を V_i 、インダクタL1のインダクタンス値をL、スイッチング素子Q1オフ期間を T_{off} とし、インダクタL1に流れる電流の平均値を $I_{L_{av}}$ とした場合、

スイッチング素子Q1のオフ期間でインダクタL1に流れる電流の変化の傾きは、 $-(V_o - V_i)/L$ である。

[0088] したがって、PFCコンバータ101への入力電流の平均値を、スイッチング素子Q1のターンオフタイミングでインダクタに流れている電流 I_s をサンプリングして、

$$I_{L_{av}} = I_s - \{ (V_o - V_i) / L \} \times T_{off} / 2$$

の演算により求める。

[0089] なお、以上に示した各実施形態ではスイッチング素子に流れる電流、又はインダクタに流れる電流を電流検出用抵抗の降下電圧で検出するようにしたが、カレントトランスを用いる場合は、電流経路にカレントトランスの1次側を接続し、カレントトランスの2次側の出力電圧を電流検出信号として用いるように構成する。

符号の説明

[0090] 101～103…PFCコンバータ
 11…入力電圧検出回路
 12…出力電圧検出回路
 13…ディジタル信号処理回路
 16, 17…絶縁回路
 20…負荷回路
 201…スイッチング電源装置
 50…DC-DCコンバータ
 60…負荷
 B1…ダイオードブリッジ
 C1…平滑コンデンサ
 IL11, IL12, IL13…インダクタ電流
 IL_{av}…平均電流
 L1…インダクタ
 L11, L12, L13…インダクタ
 Lb…補助巻線
 Lp…1次巻線

L_s … 2 次巻線

Q_1 , Q_2 … スイッチング素子

Q_{11} , Q_{12} , Q_{13} … スイッチング素子

R_1 , R_2 … 電流検出用抵抗

R_{11} , R_{12} , R_{13} , R_{21} , R_{22} … 電流検出用抵抗

T_1 … トランス

T_{off} … オフ期間

T_{on} … オン期間

t_s … 中央タイミング

t_{s1} , t_{s2} , t_{s3} … 中央タイミング

V_{ac} … 交流入力電源

請求の範囲

[請求項1]

交流入力電源から入力される交流電圧を整流する整流回路と、
前記整流回路の次段に接続された、インダクタ及びスイッチング素子を含む直列回路と、
前記スイッチング素子に並列接続された整流平滑回路と、
前記交流入力電源から入力される入力電流の平均値が前記交流電圧に対して相似形となるように前記スイッチング素子をオン／オフ制御するスイッチング制御手段と、
前記スイッチング素子のオン期間に前記スイッチング素子又は前記インダクタに流れる電流を検出するオン期間電流検出回路、又は、前記スイッチング素子のオフ期間に前記インダクタに流れる電流を検出するオフ期間電流検出回路と、を備えたP F Cコンバータであって、
前記スイッチング素子のオン期間の中央又はオフ期間の中央で、前記オン期間電流検出回路又は前記オフ期間電流検出回路による電流検出信号をサンプリングして得た値を前記入力電流の平均値として検知する入力電流検知手段を備えたP F Cコンバータ。

[請求項2]

交流入力電源から入力される交流電圧を整流する整流回路と、
前記整流回路の次段に接続された、インダクタ及びスイッチング素子を含む直列回路と、
前記スイッチング素子に並列接続された整流平滑回路と、
前記交流入力電源から入力される入力電流の平均値が前記交流電圧に対して相似形となるように前記スイッチング素子をオン／オフ制御するスイッチング制御手段と、
前記スイッチング素子のオン期間に前記スイッチング素子又は前記インダクタに流れる電流を検出するオン期間電流検出回路、又は、前記スイッチング素子のオフ期間に前記インダクタに流れる電流を検出するオフ期間電流検出回路と、を備えたP F Cコンバータであって、
前記スイッチング素子のオン期間の始点又はオフ期間の終点で、前

記オン期間電流検出回路又は前記オフ期間電流検出回路による電流検出信号をサンプリングして得た電流値を I_s とし、前記交流入力電源から入力される入力電圧を V_i 、前記インダクタのインダクタンス値を L 、前記スイッチング素子のオン期間を T_{on} 、オフ期間を T_{off} とし、前記インダクタに流れる電流の平均値を $I_{L_{av}}$ とした場合に、

$$I_{L_{av}} = I_s + (V_i / L) \times T_{on} / 2 \quad \text{又は、}$$

$$I_{L_{av}} = I_s + \{ (V_o - V_i) / L \} \times T_{off} / 2$$

の演算により得た値を前記入力電流の平均値として検知する入力電流検知手段を備えたPFCコンバータ。

[請求項3]

交流入力電源から入力される交流電圧を整流する整流回路と、

前記整流回路の次段に接続された、インダクタ及びスイッチング素子を含む直列回路と、

前記スイッチング素子に並列接続された整流平滑回路と、

前記交流入力電源から入力される入力電流の平均値が前記交流電圧に対して相似形となるように前記スイッチング素子をオン／オフ制御するスイッチング制御手段と、

前記スイッチング素子のオン期間に前記スイッチング素子又は前記インダクタに流れる電流を検出するオン期間電流検出回路、又は、前記スイッチング素子のオフ期間に前記インダクタに流れる電流を検出するオフ期間電流検出回路と、を備えたPFCコンバータであって、

前記スイッチング素子のオン期間の終点又はオフ期間の始点で、前記オン期間電流検出回路又は前記オフ期間電流検出回路による電流検出信号をサンプリングして得た電流値を I_s とし、前記交流入力電源から入力される入力電圧を V_i 、出力電圧を V_o 、前記インダクタのインダクタンス値を L 、前記スイッチング素子のオン期間を T_{on} 、オフ期間を T_{off} とし、前記インダクタに流れる電流の平均値を $I_{L_{av}}$ とした場合に、

$$I_{L_{av}} = I_s - (V_i / L) \times T_{on} / 2 \quad \text{又は、}$$

$$I_{L_{av}} = I_s - \{ (V_o - V_i) / L \} \times T_{off} / 2$$

の演算により得た値を前記入力電流の平均値として検知する入力電流検知手段を備えたPFCコンバータ。

[請求項4]

負荷に対して並列に接続された、第1のスイッチング素子と第1の整流素子を含む第1の直列回路と、

前記第1のスイッチング素子と前記第1の整流素子との接続点と、交流入力電源の第1の入力端との間に接続されたインダクタと、

負荷に対して並列に接続され、第2のスイッチング素子と第2の整流素子を含み、第2のスイッチング素子と第2の整流素子との接続点が前記交流入力電源の第2の入力端に接続された第2の直列回路と、

負荷に対して並列に接続された平滑回路と、

前記交流入力電源から入力される入力電流の平均値が前記交流入力電源の交流電圧に対して相似形となるように前記第1及び第2のスイッチング素子をオン／オフ制御するスイッチング制御手段と、

前記スイッチング素子のオン期間に前記スイッチング素子又は前記インダクタに流れる電流を検出するオン期間電流検出回路、又は、前記スイッチング素子のオフ期間に前記インダクタに流れる電流を検出するオフ期間電流検出回路と、を備えたPFCコンバータであって、

前記第1又は第2のスイッチング素子のオン期間若しくはオフ期間の中央で、前記オン期間電流検出回路又は前記オフ期間電流検出回路による電流検出信号をサンプリングして得た値を前記入力電流の平均値として検知する入力電流検知手段を備えたPFCコンバータ。

[請求項5]

負荷に対して並列に接続された、第1のスイッチング素子と第1の整流素子を含む第1の直列回路と、

前記第1のスイッチング素子と前記第1の整流素子との接続点と、交流入力電源の第1の入力端との間に接続されたインダクタと、

負荷に対して並列に接続され、第2のスイッチング素子と第2の整

流素子を含み、第2のスイッチング素子と第2の整流素子との接続点が前記交流入力電源の第2の入力端に接続された第2の直列回路と、
負荷に対して並列に接続された平滑回路と、

前記交流入力電源から入力される入力電流の平均値が前記交流入力電源の交流電圧に対して相似形となるように前記第1及び第2のスイッチング素子をオン／オフ制御するスイッチング制御手段と、

前記スイッチング素子のオン期間に前記スイッチング素子又は前記インダクタに流れる電流を検出するオン期間電流検出回路、又は、前記スイッチング素子のオフ期間に前記インダクタに流れる電流を検出するオフ期間電流検出回路と、を備えたPFCコンバータであって、

前記スイッチング素子のオン期間の始点又はオフ期間の終点で、前記オン期間電流検出回路又は前記オフ期間電流検出回路による電流検出信号をサンプリングして得た電流値を I_s とし、前記交流入力電源から入力される入力電圧を V_i 、前記インダクタのインダクタンス値を L 、前記スイッチング素子のオン期間を T_{on} 、オフ期間を T_{off} とし、前記インダクタに流れる電流の平均値を $I_{L_{av}}$ とした場合に、

$$I_{L_{av}} = I_s + (V_i / L) \times T_{on} / 2 \quad \text{又は、}$$

$$I_{L_{av}} = I_s + \{ (V_o - V_i) / L \} \times T_{off} / 2$$

の演算により得た値を前記入力電流の平均値として検知する入力電流検知手段を備えたPFCコンバータ。

[請求項6]

負荷に対して並列に接続された、第1のスイッチング素子と第1の整流素子を含む第1の直列回路と、

前記第1のスイッチング素子と前記第1の整流素子との接続点と、交流入力電源の第1の入力端との間に接続されたインダクタと、

負荷に対して並列に接続され、第2のスイッチング素子と第2の整流素子を含み、第2のスイッチング素子と第2の整流素子との接続点が前記交流入力電源の第2の入力端に接続された第2の直列回路と、

負荷に対して並列に接続された平滑回路と、

前記交流入力電源から入力される入力電流の平均値が前記交流入力電源の交流電圧に対して相似形となるように前記第 1 及び第 2 のスイッチング素子をオン／オフ制御するスイッチング制御手段と、

前記スイッチング素子のオン期間に前記スイッチング素子又は前記インダクタに流れる電流を検出するオン期間電流検出回路、又は、前記スイッチング素子のオフ期間に前記インダクタに流れる電流を検出するオフ期間電流検出回路と、を備えた P F C コンバータであって、

前記スイッチング素子のオン期間の終点又はオフ期間の始点で、前記オン期間電流検出回路又は前記オフ期間電流検出回路による電流検出信号をサンプリングして得た電流値を I_s とし、前記交流入力電源から入力される入力電圧を V_i 、出力電圧を V_o 、前記インダクタのインダクタンス値を L 、前記スイッチング素子のオン期間を T_{on} 、オフ期間を T_{off} とし、前記インダクタに流れる電流の平均値を $I_{L_{av}}$ とした場合に、

$$I_{L_{av}} = I_s - (V_i / L) \times T_{on} / 2 \quad \text{又は、}$$

$$I_{L_{av}} = I_s - \{ (V_o - V_i) / L \} \times T_{off} / 2$$

の演算により得た値を前記入力電流の平均値として検知する入力電流検出手段を備えた P F C コンバータ。

[請求項7] 前記オン期間電流検出回路は、前記スイッチング素子に直列接続されている電流検出用抵抗で構成された、請求項 1 乃至 6 のいずれかに記載の P F C コンバータ。

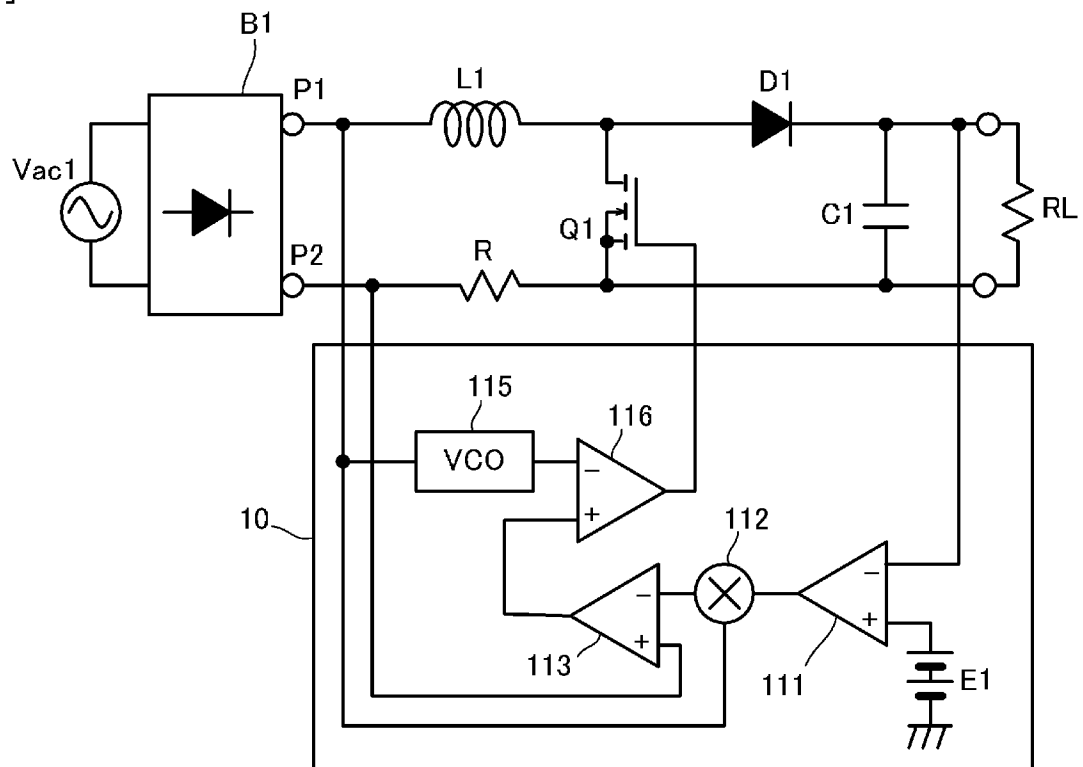
[請求項8] 前記オン期間電流検出回路は、前記スイッチング素子に直列接続されているカレントトランスで構成された、請求項 1 乃至 6 のいずれかに記載の P F C コンバータ。

[請求項9] 前記オフ期間電流検出回路は、前記スイッチング素子のオフ期間に前記インダクタに電流が流れる電流経路に対して直列接続されている電流検出用抵抗で構成された、請求項 1 乃至 8 のいずれかに記載の P

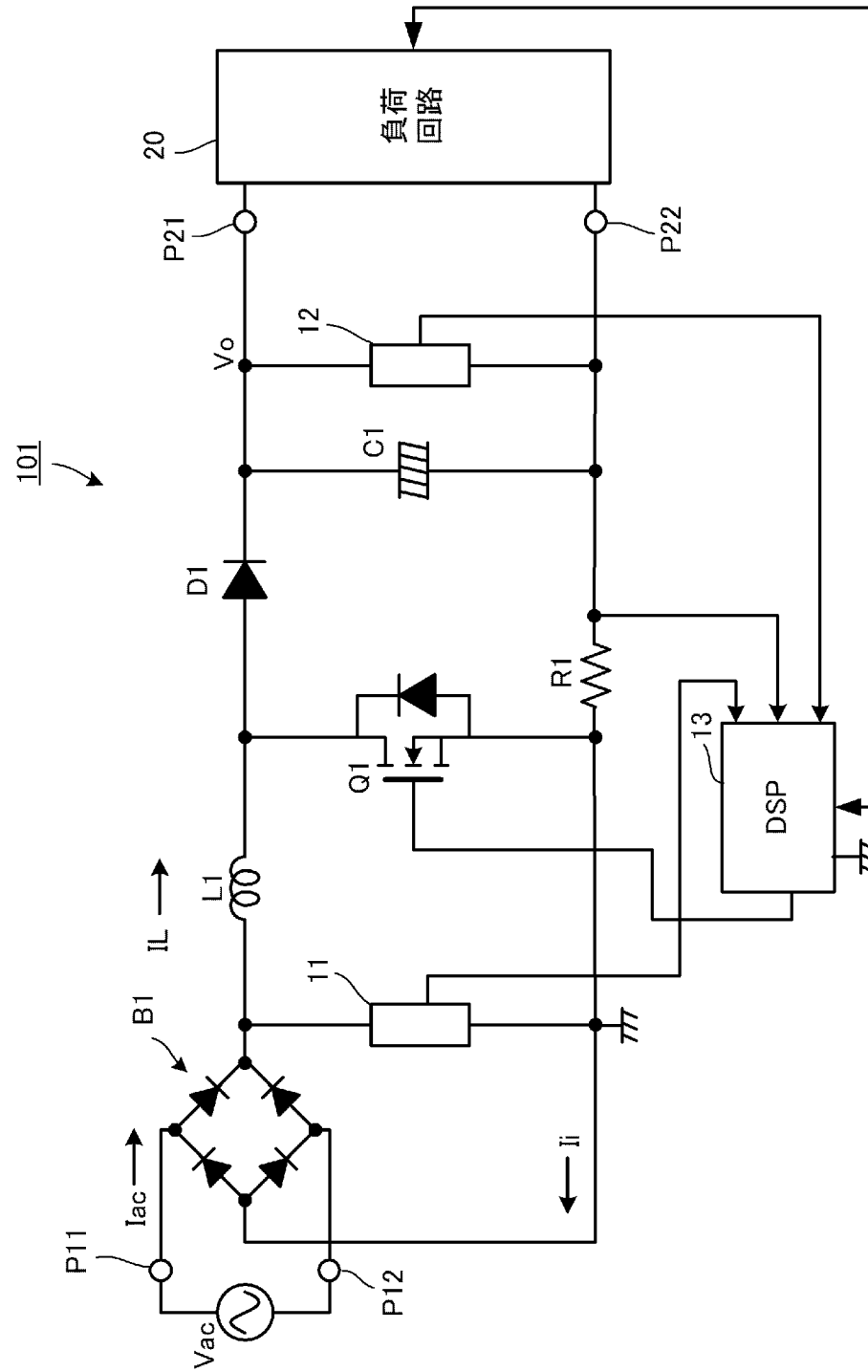
F Cコンバータ。

[請求項10] 前記オフ期間電流検出回路は、前記スイッチング素子のオフ期間に前記インダクタに電流が流れる電流経路に対して直列接続されているカレントトランスで構成された、請求項1乃至8のいずれかに記載のP F Cコンバータ。

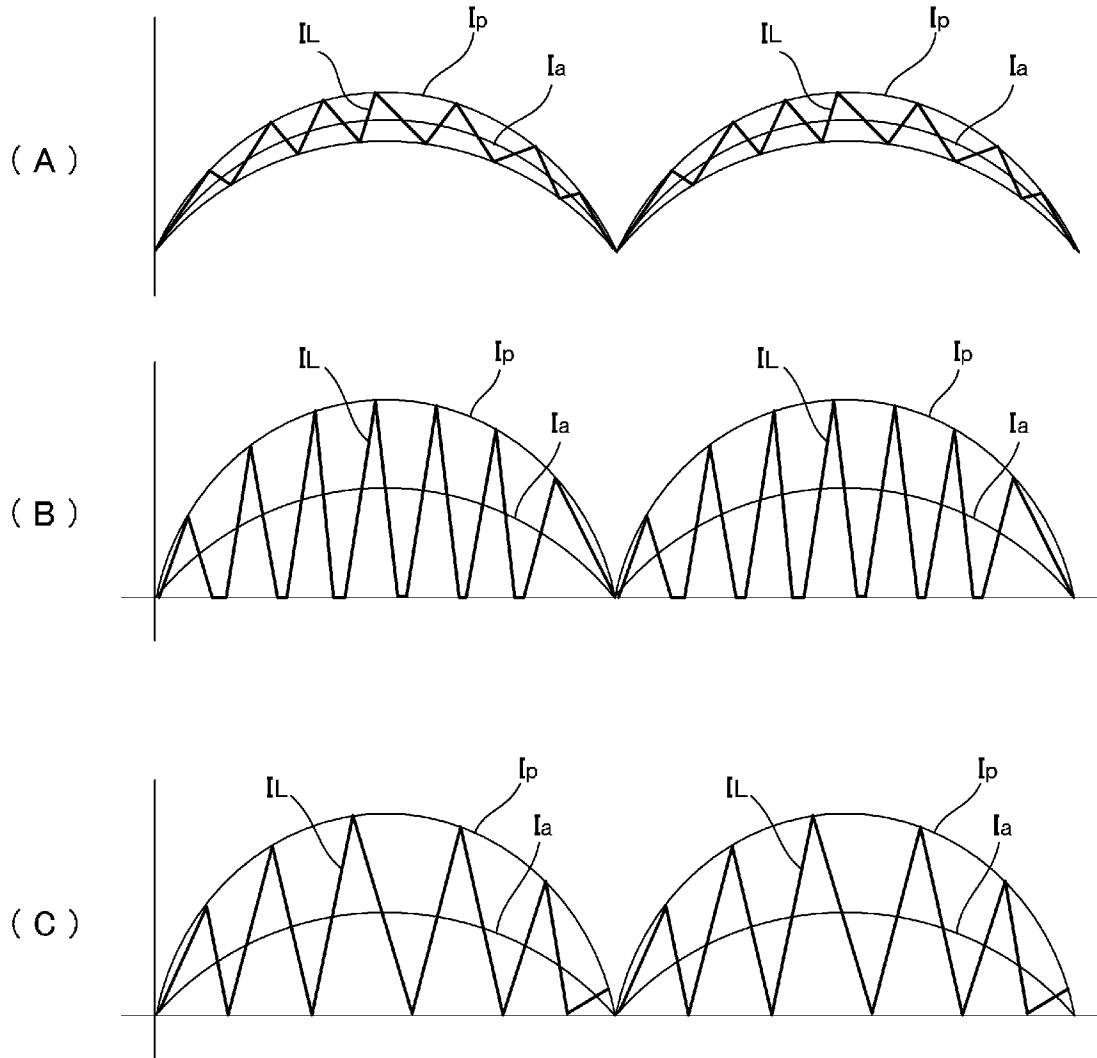
[図1]



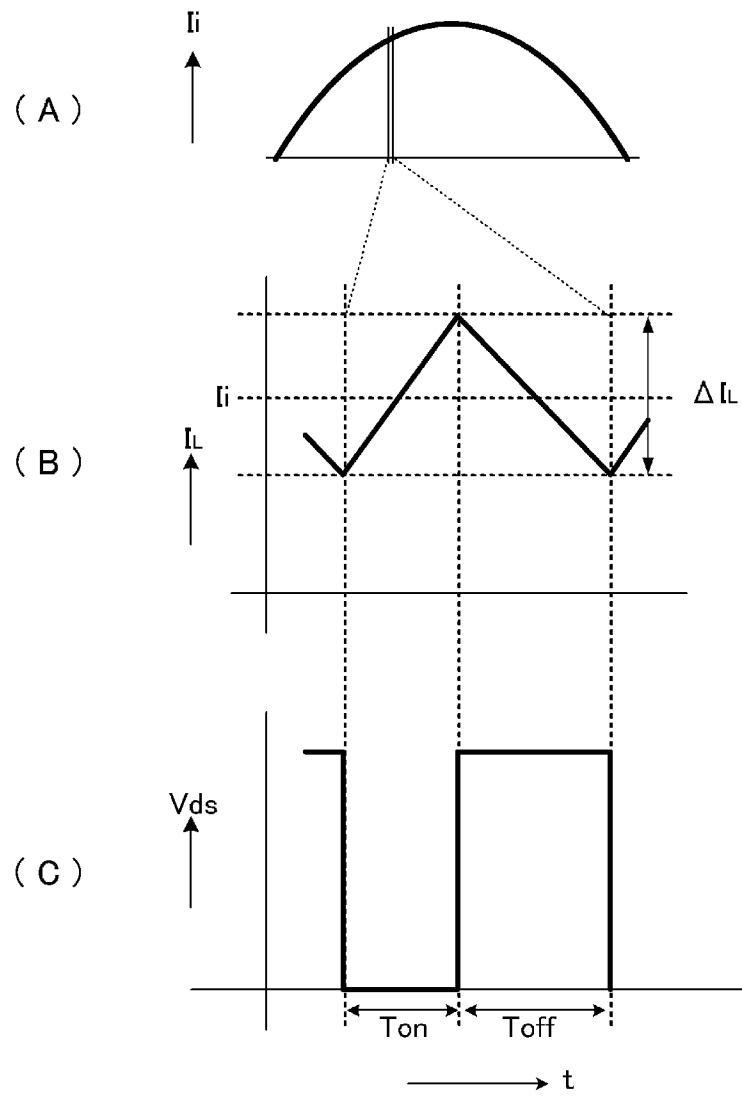
[図2]



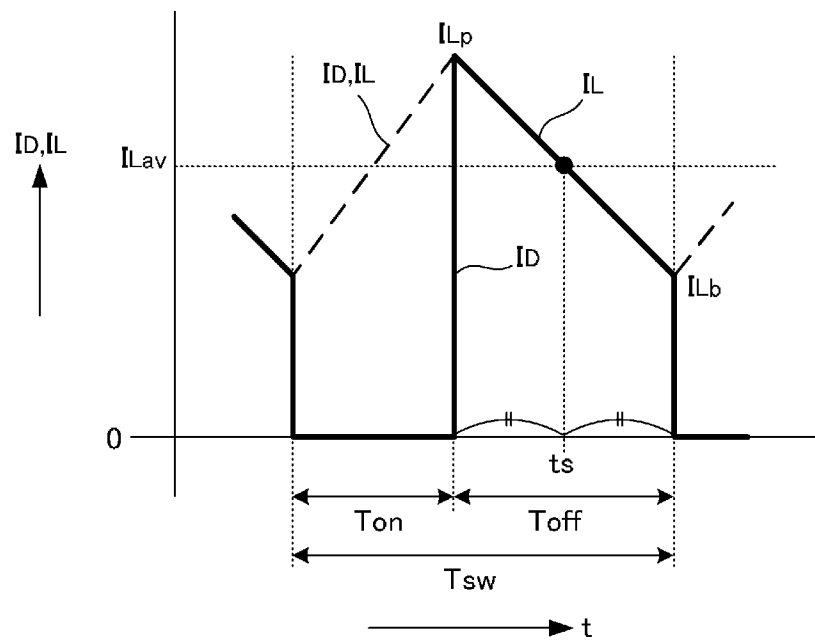
[図3]



[図4]

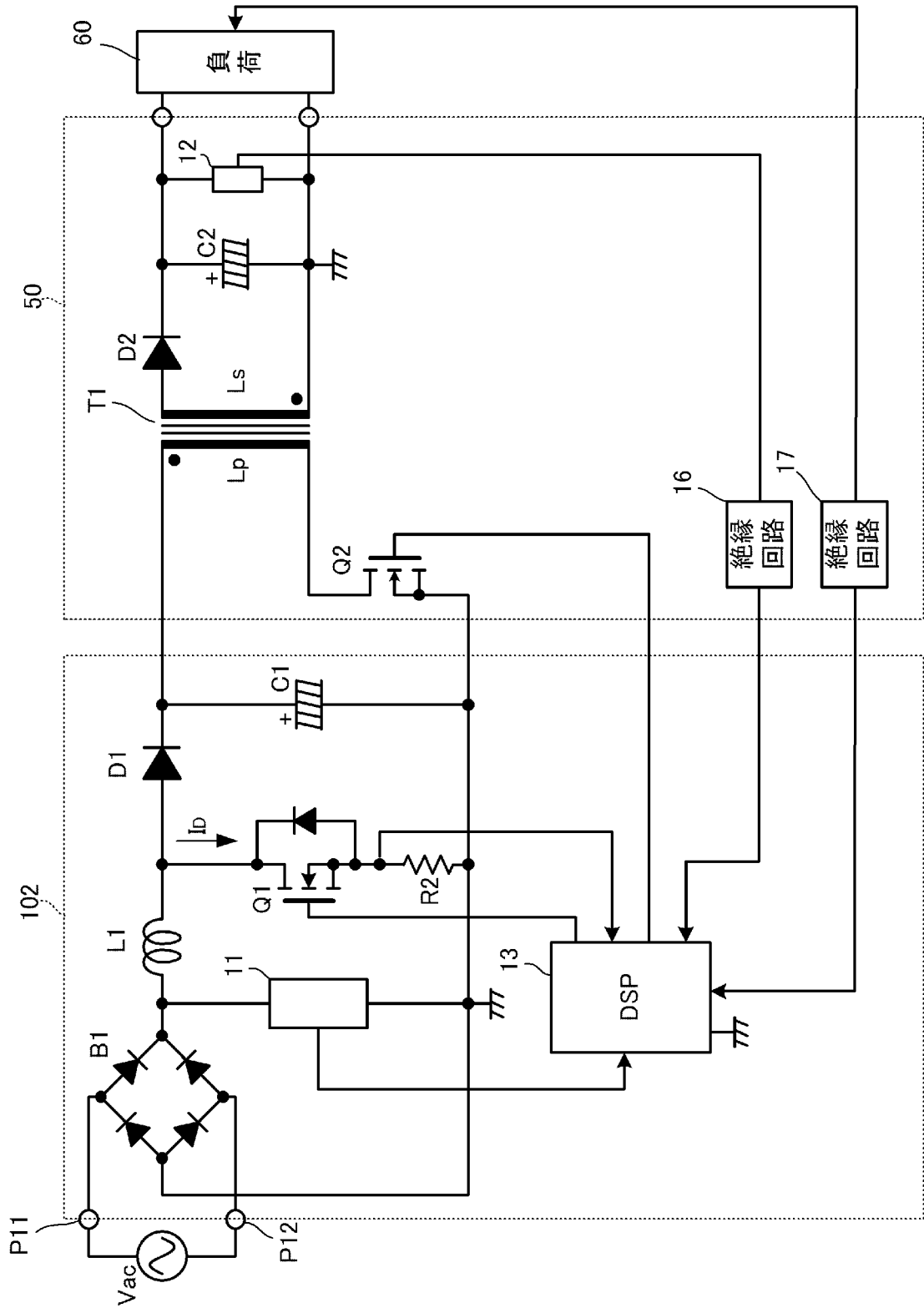


[図5]



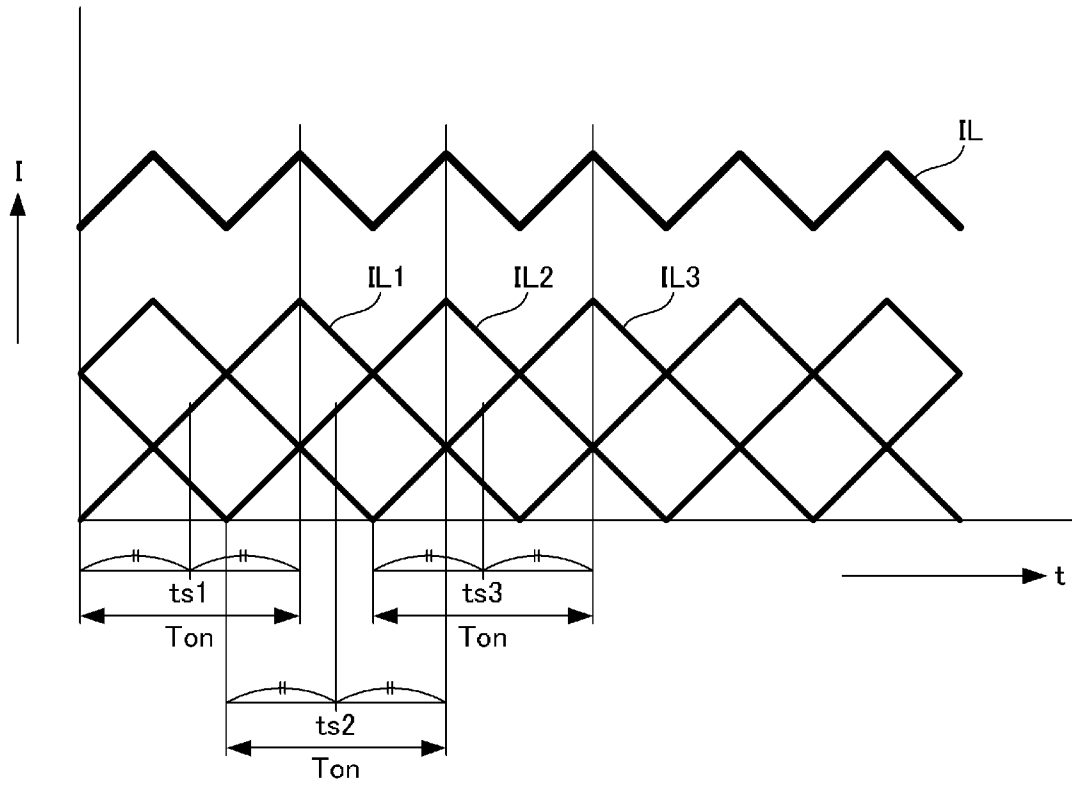
[図6]

201

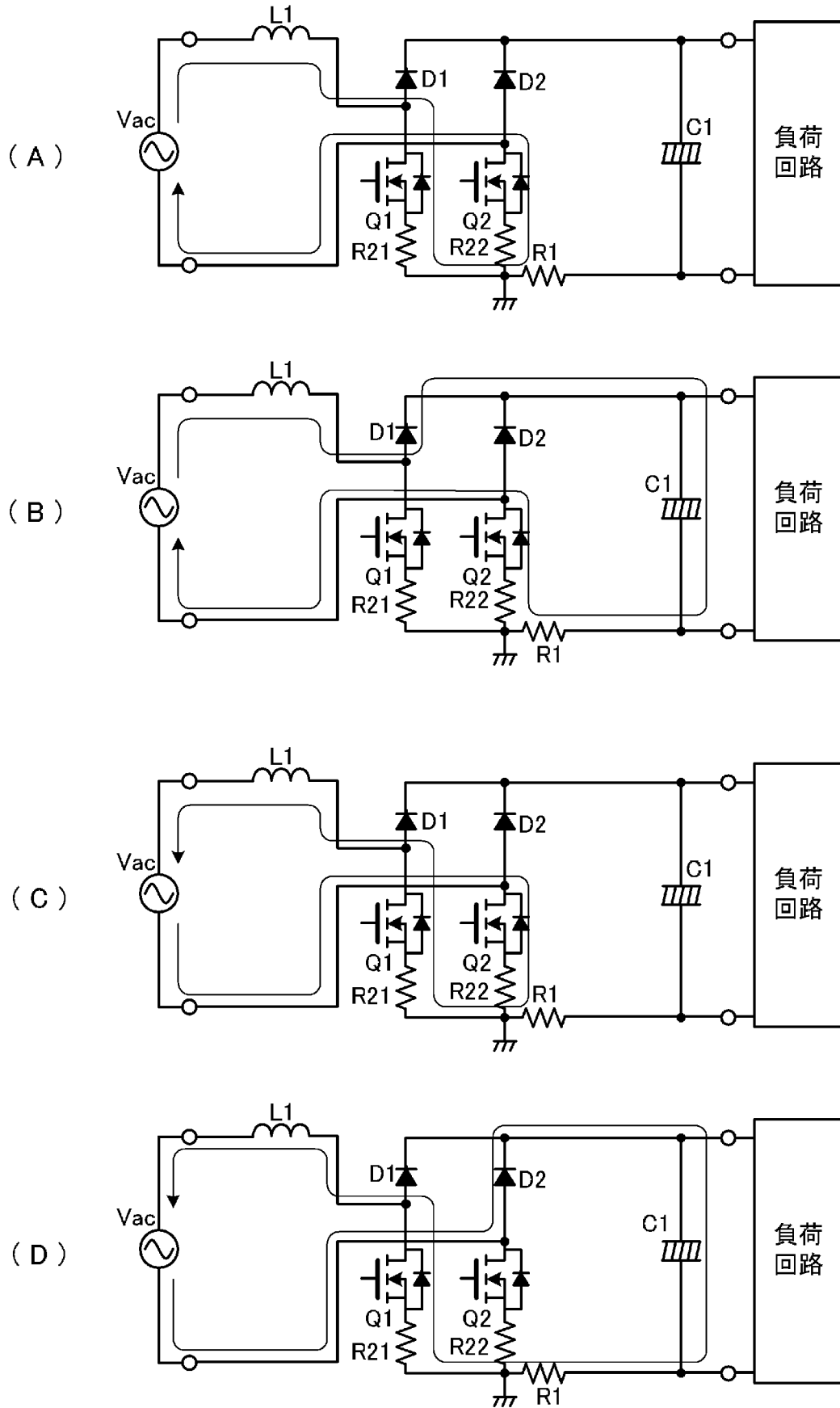


The graph illustrates the relationship between drain current I_D (solid line) and load current I_L (dashed line) over time t . The vertical axis represents current, with a zero line and an upward arrow labeled I_D, I_L . The horizontal axis represents time, with a rightward arrow labeled t . The drain current I_D starts at zero, rises linearly from I_{Db} to I_{Dp} , then falls linearly to zero. The load current I_L follows I_D during the rise and fall but has a non-zero value during the dead time. Key points include I_{Db} , I_{Dp} , and a point on the rising edge where both currents are equal. Time intervals T_{on} , T_{off} , and T_{sw} are marked.

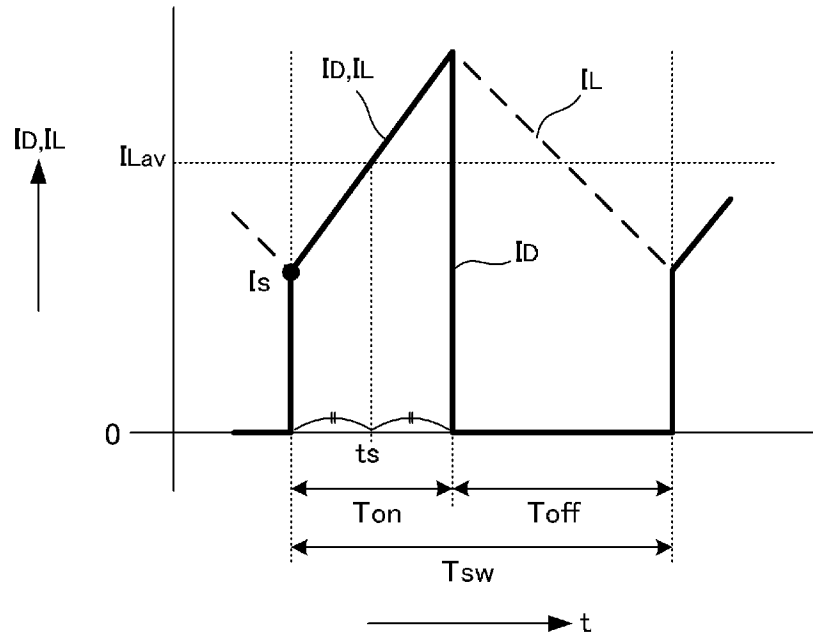
[図9]



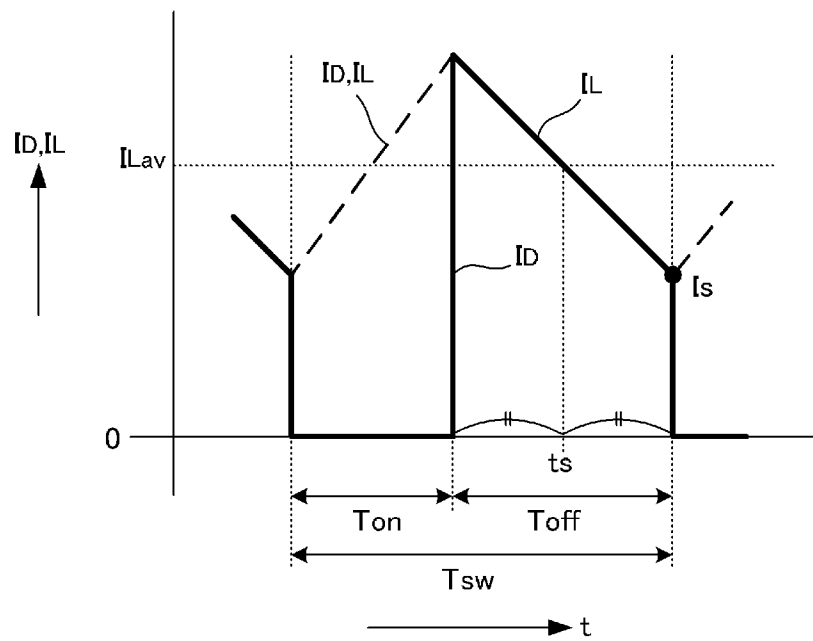
[図11]



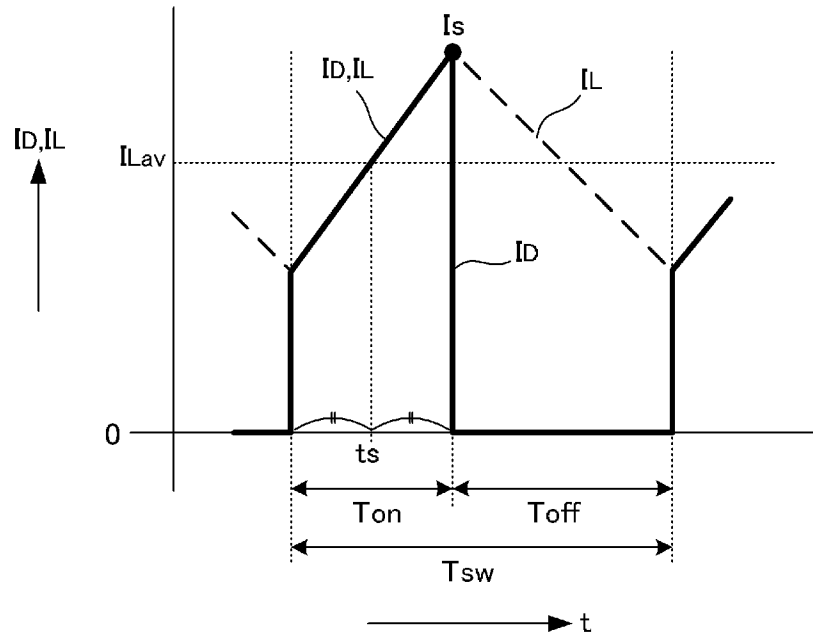
[図12]



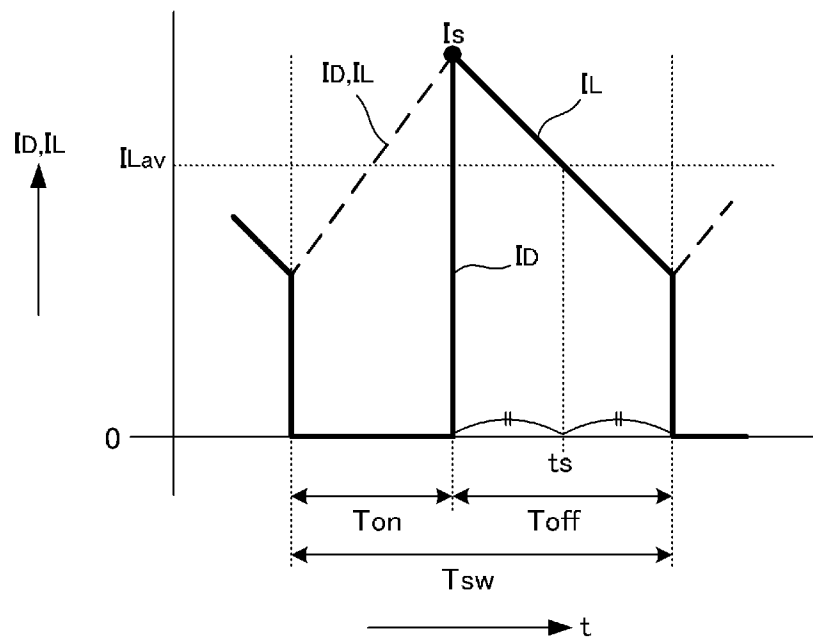
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/060215

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/12 (2006.01) i, H02M3/155 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/12, H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-232789 A (Toshiba Medical Systems Engineering Co., Ltd.), 22 August, 2000 (22.08.00), Par. Nos. [0002] to [0015]; Figs. 1 to 3 (Family: none)	1-10
Y	JP 2004-297943 A (TDK Corp.), 21 October, 2004 (21.10.04), Par. Nos. [0021] to [0025]; Figs. 1 to 13 (Family: none)	1-10
Y	JP 2005-20994 A (Sony Corp.), 20 January, 2005 (20.01.05), Par. Nos. [0113] to [0143]; Fig. 4 (Family: none)	2-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
27 August, 2009 (27.08.09)

Date of mailing of the international search report
08 September, 2009 (08.09.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/060215

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-286149 A (Mitsubishi Electric Corp.), 12 October, 2001 (12.10.01), Par. Nos. [0017] to [0042]; Fig. 1 & EP 1198058 A1 & EP 1921737 A2 & WO 2001/073933 A1	4-10
Y	CD-ROM of the specification and drawings annexed to the request of Japanese Utility Model Application No. 14046/1993 (Laid-open No. 74088/1994) (Matsushita Electric Works, Ltd.), 18 October, 1994 (18.10.94), Par. Nos. [0033] to [0038]; Fig. 1 (Family: none)	9, 10
Y	JP 2-168864 A (Origin Electric Co., Ltd.), 28 June, 1990 (28.06.90), Full text; Fig. 1 (Family: none)	10
Y	CD-ROM of the specification and drawings annexed to the request of Japanese Utility Model Application No. 70958/1992 (Laid-open No. 36387/1994) (Nemic-Lambda Kabushiki Kaisha), 13 May, 1994 (13.05.94), Par. Nos. [0008] to [0011]; Fig. 1 & US 5495164 A & EP 593257 A2	10
A	JP 2005-198370 A (TDK Corp.), 21 July, 2005 (21.07.05), Full text; all drawings (Family: none)	1
A	JP 2007-288892 A (Diamond Electric Mfg. Corp.), 01 November, 2007 (01.11.07), Full text; all drawings (Family: none)	3-10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M7/12(2006.01)i, H02M3/155(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M7/12, H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2000-232789 A（東芝医用システムエンジニアリング株式会社） 2000.08.22, 【0002】 - 【0015】, 図 1-3（ファミリーなし）	1-10
Y	JP 2004-297943 A（TDK株式会社）2004.10.21, 【0021】 - 【0025】, 図 1-13（ファミリーなし）	1-10
Y	JP 2005-20994 A（ソニー株式会社）2005.01.20, 【0113】 - 【0143】, 図 4（ファミリーなし）	2-10

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 7 . 0 8 . 2 0 0 9

国際調査報告の発送日

0 8 . 0 9 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

松本 泰典

3 V

3 3 2 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-286149 A (三菱電機株式会社) 2001. 10. 12, 【0017】-【0042】, 図 1 & EP 1198058 A1 & EP 1921737 A2 & WO 2001/073933 A1	4-10
Y	日本国実用新案登録出願 5-14046 号(日本国実用新案登録出願公開 6-74088 号)の願書に添付した明細書及び図面の内容を記録した CD-ROM (松下電工株式会社) 1994. 10. 18, 【0033】 - 【0038】 , 図 1 (ファミリーなし)	9, 10
Y	JP 2-168864 A (オリジン電気株式会社) 1990. 06. 28, 全文, 第 1 図 (ファミリーなし)	10
Y	日本国実用新案登録出願 4-70958 号(日本国実用新案登録出願公開 6-36387 号)の願書に添付した明細書及び図面の内容を記録した CD-ROM (ネミック・ラムダ株式会社) 1994. 05. 13, 【0008】 - 【0011】 , 図 1 & US 5495164 A & EP 593257 A2	10
A	JP 2005-198370 A (TDK株式会社) 2005. 07. 21, 全文, 全図 (ファミリーなし)	1
A	JP 2007-288892 A (ダイヤモンド電機株式会社) 2007. 11. 01, 全文, 全図 (ファミリーなし)	3-10