(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5283629号
(P5283629)

(45)発行日　平成25年9月4日(2013.9.4)　(24)登録日　平成25年6月7日(2013.6.7)

(51)Int.Cl.		F I		
G11C 16/02	(2006.01)	G11C	17/00	611F
G11C 16/04	(2006.01)	G11C	17/00	622E
G11C 16/06	(2006.01)	G11C	17/00	611E
		G11C	17/00	634A

請求項の数 20　(全 25 頁)

(21)出願番号	特願2009-538562 (P2009-538562)
(86)(22)出願日	平成19年11月29日 (2007.11.29)
(65)公表番号	特表2010-511264 (P2010-511264A)
(43)公表日	平成22年4月8日 (2010.4.8)
(86)国際出願番号	PCT/CA2007/002149
(87)国際公開番号	WO2008/064480
(87)国際公開日	平成20年6月5日 (2008.6.5)
審査請求日	平成22年11月26日 (2010.11.26)
(31)優先権主張番号	11/565,170
(32)優先日	平成18年11月30日 (2006.11.30)
(33)優先権主張国	米国 (US)

(73)特許権者　508034325
モサイド・テクノロジーズ・インコーポレーテッド
カナダ・オンタリオ・Ｋ２Ｋ・２Ｘ１・オタワ・ハインズ・ロード・１１・スイート・２０３
(74)代理人　100108453
弁理士　村山　靖彦
(74)代理人　100064908
弁理士　志賀　正武
(74)代理人　100089037
弁理士　渡邊　隆
(74)代理人　100140534
弁理士　木内　敬二

最終頁に続く

(54)【発明の名称】フラッシュメモリプログラム禁止方式

(57)【特許請求の範囲】

【請求項１】

選択メモリセルと、前記選択メモリセルとビットラインの間の上側メモリセルと、前記選択メモリセルとソースラインの間の下側メモリセルと、前記メモリセルを前記ビットラインに結合するための列選択トランジスタとを有するNAND列においてプログラムディスターブを最低限に抑えるための方法であって、

a)第1の期間において、前記ビットラインからのプログラム禁止電圧に対応する電圧レベルを前記NAND列に結合するステップと、

b)前記第1の期間に続く第2の期間において、前記選択メモリセルに接続された選択ワードラインと前記上側メモリセルに接続された上側ワードラインとが第1パス電圧レベルに駆動するとともに前記下側メモリセルに接続された下側ワードラインが前記第2のパス電圧に駆動することによって、前記電圧レベルが前記NAND列のチャネルに結合された後、前記選択メモリセルおよび前記上側メモリセルのチャネルを1次ブースト電圧レベルまで事前充電するステップであって、前記第2パス電圧は前記第1のパス電圧よりも小さいステップと、

c)前記第2の期間に続く第3の期間において、前記チャネルが事前充電された後、前記選択メモリセルチャネルの電圧を2次ブースト電圧レベルまで局所的に押し上げるステップであって、前記2次ブーストレベルは前記選択メモリセルに接続された前記選択ワードラインによってプログラミング電圧レベルまで駆動されるとともに、前記選択メモリセルに隣接する上側メモリセルを電気的にオフにするステップと

を含む
方法。
【請求項２】
前記結合するステップは、前記列選択トランジスタを第1の期間中に第1の電圧レベルまで駆動するステップを含み、続けて前記第2の期間中に前記列選択トランジスタが減結合電圧レベルまで駆動し、前記減結合電圧レベルは前記第1の電圧レベルより小さいステップを有する、請求項1に記載のプログラムディスターブを最低限に抑えるための方法。
【請求項３】
前記第1のパス電圧は、10ボルトより小さい、請求項1に記載のプログラムディスターブを最低限に抑えるための方法。
【請求項４】
前記第1のパス電圧は、約7ボルトである、請求項3に記載のプログラムディスターブを最低限に抑えるための方法。
【請求項５】
前記第1のパス電圧は、前記上側メモリセル内のプログラムディスターブを最低限に抑えるとともに前記1次ブースト電圧レベルを最大化するために効果的な値を有する、請求項1に記載のプログラムディスターブを最低限に抑えるための方法。
【請求項６】
前記選択ワードラインを駆動するステップは、前記選択メモリセルに隣接した前記上側メモリセルがオフされた後に前記選択ワードラインを前記プログラム電圧レベルまで駆動するステップを含む、請求項1に記載のプログラムディスターブを最低限に抑えるための方法。
【請求項７】
前記電気的にオフするステップは、前記選択ワードラインが前記プログラミング電圧レベルまで駆動される一方で、前記上側メモリセルに接続された上側ワードラインを前記第1の電圧レベルから減結合電圧レベルまで引き下げるステップを含む、請求項1に記載のプログラムディスターブを最低限に抑えるための方法。
【請求項８】
前記電気的にオフにするステップは、前記上側メモリセルに接続された上側ワードラインを前記第1のパス電圧レベルから減結合電圧レベルまで引き下げるステップと、前記上側ワードラインを前記第1のパス電圧レベルから減結合電圧レベルへと下降し始めてから所定の時間が経過した時点で、前記選択ワードラインを前記プログラミング電圧レベルまで駆動するステップと、を含む、請求項1に記載のプログラムディスターブを最低限に抑えるための方法。
【請求項９】
前記電気的にオフするステップは、前記選択ワードラインが前記プログラミング電圧レベルまで駆動され、前記選択ワードラインに隣接する前記上側ワードラインが前記第1のパス電圧レベルに維持される一方で、前記選択ワードラインに隣接する前記上側ワードライン以外の前記上側ワードラインを前記第1のパス電圧レベルから第2のパス電圧まで増大させるステップを含む、請求項1に記載のプログラムディスターブを最低限に抑えるための方法。
【請求項１０】
前記局所的に押し上げるステップは、前記選択ワードラインが前記プログラミング電圧レベルまで駆動される一方で、前記選択ワードラインに隣接する下側ワードラインを前記第2のパス電圧からオフ電圧レベルまで引き下げるステップを含む、請求項1に記載のプログラムディスターブを最低限に抑えるための方法。
【請求項１１】
前記事前充電するステップは、前記選択ワードラインに隣接する下側ワードライン以外の前記下側メモリセルに接続された下側ワードラインを第2のパス電圧まで駆動するステップを含み、前記選択ワードラインに隣接する前記下側ワードラインは、前記第1の期間

、前記第2の期間、および前記第3の期間の間、オフ電圧レベルに維持される、請求項1に記載のプログラムディスターブを最低限に抑えるための方法。

【請求項１２】

前記第1のパス電圧レベルおよび前記第2のパス電圧レベルを維持する一方で、前記プログラミング電圧レベルを所定の電圧刻みずつ反復的に増大させるステップをさらに含む、請求項1に記載のプログラムディスターブを最低限に抑えるための方法。

【請求項１３】

選択メモリセルと、前記選択メモリセルとビットラインの間の上側メモリセルと、前記選択メモリセルとソースラインの間の下側メモリセルと、前記メモリセルを前記ビットラインに結合するための列選択トランジスタとを有するフラッシュメモリNAND列においてプログラムディスターブを最低限に抑えるための方法であって、

a)第1の期間において、前記ビットラインのデータ電圧を前記NAND列に結合するために前記列選択トランジスタを駆動するステップと、

b)第2の期間において、前記上側メモリセルおよび前記選択メモリセルをパス電圧レベルを用いて駆動するステップと、

c)第2の期間において、前記選択メモリセルに隣接する下側メモリセル以外の前記下側メモリセルを第2のパス電圧レベルで駆動するステップであって、前記第2のパス電圧レベルは、前記パス電圧よりも低いステップと、

d)第3の期間において、前記選択メモリセルをプログラミング電圧レベルまで駆動するステップと、

e)第3の期間において、前記選択メモリセルに隣接する前記上側メモリセルを電気的にオフにするステップと、

を含む方法。

【請求項１４】

前記下側メモリセルは、前記第2の期間中に、0Vまで駆動される、請求項13に記載のプログラムディスターブを最低限に抑えるための方法。

【請求項１５】

前記下側メモリセルは、前記第2の期間において、第2のパス電圧レベルを用いて駆動される、請求項13に記載のプログラムディスターブを最低限に抑えるための方法。

【請求項１６】

前記第3の期間において、前記選択メモリセルに隣接する下側メモリセルをオフ電圧レベルを用いて駆動するステップをさらに含む、請求項15に記載のプログラムディスターブを最低限に抑えるための方法。

【請求項１７】

前記電気的にオフにするステップは、前記第3の期間において、前記選択メモリセルが前記プログラミング電圧レベルまで駆動される一方で、前記選択メモリセルに隣接する上側メモリセルを前記パス電圧レベルから減結合電圧まで駆動するステップを含む、請求項13に記載のプログラムディスターブを最低限に抑えるための方法。

【請求項１８】

前記選択メモリセルは、前記選択メモリセルに隣接する前記上側メモリセルが前記減結合電圧へと駆動され始めてから遅延時間が経過した時点で、前記プログラミング電圧レベルまで駆動される、請求項17に記載のプログラムディスターブを最低限に抑えるための方法。

【請求項１９】

電気的にオフにする前記ステップは、前記第3の期間において、前記選択メモリセルに隣接する上側メモリセル以外の前記上側メモリセルを前記パス電圧から第2のパス電圧まで駆動するステップを含み、前記第2のパス電圧は、前記パス電圧より大きい、請求項13に記載のプログラムディスターブを最低限に抑えるための方法。

【請求項２０】

前記パス電圧レベルおよび前記オフ電圧レベルを維持する一方で、前記プログラミング

電圧レベルを所定の電圧刻みずつ反復的に増大させるステップをさらに含む、請求項13に記載のプログラムディスターブを最低限に抑えるための方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、一般に、不揮発性メモリに関するものである。詳細には、本発明は、不揮発性フラッシュメモリプログラミング方式に関するものである。

【背景技術】

【０００２】

多くのタイプの消費者電子機器製品は、マイクロコントローラによるコード実行のためのデータまたはソフトウェアを保持するために、何らかの形態の大容量記憶に依存する。そのような消費者電子機器は豊富であり、携帯情報端末(PDA)、ポータブル音楽プレーヤ、ポータブルマルチメディアプレーヤ(PMP)、およびデジタルカメラなどの装置を含む。PDAでは、アプリケーションおよびデータを保存するために、大容量記憶が必要とされ、一方、ポータブル音楽プレーヤおよびデジタルカメラは、音楽ファイルデータおよび/またはイメージデータを保持するために、大量の大容量記憶を必要とする。そのようなポータブル電子機器のための大容量記憶手段は、サイズが小さく、最低限の電力を消費し、高い記憶密度を有するのが好ましい。このことは、選択を不揮発性形式のメモリに制限するが、その理由は、スタティックランダムアクセスメモリ(SRAM)およびダイナミックランダムアクセスメモリ(DRAM)などの揮発性メモリは、データを保持するために、電力の印加を絶えず必要とするためである。当該技術分野で知られているように、ポータブル電子機器は、電力供給が有限であるバッテリに依存する。したがって、電力が除去された後もデータを保持する不揮発性メモリが好ましい。

【０００３】

多くの消費者製品は、コモディティ(commodity)フラッシュメモリを使用するが、フラッシュメモリは、携帯電話およびマイクロプロセッシング機能を備える装置などの製品内で間接的に消費者によって使用される。より具体的には、消費者電子機器内で普通に見出される特定用途向け集積回路(ASIC)は、ファームウェアアップグレードを可能にするために、組み込みフラッシュメモリを有することができる。言うまでもなく、フラッシュメモリは、サイズと記憶密度と速度のバランスが最適であるために用途が広く、消費者電子機器のための好ましい不揮発性大容量記憶手段となっている。

【０００４】

図1は、従来技術の典型的なフラッシュメモリの全体的なブロック図である。フラッシュメモリ10は、フラッシュ回路の様々な機能を制御するための論理回路と、アドレスおよびデータを保存するためのレジスタと、必要なプログラム電圧および消去電圧を生成するための高電圧回路と、フラッシュメモリアレイにアクセスするためのコアメモリ回路とを含む。示されたフラッシュメモリ10の回路ブロックの機能は、当該技術分野でよく知られている。当業者であれば、図1に示されたフラッシュメモリ10が、多くの可能な構成のうちの1つの可能なフラッシュメモリ構成を表していることを理解されよう。

【０００５】

読み取り動作は、アドレスと呼ばれるメモリアレイの特定のメモリロケーションに保存されたデータへの比較的単純なアクセスである。メモリアレイの特定のブロックへの書き込み動作に先立って、その特定のブロックは、高電圧の印加によって消去されなければならない。書き込み動作は、より正確にはプログラム動作と呼ばれ、選択されたメモリロケーションへの高電圧の慎重な印加を必要とし、それに続いて、データが適切にプログラムされたことを保証するためのプログラム検証動作が行われる。さらに、高電圧が使用されるので、フラッシュチップは、非選択メモリセルの偶発的プログラミングに比較的耐性があるように設計されなければならない。

【０００６】

図2a、図2b、および図2cは、メモリセルアレイ28内で使用されるNANDメモリセル列の説

明図である。図2aは、2つのNANDメモリセル列からなる回路の回路図である。図2bは、図2aに示された2つのNANDメモリセル列からなるチップレイアウトである。図2cは、図2bに示された1つのNANDメモリセル列の直線A－A'に沿った横断面図である。各NANDメモリセル列は、各々がそれぞれのワードラインWL0からWL31に接続された32個の直列接続フローティングゲートメモリセル50と、ビットライン54と第1のフローティングゲートメモリセル50の間に接続された列選択トランジスタ52と、共通ソースライン(CSL)58と最後のフローティングゲートメモリセル50の間に接続された接地選択トランジスタ56とを含む。列選択トランジスタ52のゲートは、列選択信号SSLを受け取り、一方、接地選択トランジスタ56のゲートは、接地選択信号GSLを受け取る。NANDメモリセル列は、共通ワードライン、列選択SSL信号ライン、および接地選択GSL信号ラインを共用する。示されたNANDメモリ列の構成および配置は、当該技術分野においてよく知られている。

【０００７】

先に言及したように、メモリアレイのNANDメモリセル列は、当該技術分野でよく知られた技法によって、最初に消去される。NANDメモリセル列の各ブロックは、選択的に消去することができ、したがって、1つまたは複数のブロックを、同時に消去することができる。消去に成功した場合、消去されたすべてのフローティングゲートメモリセル50は、負の閾値電圧を有する。実際には、消去されたすべてのメモリセル50は、例えば論理「1」などのデフォルト論理状態に設定される。プログラムされたメモリセル50は、正の閾値電圧に変更された閾値電圧を有し、したがって、反対の「0」論理状態を表す。

【０００８】

図3は、消去メモリセルおよびプログラムメモリセルの閾値電圧(Vt)分布グラフを示している。プロセスおよび電圧供給の変動のため、消去およびプログラム閾値電圧は、ある電圧範囲内に分布する。図3に示されるように、消去メモリセルは、－3Vから－1Vの間の負の閾値電圧を有することができ、一方、プログラムメモリセルは、1Vと3Vの間の正の閾値電圧を有することができる。一般に、セルは、そのソース端子およびドレーン端子を接地された状態に保ちながら、そのゲートに高電圧を印加することによってプログラムされる。高電界が、メモリセルチャネル内の電子にゲート酸化物を横断させてフローティングゲート内に入り込ませ(ファウラ-ノルトハイム(F-N: Fowler-Nordheim)トンネリングとして知られる)、それによって、メモリセルの有効閾値電圧を増大させる。

【０００９】

次に、NANDメモリセル列からデータがどのように読み取られるかについて、図2aから図2cを参照しながら簡単に説明する。1つのメモリセル50からデータを読み取るため、SSLおよびGSLがともに、例えば5Vの読み取り電圧(Vread、一般にVccより高い)に設定されて、列選択トランジスタ52および接地選択トランジスタ56をオンにする。アクセスされるワードライン以外のすべてのワードラインは、例えば5Vの読み取り電圧(Vread)に設定され、一方、アクセスされるワードラインは、0Vに設定される。したがって、5Vより低い閾値を有するすべてのメモリセル50は、オンにされて、0Vワードラインを有する選択メモリセルのソース端子およびドレーン端子をビットライン54およびソースライン58に結合する。選択メモリセルは、(負の閾値を有する)消去状態にある場合、オンになり、それによって、ビットライン54をソースライン58に結合する。他方、選択メモリセルは、(正の閾値を有する)プログラム状態にある場合、オンにならず、それによって、ビットライン54をソースライン58から分離する。その後、電流の有無が、センス増幅器によって検出される。

【００１０】

上述の読み取り方式は、消去およびプログラム閾値電圧がそれぞれの範囲内に留まる場合は、高い信頼性でメモリセルデータにアクセスする。しかし、説明された状況は、理想的なものであり、消去およびプログラムメモリセルの閾値電圧は、メモリセルがプログラムされるときに、潜在的にシフトする場合がある。

【００１１】

プログラミングは、一般にページ毎に行われ、このことは、同じワードラインに接続されたブロック内のすべてのメモリセル50が、書き込みデータ(論理「0」)でプログラムさ

れるように同時に選択されることを意味する。したがって、プログラミング中、残りのメモリセルは選択されていない。プログラミングに先立って、メモリセルは消去状態(論理「1」)から開始するので、論理「0」でプログラムされるメモリセルだけが、F-Nトンネリングを促進するのに必要な高電界の影響を受けるべきである。しかし、メモリアレイの物理的接続のため、同じワードライン沿いのすべてのメモリセルは、同じ高電圧プログラミングレベルを受け取る。結果として、消去メモリセルがその閾値電圧を偶発的にシフトさせる可能性が存在する。これは、プログラムディスターブ(program disturb)と呼ばれ、フラッシュメモリ分野においてよく知られている。

【００１２】

したがって、消去状態からの変更を必要としないメモリセルが、論理「0」状態にプログラムされることを防止するための、プログラム禁止(program inhibit)方式が使用される。使用できる2つの知られたプログラム禁止方式が存在する。第1のものは、ベーシック禁止(basic inhibit)方式であり、第2のものは、セルフブースト禁止(self-boosted inhibit)方式である。表1は、両方式について、図2aの関連する信号ラインに印加される電圧を要約している。WL27に接続されたすべてのメモリセル50は論理「1」に消去されており、BL0=「0」かつBL1=「1」であり、データはワードラインWL27によってアクセスされるメモリセル50に書き込まれることが仮定されている。

【００１３】

【表１】

表１

	ベーシック禁止	セルフブースト禁止
BL0	0V (VSS)	0V (VSS)
BL1	VPI (例えば 8V)	VCC (例えば 2.5V)
WL27	VPGM (例えば 18V)	VPGM (例えば 18V)
WL0-WL26, WL28-31	VPASS (例えば 10V)	VPASS (例えば 10V)
SSL	VPASS (例えば 10V)	VCC (例えば 2.5V)、その後 0V
GSL	0V (VSS)	0V (VSS)

【００１４】

ベーシック禁止方式の場合、VPGMは、選択セルにおいて0Vのドレーン電圧でF-Nトンネリングを引き起こすのに十分な高いプログラム電圧に設定される。VPASSは、選択列内の非選択セルトランジスタを、それがプログラム状態にあったとしても、導電状態にし、プログラミングが望まれていないメモリセルにVPIを渡すのに十分な高さに設定される。同時に、VPASSは、非選択セルにおいてF-Nトンネリングを開始するには不十分な高さであるべきである。WL27に接続されたメモリセルのチャネルにおけるVPGMとVPIの電圧差が、今ではあまりにも小さいので、VPIは、WL27に接続された選択セルにおいてF-Nトンネリングを禁止するのに十分な高さに設定されたBL1上の禁止電圧である。

【００１５】

ベーシック禁止方式では、いくつかの問題が起こる。VPIは、プログラム動作中に、内部高電圧発生器によって提供され、VPIを高容量ビットラインに供給するには、大容量電荷ポンプ(charge pump)が必要とされる。これは、電力消費およびチップサイズの大幅な増大をもたらすが、そのどちらも、きわめて望ましくない。ビットラインに接続されたページバッファは今では、VPIをビットラインに提供するために、高電圧動作用に構成されなければならない。高電圧トランジスタは、標準電圧トランジスタよりも大きく、そのことが、ページバッファサイズを増大させ、その結果、チップサイズを増大させる。電流供給が有限であるオンチップ電圧発生器を用いて、高容量ビットラインをVPIまで充電する必要があるため、プログラミング速度は低下する。

【００１６】

セルフブースト禁止方式は、ベーシック禁止方式の問題に対処する。SSLトランジスタ52がオンにされ、GSLトランジスタ56がオフにされると、0Vまたは接地電圧が、ビットライ

ンBL0に印加され、一方、VCCなどの高電圧が、ビットラインBL1に印加される。(BL0におけるような)0Vビットラインは、関連するNAND列のチャネルを接地に結びつける。プログラム電圧VPGMが、選択セルのゲートに印加された場合、ゲートとチャネルの間の大きな電位差が、フローティングゲートへの電子のF-Nトンネリングを引き起こし、それによって、セルをプログラムする。プログラム禁止セルでは、BL1は最初に、関連するチャネルをVCC電圧へと事前充電する。WL27の電圧がVPGMまで上昇し、残りのワードラインがVPASSに達した場合、制御ゲート、フローティングゲート、チャネル、および本体(bulk)による直列容量が結合され、チャネル電位が、自動的に押し上げられる。

【００１７】

このブーストは、結合されたチャネル電圧がVcc － Vth(VthはSSLトランジスタの閾値電圧)まで上昇した場合に発生する。この点で、SSLトランジスタ52は、オフになり、チャネルは、フローティングノードになる。フローティングチャネル電圧は、ゲート電圧の約80%まで上昇することが計算されたが、それは、F-Nトンネリングの発生を防止するのに十分な高さである。

【００１８】

しかし、依然として、プログラムディスターブが発生し得る。特に、VPASSがあまりにも高く設定された場合、VPASSと0Vチャネルの間の相対的に高い電圧差のために、BL0に結合された消去セルが、論理「0」状態に偶発的にソフトプログラム(soft program)されることがあり得る。他方、VPASSがあまりにも低く設定された場合、WL27に接続されBL1に結合された消去メモリセルは、F-Nトンネリングを禁止するのに十分なチャネルブーストを受け取ることができない。

【００１９】

残念なことに、半導体製作技術の進展がもたらす継続的なスケールダウンに伴って、電力供給VCCも、より低いレベルに引き下げられる。これは、セルフブースト禁止方式にとっては都合が悪い。その理由は、VPGMおよびVPASSによるセルフブーストの前に、NANDセル列チャネルは最初にVcc － SSLトランジスタ52のVthまで事前充電され、ブースト電圧は事前充電電圧Vcc － Vthによって大きく影響されるからである。さらに、より高いパッキング密度を達成するために、設計者は、各NAND列内のメモリセルの数を増加させている。したがって、16個のメモリセル50を有するNAND列と比較して、図2aから図2cに示されたメモリセルが32個のNAND列は、メモリセルが16個のNAND列よりも2倍多くのプログラムディスターブサイクルを耐えることになる。

【００２０】

したがって、プログラムおよび消去メモリセルの閾値が、プログラミング動作中に、偶発的にシフトすることがあり得る。図4は、プログラムディスターブをこうむった消去メモリセルおよびプログラムメモリセルの閾値電圧(Vt)分布グラフを示している。実線のカーブは、図3に示された元の閾値分布に対応し、一方、破線のカーブは、プログラムディスターブが原因でシフトされた閾値分布を示している。このシフトは、セルがディスターブをこうむった累積回数が原因であることも、または単一のプログラムディスターブイベントが原因であることもある。シフトされた閾値は読み取り動作に影響し得るので、これは非常に問題である。読み取り動作について先に説明したように、選択メモリセル50のゲートは、0Vまで駆動され、一方、非選択メモリセルは、そのゲートにおいて読み取り電圧Vreadを受け取り、また非アクセスメモリセルは、読み取り電圧Vreadまで駆動されるゲートを有する。図4に示されるように、0Vレベルは、0Vを上まわってシフトされた閾値電圧を有するセルをオンにしないことがある。さらに、Vread電圧を超えてシフトされた閾値を有する非選択セルは、オフのままであり、それによって、アクセスメモリセルを対応するビットラインから分離する。

【００２１】

プログラムディスターブを最低限に抑えるための1つの技法は、VPASSの電圧レベルを引き下げることである。これは、フラッシュメモリに動作上の制約を導入し、それによって、NAND列のメモリセルは、ビットラインから最も遠いメモリセルから開始する順次パター

ンで、プログラムされなければならない。この方式では、プログラムされるメモリセル(選択ページ)とビットライン接点の間のNAND列内のすべてのメモリセルは、消去状態になければならない。したがって、ビットライン電圧がNAND列内の選択メモリセルに結合できることを保証するために、より低いVPASS電圧を非選択セルのために使用することができる。残念ながら、選択メモリセルとビットライン接点の間の(例えばVPASSより高いVthを有する)プログラムメモリセルが、ビットライン電圧が選択メモリセルに達することを妨げるので、ランダムページプログラム動作は、実行することができない。このランダムページプログラム禁止は、ある応用例では、多くの制約および性能悪化の原因となる。

【００２２】

したがって、NANDフラッシュメモリセルにおけるプログラムディスターブ(program disturb)を最低限に抑えるプログラム禁止方式を提供することが望ましい。より詳細には、プログラミングが望まれていない非選択メモリセルにおけるプログラムディスターブを最低限に抑えるためにVPASS電圧レベルを低減することができる一方で、プログラミングが望まれていない選択メモリセルのブーストチャネル電圧を最大化する、プログラム禁止方式を提供することが望ましい。

【発明の概要】

【発明が解決しようとする課題】

【００２３】

本発明の目的は、これまでのフラッシュメモリプログラムディスターブ禁止方式の少なくとも1つの不都合を除去または緩和することである。特に、本発明の目的は、ランダムプログラミング動作中の非選択メモリセルのパスディスターバンス(pass disturbance)を最低限に抑える、NANDフラッシュメモリプログラムディスターブ禁止方式を提供することである。

【課題を解決するための手段】

【００２４】

第1の態様では、本発明は、NAND列におけるプログラムディスターブを最低限に抑えるための方法を提供する。NAND列は、選択メモリセルと、選択メモリセルとビットラインの間の上側メモリセルと、選択メモリセルとソースラインの間の下側メモリセルと、メモリセルをビットラインに結合するための列選択トランジスタとを含む。前記方法は、電圧レベルをNAND列に結合するステップと、選択メモリセルおよび上側メモリセル下のチャネルを事前充電するステップと、選択メモリセルチャネルの電圧を局所的に押し上げるステップとを含む。電圧レベルは、ビットラインからのプログラム禁止データに対応する。選択メモリセルおよび上側メモリセル下のチャネルは、電圧レベルがNAND列のチャネルに結合された後、1次ブースト電圧レベルまで事前充電される。選択メモリセルチャネルは、チャネルが事前充電された後、2次ブースト電圧レベルまで電圧が局所的に押し上げられ、2次ブースト電圧レベルは、1次ブースト電圧レベルより高い。

【００２５】

前記態様の一実施形態によれば、プログラム禁止データに対応する電圧レベルは、第1の期間にビットラインに結合され、チャネルは、第1の期間に続く第2の期間に事前充電され、選択メモリセルチャネルは、第2の期間に続く第3の期間に電圧が局所的に押し上げられ、電圧を局所的に押し上げるステップは、選択メモリセルに接続された選択ワードラインをプログラミング電圧レベルまで駆動するステップを含む。本発明の一態様では、結合するステップは、第1の期間に列選択トランジスタを第1の電圧レベルまで駆動するステップと、それに続いて、第2の期間に列選択トランジスタを減結合電圧レベル(decoupling voltage level)まで駆動するステップとを含むことができる。減結合電圧レベルは、第1の電圧レベルより低くすることができる。本発明の別の態様では、事前充電するステップは、選択ワードラインセルおよび上側メモリセルに接続された上側ワードラインを第1のパス電圧レベル(pass voltage level)まで駆動するステップを含むことができる。第1のパス電圧レベルは、上側メモリセルにおけるプログラムディスターブを最低限に抑えるため、および1次ブースト電圧レベルを最大化するために有効な値を有することができる。第1

のパス電圧は、10ボルトより小さくすることができ、7ボルトのパス電圧を使用することができる。

【００２６】

本発明のさらなる態様では、電圧を局所的に押し上げるステップは、選択メモリセルに隣接する上側メモリセルを電気的にオフにするステップを含む。電気的にオフにするステップは、選択ワードラインがプログラミング電圧レベルまで駆動される一方で、選択ワードラインに隣接する上側ワードラインを第1のパス電圧レベルから減結合電圧レベルまで引き下げるステップを含むことができる。代替として、選択ワードラインは、選択メモリセルに隣接する上側メモリセルがオフにされた後で、プログラミング電圧レベルまで駆動することができる。より具体的には、選択ワードラインは、上側ワードラインが減結合電圧へと下降し始めてから遅延時間が経過した時点で、プログラミング電圧まで駆動することができる。代替として、電気的にオフにするステップは、選択ワードラインがプログラミング電圧レベルまで駆動され、選択ワードラインに隣接する上側ワードラインが第1のパス電圧レベルに維持できる一方で、選択ワードラインに隣接する上側ワードライン以外の上側ワードラインを第1のパス電圧レベルから第2のパス電圧まで引き上げるステップを含むことができる。

【００２７】

本発明のまた別の態様では、事前充電するステップは、下側メモリセルに接続された下側ワードラインを第2のパス電圧まで駆動するステップを含むことができ、第2のパス電圧は、第1のパス電圧より小さい。電圧を局所的に押し上げるステップは、選択ワードラインがプログラミング電圧レベルまで駆動される一方で、選択ワードラインに隣接する下側ワードラインを第2のパス電圧からオフ電圧レベルまで引き下げるステップを含むことができる。代替として、事前充電するステップは、選択ワードラインに隣接する下側ワードライン以外の下側メモリセルに接続された下側ワードラインを第2のパス電圧まで駆動するステップを含むことができ、選択ワードラインに隣接する下側ワードラインは、第1の期間、第2の期間、および第3の期間の間、オフ電圧レベルに維持される。上記のすべての実施形態では、第1のパス電圧レベルおよび第2のパス電圧レベルを維持する一方で、プログラミング電圧レベルは、所定の電圧刻みずつ反復的に増大させることができる。

【００２８】

第2の態様では、本発明は、フラッシュメモリNAND列におけるプログラムディスターブを最低限に抑えるための方法を提供する。NAND列は、選択メモリセルと、選択メモリセルとビットラインの間の上側メモリセルと、選択メモリセルとソースラインの間の下側メモリセルと、メモリセルをビットラインに結合するための列選択トランジスタとを有することができる。前記方法は、a)第1の期間において、ビットラインのデータ電圧をNAND列に結合するために列選択トランジスタを駆動するステップと、b)第2の期間において、上側メモリセルおよび選択メモリセルをパス電圧レベルを用いて駆動するステップと、c)第3の期間において、選択メモリセルをプログラミング電圧レベルまで駆動するステップと、d)第3の期間において、選択メモリセルに隣接する上側メモリセルを電気的にオフにするステップとを含む。

【００２９】

本態様の実施形態によれば、上側メモリセルを駆動するステップは、第2の期間において、選択メモリセルに隣接する下側メモリセル以外の下側メモリセルを第2のパス電圧レベルを用いて駆動するステップを含み、第2のパス電圧レベルは、パス電圧より低い。電気的にオフにするステップは、第3の期間において、選択メモリセルがプログラミング電圧レベルまで駆動される一方で、選択メモリセルに隣接する上側メモリセルをパス電圧レベルから減結合電圧まで駆動するステップを含むことができる。選択メモリセルは、選択メモリセルに隣接する上側メモリセルが減結合電圧へと駆動され始めてから遅延時間が経過した時点で、プログラミング電圧レベルまで駆動することができる。代替として、電気的にオフにするステップは、第3の期間において、選択メモリセルに隣接する上側メモリセル以外の上側メモリセルをパス電圧から第2のパス電圧まで駆動するステップを含むこ

とができ、第2のパス電圧は、パス電圧より大きい。パス電圧レベルおよびオフ電圧レベルを維持する一方で、プログラミング電圧レベルは、所定の電圧刻みずつ反復的に増大させることができる。

【００３０】

さらなる実施形態によれば、下側メモリセルは、第2の期間中に、0Vまで駆動することができ、上側メモリセルを駆動するステップは、第2の期間において、下側メモリセルを第2のパス電圧レベルを用いて駆動するステップを含むことができ、第2のパス電圧レベルは、パス電圧より低い。選択メモリセルに隣接する下側メモリセルは、第3の期間において、オフ電圧レベルを用いて駆動することができる。

【００３１】

本発明の他の態様および特徴は、本発明の特定の実施形態についての以下の説明を添付の図面と併せて検討することで当業者に明らかになろう。

【００３２】

次に、本発明の実施形態について、添付の図面を参照しながら例としてのみ説明する。

【図面の簡単な説明】

【００３３】

【図１】典型的なフラッシュメモリのブロック図である。

【図２ａ】2つのNANDメモリセル列の回路図である。

【図２ｂ】図2aに示された2つのNANDメモリセル列の平面図レイアウトである。

【図２ｃ】図2bに示された1つのNANDメモリセル列の直線A－A'に沿った横断面図である。

【図３】消去メモリセルおよびプログラムメモリセルの閾値電圧(Vt)分布グラフである。

【図４】プログラムディスターブをこうむった後の消去メモリセルおよびプログラムメモリセルの閾値電圧(Vt)分布グラフである。

【図５】本発明の一実施形態に係る一般的なプログラム禁止方法を説明するフローチャートである。

【図６】本発明の一実施形態に係る一般的なプログラム禁止方法の一実施形態を説明するフローチャートである。

【図７ａ】本発明の一実施形態に係るプログラム禁止方法の最中の印加ゲート電圧を示す、NAND列の簡略化された横断面図である。

【図７ｂ】図7aのNAND列に印加される電圧のシーケンスをさらに説明するシーケンス図である。

【図８】本発明の一実施形態に係るプログラム禁止シーケンスを説明するシーケンス図である。

【図９】本発明の別の実施形態に係るプログラム禁止シーケンスを説明するシーケンス図である。

【図１０】チャネル漏洩を最小化するために修正された、図7bのプログラム禁止シーケンスを説明するシーケンス図である。

【図１１】局所2次ブースト電圧レベルを最大化するために修正された、図7bのプログラム禁止シーケンスを説明するシーケンス図である。

【図１２】本発明の別の実施形態に係るプログラム禁止シーケンスを説明するシーケンス図である。

【図１３】本発明の一実施形態に係る印加ゲート電圧を示す、NAND列の簡略化された横断面図である。

【図１４】図13のNAND列に印加される電圧のシーケンスをさらに説明するシーケンス図である。

【図１５】本発明の一実施形態に係る印加ゲート電圧を示す、NAND列の簡略化された横断面図である。

【図１６】図15のNAND列に印加される電圧のシーケンスをさらに説明するシーケンス図である。

【発明を実施するための形態】

【００３４】
一般に、本発明は、フラッシュメモリにおけるプログラムディスターブを最低限に抑えるための方法およびシステムを提供する。消去状態からのプログラミングが望まれていないNANDフラッシュメモリセル列におけるプログラムディスターブを減少させるため、局所ブーストチャネル禁止(local boosted channel inhibit)方式が使用される。局所ブーストチャネル禁止方式では、プログラミングが望まれていないNAND列内の選択メモリセルは、NAND列内の他のセルから局所的に減結合される。このことが、対応するワードラインがプログラミング電圧まで引き上げられるときに、減結合セルのチャネルを、F-Nトンネリングを禁止するのに十分な電圧レベルまで局所的に押し上げることを可能にする。高いブースト効率のため、NAND列内の残りのメモリセルのゲートに印加されるパス電圧は、従来技術の方式と比較して、低下させることができ、それによって、ランダムページプログラミングを可能にしながら、プログラムディスターブを最低限に抑えることができる。
【００３５】
図5は、本発明の一実施形態に係る一般的なプログラム禁止方法を説明するフローチャートである。1つのNAND列の選択メモリセルはプログラムされるが、別のNAND列の選択メモリセルはプログラムを禁止することができることを理解されたい。ステップ100において、ビットラインには、論理「1」状態に対応するプログラム禁止電圧を用いてバイアスがかけられる。次にステップ102において、NAND列のチャネルが、1次ブースト電圧レベルまで事前充電される。これは、すべてのワードラインをパス電圧まで駆動することによって行うことができる。ステップ104において、対応するワードラインがプログラミング電圧まで駆動されたときに、選択メモリセルのチャネルは、2次ブースト電圧レベルまで電圧が局所的に押し上げられる。これは、選択メモリセルに直接隣接するメモリセルのワードライン電圧を制御して、選択メモリセルをNAND列の残りから減結合すなわち分離することによって行うことができる。プログラミングが禁止されるNAND列の場合、これは、選択メモリセルのチャネルがF-Nトンネリングを禁止するのに十分なレベルまで電圧が押し上げられる局所ブーストフェーズに対応する。すべてのワードラインおよびSSLなどの選択ラインが0Vまで駆動されるステップ106において、シーケンスは終了する。
【００３６】
図6は、図5に示されたプログラム禁止方法の一実施形態を説明するフローチャートである。本説明では、上側ワードラインとは、上側ワードラインと、選択メモリセルとビットラインの間のメモリセルのことを指し、下側ワードラインとは、下側ワードラインと、選択メモリセルとソースラインの間のメモリセルのことを指す。図6のプログラム禁止方法は、禁止電圧またはプログラム電圧を用いてビットラインにバイアスがかけられるステップ200において開始する。目下説明中の例では、ビットラインは、VCCの禁止電圧まで駆動されると仮定される。ステップ202において、選択ワードラインおよび上側ワードラインが、第1のパス電圧まで駆動される。この第1のパス電圧は、上側ワードラインに対応する各メモリセルを、そのプログラム状態または非プログラム状態に関わらず、オンにするのに十分な高さである。ステップ202と同時に、ステップ204において、下側ワードラインが、第2のパス電圧まで駆動される。本方法の実施形態によれば、第1のパス電圧および第2のパス電圧は、互いに同じとすることができ、または第2のパス電圧は、第1のパス電圧より低くすることができる。次にステップ206において、選択ワードラインが、プログラミング電圧まで駆動され、続いてステップ208において、選択メモリセルをNAND列の非選択メモリセルから減結合するための分離動作が行われる。後で説明されるように、選択メモリセルを分離するための異なる技法が存在する。本発明の別の実施形態によれば、下側ワードラインに接続されたメモリセルは、選択メモリセルからの電荷漏洩を減少させるために、オフにすることができる。
【００３７】
図7aは、図2bに示されたNAND列に類似したNAND列300の簡略化された横断面図である。NAND列300は、ワードラインWL0からWL31に接続されたゲートを有するメモリセル302と、NAND列300をビットライン306に結合するための列選択トランジスタ304と、NAND列300をソー

スライン310に結合するための接地選択トランジスタ308とを含む。NAND列300は、PP-ウェル内に形成され、PP-ウェル自体は、P-基板のN-ウェル内に形成される。NAND列メモリセルトランジスタのソース/ドレーン領域は、n+拡散領域である。

【００３８】

図7aは、本発明の一実施形態に係る、特定のワードラインに印加される相対電圧レベルを示すための注釈を含む。物理的なNAND列は従来技術から変更されていないことに留意されたい。図7aに示される例では、WL29に接続されたメモリセルがプログラムのために選択され、プログラムされるデータは論理「1」状態であると仮定される。消去状態は論理「1」であるので、プログラミングは禁止される。図7bは、図7aにおいて印加される電圧のシーケンスをさらに説明するシーケンス図である。

【００３９】

期間T1は、すべてのメモリセル302のゲート、信号SSL、および信号GSLが0Vにバイアスされる一方で、メモリセルをプログラムするため、およびメモリセルのプログラミングを禁止するためのビットライン電圧が印加される初期状態である。CSLは、0VまたはVCCにバイアスすることができるが、漏洩を最小化するために、本例では、好ましくはVCCにバイアスすることができる。本例では、ビットライン306は、VCCにバイアスされる。期間T2において、ビットライン電圧をNAND列300に結合するために、信号SSLがVCCにバイアスされる。図7aに示されるNAND列300では、列選択トランジスタ304は、ビットライン306に接続されたそのドレーン端子およびゲートがともにVCCにバイアスされるので、電気的にオフにされる。より具体的には、列選択トランジスタ304は、そのソースがおよそVCCからトランジスタの閾値電圧を減算した電圧まで上昇すると、オフになる。期間T1およびT2は、図5のステップ100に対応する。図5のステップ102に対応する期間T3の間、すべてのワードライン(上側、下側、および選択ワードライン)は、パス電圧V2まで駆動され、ここで、V2はVCCより高くなるように選択される。これは、NAND列300の全チャネルを1次ブースト電圧まで押し上げる効果を有する。期間T4の開始時に、選択ワードラインWL29が、プログラミング電圧V1まで引き上げられ、一方、隣接ワードラインWL28およびWL30は、減結合電圧V3まで引き下げられる。これらは、図5のステップ104および106にそれぞれ対応する。V1の電圧レベルは、V2より高くなるように設定され、V3の電圧レベルは、V1およびV2より低くなるように設定される。

【００４０】

WL28およびWL30のワードライン電圧をV3まで引き下げることのさらなる利点は、WL29に接続された制御ゲートとWL28およびWL30に結合されたフローティングゲートの間の容量結合を補償することである。WL29がV1まで駆動されるので、容量結合効果が、フローティングゲート電圧を増大させることがあり、それによって、選択メモリセルに直接隣接するメモリセルにおけるパスディスターバンスの確率を増大させる。したがって、ワードライン電圧のV3までの引き下げは、フローティングゲート電圧を低下させる。

【００４１】

図7aに示された実施形態では、V1、V2、およびV3の電圧レベルは、以下の基準に従って選択されるべきである。V1は、0Vにバイアスされたビットラインに結合されたメモリセルにおいてF-Nトンネリングを促進するのに十分な高さの電圧レベルとすべきである。V2の電圧レベルは、以下の3つの基準を満たすように選択されるべきである。第1に、V2は、非選択セルのチャネルが導電状態にされることを保証するのに十分な高さとすべきである。第2に、WL28およびWL30について、期間T4の間に電圧V2が電圧V3まで下降したとき、WL28およびWL30に接続されたメモリセルは、オフにされ、期間T4の間、オフにされたままである。これによって局所的な減結合効果が達成される。第3に、選択ワードラインWL29が電圧V2からプログラム電圧V1まで上昇したとき、選択セルのチャネルは、所望の電圧、すなわち2次ブースト電圧レベルまで押し上げることができる。V3は、0Vビットライン電圧を非選択セルを介して選択セルのドレーンに渡すのに十分な高さの電圧レベルとすべきであり、一方、(WL29に接続された)選択セルに直接隣接する(WL28およびWL30に接続された)メモリセルのチャネルを実質的にオフにするのに十分な低さとすべきである。

【００４２】
本プログラム禁止方式の際立った利点は、V2の電圧レベルを、非選択メモリセルにおけるプログラムディスターブを最低限に抑えるために、従来技術の類似のVPASS電圧と比較して低下させることができる一方で、先に論理「0」状態にプログラムされた非選択メモリセルを介してビットライン上の0Vを渡すのに十分な高さとすることができることである。

【００４３】
電圧V1、V2、およびV3の相対レベル、ならびにそれらの印加シーケンスが、本発明の汎用的な実施形態によって説明されたので、以下では、使用し得る値の例について説明する。表2は、特定のプロセス技術に基づいた、図7aに示された実施形態の電圧値の例を列挙している。

【００４４】
【表２】

表２

パラメータ	電圧
VCC	2.5V
Vth_ssl (304 の閾値電圧)	0.8V
γ (セル結合比)	0.8
V1	18V
V2	7V
V3	5V
Vthc(論理「0」プログラムセル電圧の閾値電圧の最悪ケース)	3V

【００４５】
これらの値を用いて、NAND列チャネル300の1次ブースト電圧レベルと、プログラミングが望ましくない選択メモリセルの2次ブースト電圧レベルが、計算できる。列選択トランジスタ304は、VCCのゲート電圧および(ビットライン306に接続された)VCCのドレーン電圧のために、そのソース端子がVCC − Vthに達した場合に電気的にオフにされる。したがって、VCC − Vth_sslは、チャネルブーストのための初期チャネル電圧Vich(すなわち開始電圧)である。

【００４６】
チャネルの1次ブースト電圧レベル(Vprimary)は、以下の式(1)に従って計算され、
(1) Vprimary = Vich + γ * (Vunsel − Vthc − Vich)
ここで、Vunselは、非選択メモリセルに印加されるゲート電圧であり、Vich = VCC − Vth_sslである。

【００４７】
選択メモリセルの2次ブースト電圧レベルVsecondaryは、以下の式(2)に従って計算され、
(2) Vsecondary = Vich + γ * (Vsel − Vthc − Vich)
ここで、Vselは、選択メモリセルに印加されるゲート電圧であり、Vich = VCC − Vth_sslである。

【００４８】
式(2)のVsecondaryは、代替として、以下の式(3)で表現することができる。
(3) Vunsel > Vthc + VichかつVsel > Vunselであるならば、Vsecondary = Vprimary + γ * (Vsel − Vunsel)

【００４９】
表2の値の例を適用して、図7bのシーケンス図を説明する。ビットライン306が2.5V(VCC)に設定されたとすると、期間T2の間に2.5V(VCC)まで上昇する信号SSLが、NAND列300のチ

ャネル電圧を約1.7VのVichまで上昇させる。期間T3の間にすべてのワードラインが7V(V2)まで上昇した場合、NAND列300のチャネルは、

Vprimary = 1.7V + 0.8 * (7V − 3V − 1.7V) = 3.54V

の1次ブースト電圧まで引き上げられる。

【００５０】

期間T4の間に、選択ワードラインは、18V(V1)まで上昇し、一方、隣接する2つの非選択ワードラインWL28およびWL30は、5V(V3)まで下降する。WL28およびWL30に接続されたメモリセル以外の非選択セルは、T3における3.54Vのブーストチャネル電圧を保持するので、WL28およびWL30に接続されたメモリセルは、選択セルのゲートが18V(V1)まで上昇したときに、電気的にオフにされる。したがって、選択セルのチャネルは、NAND列300の残りから減結合され、選択セルのチャネルブーストは、局所化される。局所チャネルブーストは、従来技術のチャネルブースト方式よりも効率的であり、それによって、より高いブーストチャネル電圧を提供する。結果の2次ブースト電圧レベルは、およそ

Vsecondary = 3.54V + 0.8 (V1 − V2) = 12.34V

である。

【００５１】

したがって、この2次ブースト電圧レベルは、選択セルがプログラムされるのを防止するのに十分な高さである。すなわち、2次ブースト電圧は、18VのV1プログラム電圧の下で、選択セルがその消去状態を保持するのに十分な高さである。説明された実施形態では、2次ブースト電圧レベル対プログラム電圧V1の比は、少なくとも約70%である。

【００５２】

先に説明されたプログラム禁止シーケンスは、隣接メモリセルを有する任意の選択メモリセルに適用されるが、その理由は、隣接メモリセルをオフにして、選択メモリセルをNAND列の残りから減結合することができるからである。しかし、NAND列300は、第2の隣接メモリセルをもたない、ワードラインWL0およびWL31に接続された側端メモリセルを含む。以下では、どちらかの側端メモリセルがプログラムを禁止される場合のプログラム禁止シーケンスについて説明する。

【００５３】

図8は、ワードラインWL31に接続されたメモリセルがプログラミング電圧V1まで駆動される場合のプログラム禁止シーケンスを説明するシーケンス図である。WL31に接続されたメモリセルに直接隣接するのは、WL30に接続されたメモリセルと、信号SSLに接続された列選択トランジスタ304である。図7bのシーケンスにおけるように、期間T2の間に、ビットライン306はVCCにバイアスされ、SSLはVCCまで上昇する。結合チャネル電圧はVCC − Vth_sslまで上昇するので、列選択トランジスタ304は、最終的にオフになる。期間T3の間に、すべてのワードラインは、V2まで上昇して、NAND列300のチャネルを1次ブースト電圧レベルまで引き上げる。期間T4の間に、ワードラインWL31は、V1まで上昇し、隣接ワードラインWL30は、それぞれのメモリセルをオフにするためにV3まで下降する。列選択トランジスタ304はすでにオフにされているので、WL31に接続されたメモリセルは、NAND列300から減結合され、そのチャネルは、2次ブーストチャネル電圧レベルまで電圧が局所的に押し上げられる。

【００５４】

図9は、ワードラインWL0に接続されたメモリセルがプログラミング電圧V1まで駆動される場合のプログラム禁止シーケンスを説明するシーケンス図である。WL0に接続されたメモリセルに直接隣接するのは、WL1に接続されたメモリセルと、信号GSLに接続された接地選択トランジスタ308である。期間T1の間に、GSLは初期状態の0Vにバイアスされ、一方、ビットライン306はVCCにバイアスされる。期間T2の間に、SSLはVCCまで上昇し、期間T3の間に、すべてのワードラインは、V2まで上昇して、NAND列300のチャネルを1次ブースト電圧レベルまで引き上げる。期間T4の間に、ワードラインWL0は、V1まで上昇し、隣接ワードラインWL1は、それぞれのメモリセルをオフにするためにV3まで下降する。接地選択トランジスタ308はすでにオフにされているので、WL1に接続されたメモリセルは、NAND列30

0から減結合され、そのチャネルは、2次ブーストチャネル電圧レベルまで電圧が局所的に押し上げられる。

【００５５】

図7bから図9に示されるように、プログラミングが望まれていないNAND列内の選択メモリセルは、シーケンスと、非選択メモリセルおよび選択トランジスタに印加される電圧を制御することによって、NANDメモリセルの残りから減結合することができる。

【００５６】

図7bから図9の期間T3の間に、NAND列300のチャネルは、WL31と列選択トランジスタ304の間の容量結合を通して、電荷をビットラインに漏洩することがあり得る。これは、1次ブースト電圧レベルを低下させる効果を有する。したがって、本発明の一実施形態によれば、信号SSLは、VCCから漏洩最小電圧(leakage minimization voltage)V4まで低下させることができる。例えば、図7aに示されたNAND列300の場合、V4は1Vとすることができる。SSLをV4まで下降させることによって、列選択トランジスタ304のチャネルは、ビットライン306への電荷の漏洩に対してより抵抗性をもつようになる。V4は、ビットライン上の0Vレベルを、プログラムされる選択メモリセルに渡すのに十分なレベルにあるように選択することができる。

【００５７】

図10は、チャネル漏洩を最小化するために修正された、図7bのプログラム禁止シーケンスを説明するシーケンス図である。期間T1の間の初期状態において、すべてのメモリセル302のゲート、信号SSL、および信号GSLは、0Vにバイアスされ、一方、ビットライン電圧(VCC)が印加され、CSLは、VCCにバイアスされる。期間T2において、信号SSLは、ビットライン電圧をNAND列300に結合するためにVCCにバイアスされる。図7aに示されたNAND列300では、列選択トランジスタ304は、ビットライン306に接続されたそのドレーン端子およびそのゲートはともにVCCにバイアスされるので、オフにされる。より具体的には、列選択トランジスタ304は、そのチャネルがおよそVCCからトランジスタの閾値電圧を減算した電圧まで上昇すると、オフになる。期間T3の間に、すべてのワードラインは、NAND列300の全チャネルを1次ブースト電圧まで押し上げるために、パス電圧V2まで駆動される。しかし、ビットライン306への1次ブースト電圧の漏洩を最小化するため、SSLは、ワードラインがV2まで駆動されたときに、電圧V4まで引き下げられる。期間T4の開始時に、選択ワードラインWL29は、プログラミング電圧V1まで引き上げられ、一方、隣接ワードラインWL28およびWL30は、減結合電圧V3まで引き下げられる。漏洩最小化電圧V4へのSSL電圧の引き下げは、図8および図9に示されたプログラム禁止シーケンスにおいて使用することができ、有効性は等しい。

【００５８】

本発明の別の実施形態によれば、プログラミングが望まれない選択メモリセルの局所2次ブースト電圧レベルは、さらに増大させることができる。図7aから図10に示された先のプログラム禁止シーケンス実施形態では、すべてのワードラインは、期間T3の間に、V2パス電圧まで駆動され、その後、選択ワードラインだけが、V2からプログラミング電圧V1まで駆動される。局所2次ブースト電圧レベルは、V2とV1の差が最大化された場合に、最大化され得る。したがって、本発明の一実施形態によれば、選択ワードラインのためのV2の電圧レベルは、先に示されたプログラム禁止シーケンスと比較して、引き下げられる。

【００５９】

図11は、プログラミングが禁止される選択トランジスタのチャネルにおける局所2次ブースト電圧レベルを最大化するために修正された、図7bのプログラム禁止シーケンスを説明するシーケンス図である。期間T3の間に示されるように、選択ワードラインWL29以外のすべてのワードラインは、V2パス電圧まで駆動され、選択ワードラインWL29は、V5の電圧レベルまで駆動される。その後、期間T4において、WL29は、プログラミング電圧V1まで駆動される。図7aに示されたNAND列300の場合、V5は、例えば5Vの電圧レベルに設定することができる。V5は、期間T3の間における選択セルのチャネルの導電性を保証するのに十分な高さとなるように選択されることに留意されたい。したがって、V5とV1の差は、V2とV1

の差より大きいので、選択メモリセルにおいて、より高い局所2次ブースト電圧レベルが獲得できる。これは、高差分局所ブースト(high differential local boosting)方式と呼ばれる。

【００６０】

以下の関係式は、本発明の先に説明された実施形態において使用される電圧レベルの相対的制約を要約している。

(1) V3 < V2 < V1

(2) 0V < V4 < V3

(3) 0V < V5 < V2

【００６１】

実際の値は、メモリセルおよびトランジスタジオメトリ、ならびに使用されるプロセスに依存する。V1は、F-Nトンネリングを誘起するのに十分なプログラミング電圧である。V2は、i)メモリセルを導電状態にするのに、ii)V3への下降が接続されたメモリセルをオフにするのに、iii)V1への増大が選択メモリチャネルの電圧を所望の2次ブースト電圧レベルまで局所的に押し上げるのに十分な高さのパス電圧である。V2は、VCCより高くすることができる。V3は、0Vビットライン電圧を渡すのに十分な高さであり、プログラムメモリセルの最悪ケースの閾値電圧と少なくとも同じ高さとすべきである。例えば、表1では、Vthcが3ボルトである場合、V3は少なくとも3ボルトとすべきである。

【００６２】

本発明の実施形態に係る様々なプログラム禁止シーケンスが、図7bから図11に示された。プログラミング動作中に、漏洩を減少させるため、または2次ブースト電圧レベルを増大させるための実施形態が示された。これらの実施形態は、各個別方式が提供しなければならない利益をすべて達成するために、互いに組み合わせることができる。図12のシーケンス図に示されるように、SSL信号は、期間T3の間に、漏洩最小電圧V4まで引き下げることができ、一方、選択ワードラインWL29は、期間T3の間に、引き下げられたV5のパス電圧に設定される。

【００６３】

先に説明された実施形態では、SSL信号は、ビットライン306への電荷漏洩を最小化するために、漏洩最小電圧V4まで引き下げることができ、それによって、2次ブースト電圧レベルへの選択メモリセルチャネルの局所ブーストに先立って、ブーストチャネル電圧を最大化する。局所ブーストの間、いくらかの電荷は、選択メモリセルのチャネルから、2つの直接隣接するメモリセルを通して漏洩することがあり得る。これは、隣接メモリセルそれぞれのチャネル電圧を低下させる、隣接セルのワードラインのV2からV3への下降によって引き起こされる。したがって、まだオフになっている間に、電荷のいくらかは、下側ワードラインに接続された他のメモリセルに漏洩する。

【００６４】

本発明の電荷漏洩減少実施形態によれば、選択メモリセルの局所ブーストチャネルからの電荷漏洩を減少させるために、下側ワードラインは、上側ワードラインとは異なる電圧を用いて駆動される。この方式の一実施形態が、図13に示されている。

【００６５】

図13は、図7aに示されたのと同じNAND列300を示しており、特定のワードラインに印加される相対電圧レベルを示すための注釈を含む。選択ワードラインWL29および上側ワードラインWL30、WL31に印加される電圧は、先に図7aの実施形態のために示され、説明されたものと同じとすることができる。本実施形態では、下側ワードラインWL0－WL28は、V6のパス電圧まで駆動され、その後、直接隣接ワードラインWL28が、低電圧レベルまで駆動される。例えば、低電圧レベルは、0V、0.1V、0.2Vとすることができる。

【００６６】

図14は、説明中の実施形態に係るプログラム禁止シーケンスを説明するシーケンス図である。期間T1およびT2の間のシーケンスは、先に図7bのために説明されたのと同じである。期間T3において、上側ワードラインWL30－WL31および選択ワードラインが、第1のパス

電圧V2まで駆動される。下側ワードラインWL0－WL28は、第2のパス電圧V6まで駆動される。別の実施形態では、第2のパス電圧V6は、第1のパス電圧V2より小さいが、プログラムメモリセルの閾値よりは高い。電荷がNANDメモリセル列の全チャネルにわたって分散している、すなわち共有されているので、1次ブースト電圧が依然として生じる。期間T4の開始時に、選択ワードラインWL29は、プログラミング電圧V1まで引き上げられ、一方、隣接する上側ワードラインWL30は、減結合電圧V3まで引き下げられる。他方、隣接する下側ワードラインWL28は、0Vのオフ電圧まで引き下げられる。次に、上述のシーケンスおよび電圧レベルの効果について説明する。

【００６７】

WL28に接続されたメモリトランジスタが正の閾値を用いてプログラムされた場合、例えば0Vなど、WL28がその正の閾値を下回って下降したとき、WL28に接続されたメモリトランジスタは、電気的にオフにされる。他方、メモリセルがまだ消去されている場合(負の閾値)、0Vのオフ電圧でさえ、メモリセルをオンにすることができる。しかし、第2のパス電圧V6が下側ワードラインに印加されたので、下側メモリセルのチャネルは、より低い1次ブースト電圧まで押し上げられる。したがって、WL28に接続されたメモリセルのソース端子(ドレーン端子は選択メモリセルに接続される)は正であり、それによって、メモリセルをオフにする。選択トランジスタのブーストチャネルから下側メモリセルへの漏洩経路を閉鎖することによって、局所ブースト効率がさらに向上する。オフ電圧は0Vに制限されず、WL28に接続されたメモリセルを介した電荷漏洩を最小化するために効果的な任意の低電圧が使用できることを当業者であれば理解することができる。

【００６８】

代替実施形態によれば、列選択信号SSLは、期間T4の開始時に、SSLのトレースにおいて破線によって示されるように、V4まで引き下げることができ、WL28は、期間T3の間に、WL28のトレースにおいて破線によって示されるように、オフ電圧に留まるように設定することができる。(説明される実施形態のWL28など)隣接する下側ワードラインをオフ電圧に維持することの利点は、電圧消費および結合容量の低減を含む。ワードラインドライバはワードラインの引き上げおよび引き下げを行う必要がないので、電圧消費が低減される。メモリアレイパッキング密度を向上させるために、ワードラインピッチが縮小されるので、ワードラインが上昇および下降するときの、隣接ワードライン間の容量結合は、より顕著なものになる。隣接する下側ワードラインは、期間T3とT4の間は変化しないので、容量結合は低減される。第2のパス電圧V6は、フラッシュ読み取り動作のために使用される読み取り電圧レベルなどの低電圧とすることができ、V3より低い。

【００６９】

図15は、先の実施形態で説明された特徴のいくつかを組み合わせた、本発明の別の実施形態である。図15は、図13に示されたのと同じNAND列300を示しており、特定のワードラインに印加される相対電圧レベルを示すための注釈を含む。特に、本例は、図13の電荷漏洩減少方式と、図11の高差分局所ブースト方式の変形と、新規な減結合方式を使用する。新規な減結合方式では、選択メモリセルをNAND列300から減結合するために先に確立された電圧を使用して、NAND列300の第1および第2の隣接する上側メモリセルが制御される。

【００７０】

図16は、説明中の実施形態に係るプログラム禁止シーケンスを説明するシーケンス図である。図16は、WL29の相対的なタイミング変化と、後で説明されるWL29の代替パス電圧を示している。期間T1およびT2の間のシーケンスは、先に図13のために説明されたのと同じである。期間T3において、上側ワードラインすべて(本例ではWL30、WL31)および選択ワードラインWL29が、減結合電圧V3まで駆動される。実際には、V3は、期間T3において、第1のパス電圧として使用される。一方、隣接する下側ワードラインWL28を含む下側ワードラインは、第2のパス電圧V6まで駆動され、隣接する下側ワードラインWL28は、デフォルトのオフ電圧レベル(例えば0V)に留まる。したがって、NAND列300のチャネルは今では、ワードラインWL29－WL31に接続されたメモリセルに効果的に制約され、それは1次ブースト電圧まで引き上げられる。

【００７１】
期間T4の開始時に、選択ワードラインWL29は、プログラミング電圧V1まで引き上げられ、一方、隣接する上側ワードラインWL30は、V3に留まる。ほぼ同時に、隣接する上側ワードラインWL31以外のすべての上側ワードラインが、V2の第1のパス電圧まで駆動される。この実施形態では、WL30に接続されたメモリセルは、WL29がV1まで引き上げられたときと、WL31がV2まで引き上げられたときに、電気的にオフにされ、WL28は、期間T4において、オフ電圧まで引き下げられる。一代替実施形態では、列選択信号SSLは、期間T4の開始時に、SSLのトレースにおいて破線によって示されるように、V4まで引き下げることができる。以下の関係式は、図13から図16の実施形態において使用される電圧レベルの相対的制約を要約している。

(1) V3 < V2 < V1
(2) 0V < V4 < V3
(3) 0V < V6 < V3

【００７２】
したがって、下側メモリセルによって経験されるパスディスターバンスは、それらのゲートに印加される低電圧レベルのために、実質的に存在しない。

【００７３】
図16では、WL29は、V3とV1の電圧差を増大させるため、および図11の実施形態によって達成可能なのと類似の高差分局所ブーストを提供するために、期間T3の間に、初期的にV3に設定することができる。代替として、局所ブーストは、期間T3の間はWL29を0Vに維持し、その後、期間T4の間にWL29を直接V1まで駆動することによって、最大化することができる。これは、破線400によって示されている。WL29に接続されたメモリセルは、負の閾値電圧を有する消去セルであることに留意されたい。

【００７４】
先に示されたシーケンス図は、選択および非選択ワードラインへの特定の電圧の印加についての一般的なタイミング関係を示すことを意図している。しかし、第1のパス電圧(または0V)からプログラミング電圧　(V1)への選択ワードラインの駆動と、直接隣接するワードラインの制御の間の相対的なタイミングは、以下のようにさらに改良することができる。例えば図10を参照すると、選択ワードラインWL29は、隣接ワードラインWL28およびWL30がV3まで引き下げられるのと同時に、V1まで駆動することができる。言い換えると、選択メモリセルは、V1プログラミング電圧が印加されたときに、NANDメモリセルの残りから減結合される。V1へのWL29の遷移の初期部分の間、WL29のブーストから生じる電荷のいくらかは、隣接メモリセルが電圧V3によって十分にオフにされる前に、これらのセルを介して漏洩する。

【００７５】
期間T4の間に選択メモリセルの局所ブースト効率を最大化するため、選択ワードラインは、選択メモリセルが他のメモリセルから減結合された後すぐに、V1まで駆動することができる。例えば、図16の実施形態では、WL29は、トレース402に示されるように、WL28が0Vに達した後まで、V3に留まることができる。図16により具体的に示されるように、WL29は、WL28がV0へと下降し始めてから遅延時間tdが経過した後で、V1まで駆動することができる。遅延時間tdは、任意の事前設定値とすることができる。期間T3の間はWL29が0Vに留まる実施形態の場合、WL29は、トレース404に示されるように、遅延時間tdの経過後、WL28が0Vに達した後まで、0Vに留まることができる。選択ワードラインと他のワードラインの間の相対的なタイミングは、電荷漏洩を最小化するため、または局所チャネルブーストを最大化するために必要とされるように構成できることを当業者であれば理解することができる。

【００７６】
先に説明された実施形態では、V2は、非選択メモリセルにおけるプログラムディスターブを最低限に抑えるため、および1次ブーストチャネルレベルを最大化するために最適化された値である。実際のV2の値は、メモリセルの様々な設計および製作パラメータに依存

し、したがって、シミュレーションまたはモデリングを通して決定できることを当業者であれば理解することができる。

【００７７】

次に説明する本発明の実施形態は、標準的なステッププログラミング(stepped programming)方式で使用することができる。本発明の一実施形態によれば、選択メモリセルプログラム電圧V1は、選択メモリセルのゲートに印加される初期プログラミング電圧である。その後、他のワードラインに印加されるパス電圧および減結合電圧を同じ電圧レベルに維持する一方で、V1の電圧レベルは、所定の電圧刻みずつ反復的に増大させることができる。増分プログラミングステップの間、これらの電圧レベルを固定することによって、チップサイズおよび電力消費は、従来技術のプログラミング方式と比較して、削減することができる。

【００７８】

説明された実施形態では、隣接する下側ワードライン(すなわちWL28)に印加されるオフ電圧は、0V、またはメモリセルのために選択された設計および製作パラメータに基づいて選択された任意の低電圧とすることができ、ブーストチャネル電圧は、V6パス電圧の印加から生じる。

【００７９】

ワードライン電圧ならびに制御ライン(SSLおよびGSL)電圧と、印加のシーケンスは、ワードラインドライバ回路と、デコーダなどの関連するワードライン論理回路によって制御することができる。よく知られた多電圧レベルワードラインドライバ回路(multi-voltage level wordline driver circuit)は、説明されたプログラム禁止シーケンス実施形態において使用される電圧レベルを提供するように、容易に修正できることを当業者であれば理解されよう。デコード論理は、任意の選択ワードラインについて、直接隣接するワードライン(または制御ライン)が、選択メモリセルをNAND列から減結合するための開示された方式で制御されることを保証することができる。

【００８０】

したがって、上述のワードライン/制御ライン制御方式は、選択メモリセルを消去状態からプログラムする一方で、消去状態が保持されるべき選択メモリセルにおいてプログラミングを禁止するために有効である。従来技術のプログラム禁止方式と比較して、より低いパス電圧が使用されるので、非選択メモリセルにおけるプログラムディスターブは、最低限に抑えられる。選択メモリセルは、NAND列内の他のメモリセルから減結合および分離することができるので、そのチャネルは、F-Nトンネリングを禁止するためのレベルまで電圧を効率的に押し上げることができ、ランダムページプログラミングが実行できる。

【００８１】

プログラム禁止方式の先に説明された実施形態は、任意のNAND列ベースのフラッシュメモリのために実施することができる。その方式で使用される特定の電圧レベルが、特定のプロセスおよびNANDセル設計に特有であることを当業者であれば理解することができる。図7bから図16に示された電圧レベル遷移は、イベントの一般的なシーケンスを提供することを意図しており、信号間の特定のタイミング関係を提供することは意図していない。本発明の範囲から逸脱することなく、信号間の僅かなタイミング差が発生し得ることを当業者であれば理解することができる。

【００８２】

本発明の上述の実施形態は、例としてのみ意図されている。添付の特許請求の範囲によってのみ確定される本発明の範囲から逸脱することなく、特定の実施形態に対する変更、修正、および変形が、当業者によって実行することができる。

【符号の説明】

【００８３】

10　フラッシュメモリ
28　メモリセルアレイ
50　フローティングゲートメモリセル

52　列選択トランジスタ
56　接地選択トランジスタ
54　ビットライン
58　共通ソースライン
300　NAND列
302　メモリセル
304　列選択トランジスタ
306　ビットライン
308　接地選択トランジスタ
310　ソースライン
BL　ビットライン
WL　ワードライン
SSL　列選択ライン
GSL　接地選択ライン
CSL　共通ソースライン

【図１】

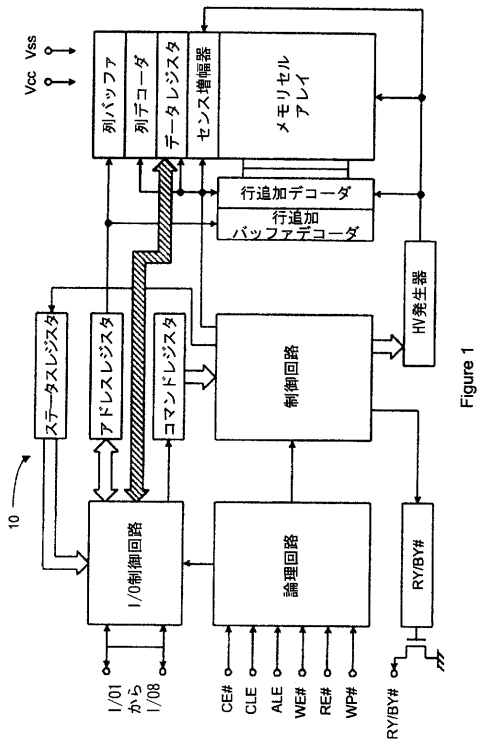


Figure 1

【図２ａ】

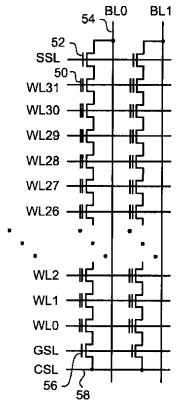


Figure 2a

【図２ｂ】

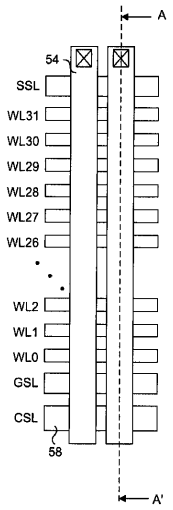


Figure 2b

【図２ｃ】

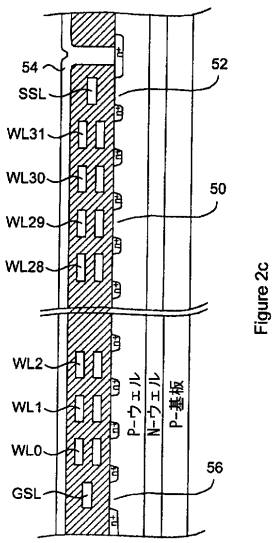


Figure 2c

【図３】

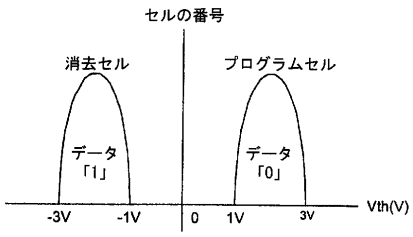


Figure 3

【図４】

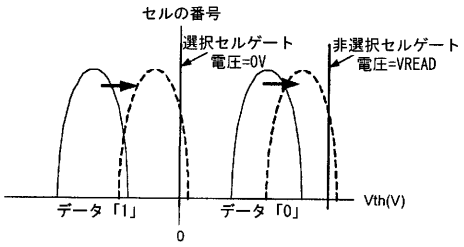


Figure 4

【図５】

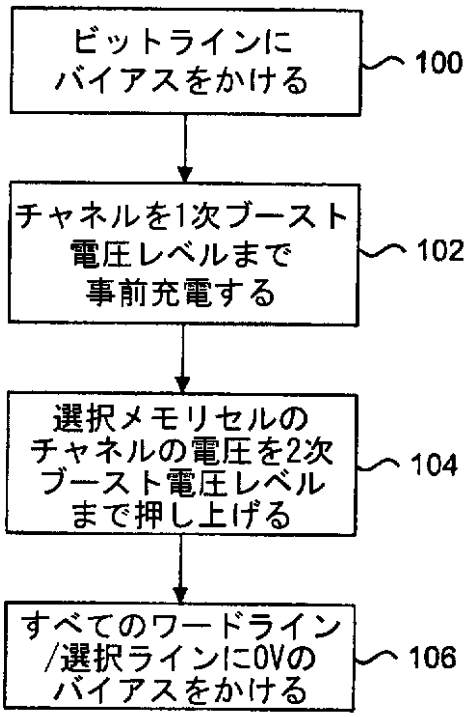


Figure 5

【図６】

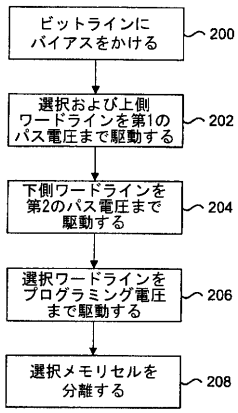


Figure 6

【図７ａ】

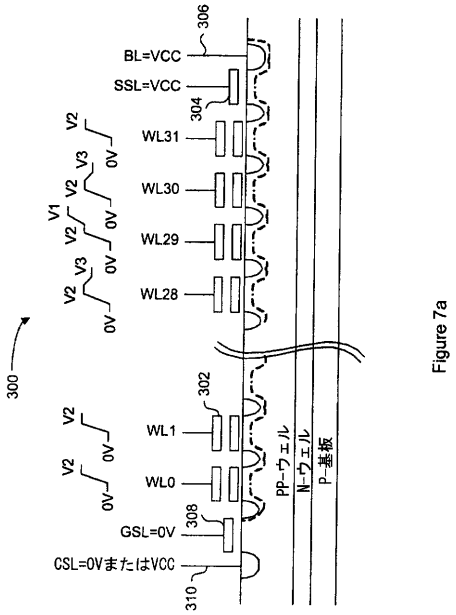


Figure 7a

【図７ｂ】

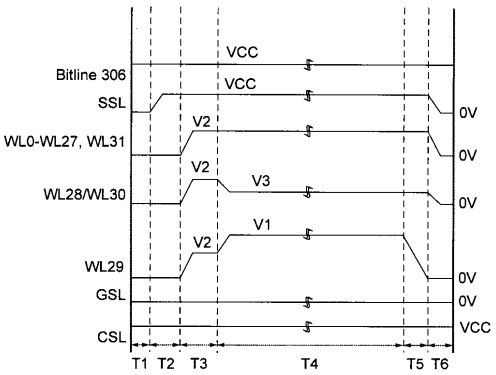


Figure 7b

【図８】

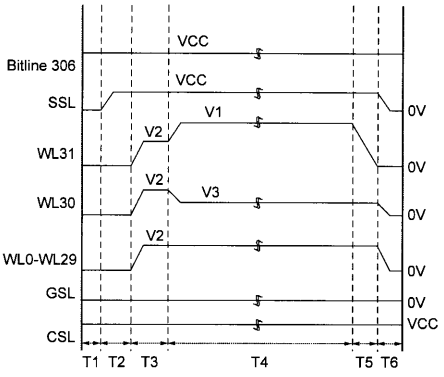


Figure 8

【図９】

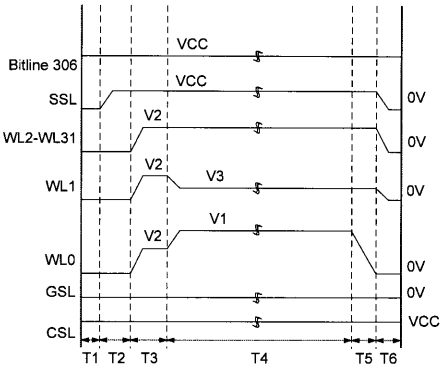


Figure 9

【図１０】

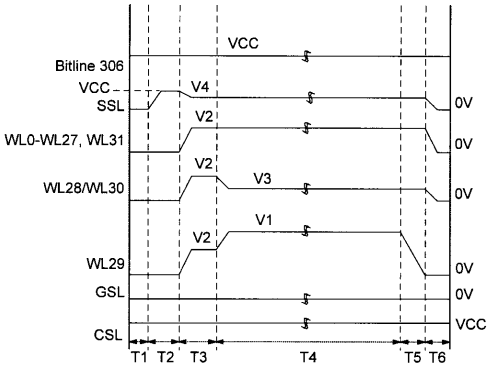


Figure 10

【図１１】

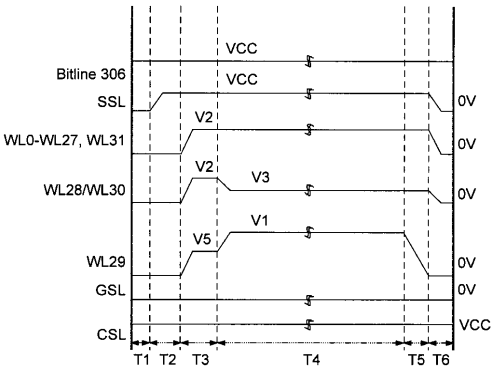


Figure 11

【図１２】

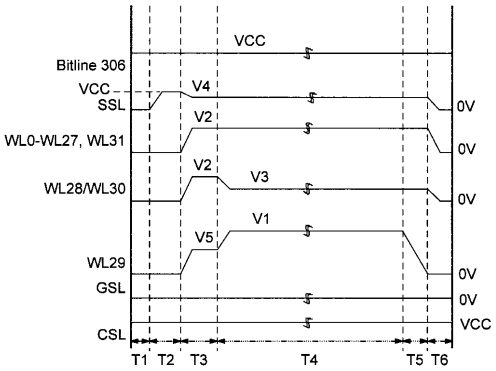


Figure 12

【図１３】

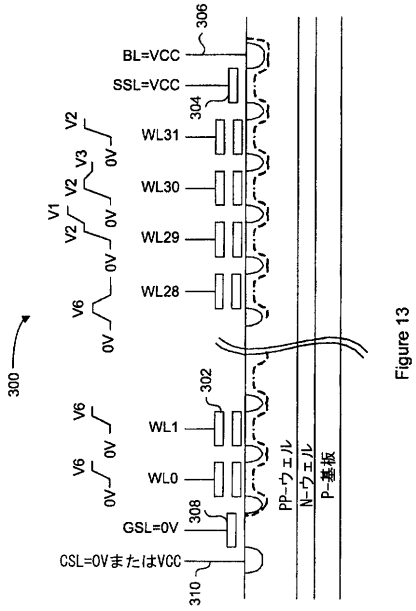


Figure 13

【図１４】

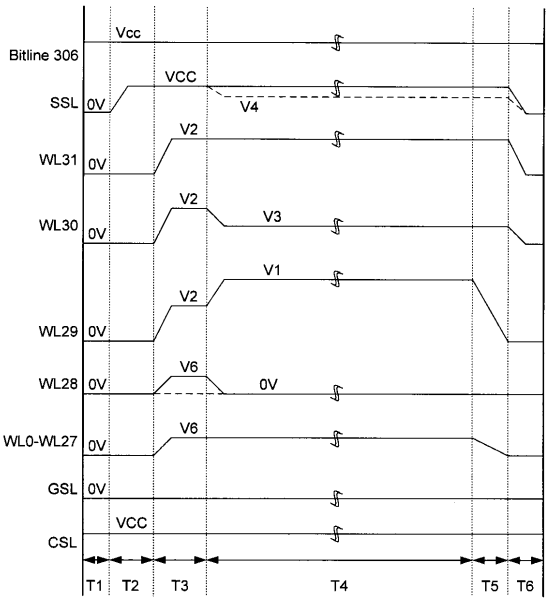


Figure 14

【図１５】

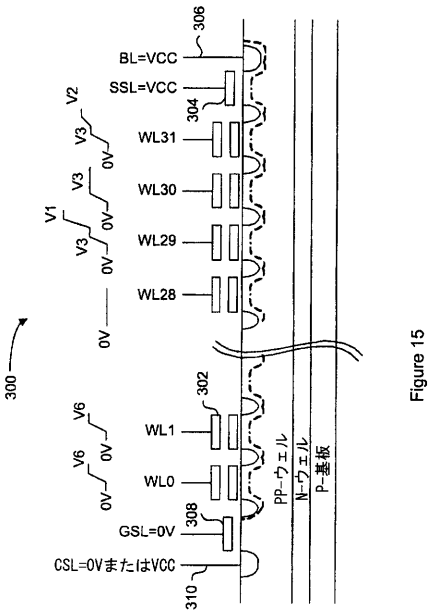


Figure 15

【図１６】

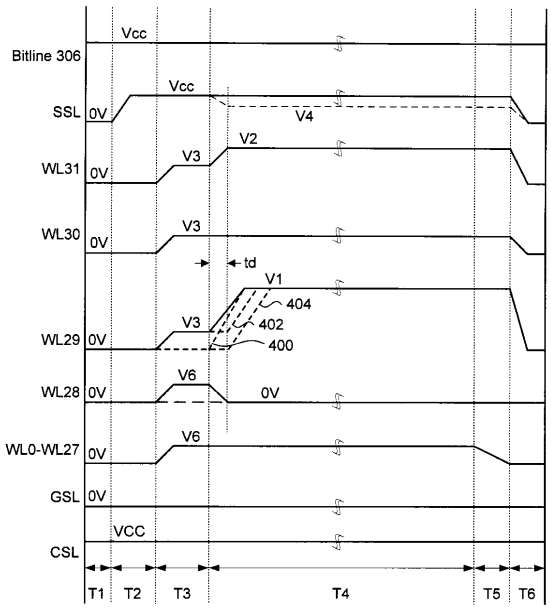


Figure 16

フロントページの続き

(72)発明者　ジンーキ・キム
カナダ・オンタリオ・Ｋ２Ｋ・３Ｈ６・オタワ・アイアンサイド・コート・４６

審査官　堀　拓也

(56)参考文献　特開平１０－３０２４８８（ＪＰ，Ａ）
特開平１０－２２３８６６（ＪＰ，Ａ）
特開２００２－２６０３９０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ１１Ｃ　１６／０２
Ｇ１１Ｃ　１６／０４
Ｇ１１Ｃ　１６／０６