I744959

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I744959 B**

(45)公告日： 中華民國 110 (2021) 年 11 月 01 日

(21)申請案號：109120998 (22)申請日： 中華民國 99 (2010) 年 11 月 26 日

(51)Int. Cl.： ***H01L29/78 (2006.01)*** ***H01L21/336 (2006.01)***

H01L29/04 (2006.01)

(30)優先權：2009/11/28 日本 2009-270857

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2007/0278490A1 US 2009/0206332A1

審查人員：林士淵

申請專利範圍項數：7 項 圖式數：30 共 139 頁

(54)名稱

半導體裝置及其製造方法

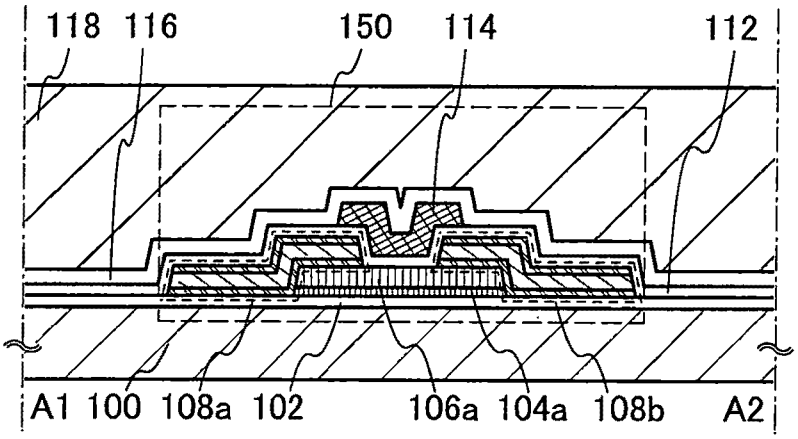
(57)摘要

實施例是半導體裝置，半導體裝置包含：在具有絕緣表面的基底上的第一氧化物半導體層以及包含從第一氧化物半導體層的表面朝向內部的生長所形成的結晶區；在第一氧化物半導體層上的第二氧化物半導體層；與第二氧化物半導體層接觸的源極電極層和汲極電極層；遮蓋第二氧化物半導體層、源極電極層、和汲極電極層之閘極絕緣層；以及在閘極絕緣層上且在與第二氧化物半導體層重疊的區域中之閘極電極層。第二氧化物半導體層是包含從結晶區生長所形成的晶體之層。

An embodiment is a semiconductor device which includes a first oxide semiconductor layer over a substrate having an insulating surface and including a crystalline region formed by growth from a surface of the first oxide semiconductor layer toward an inside; a second oxide semiconductor layer over the first oxide semiconductor layer; a source electrode layer and a drain electrode layer which are in contact with the second oxide semiconductor layer; a gate insulating layer covering the second oxide semiconductor layer, the source electrode layer, and the drain electrode layer; and a gate electrode layer over the gate insulating layer and in a region overlapping with the second oxide semiconductor layer. The second oxide semiconductor layer is a layer including a crystal formed by growth from the crystalline region.

指定代表圖：

圖1B



符號簡單說明：

118:層間絕緣層

116:層間絕緣層

150:電晶體

114:閘極電極層

112:閘極絕緣層

108a、108b:源極或汲極電極層

104a:氧化物半導體層

106a:氧化物半導體層

102:絕緣層

100:基底

I744959

發明摘要

【發明名稱】(中文/英文)

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

【中文】

實施例是半導體裝置，半導體裝置包含：在具有絕緣表面的基底上的第一氧化物半導體層以及包含從第一氧化物半導體層的表面朝向內部的生長所形成的結晶區；在第一氧化物半導體層上的第二氧化物半導體層；與第二氧化物半導體層接觸的源極電極層和汲極電極層；遮蓋第二氧化物半導體層、源極電極層、和汲極電極層之閘極絕緣層；以及在閘極絕緣層上且在與第二氧化物半導體層重疊的區域中之閘極電極層。第二氧化物半導體層是包含從結晶區生長所形成的晶體之層。

【英文】

An embodiment is a semiconductor device which includes a first oxide semiconductor layer over a substrate having an insulating surface and including a crystalline region formed by growth from a surface of the first oxide semiconductor layer toward an inside; a second oxide semiconductor layer over the first oxide semiconductor layer; a source electrode layer and a drain electrode layer which are in contact with the second oxide semiconductor layer; a gate insulating layer covering the second oxide semiconductor layer, the source electrode layer, and the drain electrode layer; and a gate electrode layer over the gate insulating layer and in a region overlapping with the second oxide semiconductor layer. The second oxide semiconductor layer is a layer including a crystal formed by growth from the crystalline region.

【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

118：層間絕緣層

116：層間絕緣層

150：電晶體

114：閘極電極層

112：閘極絕緣層

108a、108b：源極或汲極電極層

104a：氧化物半導體層

106a：氧化物半導體層

102：絕緣層

100：基底

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】(中文/英文)

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

【技術領域】

本發明係關於包含氧化物半導體的半導體裝置及其製造方法。此處，半導體裝置意指利用半導體特徵操作的所有元件裝置。舉例而言，在半導體裝置的類別中廣泛地包含電力裝置、閘流體、轉換器、影像感測器、記憶體、等等；包含這些裝置的半導體積體電路；以液晶顯示面板為代表的電光裝置；包含有機發光元件的發光顯示裝置；等等。

【先前技術】

場效電晶體是最廣泛使用的半導體元件。根據場效電晶體的用途，以各種不同的材料用於這些場效電晶體。特別地，經常使用包含矽的半導體材料。

包含矽的場效電晶體具有滿足不同用途所需的特徵。舉例而言，單晶矽用於需要高速操作的積體電路等等，因而滿足高速操作之需求。此外，以非晶矽用於例如顯示裝置等需要大面積的裝置，因而滿足大面積的需求。

如上所述，矽是高度多樣的且用於各種不同目的。但是，近年來期望半導體材料具有更高的性能及多樣性。舉例而言，以增進大面積顯示裝置的性能的觀點而言，為了實現切換元件的高速操作，需要有利於增加顯示裝置的面積及比非晶矽呈現更高性能的半導體材料。

某些金屬氧化物具有半導體特徵，舉例而言，已知氧化鎢、氧化錫、氧化銦、氧化鋅、等等。已知使用具有半導體特徵的此類金屬氧化物以形成通道形成區之薄膜電晶體。（請參見專利文獻1至4及非專利文獻1）。

關於金屬氧化物，已知不僅有單一成分氧化物，也有多成分氧化物。舉例而言，已知具有同系性之$InGaO_3(ZnO)_m$（m是自然數）是包含In、Ga、及Zn之多成分氧化物半導體（非專利文獻2至4）。

在這些條件下，使用氧化物半導體之場效電晶體（也稱為FET）有關的技術引起注意。此外，已確認包含此In-Ga-Zn-O為基礎的氧化物之氧化物半導體可以應用於薄膜電晶體的通道層（舉例而言，請參見非專利文獻5和6）。

舉例而言，在專利文獻5中，揭示使用同系化合物$InMO_3(ZnO)_m$（M是In、Fe、Ga、或Al，m是大於或等於1且低於50的整數）的透明薄膜場效電晶體。

此外，在專利文獻6中，揭示的場效電晶體使用含有In、Ga、及Zn且具有小於$10^{18}/cm^3$的電子載子濃度的非晶氧化物半導體。注意，在此專利文獻中，在非晶氧化物半導體中In原子相對於Ga原子及Zn原子的比例以In：Ga：

Zn=1：1：m（m<6）表示。

此外，在專利文獻7中，揭示的場效電晶體中以包含微晶的非晶氧化物半導體用於主動層。

[參考文獻]

[專利文獻]

[專利文獻1] 日本公開專利申請號S60-198861

[專利文獻2] 日本公開專利申請號H8-264794

[專利文獻3] PCT國際申請號H11-505377之日文譯本

[專利文獻4] 日本公開專利申請號2000-150900

[專利文獻5] 日本公開專利申請號2004-103957

[專利文獻6] PCT公告號05/088726

[專利文獻7] 日本公開專利申請號2006-165529

[非專利文獻]

[非專利文獻1] M. W. Prins, K.O. Grosse-Holz, G. Muller, J.F.M. Cillessen, J.B. Giesbers, R.P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor", Appl. Phys. Lett., 17 June 1996, Vol.68 pp. 3650-3652

[非專利文獻2] M. Nakamura, N.Kimizuka, and T. Mohri, "The phase Relations in the In_2O_3-Ga_2ZnO_4-ZnO System at 1350℃", J. Solid State Chem., 1991, Vol.93, pp. 298-315

[非專利文獻3] N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of Homologousj Compounds, $In_2O_3(ZnO)_m$(m=3, 4, and 5), $InGaO_3(ZnO)_3$, and $Ga_2O_3(ZnO)_m$ (m=7, 8, 9, and 16) in the In_2O_3-$ZnGa_2O_4$-ZnO System", J. Solid State Chem., 1995, Vol. 116, pp. 170-178

[非專利文獻4] M. Nakamura, N.Kimizuka, T. Mohri, and M. Isobe, "Homologous Series, Synthesis and Crystal Structure of $InFeO_3(ZnO)_m$ (m:natural number) and its Isostructural Compound",KOTAI BUTSURI(Solid State PHYSICS), 1993, Vol.28, pp. 317-327

[非專利文獻5] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor", SCIENCE, 2003, Vol. 300, pp. 1269-1272

[非專利文獻6] K. Nomura, H.Ohta, A. Takagi, T. Kamiya, M. Hirano, and H.Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors", NATURE, 2004, Vol.432 pp. 488-492

【發明內容】

在專利文獻3中，揭示晶體狀態的成分為$InGaO_3(ZnO)_m$（m是小於6的整數）。此外，在專利文獻3

的實施例1中，揭示$InGaO_3(ZnO)_4$的情形。但是，即使使用這些氧化物半導體時，事實上仍然尚未取得適當的特徵。

慮及上述問題，目的在於提供具有使用具有新穎結構的氧化物半導體層之新穎結構的半導體裝置。

在揭示的發明中，使用經過純化的包含結晶區之氧化物半導體層，形成半導體裝置。舉例而言，結晶區是具有電各向異性的區域或是防止雜質進入的區域。

揭示的發明之實施例是半導體裝置，其包含：第一氧化物半導體層，包括在具有絕緣表面的基底上從第一氧化物半導體層的表面朝向內部生長形成的結晶區；在第一氧化物半導體層上的第二氧化物半導體層；與第二氧化物半導體層接觸的源極電極層和汲極電極層；閘極絕緣層，遮蓋第二氧化物半導體層、源極電極層、和汲極電極層；以及，在閘極絕緣層上且在與第二氧化物半導體層重疊的區域中的閘極電極層。第二氧化物半導體層是包含從結晶區生長形成的晶體之層。

揭示的發明之另一實施例是半導體裝置，其包含：在具有絕緣表面的基底上的第一閘極電極層；遮蓋第一閘極電極層的第一閘極絕緣層；第一氧化物半導體層，包括在第一閘極絕緣層上從第一氧化物半導體層的表面朝向內部生長形成的結晶區；在第一氧化物半導體層上的第二氧化物半導體層；與第二氧化物半導體層接觸的源極電極層和汲極電極層；第二閘極絕緣層，遮蓋第二氧化物半導體

層、源極電極層、和汲極電極層；以及，在第二閘極絕緣層上且在與第二氧化物半導體層重疊的區域中的閘極電極層。第二氧化物半導體層是包含從結晶區生長形成的晶體之層。

在上述半導體裝置的結構中，在與閘極電極層重疊的區域（通道形成區）中，第二氧化物半導體層的表面高度的變異是1 nm或更少（較佳地，0.2 nm或更低）。

注意，第一氧化物半導體層的結晶區具有在垂直於第一氧化物半導體層的表面之方向上對齊的c軸。此外，晶體的c軸相當於膜厚方向。

在上述半導體裝置的結構中，具有絕緣表面的基底包含氧化物或氮化物。

在上述半導體裝置的結構中，包含於第一氧化物半導體層中的結晶區具有大於或等於2 nm且小於或等於10 nm的平均厚度。

在上述半導體裝置的結構中，第一氧化物半導體層或第二氧化物半導體層包括選自In-Sn-Ga-Zn-O、In-Ga-Zn-O、In-Sn-Zn-O、In-Al-Zn-O、Sn-Ga-Zn-O、Al-Ga-Zn-O、Sn-Al-Zn-O、In-Zn-O、Sn- Zn-O、Al-Zn-O、Zn-Mg-O、Sn-Mg-O、In-Mg-O、In-O、Sn-O、及Zn-O。

在上述半導體裝置的結構中，第一氧化物半導體層或第二氧化物半導體層是純化的氧化物半導體層。

在上述半導體裝置的結構中，第一氧化物半導體層及第二氧化物半導體層包含包括相同主成分的材料。

在上述半導體裝置的結構中，第一氧化物半導體層及第二氧化物半導體層包含不同材料。

在上述半導體裝置的結構中，第一氧化物半導體層的結晶區具有與第二氧化物半導體層的晶體相同的電子親和力。

在上述半導體裝置的結構中，第二氧化物半導體層具有凹部。

在上述半導體裝置的結構中，第二氧化物半導體層包含高純度結晶區。

在上述半導體裝置的結構中，第一氧化物半導體層或第二氧化物半導體層具有低於$1.0\times10^{12}cm^{-3}$，較佳地低於$1.45\times10^{10}cm^{-3}$的載子密度。

在上述半導體裝置的結構中，第一氧化物半導體層的結晶區包含多晶矽氧化物半導體材料。此外，第二氧化物半導體層包含多晶氧化物半導體材料。

在上述半導體裝置的結構中，第一氧化物半導體層和第二氧化物半導體層包含多晶氧化物半導體材料。在上述半導體裝置的結構中，第一氧化物半導體層及第二氧化物半導體層的厚度總和大於或等於3 nm且低於或等於50 nm。

在上述半導體裝置的結構中，具有與源極電極層和汲極電極層實質相同的形狀之絕緣層包含於源極電極層和汲極電極層上。

在上述半導體裝置的結構中，與源極電極層和汲極電

極層的第二氧化物半導體層接觸的部份包含具有低的氧親和力之材料。

揭示的本發明之另一實施例是半導體裝置的製造方法，包含下述步驟：在具有絕緣表面的基底上形成第一氧化物半導體層；執行第一熱處理以造成從第一氧化物半導體層的表面朝向內部的晶體生長，以致於在第一氧化物半導體層中形成具有在實質上垂直於表面的方向上對齊的c軸之結晶區；在第一氧化物半導體層上形成第二氧化物半導體層；執行第二熱處理以造成從結晶區開始的晶體生長，以及，使第二氧化物半導體層結晶；在第二氧化物半導體層上形成導體層；蝕刻導體層以形成源極電極層和汲極電極層；形成閘極絕緣層，遮蓋第二氧化物半導體層、源極電極層、和汲極電極層；以及，在閘極絕緣層和與第二氧化物半導體層重疊的區域中形成閘極電極層。

揭示的本發明的另一實施例是半導體裝置的製造方法，包含下述步驟：在具有絕緣表面的基底上形成第一閘極電極層；形成遮蓋第一閘極電極層的第一閘極絕緣層；在第一閘極絕緣層上形成第一氧化物半導體層；執行第一熱處理以造成從第一氧化物半導體層的表面朝向內部的晶體生長，以致於在第一氧化物半導體層中形成具有在實質上垂直於表面的方向上對齊的c軸之結晶區；在第一氧化物半導體層上形成第二氧化物半導體層；執行第二熱處理以造成從結晶區開始的晶體生長，以及，使第二氧化物半導體層結晶；在第二氧化物半導體層上形成導體層；蝕刻

導體層以形成源極電極層和汲極電極層；形成第二絕緣層，遮蓋第二氧化物半導體層、源極電極層、和汲極電極層；以及，在閘極絕緣層和與第二氧化物半導體層重疊的區域中形成第二閘極電極層。

在上述半導體裝置的製造方法的結構中，第一氧化物半導體層具有大於或等於3 nm且小於或等於15 nm的厚度。

在上述半導體裝置的製造方法的結構中，形成多晶區作為第一氧化物半導體層的結晶區。

在上述半導體裝置的製造方法的結構中，第二熱處理使第二氧化物半導體層成為多晶氧化物半導體層。

在上述半導體裝置的製造方法的結構中，第一熱處理及第二熱處理使第一氧化物半導體層及第二氧化物半導體層成為多晶氧化物半導體層。

在上述半導體裝置的製造方法的結構中，第二熱處理造成晶體生長，以致於c軸在實質上垂直於第二氧化物半導體層的表面之方向上對齊。

在上述半導體裝置的製造方法的結構中，使用具有In：Ga：Zn=1：x：y（x大於或等於0且小於或等於2，y大於或等於1且小於或等於5）的成分比之金屬氧化物靶，以濺射法形成第二氧化物半導體層。

在上述半導體裝置的製造方法的結構中，金屬氧化物靶具有In：Ga：Zn=1：x：y（x=1，y=1）的成分比。

在上述半導體裝置的製造方法的結構中，金屬氧化物

靶具有In：Ga：Zn=1：x：y（x=0，y=1）的成分比。

在上述半導體裝置的製造方法的結構中，在源極電極層和汲極電極層上形成具有與源極電極層和汲極電極層實質上相同的形狀之絕緣層。

在上述半導體裝置的製造方法的結構中，使用具有低氧親和力的材料，形成與源極電極層和汲極電極層中的第二氧化物半導體層接觸的部份。

在上述製造方法中，在形成第一氧化物半導體層之後執行退火，以及，在第一氧化物半導體層上形成第二氧化物半導體層。然後，造成從第一氧化物半導體層的表面朝向第二氧化物半導體層的表面之晶體生長。第一氧化物半導體層相當於用於第二氧化物半導體層的種晶。重要的是，在第一氧化物半導體層上形成結晶（例如，多晶）第二氧化物半導體層。

隨著氧化物半導體層的結晶度增加，可以降低BT測試中的電晶體的臨界電壓偏移，以致於實現高可靠度。在使用包含C軸對齊的多晶層之氧化物半導體層形成的電晶體中，在BT測試中，可以降低電晶體的臨界電壓之偏移量，在BT測試中，以光連續地照射電晶體。因此，可以製造具有穩定電特徵的電晶體。

此外，隨著氧化物半導體層的結晶度增加，可以抑制電晶體的電特徵的溫度相依性，舉例而言，可以抑制-30℃至120℃的溫度範圍中開啟狀態電流或關閉狀態電流的變化量。雖然一般的顯示面板的操作溫度範圍高於或等於

0℃且低於或等於40℃，舉例而言，車中的顯示面板需要耐受高於或等於-30℃且低於或等於85℃的抗熱性，甚至是高達105℃的抗熱性。不限於顯示面板，具有高結晶度的氧化物半導體層可以用於切換元件或驅動電路；在此情形中，可以取得能夠耐受各種嚴厲的環境之裝置，這有利於擴大用途或應用領域。

此外，較高的氧化物半導體層結晶度可以實現具有更高的場效遷移率之電晶體。

上述氧化物半導體層都包含金屬氧化物，以及可由四成分的金屬氧化物In-Sn-Ga-Zn-O為基礎的膜形成；三成分的金屬氧化物In-Ga-Zn-O為基礎的膜、In-Sn-Zn-O為基礎的膜、In-Al-Zn-O為基礎的膜、Sn-Ga-Zn-O為基礎的膜、Al-Ga-Zn-O為基礎的膜、或Sn-Al-Zn-O為基礎的膜形成；二成分的金屬氧化物In-Zn-O為基礎的膜、Sn-Zn-O為基礎的膜、Al-Zn-O為基礎的膜、Zn-Mg-O為基礎的膜、Sn-Mg-O為基礎的膜、或In-Mg-O為基礎的膜形成；或In-O為基礎的膜、Sn-O為基礎的膜、Zn-O為基礎的膜、等等形成。

關於上述氧化物半導體膜，可以使用以$InMO_3(ZnO)_m$（m>0，m不是自然數）表示的薄膜。此處，M代表選自Ga、Al、Mn、及Co之一或更多金屬元素。舉例而言，M可為Ga、Ga及Al、Ga及Mn、Ga及Co、等等。使用以$InGa_xZn_yO_z$代表的材料。此處，x、y、及z是任意數。此外，x、y、及z無需是整數且可為非整數。此外，x可以是

零，但是，y較佳地不是零。舉例而言，可以使用x是零的In-Zn-O。此外，在本說明書中以In-Ga-Zn-O表示的氧化物半導體材料是$InGaO_3(ZnO)_m$（m>0，m不是自然數），藉由使用ICP-MS或RBS的分析，確認m不是自然數。此外，可以使用x是1及y是1的情形、x是1及y是0.5的情形、等等。較佳的是使用具有低於$1\times10^{12}cm^{-3}$，較佳地低於$1.45\times10^{10}cm^{-3}$的載子密度之純化的氧化物半導體。

迄今已報告金屬氧化物僅為非晶狀態的金屬氧化物、多晶狀態的金屬氧化物、或是經由約1400℃的高溫之處理取得的單晶狀態的金屬氧化物。但是，如上所述，在相當低溫下，以下述方法形成薄的多晶膜：形成板狀的金屬氧化物多晶體，然後，使用板狀的金屬氧化物的多晶體作為種子，造成晶體生長。假使更厚的多晶膜的形成是可能時，則可以進一步擴大產業應用。注意，為了取得精細的多晶膜，基底的平坦度及平滑度較佳地為高。這是因為小的基底不均勻度會導致c軸的局部不對齊，以及，當晶體生長進行時，在相鄰的晶體之間的c軸方向上的差異會產生例如晶體暫態等缺陷。注意，在氧化物半導體層中板狀晶體較佳地為$InGaZnO_4$（In：Ga：Zn：O=1：1：1：4）的晶體。或者，$In_2Ga_2ZnO_7$（In：Ga：Zn：O=2：2：1：7）的晶體是較佳的。可以使用c軸在垂直於氧化物半導體層的表面之方向上齊的晶體，舉例而言，多晶體。

注意，在本說明書等中，「在...之上」或「在...之下」並非意指「直接在另一元件之上」或「直接在另一元

件之下」。舉例而言，「在閘極絕緣層上的閘極電極層」之說明未排除一元件介於閘極絕緣層與閘極電極之間的情形。此外，僅為方便說明而使用「在...之上」及「在...之下」，除非另外指明，否則包含元件的位置互換的情形。

此外，在本說明書等中，例如「電極」或「佈線」等名詞並非限定元件的功能。舉例而言，「電極」可以作為「佈線」的一部份，而「佈線」可以作為「電極」的一部份。此外，「電極」或「佈線」等詞也意指複數「電極」及「佈線」的組合。

舉例而言，當使用具有不同極性的電晶體或在電路操作時電流方向改變時，「源極」和「汲極」的功能可以切換。因此，在本說明書中，「源極」和「汲極」可以用以分別代表汲極和源極。

注意，在本說明書等中，「電連接」一詞包含經由「具有任何電功能的物體」而連接的複數個元件。只要可以在經由物體而連接的複數個元件之間傳送及接收電訊號，則對於「具有任何電功能的物體」並無特別限定。

「具有任何電功能的物體」的實施例是例如電晶體、電阻器、電感器、電容器、及具有各種不同功能的元件與電極和佈線。

在揭示的本發明中，以純化的氧化物半導體層用於半導體裝置。純化意指下述至少之一：從氧化物半導體層中僅可能地移除使氧化物半導體改變成n型氧化物半導體的氫、以及藉由供應氧化物半導體層缺少的氧而降低因氧化

物半導體層中氧缺乏所造成的缺陷。

執行純化以使氧化物半導體層成為i型氧化物半導體層。由於氧化物半導體一般具有n型導電率，所以，關閉狀態電流高。當關閉狀態電流高時，切換特徵不足，不適合半導體裝置。因此，在本發明的實施例中，氧化物半導體被純化而改變成i型或實質上i型的氧化物半導體層。

在揭示的本發明中，在半導體裝置中使用包含結晶區的氧化物半導體層。

包含結晶區的氧化物半導體層與不具結晶區的氧化物半導體層之間的電特徵不同。舉例而言，在包含c軸在實質上垂直於表面的方向上對齊的結晶區之氧化物半導體層中，在與氧化物半導體層的表面平行之方向上的導電率增加且在垂直於氧化物半導體層的表面之方向上的絕緣性增加。

如此，當包含結晶區的氧化物半導體層用於半導體裝置時，半導體裝置具有優良的電特徵。

在包含結晶區的氧化物半導體層中，相較於使用不具結晶區的氧化物半導體層的情形，進入氧化物半導體層的雜質降低。舉例而言，在包含結晶區的氧化物半導體層中，降低不利於氧化物半導體層的水、氫、等等雜質的進入。

因此，防止氧化物半導體層在沈積後變成n型氧化物半導體層。亦即，增加半導體裝置的可靠度。

如此，在揭示的本發明之實施例中，提供具有高可靠

度及優良特徵的半導體裝置。

如上所述，可以瞭解，當使用氧化物半導體時，特別是使用純化的氧化物半導體時，可以取得各種有利效果。此外，當如同揭示的本發明中所述般，實現具有結晶結構的本質氧化物半導體層時，實現具有優良特徵的新穎半導體裝置。

【圖式簡單說明】

在附圖中：

圖1A及1B是剖面視圖，顯示半導體裝置；

圖2A至2E是剖面視圖，顯示半導體裝置的製程；

圖3A至3D是剖面視圖，顯示半導體裝置的製程；

圖4A至4C是剖面視圖，顯示半導體裝置；

圖5A至5C是剖面視圖，顯示半導體裝置；

圖6A及6B是剖面視圖，顯示半導體裝置；

圖7A及7B是剖面視圖，顯示半導體裝置；

圖8A至8D是剖面視圖，顯示半導體裝置的製程；

圖9A至9C是剖面視圖，顯示半導體裝置的製程；

圖10A至10C是剖面視圖，顯示半導體裝置的製程；

圖11A至11C是剖面視圖，均顯示半導體裝置；

圖12A至12C是剖面視圖，均顯示半導體裝置；

圖13是剖面視圖，顯示半導體裝置；

圖14A至14C是剖面視圖，顯示本發明的實施例；

圖15A是剖面TEM照片，圖15B是其概要圖；

圖16A是第二熱處理後的剖面TEM照片，圖16B是其概要圖；

圖17A是比較實施例的剖面TEM照片，圖17B是其概要圖；

圖18是包含氧化物半導體的電晶體的剖面視圖；

圖19是延著圖18中的A-A'的能帶圖（概要圖）；

圖20A顯示正電位（$+V_G$）施加至閘極（GE）的狀態，圖20B顯示負電位（$-V_G$）施加至閘極（GE）的狀態；

圖21顯示真空能階與金屬的功函數（ϕ_M）之間的關係及真空能階與氧化物半導體的電子親和力（χ）之間的關係。

圖22顯示引起矽（Si）中熱載子注入之能量圖；

圖23顯示引起In-Ga-Zn-O為基礎的氧化物半導體（IGZO）中熱載子注入的能量圖；

圖24顯示關於短通道效果的裝置模擬結果。

圖25顯示關於短通道效果的裝置模擬結果。

圖26顯示C-V（電容－電壓）特徵；

圖27顯示Vg與$(1/C)^2$之間的關係；

圖28A及28B是剖面視圖，顯示半導體裝置；

圖29是剖面視圖，顯示半導體裝置；及

圖30A至30F顯示電子裝置。

【實施方式】

於下，將參考附圖，詳述本發明的實施例。注意，本發明不限於下述說明，以及，習於此技藝者清楚可知，在不悖離本發明的精神及範圍之下，可以以不同方式修改模式及細節。因此，本發明不應被解釋成侷限於下述實施例的說明。

注意，為了便於瞭解，在某些情形中，圖式等中所示的每一結構的位置、尺寸、範圍、等等未準確地表示。因此，圖式等中揭示的本發明不侷限於這些位置、尺寸、範圍、等等。

在本說明書中，使用例如「第一」及「第二」等序號以避免在元件之間造成混淆，這些名詞並非以數字方式限定元件。

（實施例1）

在本實施例中，將參考圖1A及1B、圖2A至2E、圖3A至3D、及圖4A至4C，說明根據揭示的本發明的半導體裝置之結構及製造方法。

<半導體裝置的結構>

圖1A及1B是剖面視圖，顯示半導體裝置的結構實施例之電晶體150。注意，雖然此處所述的電晶體150是載子為電子的n通道IGFET（絕緣閘極場效電晶體），但是，電晶體150可以是p通道IGFET。

電晶體150包含設於基底100上的第一氧化物半導體層

104a上並以絕緣層102介於其間、設於第一氧化物半導體層104a上的第二氧化物半導體層106a、電連接至第二氧化物半導體層106a的源極或汲極電極層108a和源極或汲極電極層108b、遮蓋第二氧化物半導體層106a、源極或汲極電極層108a和源極或汲極電極層108b的閘極絕緣層112、以及在閘極絕緣層112上的閘極電極層114（請參見圖1A和1B）。

此外，層間絕緣層116和層間絕緣層118設於電晶體150上。注意，層間絕緣層116和層間絕緣層118不是必要的元件，可以適當地省略。

關於第一氧化物半導體層104a和第二氧化物半導體層106a，可以使用四成分的金屬氧化物In-Sn-Ga-Zn-O為基礎的材料；三成分的金屬氧化物In-Ga-Zn-O為基礎的材料、In-Sn-Zn-O為基礎的材料、In-Al-Zn-O為基礎的材料、Sn-Ga-Zn-O為基礎的材料、Al-Ga-Zn-O為基礎的材料、或Sn-Al-Zn-O為基礎的材料；二成分的金屬氧化物In-Zn-O為基礎的材料、Sn-Zn-O為基礎的材料、Al-Zn-O為基礎的材料、Zn-Mg-O為基礎的材料、Sn-Mg-O為基礎的材料、或In-Mg-O為基礎的材料；或一成分金屬氧化物In-O為基礎的材料、Sn-O為基礎的材料、或Zn-O為基礎的材料；等等。

此外，可以使用以In-A-B-O表示的氧化物半導體材料。此處，A代表選自例如鎵（Ga）或鋁（Al）等屬於13族的元素、以矽（Si）或鍺（Ge）為代表的屬於14族的元

素、等等中之一或更多種元素。此外，B代表選自以鋅（Zn）為代表的屬於12族的元素之一或更多種元素。注意，自由地設定In含量、A含量、及B含量，以及，包含A含量為零的情形。另一方面，In含量及B含量不是零。換言之，上述表示包含In-Ga-Zn-O、In-Zn-O、等等。

特別地，當無電場且關閉狀態電流因而充份地降低時，In-Ga-Zn-O為基礎的氧化物半導體材料具有足夠高的電阻。此外，具有高的場效遷移率，In-Ga-Zn-O為基礎的氧化物半導體材料適用於半導體裝置中使用的半導體材料。

關於In-Ga-Zn-O為基礎的氧化物半導體材料的典型實施例，以$InGaO_3(ZnO)_m$（m>0）表示。使用M取代Ga，會有以$InMO_3(ZnO)_m$（m>0）表示的氧化物半導體材料。此處，M代表選自鎵（Ga）、鋁（Al）、鐵（Fe）、鎳（Ni）、錳（Mn）、鈷（Co）、等等之一或更多金屬元素。舉例而言，M可為Ga、Ga及Al、Ga及Fe、Ga及Ni、Ga及Mn、Ga及Co、等等。注意，上述成分是從氧化物半導體材料具有的晶體結構導出且僅為實施例。

較佳的是，以從第一氧化物半導體層104a和第二氧化物半導體層106a中充份地移除例如氫等雜質且將氧供應至其的方式，將第一氧化物半導體層104a和第二氧化物半導體層106a純化。具體而言，第一氧化物半導體層104a和第二氧化物半導體層106a中的氫濃度為$5\times10^{19}/cm^3$或更低，較佳地為$5\times10^{18}/cm^3$或更低，又更佳地為$5\times10^{17}/cm^3$或更

低。相較於具有約$1\times10^{14}/cm^3$的載子密度之一般矽晶圓（添加有例如磷或硼等少量的雜質元素之矽晶圓），藉由充份地降低氫濃度及供應氧而被純化的第一氧化物半導體層104a和第二氧化物半導體層106a具有足夠低的載子密度（例如，小於$1\times10^{12}/cm^3$，較佳地小於$1.45\times10^{10}/cm^3$）。藉由使用i型的或實質上i型的氧化物半導體，取得具有極優良的關閉狀態電流特徵的電晶體150。舉例而言，當汲極電壓Vd是+1V或+10V及閘極電壓Vg從-20V至-5V時，關閉狀態電流為1×10^{-13}A或更低。注意，以二次離子質譜儀（SIMS），則量第一氧化物半導體層104a和第二氧化物半導體層106a中的氫濃度。

此處，較佳的是第一氧化物半導體層104a包含結晶區。結晶區較佳的是包含第一氧化物半導體104a的表面之區域，亦即，包含第一氧化物半導體層104a與第二氧化物半導體層106a之間的介面的區域，以及，較佳的是包含c軸在實質上垂直於第一氧化物半導體104a的表面之方向上對齊的晶體之區域。舉例而言，結晶區包含c軸在實質上垂直於第一氧化物半導體104a的表面之方向上對齊的晶粒。此處，「實質上垂直的方向」意指垂直方向±10°之內的方向。注意，結晶區僅形成於第一氧化物半導體層104a的表面近處中（例如，離表面2 nm或更多且10 nm或更少的距離（深度）之區域），或是形成為抵達第一氧化物半導體層104a的底部表面。

此外，結晶區較佳地包含板狀晶體。此處，板狀晶體

意指以平面方式且具有類似薄板的形狀之晶體。結晶區較佳地包含多晶體。

第二氧化物半導體層106a包含從第一氧化物半導體層104a的結晶區的晶體生長所形成的晶體。

此處，由於第二氧化物半導體層106a包含從第一氧化物半導體層104a的結晶區的晶體生長所形成的晶體，所以，如同在第一氧化物半導體層104a的結晶區中一般，第二氧化物半導體層106a包含c軸在實質上垂直於第一氧化物半導體層104a與第二氧化物半導體層106a之間的介面的方向上對齊之第二氧化物半導體層106a。此處，「實質上垂直的方向」意指垂直方向±10°之內的方向。

此外，如同在第一氧化物半導體層104a的結晶區中一般，第二氧化物半導體層106a較佳地包含板狀晶體。第二氧化物半導體層106a較佳地包含多晶體。

第二氧化物半導體層106a不僅包含從第一氧化物半導體層104a的晶體生長形成的晶體，也包含從第二氧化物半導體層106a的晶體生長形成的晶體。

在使用相同材料形成第一氧化物半導體層104a及第二氧化物半導體層106a的情形（亦即，在同質磊晶的情形）中，第一氧化物半導體層104a及第二氧化物半導體層106a之間的邊界可能無法分辨。雖然圖1A中邊界由點虛線顯示，但是，有第一氧化物半導體層104a及第二氧化物半導體層106a被視為一層的情形（請參見圖1A）。第一氧化物半導體層104a及第二氧化物半導體層106a都包含多晶體。

或者，第一氧化物半導體層104a及第二氧化物半導體層106a可由不同材料形成（請參見圖1B）。在第一氧化物半導體層104a及第二氧化物半導體層106a由不同材料形成的情形（亦即，在異質磊晶的情形）中，舉例而言，第一氧化物半導體層104a由二成分金屬氧化物的In-Zn-O為基礎的材料形成，以及，第二氧化物半導體層106a由三成分金屬氧化物的In-Ga-Zn-O為基礎的材料形成。

由於以第一氧化物半導體層104a的結晶區的晶體生長形成第二氧化物半導體層106a，所以，第二氧化物半導體層106a具有電各向異性。舉例而言，由於c軸在實質上垂直於第一氧化物半導體層104a與第二氧化物半導體層106a之間的介面的方向上對齊，所以，在與第二氧化物半導體層106a的表面平行的方向上的導電率增加。相對地，在與第二氧化物半導體層106a的表面垂直的方向上，絕緣特性增加。

在氧化物半導體層中作為通道形成區的區域至少具有平坦表面。第一氧化物半導體層及第二氧化物半導體層是多晶體，包含於第一氧化物半導體層及第二氧化物半導體層中的多晶體的c軸在相同方向上對齊。在與閘極電極層重疊的區域（通道形成區）中，第二氧化物半導體層的表面高度的變異較佳地為1 nm或更少（又較佳地為0.2 nm或更少）。

如上所述，藉由使用由從經過純化的第一氧化物半導體層104a的結晶區的晶體生長形成的第二氧化物半導體層

106a，可以實現具有有利的電特徵之半導體裝置。

第二氧化物半導體層106a是相當穩定的，因此，防止雜質（例如水）進入其中。因此，增進第二氧化物半導體層106a的可靠度。

於下，將說明氧化物半導體的純化造成氧化物半導體成為本質的（i型的）氧化物半導體的意義，在半導體裝置中使用此氧化物半導體的優點、等等。

<本質氧化物半導體的形成>

雖然已執行例如狀態密度（DOS）等氧化物半導體特性的研究，但是，它們未包含充份地降低缺陷程度本身的思想。根據揭示的本發明的實施例，藉由從氧化物半導體中移除可能造成DOS增加的水或氫，形成純化的本質（i型的）氧化物半導體。這是根據充份降低DOS本身的思想。因此，可以製造優良的產業產品。

注意，當移除氫、水、等等時，在某些情形中也移除氧。因此，有利的是藉由供應氧給因氧缺乏而產生的金屬的懸垂鍵並藉以降低導因於氧缺乏的DOS，而使氧化物半導體進一步被純化成為本質的（i型）氧化物半導體。舉例而言，以下述方式進一步降低導因於氧缺乏的DOS：形成與通道形成區緊密接觸的具有過量氧的氧化物膜；以及，執行高於或等於200℃且低於或等於400℃，典型上約250℃的熱處理，以致於氧從氧化物膜供應給氧化物半導體。在熱處理期間，氣體可以從惰性氣體切換成含氧的氣

體。此外，接續在熱處理之後，藉由在充份地移除氫、水、等等的氛圍中或是氧氛圍中，執行溫度降低步驟，將氧供應至氧化物半導體。

氧化物半導體特徵的劣化因素被視為是導因於在導電帶之下0.1 eV至0.2 eV的過量氫形成的淺能階、導因於氧缺乏的深能階、等等。

注意，雖然氧化物半導體通常具有n型導電率，所以，在所揭示的本發明之一實施例中，藉由移除例如水或氫等雜質及供應氧化物半導體的成份之氧而取得i型氧化物半導體。關於此點，由於與例如添加雜質元素的矽等i型半導體層不同，所以，可以說此處揭示的本發明的一實施例包含新穎的技術思想。

當使用i型氧化物半導體時，可以取得有利的電晶體溫度特徵。典型地，關於電晶體的電流－電壓特徵，在-25℃至150℃的溫度範圍中，開啟狀態電流、關閉狀態電流、場效遷移率、S值、及臨界電壓幾乎沒有變化，因此，電流－電壓特徵幾乎不會因溫度而劣化。

使用本實施例中所述的氧化物半導體之電晶體具有比使用碳化矽的電晶體的遷移率低約二位數的遷移率。但是，藉由增加汲極電壓或通道寬度（W），使用氧化物半導體的電晶體的電流值增加；因此，增進裝置特徵。

本實施例的技術思想是藉由刻意地移除非所需地存在於氧化物半導體中的例如水或氫等雜質而未添加雜質至氧化物半導體，以純化氧化物半導體本身。換言之，本實施

例的技術思想是藉由移除形成施子能階的水或氫並充份地供應氧化物半導體的主成分之氧以降低氧缺乏，來純化氧化物半導體。

根據SIMS（二次離子質譜儀）測量，正好在氧化物半導體沈積後，氫以約$1\times10^{20}cm^{-3}$存在於氧化物半導體中。有意地移除造成施子能階的水或氫以及將因水或氫的移除而降低的氧（氧化物半導體的成分之一）添加至氧化物半導體，因而將氧化物半導體純化成電性上本質的（i型）半導體。

此外，在實施例中，較佳的是，水及氫的數量儘可能小，也是較佳的是，氧化物半導體中的載子數目僅可能小。換言之，需要小於$1\times10^{12}cm^{-3}$，較佳地小於$1.4\times10^{10}cm^{-3}$的載子密度，$1.4\times10^{10}cm^{-3}$的載子密度是小於或等於測量極限。此外，在本實施例的技術思想中，理想的載子密度是$0cm^{-3}$或是約$0cm^{-3}$。特別地，當氧化物半導體在高於或等於450℃且低於或等於850℃，較佳地高於或等於550℃且低於或等於750℃下，在氧氛圍、氮氛圍、或超乾空氣氛圍（水含量小於或等於20 ppm，較佳地小於或等於1 ppm，更佳地小於或等於 10 ppb的空氣）中接受熱處理時，作為n型雜質的水或氫被移除且氧化物半導體被純化。此外，當藉由移除例如水或氫等雜質而純化氧化物半導體時，其載子密度可以小於$1\times10^{12}cm^{-3}$，較佳地小於$1.4\times10^{10}cm^{-3}$，$1.4\times10^{10}cm^{-3}$是小於或等於測量極限。

此外，當在高於或等於450℃且低於或等於850℃的溫

度中，較佳地高於或等於600℃且低於或等於700℃的溫度中執行熱處理時，氧化物半導體純化，也結晶，晶體生長從氧化物半導體的表面朝向其內部進行，以致於氧化物半導體變成c軸對齊的多晶層。

根據本發明的實施例，使用c軸對齊的多晶層作為種晶，在其上形成第二氧化物半導體，以及，在高於或等於450℃且低於或等於850℃的溫度中，較佳地在高於或等於550℃且低於或等於750℃的溫度中，執行熱處理，以致於第二氧化物半導體變成c軸以類似於種晶的方式對齊的多晶層。也就是說，執行種晶的c軸與第二氧化物半導體的c軸在相同方向上對齊的理想軸向生長或磊晶生長。

不僅藉由沈積後的熱處理造成的固相生長，也藉由在高於或等於200℃且低於或等於600℃的溫度中受加熱的狀態下典型地以濺射沈積第二氧化物半導體的沈積期間之晶體生長，取得c軸以同於種晶的方向對齊之第二氧化物半導體。

此外，氧化物半導體中的載子降低，或者，較佳地，所有載子被移除，以致於氧化物半導體作為電晶體中載子通過的路徑。結果，氧化物半導體是未具有載子或具有很少載子的純化的i型（本質的）半導體，以致於關閉狀態中電晶體的關閉狀態電流相當低，這是本實施例的技術思想。

此外，當氧化物半導體作為路徑以及氧化物半導體本身是未具有載子或具有很少載子的純化的i型（本質的）

半導體時，由源極電極和汲極電極供應載子。當適當地選取電子親和力χ及費米能階，較佳地相當於氧化物半導體中的本質費米能階及源極電極和汲極電極的功函數之費米能階，載子可以從源極電極和汲極電極注入。因此，適當地製造n通道電晶體和p通道電晶體。

在形成實質上平行於基底的通道之橫向式電晶體中，需要設置源極和汲極與通道，以致於增加基底中電晶體佔據的面積，這阻礙微小化。但是，在垂直式電晶體中，源極、通道、和汲極相堆疊，因而基底表面中由電晶體佔據的面積降低。由於此結果，能夠將薄膜電晶體微小化。

如上所述，氧化物半導體膜純化至含有儘可少的非氧化物半導體膜的主成分的雜質，典型上是氫、水、羥基、或氫化物，並使氧化物半導體膜包含多晶區，因而可以取得電晶體的有利操作。具體而言，耐受電壓增加，短通道效應降低，以及開／關比增加。此外，BT測試中電晶體的臨界電壓偏移量降低，以致於實現高可靠度。此外，電特徵的溫度相依性降低。在使用包含c軸對齊的多晶層之氧化物半導體層形成的電晶體中，在電晶體由光連續地照射的BT測試中，電晶體的臨界電壓偏移量降低。因此，製造具有穩定電特徵的電晶體。

<相較於其它半導體材料之製程優點>

關於與氧化物半導體相比之半導體材料，可為碳化矽（例如4H-SiC）等等。氧化物半導體與4H-SiC之間有一些

共同性。載子濃度是氧化物半導體與4H-SiC之間的共同性之一實施例。根據費米－德瑞克（Fermi-Dirac），估算氧化物半導體的次要載子密度約為$10^{-7}/cm^3$。此次要載子密度值類似4H-SiC的次要載子密度，是極度小，4H-SiC的次要載子密度為$6.7\times10^{-11}/cm^3$。當氧化物半導體的次要載子密度與矽的本質載子密度（約$1.4\times10^{10}/cm^3$）相比時，可以良好地瞭解到氧化物半導體的次要載子密度顯著地低。

此外，氧化物半導體的能帶隙大於或等於3.0 eV且小於或等於3.5 Ev，4H-SiC的能帶隙是3.26 eV。因此，氧化物半導體與碳化矽類似地都是寬能帶隙半導體。

另一方面，在氧化物半導體與碳化矽之間有主要的差異，亦即製程溫度。一般而言，當使用碳化矽時，要求高於或等於1500℃且低於或等於2000℃的熱處理。在此高溫下，使用碳化矽以外的材料之半導體基底、半導體元件、等等會損壞，因此，難以在使用碳化矽以外的半導體材料之半導體元件上形成使用碳化矽的半導體元件。另一方面，經由高於或等於300℃且低於或等於800℃的熱處理，可以取得氧化物半導體。因此，在形成使用其它半導體材料的積體電路之後，能夠形成使用氧化物半導體的半導體元件。

在使用氧化物半導體的情形中，具有能夠使用具有低抗熱性的基底的優點，例如玻璃基底，不同於使用碳化矽的情形。此外，不用高溫處理，即能取得氧化物半導體，以致於相較於使用碳化矽的情形，能夠充份地降低能量成

本。此外，在碳化矽中，晶體缺陷或是無意地被導入碳化矽中的小量雜質是產生載子的因素。理論上，在碳化矽的情形中，可以取得等於本發明的氧化物半導體的載子密度之低載子密度；但是，由於上述原因，所以，特別難以取得$10^{12}/cm^3$或更低的載子密度。當氧化物半導體與也是熟知的寬能帶隙半導體之氮化鎵相比時，同樣的情形也是為真。

<包含氧化物半導體的電晶體的導電機制>

將參考圖18、圖19A及圖19B、圖20A和20B、及圖21，說明包含氧化物半導體的電晶體的導電機制。注意，為了容易瞭解，下述說明是根據理想情形的假設，且未完全地反應真實的情形。此外，下述說明僅為一考量。

圖18是包含氧化物半導體的電晶體（薄膜電晶體）的剖面視圖。氧化物半導體（OS）設於閘極電極（GE）上而以閘極絕緣層（GI）設於其間，以及，源極電極（S）和汲極電極（D）設於氧化物半導體層上。

圖19是圖18中的A-A'剖面之能帶圖（概要圖）。在圖19中，黑圓圈（●）及白圓圈（○）分別代表電子及電洞且分別具有電荷（-q，+q）。以正電壓（$V_D>0$）施加至汲極電極，虛線顯示無電壓施加至閘極電極（$V_G=0$）的情形，實線顯示正電壓施加至閘極電極（$V_G>0$）的情形。在無電壓施加至閘極電極的情形中，由於高電位障壁，載子（電子）未從電極注入至氧化物半導體側，以致於沒有電

流流通，意指關閉狀態。另一方面，當正電壓施加至閘極電極時，電位障壁降低，因此電流流通，意指開啟狀態。

圖20A及20B是圖18中的B-B'剖面之能帶圖（概要圖）。圖20A顯示正電壓（$V_G>0$）施加至閘極電極（GE）的狀態及載子（電子）在源極電極與汲極電極之間流動的開啟狀態。圖20B顯示負電位（$V_G<0$）施加至閘極電極（GE）的狀態及關閉狀態（次要載子未流動）。

圖21顯示真空位準與金屬的功函數（ϕ_M）之間的關係及氧化物半導體的真空能階與電子親和力（χ）之間的關係。

由於在室溫度金屬中的電子衰退，所以費米能階位於導電帶。另一方面，習知的氧化物半導體是n型半導體，在該情形中，費米能階（E_F）遠離位於能帶隙的中間之本質費米能階（E_i）並較接近導電帶。注意，知悉部份氫在氧化物半導體中作為施子且是造成氧化物半導體成為n型半導體的一因素。此外，知悉氧缺乏是產生n型氧化物半導體的原因之一。

相對地，根據揭示的本發明的實施例之氧化物半導體是以下述方式成為本質的（i型）或是接近本質的氧化物半導體：從氧化物半導體移除產生n型氧化物半導體的起因之氫以便純化，以致於氧化物半導體的包含儘可能少的非氧化物半導體的主成分以外的元素（雜質元素），又移除氧缺乏。亦即，本發明的實施例的特點是未藉由添加雜質而是藉由移除儘可能多的氫和水等雜質及氧缺乏，而使

氧化物半導體成為或接近純化的i型（本質的）半導體。因此，費米能階（E_F）能夠與本質費米能階（E_i）是可相比的。

可說氧化物半導體的能帶隙（E_g）是3.15 Ev及電子親和力（χ）是4.3V。用於形成源極和汲極電極的鈦（Ti）的功函數實質上等於氧化物半導體的電子親和力（χ）。在該情形中，在金屬與氧化物半導體之間的介面處未形成電子的肖特基障壁。

在此時，如圖20A所示，電子在閘極絕緣層與純化的氧化物半導體之間的介面近處（氧化物半導體的底部部份，在能量上穩定的）中移動。

如圖20B所示，當負電位施加至閘極電極（GE）時，次要載子之電洞實質上未存在。因此，電流的值實質上接近零。

以此方式，氧化物半導體藉由純化至含有儘可能少的其主成分以外的元素（雜質元素）而成為本質的（i型）或實質上本質的。因此，氧化物半導體與閘極絕緣層之間的介面的特徵變成顯著的。基於此理由，閘極絕緣層需要與氧化物半導體形成有利的介面。具體而言，較佳的是使用下述絕緣層，舉例而言：使用VHF頻帶至微波頻帶的範圍中的電源頻率產生的高密度電漿之CVD法形成的絕緣層、或是以濺射法形成的絕緣層。

藉由純化氧化物半導體及形成氧化物半導體與閘極絕緣層之間的有利介面，舉例而言，當電晶體的通道寬度

（W）是$1\times10^{4}\mu$m以及其通道長度（L）為3μm時，取得關閉電流為10^{-13}A或更低且次臨界擺幅值（S值）為0.1 V/dec.（閘極絕緣膜的厚度：100 nm）等特徵。

當如上所述般純化氧化物半導體至含有儘可能少的其主元素以外之元素（雜質元素）時，電晶體可以以有利方式操作。

<使用氧化物半導體的電晶體的抗熱載子劣化>

接著，將參考圖22及圖23，說明使用氧化物半導體的電晶體之抗熱載子劣化。注意，為了容易瞭解，下述說明根據理想狀況的假設，且未完全反應真實情形。此外，下述說明僅為一考量。

熱載子劣化的主要原因是通道熱電子注入（CHE注入）和汲極雪崩熱載子注入（DAHC注入）。注意，為了簡明起見，下述僅考慮電子。

CHE注入意指一現象，其中，取得高於閘極絕緣層的障壁的能量之半導體層中的電子注入閘極絕緣層等等。電子藉由被低電場加速而取得能量。

DAHC注入意指一現象，其中，被高電壓加速的電子之碰撞而產生的電子注入至閘極絕緣層等等。DAHC注入與CHE注入之間的差異是它們是否牽涉到因撞擊離子化造成的雪崩。注意，DAHC注入要求具有高於半導體的能帶隙之動能的電子。

圖22顯示從矽（Si）的能帶結構估算之包含熱載子的

注入之能量數量。圖23顯示包含熱載子注入的能量數量，其係從In-Ga-Zn-O為基礎的氧化物半導體（IGZO）的能帶結構估算而得的。在圖22及圖23中，在左側的圖顯示CHE注入及右側的圖顯示DAHC注入。

關於矽，由DAHC注入造成的劣化比CHE注入造成的劣化更嚴重。這導因於矽具有窄的能帶隙及雪崩容易於其中發生的事實。由於在矽中被加速而未碰撞的載子（例如，電子）是很少，所以，CHE注入的機率低。另一方面，雪崩增加能夠越過閘極絕緣層的障壁之電子數目，因此，DAHC注入的機率容易變成高於CHE注入的機率。

關於In-Ga-Zn-O為基礎的氧化物半導體，包含CHE注入的能量數量與矽的情形並無大幅不同，而包含DAHC注入的能量數量實質上等於包含導因於寬能帶隙的CHE注入之能量數量。亦即，DAHC注入的機率低。

以類似於矽的方式，被加速而未碰撞的載子（例如，電子）很少；因此，CHE注入的機率也低。亦即，In-Ga-Zn-O為基礎的氧化物半導體比矽具有更高的熱載子劣化抗性。

<使用氧化物半導體的電晶體中的短通道效應>

接著，將參考圖24，說明使用氧化物半導體的電晶體中的短通道效應。注意，為了容易瞭解，下述說明是根據理想情況的假設且未完全地反應真實的情形。此外，下述說明僅為一考慮。

短通道效應意指隨著電晶體的微小化（通道長度（L）縮減）變得顯著之電特徵劣化。短通道效應導因於源極上的汲極之效應。短通道效應的具體實施例是臨界電壓下降，次臨界擺幅（S值）增加、漏電流增加、等等。

此處，以裝置模擬來檢查能夠抑制短通道效應的結構。具體而言，製備均具有不同的載子密度及不同厚度的氧化物半導體層之四種模型，以及，檢查通道長度（L）與臨界電壓（V_{th}）之間的關係。關於這些模型，使用均具有$1.7\times10^{-8}/cm^3$或$1.0\times10^{15}/cm^3$的載子密度及厚度1μm或30nm的氧化物半導體層之底部閘極型電晶體。注意，In-Ga-Zn-O為基礎的氧化物半導體用於氧化物半導體，以及，使用厚度100 nm的氧氮化矽膜作為閘極絕緣層。

注意，在頂部閘極型電晶體與底部閘極型電晶體之間的計算結果中沒有顯著的差異。

圖24及25顯示計算結果。圖24顯示載子密度為$1.7\times10^{-8}/cm^3$的情形，圖25顯示載子密度為$1.0\times10^{15}/cm^3$的情形。這些結果顯示藉由降低包含氧化物半導體的電晶體中的氧化物半導體層的厚度，可以抑制短通道效應。舉例而言，在通道長度幾乎為1μm的情形中，即使使用具有充份低的載子密度之氧化物半導體，仍然可以瞭解，當氧化物半導體層的厚度被設定為約3 nm至50 nm，較佳地約3 nm至20 nm，典型地約20 nm時，短通道效應被充份地抑制。

<氧化物半導體的載子密度>

根據此處揭示的本發明之技術思想之一是藉由充份地降低氧化物半導體層的載子密度而將氧化物半導體層製成儘可能地接近本質（i型）氧化物半導體層。於下，將參考圖26及27，說明用於取得載子密度及氧化物半導體層中測量到的載子密度。

以形成包含氧化物半導體層的MOS電容器以及估算MOS電容器的C-V測量（C-V特徵）之方式，取得氧化物半導體層中的載子密度。

以下述步驟測量載子密度：步驟1，繪製閘極電壓Vg與MOS電容器的電容C之間的關係而取得C-V特徵曲線；步驟2，從C-V特徵取得代表閘極電壓Vg與$(1/C)^2$之間的關係的圖形，以及，在圖中的弱反轉區中取得$(1/C)^2$的微分值；以及，步驟3，將取得的微分值代入代表載子密度N_d的下述公式1。注意，在公式1中，e代表基本電荷，ε_0代表真空介電常數，ε代表氧化物半導體的相對介電常數。

[公式1]

$$N_d = -\left(\frac{2}{e\varepsilon_0\varepsilon}\right)\Big/\frac{d(1/C)^2}{dV}$$

關於用於測量的樣品，使用具有下述結構的MOS電容器。MOS電容器包含在玻璃基底上300 nm厚的鈦層、鈦層上100 nm厚的氮化鈦層、在氮化鈦層上使用In-Ga-Zn-O為基礎的氧化物半導體（a-IGZO）之2μm厚的氧化物半導體層、在氧化物半導體層上300 nm厚的氧氮化矽層、及在

氧氮化矽層上300 nm厚的銀層。

使用用於沈積包含In、Ga、及Zn（In：Ga：Zn=1：1：0.5[原子%]）的氧化物半導體之靶，以濺射法形成氧化物半導體層。形成氧化物半導體層的氛圍是氬及氧的混合氛圍（Ar及O_2的流速分別為30（sccm）及15（sccm））。

圖26顯示C-V特徵。圖27顯示Vg與$(1/C)^2$之間的關係。從使用圖27中的弱反轉區中的$(1/C)^2$的微分值之公式中取得的載子密度是$6.0\times10^{10}/cm^3$。

藉由使用變成本質的或實質上本質的氧化物半導體（例如，載子密度小於$1\times10^{12}/cm^3$及較佳地小於$1.45\times10^{10}/cm^3$），可以取得具有優良的關閉狀態電流特徵的電晶體。

如上所述，可知當使用氧化物半導體時，特別是純化的氧化物半導體時，可以取得各種有利的功效。此外，當如同揭示的本發明中所述般實現具有結晶結構的本質氧化物半導體層時，實現具有優良特徵的新穎半導體裝置。

<半導體裝置的製造方法>

接著，將參考圖2A至2E及圖3A至3D，說明電晶體150的製造方法。

絕緣層102形成於基底100上。然後，第一氧化物半導體層形成於絕緣層102上，以及，執行第一熱處理以至少晶化包含第一氧化物半導體層的表面之區域，因而形成第

一氧化物半導體層104（請參見圖2A）。

基底100可以是任何具有絕緣表面基底，以及，舉例而言，可為玻璃基底。由於能夠量產根據本發明的實施例之半導體裝置，所以，較佳的是使用玻璃基底。玻璃基底較佳的是非鹼性玻璃基底。關於非鹼性玻璃基底，舉例而言，使用例如矽酸鋁玻璃、硼矽酸鋁玻璃、硼矽酸鋇玻璃等玻璃材料。或者，關於基底100，使用由例如陶瓷基底、石英基底、或藍寶石基底等絕緣體形成的絕緣基底、使用例如矽等半導體材料形成且表面由絕緣材料遮蓋的半導體基底、或是由例如金屬或不銹鋼等導體形成且表面由絕緣材料遮蓋的導體基底。只要能夠承受製程中的熱處理，也可以使用塑膠基底。

絕緣層102作為基部且由CVD法、濺射法、等等形成。絕緣層102較佳地形成為包含氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氧化鉿、氧化鉭、等等。注意，絕緣層102可以具有單層結構或堆疊結構。對於絕緣層102的厚度並無特別限定；舉例而言，絕緣層102具有大於或等於10 nm且小於或等於500 nm的厚度。絕緣層102並非此處必要的元件；因此，未設置絕緣層102的結構也是可能的。

假使氫、水、等等含於絕緣層102中時，則氫進入氧化物半導體層或自氧化物半導體層取出氧，因而電晶體的特徵可能劣化。因此，希望形成絕緣層102為包含儘可能少的氫或水。

在使用濺射法等的情形中，舉例而言，希望在餘留於處理室中的濕氣被移除的狀態中，形成絕緣層102。為了移除餘留在處理室中的濕氣，較佳地使用吸附型真空泵，舉例而言，低溫泵、離子泵、或鈦昇華泵。使用設有冷阱的渦輪泵。在由低溫泵等抽真空的處理室中，充份地移除氫、水、等等；因此，可以降低絕緣層102中的雜質濃度。

當形成絕緣層102時，希望使用高純度氣體，其中，例如氫或水等雜質減少以致於濃度降低至約以「ppm」單位表示的值（較佳地，「ppb」）。

使用四成分的金屬氧化物In-Sn-Ga-Zn-O為基礎的材料；三成分的金屬氧化物In-Ga-Zn-O為基礎的材料、In-Sn-Zn-O為基礎的材料、In-Al-Zn-O為基礎的材料、Sn-Ga-Zn-O為基礎的材料、Al-Ga-Zn-O為基礎的材料、或Sn-Al-Zn-O為基礎的材料；二成分的金屬氧化物In-Zn-O為基礎的材料、Sn-Zn-O為基礎的材料、Al-Zn-O為基礎的材料、Zn-Mg-O為基礎的材料、Sn-Mg-O為基礎的材料、或In-Mg-O為基礎的材料；或In-O為基礎的材料、Sn-O為基礎的材料、Zn-O為基礎的材料、等等。

此外，可以使用以In-A-B-O表示的氧化物半導體材料。此處，A代表選自例如鎵（Ga）或鋁（Al）等屬於13族的元素、以矽（Si）或鍺（Ge）為代表的屬於14族的元素、等等中之一或更多種元素。此外，B代表選自以鋅（Zn）為代表的屬於12族的元素之一或更多種元素。注

意，自由地設定In含量、A含量、及B含量，以及，包含A含量為零的情形。另一方面，In含量及B含量不是零。換言之，上述表示包含In-Ga-Zn-O、In-Zn-O、等等。

特別地，當無電場且關閉狀態電流因而充份地降低時，In-Ga-Zn-O為基礎的氧化物半導體材料具有足夠高的電阻。此外，具有高的場效遷移率，In-Ga-Zn-O為基礎的氧化物半導體材料適用於半導體裝置中使用的半導體材料。

關於In-Ga-Zn-O為基礎的氧化物半導體材料的典型實施例，以$InGaO_3(ZnO)_m$（m>0）表示。使用M取代Ga，會有以$InMO_3(ZnO)_m$（m>0）表示的氧化物半導體材料。此處，M代表選自鎵（Ga）、鋁（Al）、鐵（Fe）、鎳（Ni）、錳（Mn）、鈷（Co）、等等之一或更多金屬元素。舉例而言，M可為Ga、Ga及Al、Ga及Fe、Ga及Ni、Ga及Mn、Ga及Co、等等。注意，上述成分是從氧化物半導體材料具有的晶體結構導出且僅為實施例。

在本實施例中，使用用於沈積In-Ga-Zn-O為基礎的氧化物半導體之靶，以濺射法形成第一氧化物半導體。

關於藉由濺射法用於沈積第一氧化物半導體層的靶，舉例而言，用於沈積包含In、Ga、及Zn的氧化物半導體之靶的成分比是使得In：Ga：Zn=1：x：y（x大於或等於0且小於或等於2，y大於或等於1且小於或等於5）。舉例而言，使用具有In：Ga：Zn=1：1：1[原子比]（x=1，y=1）的成分比之靶（亦即，In_2O_3：Ga_2O_3：ZnO=1：1：1[莫耳

比]）。關於用於沈積氧化物半導體的靶，使用具有In：Ga：Zn=1：1：0.5[原子比]的成分比之靶、具有In：Ga：Zn=1：1：2[原子比]的成分比之靶、或是具有In：Ga：Zn=1：0：1[原子比]的成分比之靶。 在本實施例中，為了稍後由熱處理造成刻意晶化，較佳地使用容易造成晶化之用於沈積氧化物半導體的靶。

此外，較佳的是含於用於沈積氧化物半導體的靶中含有的氧化物半導體具有80%或更高的相對密度，較佳地95%或更高，又更佳地99.9%或更高。藉由具有高的相對密度之用於沈積氧化物半導體的靶，第一氧化物半導體層形成為緻密的。在本實施例中，為了稍後由熱處理造成第一氧化物半導體層的刻意晶化，較佳的是使用能夠容易造成晶化之用於沈積氧化物半導體的靶。

形成第一氧化物半導體層的氛圍較佳地為稀有氣體（典型地，氬）氛圍、氧氛圍、或稀有氣體（典型地，氬）與氧的混合氛圍。具體而言，較佳的是使用例如氫、水、羥基、或氫化物等雜質被移除以致於濃度降低至約以「ppm」（較佳地，「ppb」）單位表示的值的高純度氣體氛圍。

在形成氧化物半導體層時，舉例而言，基底被固持於維持在降壓的處理室中且基底溫度設定在等於或高於100℃且低於或等於600℃的溫度，較佳地高於或等於200℃且低於或等於400℃。然後，將氫及水被移除的濺射氣體導入餘留的濕氣已被移除的處理室中，使用金屬氧化物作為

靶；如此，形成第一氧化物半導體層。當在加熱基底時形成氧化物半導體層時，能夠降低含於第一氧化物半導體層中的雜質。此外，降低濺射造成的損傷。較佳的是在第一氧化物半導體層形成之前、期間、或之後，移除餘留在濺射設備中的濕氣。為了移除餘留在處理室中的濕氣，較佳地使用吸附型真空泵。舉例而言，較佳地使用低溫泵、離子泵、鈦昇華泵、等等。或者，使用設有冷阱的渦輪泵。由於從由低溫泵抽真空的處理室中移除氫、水、等等，所以，降低第一氧化物半導體層中的雜質濃度。

舉例而言，第一氧化物半導體層的沈積條件如下所述：基底與靶之間的距離為170 mm、壓力0.4 Pa、直流（DC）電力為0.5 kW、以及氛圍為氧氛圍（氧流量中氧的比例為100%）。注意，由於降低灰塵（膜沈積時產生的粉末或片狀物質以及使膜厚均勻，所以較佳地使用脈衝式直流（DC）電源。氧化物半導體層的厚度較佳地大於或等於3 nm且小於或等於15 nm，在本實施例中為5 nm。注意，適當的厚度視氧化物半導體材料、用途、等等而不同，因此，可以視材料、用途、等等而適當地設定厚度。

注意，在以濺射法形成第一氧化物半導體層之前，較佳地執行逆濺射，以致於移除附著於絕緣層102的表面的材料，在逆濺射中藉由導入的氬氣以及產生電漿。此處，逆濺射係一方法，其中，與使離子撞擊濺射靶之一般濺射相對地，使離子撞擊要處理的表面，以致於修改表面。使離子撞擊要處理的表面之方法的實施例是在氬氛圍中將高

電源施加至表面，以致於在接近基底處產生電漿。注意，可以使用氮氛圍、氦氛圍、氧氛圍或類似者以取代氬氛圍。

此外，在沈積第一氧化物半導體層之前，較佳地執行預熱處理，以移除移留在濺射設備的內壁上、靶表面上、或是靶材中的濕氣或氫。關於預熱處理，可以是在降壓下將沈積室的內部加熱至高於或等於200℃且低於或等於600℃的方法、膜沈積室的內部被加熱時重複導入及排出氮或惰性氣體之方法、等等。在預熱處理之後，將基底或濺射設備冷卻。然後，形成氧化物半導體層而未曝露至空氣。在此情形中，較佳地以油而非水或類似者作為用於靶的冷卻劑。雖然當重複導入及排出氮氣而未加熱時可以取得某種程度的效果，但是，又更佳的是以膜形成室的內部受加熱來執行處理。

接著，對第一氧化物半導體層執行第一熱處理以至少晶化包含第一氧化物半導體層的表面之區域，因而形成第一氧化物半導體層104。經由此第一熱處理，移除第一氧化物半導體層中的水（包含羥基）、氫、等等。第一熱處理的溫度高於或等於450℃且低於或等於850℃，較佳地高於或等於550℃且低於或等於750℃。加熱時間等於或大於1分鐘且小於或等於24小時。在本實施例中，在乾空氣氛圍中，在700℃下，執行熱處理一小時。

注意，在第一熱處理中，較佳的是氮、氧、或例如氦、氖、或氬等稀有氣體中未含有水、氫、等等。較佳的

是，被導入至熱處理設備之氮、氧、或例如氦、氖、或氬等稀有氣體具有大於或等於6N（99.9999%）之純度，較佳地大於或等於7N（99.99999%）（亦即，雜質濃度設定為小於或等於1 ppm，較佳地低於或等於0.1 ppm）。在具有20 ppm或更低濃度的H_2O之超乾空氣中、更佳地在具有1 ppm或更低濃度的H_2O之超乾空氣中，執行第一熱處理。藉由此第一熱處理，移除第一氧化物半導體層104中的水（包含羥基）、氫、等等。因此，形成雜質降低之i型或實質上i型的第一氧化物半導體層104，使電晶體150能夠具有非常優良的特徵。

此外，當在第一熱處理中溫度增加時，加熱爐的內部可以設定在氮氛圍，以及，當執行冷卻時，加熱爐的內部切換至氧氛圍。藉由在氮氛圍中執行脫水或脫氫以及將氛圍切換至氧氛圍，氧供應至第一氧化物半導體層，以致於取得i型的氧化物半導體層。

經由第一熱處理，形成在至少包含第一氧化物半導體層104的表面的區域中包含結晶區的第一氧化物半導體104。藉由從表面朝向內部的晶體生長，形成在包含表面的區域中形成的結晶區。結晶區包含c軸在實質上垂直於表面的方向上對齊的晶體。此處，「實質上垂直的方向」意指在垂直方向的±10°內。

雖然在本實施例中說明以第一熱處理晶化第一氧化物半導體層的整個區域的實施例，但是，只要在包含至少第一氧化物半導體層104的表面之區域中形成結晶區，本實

質就不侷限於此。舉例而言，第一氧化物半導體層104在第一氧化物半導體層104的底表面近處中，亦即，在第一氧化物半導體層104與絕緣層102之間的介面，包含非晶區。因為防止結晶區中流動的載子被與絕緣層102之間的介面直接影響，所以，在第一氧化物半導體層104與絕緣層102之間的介面的近處中之非晶區的存在是有利的。

注意，用於第一熱處理的設備並不限於特定的設備，可以使用來自例如電阻式加熱元件等加熱元件的熱傳導或熱輻射來加熱處理物品之設備。舉例而言，使用電熱爐、或例如氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）設備等快速熱退火（RTA）設備。LRTA設備是使用來自例如鹵素燈、金屬鹵化物燈、氙電弧燈、碳電弧燈、高壓鈉燈、或高壓水銀燈等燈發射的光（電磁波）之輻射，將要處理的物體加熱。GRTA設備是使用高溫氣體之熱處理設備。

接著，在包含至少表面的區域中包含結晶區的第一氧化物半導體層104上，形成第二氧化物半導體層105（請參見圖2B）。

使用四成分的金屬氧化物In-Sn-Ga-Zn-O為基礎的材料；三成分的金屬氧化物In-Ga-Zn-O為基礎的材料、In-Sn-Zn-O為基礎的材料、In-Al-Zn-O為基礎的材料、Sn-Ga-Zn-O為基礎的材料、Al-Ga-Zn-O為基礎的材料、或Sn-Al-Zn-O為基礎的材料；二成分的金屬氧化物In-Zn-O為基礎的材料、Sn-Zn-O為基礎的材料、Al-Zn-O為基礎的材料、

Zn-Mg-O為基礎的材料、Sn-Mg-O為基礎的材料、或In-Mg-O為基礎的材料；一成分金屬氧化物In-O為基礎的材料、Sn-O為基礎的材料、或Zn-O為基礎的材料；等等，以類似於第一氧化物半導體層的方式，形成第二氧化物半導體層105。

特別地，當無電場且關閉狀態電流因而充份地降低時，In-Ga-Zn-O為基礎的氧化物半導體材料具有足夠高的電阻。此外，具有高的場效遷移率，In-Ga-Zn-O為基礎的氧化物半導體材料適用於半導體裝置中使用的半導體材料。

關於In-Ga-Zn-O為基礎的氧化物半導體材料的典型實施例，以$InGaO_3(ZnO)_m$（m>0）表示。在上述結構中使用M取代Ga，有以$InMO_3(ZnO)_m$（m>0）表示的氧化物半導體材料。此處，M代表選自鎵（Ga）、鋁（Al）、鐵（Fe）、鎳（Ni）、錳（Mn）、鈷（Co）、等等之一或更多金屬元素。舉例而言，M可為Ga、Ga及Al、Ga及Fe、Ga及Ni、Ga及Mn、Ga及Co、等等。注意，上述成分是從氧化物半導體材料具有的晶體結構導出且僅為實施例。

較佳的是使用主成分與第一氧化物半導體層104的材料的主成分相同的材料以形成第二氧化物半導體層105，或者，第二氧化物半導體層105具有與第一氧化物半導體層104相同的晶體結構及類似於第一氧化物半導體層104（1%或更低的不匹配）的晶格常數。或者，使用具有不同主成分的材料，形成第一氧化物半導體層104及第二氧

化物半導體層105。

在使用包含相同的主成分之材料的情形中，由於第一氧化物半導體層104的結晶區作為種晶，所以，在稍後的第二氧化物半導體層105的晶化中容易造成晶體生長。此外，由於厚度實質上增加，所以，使用包含相同主成分的材料適合應用於電力裝置等等。此外，在使用包含相同主成分的材料之情形中，可以取得例如黏著性等有利的介面特徵或是有利的電特徵。

在使用具有不同主成分的材料之情形中，這些層具有不同的電特徵。舉例而言，當具有高導電率的材料用於第二氧化物半導體層及具有低導電率的材料用於第一氧化物半導體層時，實現基部介面的影響降低之半導體裝置。在以容易晶化的材料用於第一氧化物半導體層以形成有利的種晶及接著形成和晶化第二氧化物半導體層的情形中，不論第二氧化物半導體層的晶化是否容易，第二氧化物半導體層都具有有利的結晶度。

在本實施例中，使用用於沈積In-Ga-Zn-O為基礎的氧化物半導體之靶，以濺射法形成第二氧化物半導體層105。以類似於上述藉由濺射法沈積第一氧化物半導體層的方式，藉由濺射法，執行第二氧化物半導體層105的沈積。注意，第二氧化物半導體層105的厚度較佳地大於第一氧化物半導體層104的厚度。較佳地形成第二氧化物半導體層105，以致於第一氧化物半導體層104的厚度與第二氧化物半導體層105的厚度總合大於或等於3 nm且小於或

等於50 nm。注意，適當的厚度視氧化物半導體的材料、用途、等等而變，因此，視氧化物半導體的材料、用途、等等，適當地選取厚度。

接著，對第二氧化物半導體層105執行第二熱處理，以造成使用第一氧化物半導體層104的結晶區作為種晶之晶體生長。如此，形成第二氧化物半導體層106（請參見圖2C）。

第二熱處理的溫度高於或等於450℃且低於或等於850℃，較佳地高於或等於600℃且低於或等於700℃。第二熱處理的加熱時間大於或等於1小時且小於或等於100小時，較佳地大於或等於5小時且小於或等於20小時，典型地10小時。

注意，也在第二熱處理中，較佳的是氮、氧、或例如氦、氖、或氬等稀有氣體中未含有水、氫、等等。較佳的是，被導入至熱處理設備之氮、氧、或例如氦、氖、或氬等稀有氣體具有大於或等於6N（99.9999%）之純度，較佳地大於或等於7N（99.99999%）（亦即，雜質濃度設定為小於或等於1 ppm，較佳地低於或等於0.1 ppm）。在具有20 ppm或更低濃度的H_2O之超乾空氣中、更佳地在具有1 ppm或更低濃度的H_2O之超乾空氣中，執行第二熱處理。藉由此第二熱處理，移除第二氧化物半導體層106中的水（包含羥基）、氫、等等。因此，形成雜質降低之i型或實質上i型的第二氧化物半導體層106，使電晶體150能夠具有非常優良的特徵。

此外，當在第二熱處理中溫度增加時，加熱爐的內部可以設定在氮氛圍，以及，當執行冷卻時，加熱爐的內部切換至氧氛圍。藉由在氮氛圍中執行脫水或脫氫以及將氛圍切換至氧氛圍，氧供應至第二氧化物半導體層106，以致於取得i型的氧化物半導體層。

依此方式，長時間地執行第二熱處理，第二氧化物半導體層105的整個區域從形成於第二氧化物半導體層105與第一氧化物半導體層104之間的介面近處中的結晶區結晶；因此，形成第二氧化物半導體層106。此外，藉由第二熱處理，第一氧化物半導體層104的結晶層具有更高的晶向。

以類似於第一氧化物半導體層104的結晶區之方式，第二氧化物半導體層106包含c軸在實質上垂直於第一氧化物半導體層104與第二氧化物半導體層106之間的介面的方向上對齊的晶體。此處，「實質上垂直的方向」意指在垂直方向的±10°內。

舉例而言，在In-Ga-Zn-O為基礎的氧化物半導體材料用於第二氧化物半導體層106的情形中，第二氧化物半導體層106包含以$InGaO_3(ZnO)_m$（m>0，且m不是自然數）表示的晶體、以$In_2Ga_2ZnO_7$（In：Ga：Zn：O=2：2：1：7）表示的晶體、等等。歸功於第二熱處理，此晶體的c軸在實質上垂直於氧化物半導體層106的表面之方向上對齊。

此處，上述晶體包含In、Ga、及Zn中的任何元素，且被視為具有與a-軸及b-軸平行的複數層的堆疊結構。具體

而言，上述晶體具有一結構，其中，包含In的層及未包含In的層（包含Ga或Zn的層）在c軸方向上堆疊。

在In-Ga-Zn-O為基礎的氧化物半導體晶體中，在平行於a軸及b軸的方向上，包含In的層的導電率是有利的。這是因為導電率主要由In-Ga-Zn-O為基礎的氧化物半導體晶體中的In控制的事實以及一In原子的5s軌道與相鄰的In原子的5s軌道重疊，因而形成載子路徑。在垂直於上述層的方向上（亦即，c軸方向），增加絕緣特性。

在第一氧化物半導體層104在第一氧化物半導體層104與絕緣層102之間的介面近處中包含非晶區的情形中，第二熱處理造成從形成於第一氧化物半導體層104的表面上之結晶區朝向第一氧化物半導體層的底部表面之晶體生長，以及，在某些情形中使非晶區結晶。注意，視用於形成絕緣層102的材料或熱處理條件，非晶區可以維持。

在使用包含相同的主成分之氧化物半導體材料以形成第一氧化物半導體層104和第二氧化物半導體層105的情形中，如圖2C所示，晶體生長向上朝向第二氧化物半導體層105的表面，其中，第一氧化物半導體層104作為晶體生長的種晶，以致於形成第二氧化物半導體層106。第一氧化物半導體層104及第二氧化物半導體層106具有相同的晶體結構。因此，雖然第一氧化物半導體層104及第二氧化物半導體層106之間的邊界在圖2C中以虛線表示，但是，有時無法辨識，以及，第一氧化物半導體層104及第二氧化物半導體層106有時可以視為一層。

由於藉由從第一氧化物半導體層104的結晶區之晶體生長來形成第二氧化物半導體層106，所以，第二氧化物半導體層106具有電性各向異性。在上述實施例中，在平行於第二氧化物半導體層106的表面之方向上，導電率增加，而在垂直於第二氧化物半導體層106的表面之方向上，絕緣特性增加。因此，使用藉由從純化的第一氧化物半導體層104的結晶層之晶體生長而形成的第二氧化物半導體層106，可以實現具有有利的電特徵之半導體裝置。

注意，用於第二熱處理的設備並不限於特定的設備，設備可以設有使用來自例如電阻式加熱元件等加熱元件的熱傳導或熱輻射來加熱處理物品之裝置。舉例而言，使用電熱爐、或例如GRTA設備或LRTA設備等RTA設備。

接著，以例如使用掩罩的蝕刻等方法，處理第一氧化物半導體層104及第二氧化物半導體層106；因此，形成島狀第一氧化物半導體層104a和島狀第二氧化物半導體層106a。

關於用於蝕刻氧化物半導體層的方法，可以使用乾蝕刻或濕蝕刻。無需多言，可以結合地使用乾蝕刻及濕蝕刻。視材料而適當地設定蝕刻條件（例如蝕刻氣體或蝕刻劑、蝕刻時間、及溫度），以致於氧化物半導體層被蝕刻成所需形狀。

關於乾蝕刻法，可以使用平行板反應離子蝕刻（RIE）法、感應耦合電漿（ICP）蝕刻法、等等。也在此情形中，需要適當地設定蝕刻條件（例如，施加至線圈電

極的電力量、施加至基底側上的電極之電力量、基底側上電極的溫度）。

用於乾蝕刻的蝕刻氣體之實施例是含氯的氣體（例如氯（Cl_2）、三氯化硼（BCl_3）、四氯化矽（$SiCl_4$）、或四氯化碳（CCl_4）等氯為基礎的氣體）。此外，可以使用含有氟的氣體（例如四氟化碳（CF_4）、氟化硫（SF_6）、三氟化氮（NF_3）、或三氟甲烷（CHF_3）等氟為基礎的氣體）、溴化氫（HBr）、氧（O_2）、這些氣體中任何添加例如氦（He）或氬（Ar）等稀有氣體之氣體；等等。

用於濕蝕刻的蝕刻劑之實施例包含磷酸、醋酸、及硝酸的混合溶液、過氧化銨混合物（含有31 wt%的過氧化氫溶液：28 wt%的氨溶液：水＝5：2：2）、等等。也可以使用例如ITO-07N（KANTO CHEMICAL Co., INC.的產品）等蝕刻劑。

接著，形成與第二氧化物半導體層106a接觸的導體層108（請參見圖2E）。

以例如濺射法等PVD法或例如電漿CVD法等CVD法，形成導體層108。使用選自鋁、鉻、銅、鉭、鈦、鉬、及鎢之元素、以及包含任何這些元素作為成份的合金、等等，形成導體層108。可以使用包含錳、鎂、鋯、及鈹之一或更多的材料。可以使用包含鋁與選自下述之一或更多元素的材料：鈦、鉭、鎢、鉬、鉻、釹、及鈧。

也可以使用導體金屬氧化物以形成導體層108。關於導體金屬氧化物，可以使用氧化銦（In_2O_3）、氧化錫

（SnO_2）、氧化鋅(ZnO)、氧化銦－氧化錫合金（In_2O_3-SnO_2，在某些情形中縮寫為ITO）、氧化銦－氧化鋅合金（In_2O_3-ZnO）、或是包含矽或氧化矽的任何這些金屬氧化物材料。

關於導體層108，鋁層堆疊於鈦層上及鈦層堆疊於鋁層上的三層結構、或是鋁層堆疊於鉬層上及鉬層堆疊於鋁層上的三層結構是較佳的。或者，使用具有鋁層與鎢層堆疊的雙層結構、銅層與鎢層堆疊的雙層結構、或是鋁層與鉬層堆疊的雙層結構。無需多言，金屬導體層可以具有單層結構或是包含四或更多層的堆疊結構。在單層結構的情形中，舉例而言，有利地使用鈦層的單層結構。在使用具有單層結構的鈦層的情形中，藉由稍後要執行的蝕刻，取得有利的推拔狀。此處，使用包含鈦膜、鋁膜、及鈦膜的三層結構。

在與第二氧化物半導體層106a接觸的部份導體層108中使用例如鈦等具有從第二氧化物半導體層106a中取出氧的能力之材料（具有高的氧親和力之材料）的情形中，與導體層108接觸的第二氧化物半導體層106a的區域因氧缺乏而變成具有n型導電率。利用此點，降低源極區和汲極區的電阻。

或者，不使用具有從第二氧化物半導體層106a中取出氧的能力之材料，而在第二氧化物半導體層106a與導體層108之間形成氧化物導體層。在設置此氧化物導體層的情形中，源極區和汲極區的電阻也降低。

此外，在與導體層108接觸的第二氧化物半導體層106a的區域不需變成具有n型導電率的情形中，在與第二氧化物半導體層106a接觸的導體層108的部份中，較佳地使用具有低的取出氧能加的材料（具有低的氧親和力之材料）。關於此材料，舉例而言，可為氮化鈦。以類似於上述的方式，導體層108可以具有單層結構或堆疊結構。在導體層108具有堆疊結構的情形中，舉例而言，使用氮化鈦膜及鈦膜的雙層結構、氮化鈦膜及鎢膜的雙層結構、氮化鈦膜及銅－鉬合金膜的雙層結構、氮化鉭膜及鎢膜的雙層結構、氮化鈦膜及銅膜的雙層結構、氮化鈦膜、鎢膜、及鈦膜的三層結構、等等。

在上述具有低的取出氧的能力之材料用於導體層108的情形中，防止在氧化物半導體層因氧的取出而變成n型；因此，防止因不均勻的變成n型等造成電晶體特徵之不利影響。

在如上所述使用例如氮化鈦膜或氮化鉭膜等具有高障壁特性的材料之情形中，在與第二氧化物半導體層106a接觸的導電層108的部份中，防止雜質進入第二氧化物半導體層106a以及降低對電晶體特徵的不利影響。

接著，選擇性地蝕刻導體層108以形成源極或汲極電極層108a和源極或汲極電極層108b（請參見圖3A）。此外，在導體層108上形成絕緣層，以及，將絕緣層蝕刻以在源極和汲極電極層上形成具有與源極或汲極電極層實質相同的形狀之絕緣層。在此情形中，降低源極和汲極電極

層與閘極電極之間的電容（所謂的閘極電容）。注意，在本說明書中，「實質上相同的」說明無需嚴格地意指「完全地相同」且包含被視為相同的意義。舉例而言，由單一蝕刻處理產生的差異是可接受的。此外，厚度無需相同。

關於形成用於蝕刻的掩罩之曝光，較佳地使用紫外光、KrF雷射光、或ArF雷射光。特別是用於通道長度（L）小於25 nm的情形之曝光，以具有極度短的數奈米至數十奈米的波長之極度紫外光，較佳地執行用於形成掩罩的曝光。在使用極度紫外光的曝光中，解析度高及聚焦深度大。因此，稍後完成的電晶體之通道長度（L）為10 nm至1000 nm（1μm）。藉由使用此方法而縮減通道長度，增進操作速度。此外，包含上述氧化物半導體的電晶體之關閉狀態電流小；因此，抑制導因於微小化的耗電增加。

適當地調整導體層108及第二氧化物半導體層106a的材料及蝕刻條件，以致於在蝕刻導體層108時，第二氧化物半導體層106a不會被移除。注意，在某些情形中，第二氧化物半導體層106a在蝕刻步驟中被部份地移除並因而視材料及蝕刻條件而具有溝槽部（凹部）。

在第一氧化物半導體層104a與第二氧化物半導體層106a的側表面的近處中，與源極或汲極電極層108a和源極或汲極電極層108b接觸的結晶層有改變成非晶狀態的情形。

為了降低使用的掩罩數目及步驟數目，藉由使用多色調掩罩形成的光阻掩罩，以執行蝕刻步驟，多色調掩罩是

使光透射過而具有眾多強度的曝光掩罩。藉由使用多色調掩罩形成的光阻掩具有複數厚度（階梯狀），以及又可藉由執行灰化以改變形狀；因此，在眾多蝕刻步驟中使用光阻掩罩。亦即，藉由使用一個多色調掩罩，形成對應於至少二種不同圖案之光阻掩罩。因此，降低曝光掩罩的數目，也降低對應的微影步驟之數目，因而實現製程簡化。

此處，對第二氧化物半導體層106a執行熱處理（第三熱處理）。藉由第三熱處理，在包含第二氧化物半導體層106a的曝露表面及未與源極或汲極電極層108a也未與源極或汲極電極層108b重疊的第二氧化物半導體層106a的區域中形成高純度結晶區。此處，高純度結晶區是比第二氧化物半導體層106a中的其它區域具有更高的結晶度之區域。高純度結晶區的面積視第二氧化物半導體層106a的材料、熱處理條件、等等而變。舉例而言，高純度結晶區可以延伸至第二氧化物半導體層106a的下介面。

關於第三熱處理，使用類似於第一熱處理的熱處理。換言之，採用使用電熱爐的熱處理、使用來自例如受熱氣體等媒介的熱傳導、使用熱輻射的熱處理、等等。

舉例而言，採用溫度高於或等於400℃且低於或等於900℃、使用高溫惰性氣體（例如，氮氣或稀有氣體）之GRTA處理。注意，雖然本發明的必要部份並未要特別的熱處理溫度上限，但是，在基底100具有低抗熱性的情形中，熱處理溫度的上限需要低於基底100的可允許溫度極限。

在使用GRTA處理的情形中，熱處理的時間較佳地大於或等於1分別且小於或等於100分鐘。舉例而言，在650℃下，較佳地執行GRTA處理約3分鐘至6分鐘。藉由使用上述GRTA處理，可以在短時間內執行熱處理；因此，降低熱對於基底100的不利影響。亦即，相較於長時間執行熱處理的情形，在此情形中，增加熱處理溫度的上限。此外，在包含第二氧化物半導體層106a的表面之區域中，容易地形成高純度結晶區。

在第三熱處理中，較佳的是處理氛圍中未含有氫（包含水）等。舉例而言，被導入至熱處理設備之惰性氣體的純度是6N（99.9999%）或更高（亦即，雜質濃度為1 ppm或更低），較佳地7N（99.99999%）或更高（亦即，雜質濃度為0.1 ppm或更低）。取代惰性氣體，使用氫（包含水）被充份降低的氧氣、N_2O氣體、超乾空氣（具有-40℃或更低的露點，較佳地-60℃或更低）。

雖然在本實施例中使用GRTA處理作為第三熱處理，但是，第三熱處理不侷限於GRTA處理。舉例而言，也可以採用使用電熱爐的熱處理、LRTA處理、等等。

以上述方式執行第三熱處理，造成再結晶以形成高純度結晶區，高純度結晶區是在包含晶體的第二氧化物半導體層106a中具有較高純度的結晶區。此外，在形成源極或汲極電極層108a及源極或汲極電極層108b時第二氧化物半導體層106a的表面受損之情形中，藉由第三熱處理，可以修復受損部份。

以類似於上述晶體的方式，在以此方式形成的高純度結晶層中的氧化物半導體的晶體中，c軸在實質上垂直於氧化物半導體層的表面之方向上對齊。此處，「實質上垂直的方向」意指垂直方向±10°。

藉由包含此高純度結晶區，第二氧化物半導體層106a具有更高的電性各向異性。

藉由在第二氧化物半導體層106a中設置此高純度結晶層，可以增進半導體裝置的電特徵。

接著，形成與部份第二氧化物半導體層106a接觸而未曝露至空氣的閘極絕緣層112（請參見圖3B）。以CVD法、濺射法、等等形成閘極絕緣層112。閘極絕緣層112較佳地形成為包含氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氧化鉿、氧化鉭、等等。注意，閘極絕緣層112可以具有單層結構或堆疊結構。對於閘極絕緣層112的厚度並無特別限定；舉例而言，閘極絕緣層112具有大於或等於10 nm且小於或等於500 nm的厚度，較佳地，大於或等於50 nm且小於或等於200 nm的厚度。

注意，藉由移除雜質而取得i型或實質上i型的氧化物半導體（純化的氧化物半導體）高度地受介面狀態或介面電荷影響；因此，閘極絕緣層112需要具有高品質。

在本實施例中，使用高密度電漿設備，形成閘極絕緣層112。此處，高密度電漿設備意指能夠實現$1\times10^{11}/cm^3$或更高的電漿密度之設備。舉例而言，藉由施加高於或等於3 kW且低於或等於6 kW的微波功率以產生電漿，以致於

形成絕緣膜。

舉例而言，由於能夠將閘極絕緣層形成為緻密的而具有高耐受電壓及高品質，所以，使用微波（例如2.45 GHz）的高密度電漿CVD法是有利的。這是因為純化的氧化物半導體層與高品質閘極絕緣層之間的緊密接觸降低介面狀態密度及產生所需的介面特徵。

將單矽烷（SiH_4）、氧化亞氮（N_2O）、及稀有氣體作為源氣體導入腔室中，以在高於或等於10 且低於或等於30 Pa的壓力下產生高密度電漿，以致於形成閘極絕緣層112。之後，在停止單矽烷氣體（SiH_4）的供應之後，將氧化亞氮（N_2O）、及稀有氣體導入而不曝露至空氣中以致於對絕緣膜的表面執行電漿處理。至少在形成絕緣膜之後，執行藉由導入氧化亞氮（N_2O）及稀有氣體而對絕緣膜的表面執行的電漿處理。經由上述處理程序而形成的絕緣膜具有小厚度且即使厚度小於例如100 nm時仍然能夠確保可靠度。

在形成閘極絕緣膜112時，被導入腔室中的矽甲烷（SiH_4）對氧化亞氮（N_2O）的流量比在1：10至1：200的範圍中。此外，關於被導入腔室中的稀有氣體，使用氦、氬、氪、氙、等等。特別地，較佳地使用不昂貴的氬。

此外，由於使用高密度電漿設備形成的絕緣膜具有均勻厚度，所以，絕緣膜具有優良的步階遮蓋度。此外，藉由高密度電漿設備，可以精準地控制薄的絕緣膜的厚度。

經由上述製程程序形成的絕緣膜與使用傳統的平行板

PCVD設備形成的絕緣膜大幅不同。在相互比較使用相同的蝕刻劑的蝕刻率的情形中，經由上述製程程序形成的絕緣膜的蝕刻率比使用傳統的平行板PCVD設備形成的絕緣膜的蝕刻率低10%或更多、或是低20%或更多。因此，可以說使用高密度電漿CVD設備形成的絕緣膜是緻密膜。

在本實施例中，使用由高密度電漿設備形成的厚度100 nm的氧氮化矽膜（也稱為SiO_xN_y，其中，$x>y>0$）作為閘極絕緣層112。

無需多言，只要形成高品質絕緣層作為閘極絕緣層112，可以使用例如濺射法或電漿CVD法等其它方法。此外，能夠使用品質、介面特徵、等等藉由絕緣層形成後執行的熱處理增進的絕緣層。在任何情形中，形成具有降低介面狀態密度及形成與氧化物半導體層有利的介面之絕緣層、以及具有有利的膜品質以作為閘極絕緣層112。

藉由如此增進與閘極絕緣層112的介面之特徵及從氧化物半導體中消除雜質（特別是氫、水、等等），能夠取得臨界電壓（V_{th}）在閘極偏壓溫度測試（BT測試：例如，在85℃中及2×10^6V/cm下12小時）中不會變化的穩定電晶體。

之後，在惰性氣體氛圍或氧氛圍中，較佳地執行第四熱處理。熱處理的溫度設定在200℃至400℃的範圍，較佳地，250℃至350℃。舉例而言，在氮氛圍中，在250℃下執行熱處理一小時。第四熱處理可以降低電晶體的電特徵變異。此外，也能夠藉由第四熱處理而供應氧給氧化物半

導體層106a。

注意，在本實施例中在形成閘極絕緣層112之後執行第四熱處理；只要是在第三熱處理之後執後，則對於第四熱處理的執行時機並無特別限定。此外，第四熱處理無需是必須的步驟。

接著，在與第一氧化物半導體層104a及第二氧化物半導體層106a重疊的區域中，在閘極絕緣層112上形成閘極電極層114（請參見圖3C）。在閘極絕緣層112上形成導體層，然後選擇性地圖型化導電層，以形成閘極電極層114。

以例如濺射法等PVD法或例如電漿CVD法等CVD法，形成上述導體層。使用選自鋁、鉻、銅、鉭、鈦、鉬、及鎢之元素、以及包含任何這些元素作為成份的合金、等等，形成導體層。或者，使用氮化鈦、氮化鉭、或上述元件的氮化物等。可以使用包含錳、鎂、鋯、及鈹之一或更多的材料。可以使用包含鋁與選自下述之一或更多元素的材料：鈦、鉭、鎢、鉬、鉻、釹、及鈧。

也可以使用導體金屬氧化物以形成導體層。關於導體金屬氧化物，可以使用氧化銦（In_2O_3）、氧化錫（SnO_2）、氧化鋅(ZnO)、氧化銦－氧化錫合金（In_2O_3-SnO_2，在某些情形中縮寫為ITO）、氧化銦－氧化鋅合金（In_2O_3-ZnO）、或是包含矽或氧化矽的任何這些金屬氧化物材料。

導體層可以具有單層結構或是二或更多層的堆疊結

構。舉例言，可為包含矽的鋁膜之單層結構、鈦膜堆疊於鋁膜上的雙層結構、鈦膜堆疊於氮化鈦膜上的雙層結構、鎢膜堆疊於氮化鈦膜上的雙層結構、鎢膜堆疊於包含鉭和矽之氮化物膜上的雙層結構、鈦膜、鋁膜、及鈦膜堆疊的三層結構、等等。此處，使用包含鈦的材料以形成導體層，然後將導體層處理成閘極電極層114。

接著，層間絕緣層116及層間絕緣層118形成於閘極絕緣層112和閘極電極層114之間（請參見圖3D）。以PVD法、CVD法、等等形成層間絕緣層116和118。使用包含例如氧化矽、氮氧化矽、氮化矽、氧化鉿、氧化鋁、或氧化鉭等無機絕緣材料的材料，形成層間絕緣層116和118。注意，在本實施例中層間絕緣層116和118堆疊，但是，所揭示的發明的實施例不限於本實施例。也可以使用單層結構或包含三或更多層的堆疊結構。

舉例而言，適當地以例如濺射法等不使例如水或氫等雜質進入於層間絕緣層118之方法，形成厚度至少1 nm的層間絕緣層118。在本實施例中，以濺射法形成厚度300 nm的氧化矽膜作為層間絕緣層118。在膜形成時的基底溫度可以高於或等於室溫且小於或等於300℃，在本實施例中為100℃。在稀有氣體（典型上，氬）氛圍中、氧氛圍中、或氧和稀有氣體（典型上，氬）氛圍中，以濺射法形成氧化矽膜。使用氧化矽靶或矽靶作為靶。舉例而言，在氧及氮的氛圍中，以濺射法沈積氧化矽。關於以具有降低的電阻設於氧化物半導體層上之層間絕緣層118，使用未

包含例如濕氣、氫離子、或OH-等雜質且阻擋這些雜質從外部進入的無機絕緣膜。典型地，使用氧化矽膜、氮氧化矽膜、氧化鋁膜、氧氮化鋁膜、等等。 此外，在層間絕緣層118上形成例如氮化矽膜或氮化鋁膜等保護絕緣層。

此外，在形成層間絕緣層118之前，較佳地執行預熱處理，以移除移留在濺射設備的內壁上、靶表面上、或是靶材中的水或氫。在預熱處理之後，將基底或濺射設備冷卻。然後，形成層間絕緣層118而未曝露至空氣。在此情形中，較佳地以油而非水或類似者作為用於靶的冷卻劑。雖然當重複導入及排出氮氣而未加熱時可以取得某種程度的效果，但是，又更佳的是以膜形成室的內部受加熱來執行處理。

此外，在層間絕緣層118的膜形成之後，以濺射法在其上堆疊氮化矽膜，而不曝露至空氣。

此外，在層間絕緣層118和層間絕緣層116中形成抵達閘極電極層114的接觸孔，以及在層間絕緣層118上形成電連接至閘極電極層114且供應閘極電位給閘極電極層114的連接電極。或者，可以使用下述：在形成層間絕緣層116之後形成抵達閘極電極層114的接觸孔；使用與源極電極層和汲極電極層相同的材料而在其上形成連接電極；層間絕緣層118形成於連接電極上；在層間絕緣層118中形成抵達連接電極的接觸孔；然後，在層間絕緣層118上形成電連接至連接電極且供應閘極電位給連接電極的電極。

注意，層間絕緣層118較佳地形成為具有平坦表面。

這是因為當層間絕緣層118形成為具有平坦表面時在層間絕緣層118上有利地形成電極、佈線、等等。

經由上述製程，完成包含由從第一氧化物半導體層104a的結晶層開始的晶體生長而形成的第二氧化物半導體層106a之電晶體150。

歸功於包含在第二氧化物半導體層106a中的晶體，由上述方法製造的電晶體150具有有利的電特徵。

藉由第一熱處理及第二熱處理，執行結晶；藉由從氧化物半導體中移除n型雜質的氫而純化氧化物半導體，以致於儘可能地防止氧化物半導體的主成分以外的雜質含於其中。以此方式，形成本質的（i型）或實質上本質的氧化物半導體。換言之，未藉由添加雜質而是藉由儘可能地移除例如氫或水等雜質，取得純化的i型（本質的）半導體、或是接近i型（本質的）的半導體。藉由氧化物半導體層的純化，電晶體的臨界電壓變成正的，以致於取得所謂的常關電晶體150。

在以上述方法製造電晶體150的情形中，在第一氧化物半導體層104a和第二氧化物半導體層106a中的氫濃度小於或等於$5\times10^{18}/cm^3$，以及電晶體150的關閉狀態電流小於或等於測量極限的$1\times10^{-13}A$。藉由使用因充份地降低氫濃度及氧供應而純化的第一氧化物半導體層104a和第二氧化物半導體層106a，電晶體150具有優良的特徵。

一般而言傳統的氧化物半導體是n型的，即使閘極電壓是0V時，電流趨向在源極電極與汲極電極之間流動，亦

即，電晶體趨向常開。即使當場效遷移率高時，假使電晶體常開時，難以控制電路。在氧化物半導體是n型的情形中，費米能階（E_f）較接近導電帶且遠離位於能帶隙的中間之本質費米能階（E_i）。知悉含於氧化物半導體中的部份氫形成施子且是造成氧化物半導體成為n型氧化物半導體的因素。

慮及此點，以下述方式形成本質的（i型）或是實質上本質的氧化物半導體層：從氧化物半導體移除n型雜質的氫以便純化，以致於儘可能地防止氧化物半導體的主成分以外的雜質被包含於其中，來純化氧化物半導體。換言之，特點在於未藉由添加雜質而是藉由移除儘可能多的氫或水等雜質，形成純化的i型（本質的）半導體或是接近i型（本質的）的半導體。這使得費米能階（E_f）能夠與本質費米能階（E_i）在相同的位準。

藉由氧化物半導體層的純化，電晶體的臨界電壓是正的，因而實現所謂的常關切換元件。

關於純化製程，較佳的是在氧化物半導體層形成之前、期間、或之後，移除餘留在濺射設備中的濕氣等等。為了移除餘留在濺射室中的濕氣，較佳地使用吸附型真空泵。舉例而言，較佳地使用低溫泵、離子泵、鈦昇華泵、等等。使用設有冷阱的渦輪泵作為抽真空單元。由於從低溫泵抽真空的濺射設備的沈積室中移除氫原子、例如水（H_2O）等含有氫原子的化合物，所以，降低形成於沈積室中的氧化物半導體膜中的雜質濃度。此外，較佳的是含

於用於沈積的氧化物半導體靶中含有的氧化物半導體具有80%或更高的相對密度，較佳地95%或更高，又更佳地99.9%或更高。在使用具有高相對密度之靶的情形中，氧化物半導體膜中的雜質濃度降低。

假使雜質混入於氧化物半導體膜時，在稍後用於晶化的熱處理時，在一方向上的晶體生長，亦即，從表面向下進行的晶體生長中斷。因此，氧化物半導體膜未含有雜質是理想的。因此，純化是相當重要的。

此外，在形成氧化物半導體膜之前，執行預熱處理，以移除移留在濺射設備的內壁上、靶表面上、或是靶材中的水或氫。關於預熱處理，可以是在降壓下將膜沈積室的內部加熱至從200℃至600℃的溫度之方法、膜沈積室的內部被加熱時重複導入及排出氮或惰性氣體之方法、等等。在此情形中，較佳地以油而非水或類似者作為用於靶的冷卻劑。雖然當重複導入及排出氮氣而未加熱時可以取得某種程度的效果，但是，更佳的是以膜形成室的內部受加熱來執行處理。在預熱處理之後，將基底或濺射設備冷卻，然後沈積氧化物半導體膜。

也是關於用於沈積氧化物半導體膜或形成於氧化物半導體膜上且與其接觸的材料膜，較佳的是使用例如氫、水、羥基、或氫化物等雜質被移除以致於濃度降低至約以「ppm」（較佳地，「ppb」）單位表示的值的高純度氣體氛圍。

在以濺射法形成氧化物半導體膜期間，基底被加熱至

高於或等於室溫且低於或等於基底的應變點之溫度。

此外，關於純化的一步驟，在幾乎未含有氫及濕氣（例如氮氛圍、氧氛圍、或乾空氣氛圍（例如，對濕氣而言，露點為-40℃或更低，較佳地-50℃或更低）之氛圍中，執行第一熱處理。第一熱處理稱為脫水或脫氫，其中，從氧化物半導體層中消除H、OH、等等。在熱處理期間，在惰性氣體氛圍中升溫且氛圍切換至含有氧的氛圍之情形中，或者在使用氧氛圍的情形中，第一熱處理也可以稱為用於供應氧的處理。

關於第一熱處理，可以使用利用電熱爐的加熱方法、利用受熱氣體的氣體快速熱退火（GRTA）方法或利用燈光的燈快速熱退火（LRTA）方法、等等。此外，關於第一熱處理，同時執行使用波長小於或等於450 nm的光來照射之加熱。在下述條件下，氧化物半導體層接受用於純化的第一熱處理：當以達到450℃之熱脫附沈積顯微法（TDS）測量第一熱處理後的氧化物半導體層時，不會偵測到水的二峰值中至少在約300℃的峰值。因此，即使對包含接受純化熱處理的氧化物半導體層之電晶體執行TDS至450℃的溫度，至少在約300℃的峰值不會被偵測到。

由於在沒有作為晶體生長的多晶層之狀態下執行晶體生長，所以，較佳的是短時間地執行高溫下的第一熱處理，以僅從表面造成晶體生長。此外，當氧化物半導體層的表面是平坦時，取得有利的板狀多晶層。因此，較佳的是例如絕緣層或基底等基部元件的平坦度儘可能高。由於

與基部元件的整個表面接觸的多晶層可以容易地形成，所以，平坦度增加是有效的。舉例而言，氧化物半導體層的平坦度幾乎等於商用矽晶圓的的平坦度；舉例而言，以AFM測量，在1 μ m×1 μ m的區域中高度的變異（表面粗糙度）小於或等於1 nm，較佳地0.2 nm。

在多晶層中，當包含於氧化物半導體中的In的電子雲彼此重疊且彼此連接時，導電率 σ 增加。因此，包含多晶層的電晶體具有高場效遷移率。

將參考圖14A至14C，說明使用經由第一熱處理形成的板狀多晶層作為種晶以造成晶體生長的一方法。

步驟次序的概要如下所述：在基部元件上形成第一氧化物半導體層；執行用於純化的第一熱處理；在與用於純化的第一熱處理相同的步驟中，在第一氧化物半導體層的表面上形成晶體方向對齊的多晶層；第二氧化物半導體層堆疊於其上；進一步地，執行用於晶化的第二熱處理，以致於藉由使用第一氧化物半導體層的表面上的多晶層作為種晶以晶化第二氧化物半導體層。

在第一熱處理中，在作為晶體生長的種晶之晶體層不存在的狀態中，從表面執行晶體生長；然而，在第二熱處理中，板狀多晶層作為種晶。因此，較佳的是，由於能夠取得有利的結晶度，所以，在能夠造成晶體生長的最低溫度下，長時間地執行第二熱處理。藉由第二熱處理的晶體生長方向對應於從下部朝上的方向，亦即，從基底側至表面側的方向（也稱為再結晶方向），且不同於藉由第一熱

處理的晶體生長方向。此外，由於由第一熱處理取得的多晶層再度由第二熱處理加熱，所以，進一步地增加多晶層的結晶度。

圖14A顯示對形成於基部元件500上的第一氧化物半導體層執行用於晶化的第一熱處理之後的狀態。

圖14B顯示正好在形成第二氧化物半導體層502之後時的剖面視圖。以濺射法形成第二氧化物半導體層502，以及，使用含有1：1：1[原子比]的In、Ga、及Zn的金屬氧化物靶或含有1：1：1[原子比]的In、Ga、及Zn的金屬氧化物靶作為此形成的金屬氧化物靶。

圖14C是在第二熱處理後時的剖面視圖。藉由第二熱處理，使用第一氧化物半導體層的多晶層（第一氧化物晶體層501）作為種晶，晶體生長繼續向上進行至第二氧化物半導體層502的表面。結果，形成第二氧化物晶體層503。晶體元件具有相同的晶體結構。

真正地製造相當於圖14B的結構。圖15A顯示結構的剖面之TEM照片。注意，其概要圖顯示於圖15B中。注意，使用高解析度透射式電子顯微鏡（Hitachi公司製造的「H9000-NAR」：TEM），以高倍率（八百萬倍放大率）及300 Kv的加速電壓，拍攝TEM照片。以絕緣層形成於玻璃基底上、厚度 5nm的第一In-Ga-Zn-O膜形成於其上、及在700℃下在乾空氣氛圍中對其執行熱處理一小時之方式，形成圖15A的樣品。從圖15A可以發現第一In-Ga-Zn-O膜的c軸在垂直於第一In-Ga-Zn-O膜的表面之方向上對

齊，以及，絕緣層與第一In-Ga-Zn-O膜之間的介面的近處也結晶並具有在垂直於表面的方向上對齊的c軸。如圖14A所示，包含板狀多晶體的第一氧化物晶體層501形成於基部元件上。板狀多晶體較佳地為$InGaZnO_4$（In：Ga：Zn：O=1：1：1：4）。此外，晶體的c軸方向對應於膜厚方向。

在下述條件下，以使用用於沈積氧化物半導體的靶之濺射設備（用於沈積In-Ga-Zn-O為基礎的氧化物半導體（In_2O_3：Ga_2O_3：ZnO=1：1：2（莫耳比），In：Ga：Zn=1：1：1（原子比）），在下述條件下，沈積圖15A的樣品中的第一In-Ga-Zn-O膜：基底溫度為200℃且沈積速率為4 nm/分鐘。不受限於靶的材料及成分，舉例而言，當使用含有1：1：1（莫耳比）的In_2O_3、Ga_2O_3、及ZnO之靶時，容易取得$In_2Ga_2ZnO_7$的多晶體。

$In_2Ga_2ZnO_7$的晶體結構包含In、Ga、及Zn中任一者以及被視為具有平行於a-軸和b-軸的堆疊結構。由於$In_2Ga_2ZnO_7$的晶體的導電率主要由In控制，所以，在平行於a-軸及b-軸的方向上含有In的層的電特徵是較佳的。在$In_2Ga_2ZnO_7$的晶體中，In的電子雲彼此重疊且彼此連接，以致於形成載子路徑。

取代上述靶，使用含有2：1：8（莫耳比）的In_2O_3、Ga_2O_3、及ZnO之金屬氧化物靶。

此外，可以使用含有1：2（莫耳比）的In_2O_3及ZnO但未包含Ga之金屬氧化物靶。假使形成底部閘極型電晶體

時，由於Ga的氧化物是絕緣體，所以，相較於使用第一In-Ga-Zn-O膜的情形，藉由使用In-Zn-O膜，取得更高的場效遷移率。

此外，由第一熱處理取得的多晶層再度由第二熱處理加熱而成為具有增進的結晶度之第三氧化物晶體層503a。

此外，可以說圖14C中所示的結構是雙層結構，其中，氧化物晶體層503a設於基部元件500上及與其接觸以及第二氧化物半導體層503b堆疊於其上。只要能夠取得c軸在垂直於表面的方向上對齊的多晶體，對於第一氧化物晶體層501及第二氧化物半導體層502的材料並無特別限定。第一氧化物晶體層501及第二氧化物半導體層502的材料可以不同或是含有相同的主成分。

注意，在使用含有相同的主成分之氧化物半導體材料的情形中，如同圖14C中的虛線所示般，第三氧化物半導體層503a與第二氧化物晶體層503b之間的邊界不清楚，以致於第三氧化物半導體層503a及第二氧化物晶體層503b被視為一層。

以此方式，藉由二熱處理造成的晶體生長，取得第三氧化物晶體層503a和第二氧化物晶體層503b的堆疊形成的多晶層。

注意，在圖14A中，晶體方向相對地對齊且形成於第一氧化物半導體層的表面部份中之多晶層的晶體生長從表面開始在膜厚方向上進行；因此，形成多晶層而不受基部元件影響。

在第二In-Ga-Zn-O膜的沈積之後，以650℃，在氮氛圍中，執行熱處理6分鐘，以及取得剖面。圖16A是剖面的真實TEM照片。其概要圖顯示於圖16B中。在圖16A中，確認整個In-Ga-Zn-O膜結晶的狀態。此外，可以觀察到第二In-Ga-Zn-O膜的晶體具有在垂直於第二In-Ga-Zn-O膜的表面的方向上對齊的c軸。此外，可以發現即使在第二熱處理之後，絕緣層與第一In-Ga-Zn-O膜之間的介面的近處仍未結晶。

將說明在例如In-Ga-Zn-O膜等第一氧化物半導體層的表面部份中形成晶體方向相對地對齊的晶體層之機制。藉由熱處理，包含於In-Ga-Zn-O膜中的鋅擴散且集中於表面的近處中，以及，變成晶體生長的種晶。在晶體生長中，晶體在橫向（平行於表面的方向）上比在深度方向上（垂直於表面的方向）生長得更多；因此，形成板狀多晶層。這些是從下述事實推定的：執行TDS測量達到450℃的溫度時，在真空熱條件下，特別是在約300℃，未偵測到In和Ga的峰值但是偵測到鋅的峰值之事實。注意，可以確認在真空中執行TDS測量以及在約200℃的溫度偵測到鋅。

形成樣品作為比較實施例。以形成厚度50 nm的In-Ga-Zn-O膜並使其接受700℃的加熱一小時之方式，形成樣品。圖17A顯示樣品的剖面之TEM照片。其概要圖顯示於圖17B中。注意，使用高解析度透射式電子顯微鏡（Hitachi公司製造的「H9000-NAR」：TEM），以高倍率（二百萬倍放大率）及300 Kv的加速電壓，拍攝TEM照

片。從圖17A可以發現從In-Ga-Zn-O膜的表面至約5 nm的深度的區域結晶，以及，大量的非晶部份及晶向未對齊的眾多晶體任意地存在於In-Ga-Zn-O膜中。因此，可說即使當In-Ga-Zn-O膜沈積至例如50 nm的大厚度並接著一次接受高於650℃的700℃熱處理一小時（這是大於6分鐘），則難以取得晶向整體地高度對齊之晶體層。

從這些結果可以說以下述二沈積之方式形成具有大厚度的多晶層：形成作為晶體生長的種晶之多晶層，然後，沈積膜，然後執行晶體生長。因此，發現本說明書中揭示的方法極度有用。藉由執行沈積二次及執行熱處理二次，取得晶體方向高度對齊的結晶層，亦即，c軸在垂直於氧化物半導體層的表面之方向上對齊的厚多晶層。

使用典型上In-Ga-Zn-O膜的金屬氧化物形成的裝置完全不同於使用單晶Si形成的裝置、使用SiC形成的裝置、及使用GaN形成的裝置。

已知SiC（3.26 eV）及GaN（3.39 eV）是寬能帶隙半導體。但是，SiC及GaN是昂貴的材料。此外，當使用SiC時，在摻雜磷或鋁以選擇性地形成低電阻區之後，需要高於或等於1700℃的溫度以活化。此外，為了執行GaN的磊晶生長，執行以高於或等於1200℃的溫度長時間加熱之磊晶生長製程。亦即，當使用SiC或SiN時，需要高於或等於1000℃的製程溫度；因此，實質上不可能在玻璃基底上薄薄地形成SiC或GaN。

此外，SiC或GaN的晶體結構僅為單晶。因此，需要

以PN接面控制以及需要更完整的單結晶。因此，非有意地混於製程中的小量雜質作為施子或受子；因此，載子密度具有下限。另一方面，金屬氧化物具有非晶結構、多晶結構、及單結晶結構中任一者。這是因為藉由使用ϕ_{MS}相對於$\chi_{os}+1/2E_g^{os}$及ϕ_{MD}相對於$\chi_{os}+1/2E_g^{os}$表示的每一特性，換言之，金屬氧化物（χ_{os}）的源極和汲極（ϕ_{MS}及ϕ_{MD}）電子親和力、及能帶寬度（E_g^{os}）的功函數特性，而不使用以PN接面控制，以執行等同於PN接面的控制之頻帶的控制。

典型上為In-Ga-Zn-O膜之金屬氧化物具有的能帶隙是單晶矽的能帶隙的三倍寬，且因為比SiC低的製造成本而為不昂貴的材料。

In-Ga-Zn-O的能帶隙是3.05 Ev，且根據此值計算本質載子密度。已知固體中電子的能量分佈f（E）取決於下述公式表示的費米德瑞克統計。

[公式2]

$$f(E) = \frac{1}{1+\exp\left(\frac{E-E_F}{kT}\right)}$$

在載子密度不是很高（不會衰退）的一般半導體的情形中，滿足下述關係式。

[公式3]

$$|E-E_F| > kT$$

因此，公式1的費米德瑞克分佈近似下述公式表示的波茲曼（Boltzman）分佈。

[公式4]

$$f(E) = \exp\left[-\frac{E-E_F}{kT}\right]$$

當使用公式3計算本質載子密度（n_i）時，取得下述公式。

[公式5]

$$n_i = \sqrt{N_C N_V}\exp\left(-\frac{E_g}{2kT}\right)$$

然後，Si及In-Ga-Zn-O之有效的狀態密度值（Nc和Nv）以及Si的能帶隙（Eg）代入公式4以及計算本質載子密度。結果顯示於表1。

[表1]

	Si	IGZO
Nc(300K) [cm^{-3}]	2.8×10^{19}	5.0×10^{18}
Nv(300K) [cm^{-3}]	1.04×10^{19}	5.0×10^{18}
Eg(300K) [eV]	1.08	3.05
n_i(300K) [cm^{-3}]	1.45×10^{10}	1.2×10^{-7}

發現In-Ga-Zn-O相較於Si具有極度低的本質載子密度。在選擇性3.05 eV的值作為IGZO的能帶隙之情形中，假定費米德瑞克分佈定律可應用至本質載子密度，則可以說Si的載子密度約為In-Ga-Zn-O的載子密度的10^{17}倍。

在氧化物半導體的情形中，以室溫至400℃的加熱溫度，且最大的製程溫度設定在高於或等於850℃的溫度，典型上，高於或等於450℃且低於或等於700℃，以濺射法

形成薄的氧化物半導體膜。在最大的製程溫度設定在低於或等於玻璃的應變點的情形中，在大面積的玻璃基底上形成薄的氧化物半導體膜。因此，對於產業化重要的是使用寬能帶隙的金屬氧化物且最大的製程溫度低於850℃，典型地高於或等於450℃且低於或等於700℃。

此外，在形成三維矽積體電路的情形中，由於氧化物半導體的製程溫度低於低部側（矽側）的連接斷裂（1050℃）之溫度，所以，可以取得包含矽積體電路及位於其上的氧化物半導體電路之三維積體電路。

如上所述，使用揭示的本發明，可以實現具有新穎結構的具有優良特徵的半導體裝置。

<修改實施例>

接著，將參考圖4A至4C、圖5A至5C、及圖6A和6B，說明圖1A及1B、圖2A至2E、及圖3A至3D中所示的半導體裝置的修改實施例。注意，圖4A至4C、圖5A至5C、及圖6A和6B中所示的半導體裝置的很多元件與圖1A及1B、圖2A至2E、及圖3A至3D中所示的半導體裝置的很多元件是共同的；因此，將僅說明不同之處。

圖4A中所示的電晶體150包含具有凹部（溝槽部）的氧化物半導體層106a。在形成源極或汲極電極層108a和源極或汲極電極層108b時，藉由蝕刻形成凹部。因此，在與閘極電極層114重疊的區域中形成凹部。凹部降低通道形成區中的半導體層的厚度，因而有助於防止短通道效應。

圖4B中所示的電晶體150包含氧化物半導體層106a，所述氧化物半導體層106a包括高純度結晶區110。注意，在形成源極或汲極電極層108a和源極或汲極電極層108b之後，以第三熱處理形成高純度結晶區110。因此，在包含第二氧化物半導體層106a的曝露表面且既未與源極或汲極電極層108a重疊也未與源極或汲極電極層108b重疊之第二氧化物半導體層106a的區域中，形成高純度結晶區110。此處，高純度結晶區110是比第二氧化物半導體層106a中的其它區域具有更高的結晶度之區域。藉由包含高純度的結晶區110，第二氧化物半導體層106a具有更高的電性各向異性，以及，增進半導體裝置的電特徵。

圖4C中所示的電晶體150包含具有凹部（溝槽部）的氧化物半導體層106a，在包含第二氧化物半導體層106a的曝露表面且既未與源極或汲極電極層108a重疊也未與源極或汲極電極層108b重疊之第二氧化物半導體層106a的區域中，電晶體150也包含高純度結晶區110。換言之，圖4C中所示的電晶體具有圖4A的電晶體150及圖4B的電晶體150等二者的特點。由結構造成的效果類似於圖4A及4B的情形中造成的效果。

圖5A中所示的電晶體150包含位於源極或汲極電極層108a和源極或汲極電極層108b上的絕緣層109a和絕緣層109b，絕緣層109a和絕緣層109b具有與源極或汲極電極層108a和源極或汲極電極層108b實質上相同的形狀。在此情形中，具有源極或汲極電極層以及閘極電極之間的電容

（所謂的閘極電容）降低之優點。注意，在本說明書中，「實質上相同」一詞無需嚴格地意指「完全相同」且包含被視為相同的意義。舉例而言，由單一蝕刻製程造成的差異是可接受的。此外，厚度無需相同。

圖5B中所示的電晶體150包含具有凹部（溝槽部）的氧化物半導體層106a，也包含位於源極或汲極電極層108a和源極或汲極電極層108b上的絕緣層109a和絕緣層109b，絕緣層109a和絕緣層109b具有與源極或汲極電極層108a和源極或汲極電極層108b實質上相同的形狀。換言之，圖5B中所示的電晶體具有圖4A的電晶體150與圖5A的電晶體150的特點。由結構造成的效果類似於圖4A及5A的情形中造成的效果。

圖5C中所示的電晶體150在包含第二氧化物半導體層106a的曝露表面且既未與源極或汲極電極層108a重疊也未與源極或汲極電極層108b重疊之第二氧化物半導體層106a的區域中，包含高純度結晶區110，以及，圖5C中所示的電晶體150也包含位於源極或汲極電極層108a和源極或汲極電極層108b上的絕緣層109a和絕緣層109b，絕緣層109a和絕緣層109b具有與源極或汲極電極層108a和源極或汲極電極層108b實質上相同的形狀。換言之，圖5C中所示的電晶體具有圖4B的電晶體150及圖5A的電晶體150等二者的特點。由結構造成的效果類似於圖4B及圖5A的情形中造成的效果。

圖6A中所示的電晶體150包含均具有單層結構的源極

或汲極電極層108a和源極或汲極電極層108b。具體而言，使用例如鈦層的單層結構。在具有單層結構的源極和汲極電極層的情形中，相較於採用堆疊結構的情形，藉由蝕刻而取得有利的推拔狀。

圖6B中所示的電晶體150在源極或汲極電極層108a接觸氧化物半導體層106a的區域中包含導體層107a，導體層107a由具有低的取出氧的能力之材料（具有低氧親和力的材料）形成，電晶體150也在源極或汲極電極層108b接觸氧化物半導體層106a的區域中包含導體層107b，導體層107b由具有低的取出氧的能力之材料形成。藉由如上所述之具有低的取出氧的能力之導體層，防止導因於氧的取出而在氧化物半導體層變成n型；因此，防止氧化物半導體層不均勻變成n型等而對電晶體特徵造成不利影響。

注意，在圖6B中使用具有雙層結構的源極或汲極電極層108a和源極或汲極電極層108b；但是，所揭示的本發明的實施例不限於此結構。它們可以具有由具有低的取出氧的能力之材料形成的導體層的單層結構或是三或更多層的堆疊結構。在單層結構的情形中，舉例而言，使用氮化鈦的單層結構。在堆疊結構的情形中，舉例而言，使用氮化鈦膜及鈦膜的雙層結構。

圖28A中所示的電晶體150在維持非晶的下部中包含第一氧化物半導體層140a。此處，在圖28B中，顯示包含圖28A的第一氧化物半導體層104a之區域的放大視圖。如圖28B所示，第一氧化物半導體層104a具有在下部包含非晶

區104aa以及在上部包含結晶區104ab的特點。較佳的是，由於防止結晶區中流動的載子被絕緣層與102與第一氧化物半導體層104a之間的介面直接影響，所以，非晶區維持在作為電晶體150的通道形成區之結晶區之下。

圖29是剖面視圖，顯示半導體裝置的結構實施例。圖29中所示的半導體裝置包含在下部中包括氧化物半導體以外的材料（例如矽）之電晶體250以及在上部中包括氧化物半導體的電晶體150。包括氧化物半導體的材料之電晶體250是圖1A中所示的電晶體150。注意，雖然電晶體250和電晶體150於此是n通道電晶體，但是，可以使用p通道電晶體。特別地，容易使用p通道電晶體作為電晶體250。

電晶體250包含設於含有半導體材料的基底200中的通道形成區216、雜質區214和高濃度雜質區220（總體簡稱為雜質區）且於其間形成有通道形成區216、在通道形成區216上的閘極絕緣層208a、在閘極絕緣層208a上的閘極電極層210a、以及電連接至雜質區214的源極或汲極電極層230a和230b（請參見圖29）。

此處，側壁絕緣層218形成於閘極電極層210a的側表面上。當從上述觀視時，高濃度雜質區220設於不與側壁絕緣層218重疊的基底200的區域中。金屬化合物區224設置成接觸高濃度雜質區220。元件隔離絕緣層206設置於基底200上以致於圍繞電晶體250。層間絕緣層226和層間絕緣層228設置成遮蓋電晶體250。源極或汲極電極層230a和源極或汲極電極層230b經由形成於層間絕緣層226、層間

絕緣層228、及絕緣層234中的開口而電連接至金屬化合物區224。換言之，源極或汲極電極層230a和源極或汲極電極層230b經由金屬化合物區224而電連接至高濃度雜質區220和雜質區214。

電晶體150包含設於絕緣層102上的氧化物半導體層106a、設於氧化物半導體層106a上且電連接至氧化物半導體層106a的源極或汲極電極層108a和源極或汲極電極層108b、設置成遮蓋氧化物半導體層106a、源極或汲極電極層108a、及源極或汲極電極層108b的閘極絕緣層112、以及在與氧化物半導體層106a重疊的區域中設於閘極絕緣層112上的閘極電極層114（請參見圖29）。

此外，在電晶體150上，設置層間絕緣層116和層間絕緣層118。抵達源極或汲極電極層108a和源極或汲極電極層108b之開口形成於閘極絕緣層112、層間絕緣層116、及層間絕緣層118中。形成經過各別開口而分別與源極或汲極電極層108a和源極或汲極電極層108b接觸的電極254d和電極254e。以類似於電極254d和254e之方式，電極254a、電極254b、及電極254形成為經過設於閘極絕緣層112、層間絕緣層116、及層間絕緣層118中的開口而分別接觸電極236a、電極236b、和電極236c。

此處，氧化物半導體層 106a 較佳地為藉由從其中充份地移除例如氫等雜質且供應氧至其而純化的氧化物半導體層。具體而言，氧化物半導體層 106a 的氫濃度為 $5\times10^{19}/cm^3$ 或更低，較佳地為 $5\times10^{18}/cm^3$ 或更低，又更佳地

為 $5\times10^{17}/cm^3$ 或更低。注意，藉由充份地降低氫濃度及供應氧而純化的氧化物半導體層 106a 具有比一般晶圓（稍微添加例如磷或硼等雜質元素的矽晶圓）的載子密度（約 $1\times10^{14}/cm^3$）充份低的載子密度（例如低於 $1\times10^{12}/cm^3$，較佳地，$1.45\times10^{10}/cm^3$ 或更低）。藉由使用此 i 型或實質上 i 型的氧化物半導體，取得具有優良關閉狀態電流的電晶體 150。舉例而言，當汲極電壓 V_d 是+1V 或+10V 及閘極電壓 V_g 設定在-20V 至-5V 的範圍中時，關閉狀態電流是 1×10^{-13}A 或更低。使用如上所述般藉由充份降低氫濃度而純化的氧化物半導體層 106a，以致於降低電晶體 150 的關閉狀態電流，因而實現具有新穎結構的半導體裝置。注意以二次離子質譜儀（SIMS），測量氧化物半導體層 106a 的上述氫濃度。

注意，只要具有非單晶結構，包含於氧化物半導體層中的氧化物半導體並無特別限定。可以使用例如非晶結構、微結晶結構（也包含奈米結晶結構等等）、多晶結構、微晶體或多晶體包含於非晶結構中的結構、或是微晶體或多晶體形成於非晶結構的表面上之結構。

絕緣層256設於層間絕緣層118上。電極258a、電極258b、電極258c設置成嵌入於絕緣層256中。電極258a接觸電極254a。電極258b接觸電極254b。電極258c接觸電極254c和電極254d。電極258d接觸電極254e。較佳的是以含有銅的材料用於部份電極258a、電極258b、電極258c、和電極258d。在以含有銅的材料用於部份電極258a、電極

258b、電極258c、和電極258d的情形中，導電率增加。

換言之，電晶體150的源極或汲極電極層108a經由電極230c、電極236c、電極254c、電極258c、和電極258d而電連接至另一元件（例如包含氧化物半導體以外的材料之電晶體）（請參見圖29）。此外，電晶體150的源極或汲極電極層108b經由電極254e及電極258d而電連接至另一元件。注意，連接電極（例如電極230c、電極236c、電極254c、電極258c、及電極254d）的結構不限於上述結構，適當的填加、省略、等等是可能的。

雖然上述說明典型的連接關係之實施例，所揭示的本發明之實施例不限於所述實施例。舉例而言，電晶體250的閘極電極層210a以及電晶體150的源極或汲極電極層108a彼此電連接。

如上所述，可以以各種方式修改所揭示的本發明之實施例。此外，修改的實施例不限於上述修改的實施例。舉例而言，圖4A、圖4B、圖4C、圖5A、圖5B、圖5C、圖6A、圖6B、圖28A及圖28B、以及圖29的結構可以適當地結合作為另一修改的實施例。無需多言，在本說明書中的說明等的範圍之內，增加、省略、等等是可能的。

本實施例中所述的結構、方法、等等可以與其它實施例中所述的任何結構、方法、等等適當地結合。

（實施例2）

在本實施例中，參考圖7A和7B、圖8A至8B、圖9A至

9C、圖10A至10C、圖11A至11C、及圖12A至12C，說明與上述實施例的半導體裝置不同結構的半導體裝置、及其製造方法。注意，本實施例中所述的結構與上述實施例中所述的結構在很多點上是共同的；因此，於下主要僅說明不同的點。

<半導體裝置的結構>

圖7A及7B是剖面視圖，顯示半導體裝置的結構之實施例的電晶體150。

與圖1A及1B的結構不同之點在於閘極電極層101a存在於第一氧化物半導體層104a之下。換言之，圖7A及7B中所示的電晶體150包含在基底100上的閘極電極層101a、遮蓋閘極電極層101a的絕緣層102、設於絕緣層102上的第一氧化物半導體層104a、設於第一氧化物半導體層104a上的第二氧化物半導體層106a、電連接至氧化物半導體層106a的源極或汲極電極層108a和源極或汲極電極層108b、遮蓋第二氧化物半導體層106a、源極或汲極電極層108a、和源極或汲極電極層108b的閘極絕緣層112、以及在閘極絕緣層112上的閘極電極層114（請參見圖7A和7B）。此處，絕緣層102也作為閘極絕緣層。

此外，層間絕緣層116和層間絕緣層118設於電晶體150上。注意，層間絕緣層116及層間絕緣層118不是必要的元件，可以適當地省略。

如實施例1中所述般，第一氧化物半導體104a在包含

表面的區域包含結晶區，以及，第二氧化物半導體層106a由從第一氧化物半導體層104a的結晶區開始的晶體生長形成。

圖7A及7B中所示的閘極電極層101a作為所謂的背閘極。背閘極的電位可以是固定的電位，例如0V或接地電位，且可以適當地決定。此外，藉由在氧化物半導體層上方及下方設置閘極電極，在檢查薄膜電晶體的可靠度之偏壓溫度應力測試（於下，稱為BT測試）中，降低BT測試中薄膜電晶體的臨界電壓偏移量。亦即，在氧化物半導體的上方及下方設置閘極電極可以增進可靠度。此外，藉由控制施加至背閘極的閘極電極，控制臨界電壓。藉由將臨界電壓設定為正的，電晶體可以作為增強型電晶體。或者，藉由設定臨界電壓為負的，電晶體可以作為空乏型電晶體。舉例而言，形成包含增強型電晶體及空乏型電晶體的組合之反相器電路（於下，此電路稱為EDMOS電路）以用於驅動電路。驅動電路包含至少邏輯電路部、切換部、或緩衝器部。邏輯電路部具有包含上述EDMOS電路的電路結構。

在氧化物半導體層中，與絕緣層102的步階重疊的區域包含晶體邊界且是多晶的。在氧化物半導體層中作為通道形成區的區域至少具有平坦表面。第一氧化物半導體層及第二氧化物半導體層是多晶體，第一氧化物半導體層的c軸及第二氧化物半導體層的c軸在相同方向上對齊。在與閘極電極層（通道形成區）重疊的區域中，第二氧化物半

導體層的表面高度變異較佳地為1 nm或更低（又較佳地為0.2 nm或更低）。

關於結構元件的細節，可以參考上述實施例及省略其說明。

藉由使用例如圖7A和7B中所示的結構之從純化的第一氧化物半導體層104a的結晶區的晶體生長形成的第二氧化物半導體層106a，實現具有有利的電特徵之半導體裝置。

在使用相同材料形成第一氧化物半導體層104a和第二氧化物半導體層106a的情形中（亦即，在同質磊晶的情形中），第一氧化物半導體層104a與第二氧化物半導體層106a之的邊界無法辨識。有一情形是第一氧化物半導體104a及第二氧化物半導體層106a被視為一層（請參見圖7A）。

或者，使用不同的材料以形成第一氧化物半導體層104a與第二氧化物半導體層106a（請參見圖7B）。在使用不同的材料以形成第一氧化物半導體層104a和第二氧化物半導體層106a的情形中（亦即，在異質磊晶的情形中），舉例而言，使用二成分金屬氧化物的In-Zn-O為基礎的材料以形成第一氧化物半導體層104a，以及，使用三成分金屬氧化物的In-Ga-Zn-O為基礎的材料以形成第二氧化物半導體層106a。

第二氧化物半導體層106a比較穩定，因此，可以防止雜質（例如，濕氣）進入其中。因此，增進第二氧化物半

導體層106a的可靠度。

此外，藉由包含所謂的背閘極之閘極電極層101a，可以容易地控制電晶體150的電特徵。注意，與施加至閘極電極層114的電位相同或不同的電位可以施加至閘極電極層101a。或者，閘極電極層101a可以處於浮動狀態。

<半導體裝置的製造方法>

接著，將參考圖8A至8D、圖9A至9C、及圖10A至10C，說明半導體裝置的結構的實施例之電晶體150的製造方法。

首先，在基底100上形成導體層101（請參見圖8A）。關於基底100，參考上述實施例並省略其說明。

以例如濺射法等PVD法或例如電漿CVD法等CVD法，形成導體層101。使用選自鋁、鉻、銅、鉭、鈦、鉬、及鎢之元素、以及包含任何這些元素作為成份的合金、等等，形成導體層101。可以使用包含錳、鎂、鋯、鈹、及釷之一或更多的材料。可以使用包含鋁與選自下述之一或更多元素的材料：鈦、鉭、鎢、鉬、鉻、釹、及鈧。

也可以使用導體金屬氧化物以形成導體層101。關於導體金屬氧化物，可以使用氧化銦（In_2O_3）、氧化錫（SnO_2）、氧化鋅(ZnO)、氧化銦－氧化錫合金（In_2O_3-SnO_2，在某些情形中縮寫為ITO）、氧化銦－氧化鋅合金（In_2O_3-ZnO）、或是包含矽或氧化矽的任何這些金屬氧化物材料。

導體層101具有單層結構或二或更多層的堆疊結構。在揭示的發明之實施例中，由於在形成導體層101後執行相當高溫的熱處理，所以，使用具有高抗熱性的材料較佳地形成導體層101。關於具有高抗熱性的材料，舉例而言，可為鈦、鉭、鎢、鉬、等等。也可以使用添加雜質元素等而增加導電率的多晶矽。

接著，選擇性地蝕刻導體層101以形成閘極電極層101a，以及，形成絕緣層102以遮蓋閘極電極層101a（請參見圖8B）。

關於形成用於蝕刻的掩罩之曝光，較佳地使用紫外光、KrF、雷射光、或ArF雷射光。特別地，關於通道長度（L）小於25 nm的情形中，以具有數奈米至數十奈米的極短的波長之極度紫外光，較佳地執行用於形成掩罩的曝光。使用極度紫外光的曝光具有高解析度及大聚焦深度的特點，因此，適合微小化。

閘極電極層101a是所謂的背閘極。藉由閘極電極層101a的存在，可以控制氧化物半導體層106a中的電場，因而可以控制電晶體150的電特徵。注意，閘極電極層101a可以電連接至另一佈線、電極、等等，以致於電位施加至閘極電極層101a、或是被絕緣成為浮動狀態。

注意，「閘極電極」通常意指電位被刻意地控制的閘極電極；但是，本說明書中的「閘極電極」也意指電位非被刻意地控制的閘極電極。舉例而言，如上所述般絕緣及處於浮動狀態之導體層在某些情形中稱為「閘極電極

層」。

絕緣層102作為閘極絕緣層以及基部。以CVD法、濺射法、等等，形成絕緣層102。絕緣層102較佳地形成為包含氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氧化鉿、氧化鉭、等等。注意，絕緣層102可以是單層結構或堆疊結構。對於絕緣層102的厚度並無特別限定；舉例而言，絕緣層102具有大於或等於10 nm且小於或等於500 nm。

假使氫、水、等等含於絕緣層102中時，則氫可以進入氧化物半導體層中或從氧化物半導體層取出氧，因而使電晶體的特徵變差。因此，希望形成絕緣層102以包含儘可能少的氫或水。

在使用濺射法等的情形中，舉例而言，較佳的是在餘留在處理室中的濕氣被移除的狀態中，形成絕緣層。為了移除餘留在處理室中的濕氣，較佳地使用吸附型真空泵，舉例而言，低溫泵、離子泵、或鈦昇華泵。使用設有冷阱的渦輪泵。從由低溫泵等抽真空的處理室中，充份地移除氫、水、等等；因此，可以降低絕緣層102中的雜質濃度。

當形成絕緣層102時，希望使用高純度氣體，其中，例如氫或水等雜質減少以致於濃度降低至約以「ppm」單位表示的值（較佳地，「ppb」）。

以類似於閘極絕緣層112的方式，絕緣層102需要具有高品質。因此，以可以用於閘極絕緣層112的方法，較佳

地形成絕緣層112。關於細節，可以參考上述實施例並省略其說明。

接著，第一氧化物半導體層104形成於絕緣層102上，以及，執行第一熱處理以使包含至少第一氧化物半導體層的表面結晶，因而形成第一氧化物半導體層104（請參見圖8C）。關於第一氧化物半導體層的形成方法、第一熱處理的條件、及第一氧化物半導體層104的細節，可以參考上述實施例及省略其說明。

在第一氧化物半導體層104中，與閘極絕緣層的步驟重疊的區域包含晶體邊界且是多晶的。作為第一氧化物半導體層104中的通道形成區之區域至少具有平坦表面。第一氧化物半導體層及第二氧化物半導體層是多晶體，以及，第一氧化物半導體層的c軸和第二氧化物半導體層的c軸在相同方向上對齊。

接著，第二氧化物半導體層形成於第一氧化物半導體層104上，第一氧化物半導體層104在包含至少平面的區域中包含結晶區，執行第二熱處理以造成使用第一氧化物半導體層104的結晶區作為種晶的晶體生長（請參見圖8D）。關於第二氧化物半導體層的形成方法、第二熱處理的條件、及第二氧化物半導體層106，可以參考上述實施例並省略其說明。

接著，以例如使用掩罩的蝕刻等方法，處理第一氧化物半導體層104及第二氧化物半導體層106；因此，形成島狀第一氧化物半導體層104a和島狀第二氧化物半導體層

106a（請參見圖9A）。此處，需要注意，第一氧化物半導體層104a和第二氧化物半導體層106a形成於與閘極電極層101a重疊的區域。關於細節，可以參考上述實施例。

接著，形成與第二氧化物半導體層106a接觸的導體層108（請參見圖9B）。導體層108被選擇性地蝕刻以形成源極或汲極電極層108a和源極或汲極電極層108b（請參見圖9C）。關於導體層108，源極或汲極電極層108a、源極或汲極電極層108b、蝕刻步驟、及其它細節，可以參考上述實施例。

如圖9C所示，一特點是閘極電極層101a包含與源極或汲極電極層108a（或源極或汲極電極層108b）重疊的區域。閘極電極層101a包含源極或汲極電極層108a的邊緣部份與絕緣層102的步階之間的區域，換言之，源極或汲極電極層108a的邊緣部份與剖面視圖中平坦表面改變成推拔部份的表面之閘極絕緣層的點之間的區域（此處，圖9C中的L_{ov}區域）。慮及防止載子流至因閘極電極層的邊緣部份的步階產生的晶粒邊界，L_{ov}區域是重要的。

接著，以類似於上述實施例的方式，對第二氧化物半導體層106a執行熱處理（第三熱處理）。藉由第三熱處理，在包含第二氧化物半導體層106a的曝露表面及既未與源極或汲極電極層108a也未與源極或汲極電極層108b重疊的區域中，形成高純度結晶區。高純度結晶區的面積視第二氧化物半導體層106a的材料、熱處理的條件、等等而變。舉例而言，高純度結晶區可以延伸至第二氧化物半導

體層106a的下介面。關於第三熱處理及其它細節，可以參考上述實施例。

接著，形成與部份第二氧化物半導體層106a接觸而未曝露至空氣的閘極絕緣層112（請參見圖10A）。之後，在閘極絕緣層112上與第一氧化物半導體層104a及第二氧化物半導體層106a重疊的區域中，形成閘極電極層114（請參見圖10B）。然後，在閘極絕緣層112和閘極電極層114上形成層間絕緣層112和層間絕緣層118（請參見圖10C）。關於上述步驟的細節，可以參考上述實施例。

使用本實施例中所述的方法，形成由從第一氧化物半導體層104a的結晶區開始的晶體生長所形成的第二氧化物半導體層106a；因此，實現具有有利的電特徵之半導體裝置。

使用本實施例中所述的方法，第一氧化物半導體層104a及第二氧化物半導體層106a中的氫濃度小於或等於$5\times10^{19}/cm^3$，以及，電晶體的關閉狀態電流小於或等於$1\times10^{-13}A$。由於使用藉由充份地降低氫濃度及供應氧而純化的第一氧化物半導體層104a和第二氧化物半導體層106a，所以，實現具有有利的電特徵之半導體裝置。

此外，藉由作為所謂的背閘極之閘極電極層，可以容易地控制半導體裝置的電特徵。

如上所述，使用揭示的本發明，可以實現具有新穎結構的具有優良特徵的半導體裝置。

<修改實施例>

接著，將參考圖11A至11C、圖12A至12C、及圖13，說明圖7A及7B、圖8A至8D、圖9A至9C、及圖10A至10C中所示的半導體裝置的修改實施例。注意，圖11A至11C、圖12A至12C、及圖13中所示的半導體裝置的很多元件與圖7A及7B、圖8A至8D、圖9A至9C、及圖10A至10C中所示的半導體裝置的很多元件是共同的；因此，將僅說明不同之處。

圖11A中所示的電晶體150包含具有凹部（溝槽部）的氧化物半導體層106a。在形成源極或汲極電極層108a和源極或汲極電極層108b時，藉由蝕刻形成凹部。因此，在與閘極電極層114重疊的區域中形成凹部。凹部降低通道形成區中的半導體層的厚度，因而有助於防止短通道效應。

圖11B中所示的電晶體150包含氧化物半導體層106a，所述氧化物半導體層106a包括高純度結晶區110。注意，在形成源極或汲極電極層108a和源極或汲極電極層108b之後以第三熱處理形成高純度結晶區110。因此，在包含第二氧化物半導體層106a的曝露表面且既未與源極或汲極電極層108a重疊也未與源極或汲極電極層108b重疊之第二氧化物半導體層106a的區域中，形成高純度結晶區110。此處，高純度結晶區110是比第二氧化物半導體層106a中的其它區域具有更高的結晶度之區域。藉由包含高純度的結晶區110，第二氧化物半導體層106a具有更高的電性各向異性，以及，增進半導體裝置的電特徵。

圖11C中所示的電晶體150包含具有凹部（溝槽部）的氧化物半導體層106a，在包含第二氧化物半導體層106a的曝露表面且既未與源極或汲極電極層108a重疊也未與源極或汲極電極層108b重疊之第二氧化物半導體層106a的區域中，電晶體150也包含高純度結晶區110。換言之，圖4C中所示的電晶體具有圖11A的電晶體150及圖11B的電晶體150等二者的特點。由結構造成的效果類似於圖11A及11B的情形中造成的效果。

圖12A中所示的電晶體150包含位於源極或汲極電極層108a和源極或汲極電極層108b上的絕緣層109a和絕緣層109b，絕緣層109a和絕緣層109b具有與源極或汲極電極層108a和源極或汲極電極層108b實質上相同的形狀。在此情形中，具有源極或汲極電極層以及閘極電極之間的電容（所謂的閘極電容）降低之優點。注意，在本說明書中，「實質上相同」一詞無需嚴格地意指「完全相同」且包含被視為相同的意義。舉例而言，由單一蝕刻製程造成的差異是可接受的。此外，厚度無需相同。

圖12B中所示的電晶體150包含具有凹部（溝槽部）的氧化物半導體層106a，也包含位於源極或汲極電極層108a和源極或汲極電極層108b上的絕緣層109a和絕緣層109b，絕緣層109a和絕緣層109b具有與源極或汲極電極層108a和源極或汲極電極層108b實質上相同的形狀。換言之，圖12B中所示的電晶體具有圖11A的電晶體150與圖12A的電晶體150的特點。由結構造成的效果類似於圖11A及圖12A

的情形中造成的效果。

圖12C中所示的電晶體150在包含第二氧化物半導體層106a的曝露表面且既未與源極或汲極電極層108a重疊也未與源極或汲極電極層108b重疊之第二氧化物半導體層106a的區域中，包含高純度結晶區110，以及，圖12C中所示的電晶體150也包含位於源極或汲極電極層108a和源極或汲極電極層108b上的絕緣層109a和絕緣層109b，絕緣層109a和絕緣層109b具有與源極或汲極電極層108a和源極或汲極電極層108b實質上相同的形狀。換言之，圖12C中所示的電晶體具有圖11B的電晶體150及圖12A的電晶體150等二者的特點。由結構造成的效果類似於圖11B及圖12A的情形中造成的效果。

圖13中所示的電晶體150在源極或汲極電極層108a接觸氧化物半導體層106a的區域中包含導體層107a，導體層107a由具有低的取出氧的能力之材料（具有低氧親和力的材料）形成，電晶體150也在源極或汲極電極層108b接觸氧化物半導體層106a的區域中包含導體層107b，導體層107b由具有低的取出氧的能力之材料形成。藉由如上所述之具有低的取出氧的能力之導體層，防止導因於氧的取出而在氧化物半導體層變成n型；因此，防止氧化物半導體層不均勻變成n型等而對電晶體特徵造成不利影響。

注意，在圖13中使用具有雙層結構的源極或汲極電極層108a和源極或汲極電極層108b；但是，所揭示的本發明的實施例不限於此結構。它們可以具有由具有低的取出氧

的能力之材料形成的導體層的單層結構或是三或更多層的堆疊結構。在單層結構的情形中，舉例而言，使用氮化鈦的單層結構。在堆疊結構的情形中，舉例而言，使用氮化鈦膜及鈦膜的雙層結構。

如上所述，可以以各種方式修改所揭示的本發明之實施例。此外，修改的實施例不限於上述修改的實施例。舉例而言，圖11A、圖11B、圖11C、圖12A、圖12B、圖12C、及圖13的結構可以適當地結合作為另一修改的實施例。無需多言，在本說明書中的說明等的範圍之內，增加、省略、等等是可能的。

本實施例中所述的結構、方法、等等可以與其它實施例中所述的任何結構、方法、等等適當地結合。

（實施例3）

在本實施例中，將參考圖30A至30F，說明包含根據上述任一實施例的半導體裝置之電子裝置的實施例。根據上述任一實施例的半導體裝置具有空前的優良特徵。因此，藉由使用半導體裝置，可以提供具有新穎結構的電子裝置。

圖30A顯示筆記型個人電腦，其包含根據任一上述實施例的任何半導體裝置、以及包含主體301、機殼302、顯示部303、鍵盤304、等等。根據揭示的本發明之半導體裝置可以應用至顯示部303。藉由應用根據揭示的本發明之半導體裝置至積體電路等等，可以實現高速電路操作。此

外，藉由應用根據揭示的本發明之半導體裝置至顯示部303，可以顯示高品質影像。如上所述般藉由應用根據揭示的本發明之半導體裝置至個人電腦，可以提供高性能的個人電腦。

圖30B是個人數位助理（PDA），其包含根據任一上述實施例的半導體裝置。主體311設有顯示部513、外部介面315、操作鍵314、等等。此外，提供探針312作為操作配件。根據揭示的本發明之半導體裝置整合於、安裝至電路板等等，且併入於主體311中。此外，根據揭示的本發明之半導體裝置可以應用至顯示部313。藉由應用根據揭示的本發明之半導體裝置至積體電路板等等，可以實現高速電路操作。此外，藉由應用根據揭示的本發明之半導體裝置至顯示部313，可以顯示高品質影像。如上所述般藉由應用根據揭示的本發明之半導體裝置至個人數位助理（PDA），可以提供高性能的個人數位助理（PDA）。

圖30C顯示電子書320作為包含根據任一上述實施例的半導體裝置電子紙的實施例。電子書320包含機殼321和機殼323等二機殼。機殼321和機殼323由鉸鏈337結合，以致於電子書320能以鉸鏈337為軸開啟及關閉。藉由此結構，能夠如同紙書般使用電子書。

機殼321包含顯示部325，機殼323包含顯示部327。根據揭示的本發明之半導體裝置整合於、安裝至電路板等等，且併入於機殼323或機殼321中。根據揭示的本發明之半導體裝置可以應用至顯示部327。顯示部325及顯示部

327可以顯示連續的影像或不同的影像。用於顯示不同影像的結構使得文字能夠顯示於右方顯示部上（圖30C中的顯示部325）以及使影像能夠顯示於左方顯示部上（圖30C中的顯示部327）。藉由應用根據揭示的本發明之半導體裝置至積體電路板等等，可以實現高速電路操作。藉由應用根據揭示的本發明之半導體裝置至顯示部327，可以顯示高品質影像。

圖30C顯示機殼321設有操作部等等的實施例。舉例而言，機殼321設有電源開關331、操作鍵333、揚音器335、等等。操作鍵533允許翻頁。注意，鍵盤、指向裝置、等等也可以設於與作為顯示部的機殼的相同側上。此外，外部連接端子（耳機端子、USB端子、連接至例如AC配接器及USB纜線等不同纜線之端子、等等）、記錄媒體插入埠、等等可以設在機殼的背表面或側表面上。電子書讀取器320也可以作為電子字典。

此外，電子書320可以無線地傳送及接收資訊。經由無線通訊，可以從電子書伺服器購買及下載所需的書資料等等。

注意，只要電子裝置顯示資料，則電子紙可以用於所有領域的電子裝置。舉例而言，電子紙可以應用至海報、例如火車等車中廣告、例如信用卡等各式各樣卡片的顯示、等等以及電子書讀取器，以顯示資料。如上所述般藉由應用根據揭示的本發明之半導體裝置至電子裝置，可以提供高性能的電子紙。

圖30D顯示包含根據任一上述實施例的半導體裝置之行動電話。行動電話包含二機殼：機殼340和機殼341。機殼341包含顯示面板342、揚音器343、麥克風344、指向裝置346、相機鏡頭347、外部連接端子348、等等。機殼340包含用於行動話充電的太陽能電池349、外部記憶體插槽350、等等。天線併入於機殼341中。根據揭示的本發明的半導體裝置整合於、安裝至電路板等等，以及，併入於機殼340或機殼341中。

顯示面板342設有觸控面板功能。在圖30D中以虛線標示顯示為影像的眾多操作鍵345。根據揭示的本發明的半導體裝置應用至顯示面板342。藉由應用根據揭示的本發明的半導體裝置至顯示面板342，可以顯示高品質影像。注意，行動電話包含升壓電路，用於將太陽能電池349輸出的電壓增加至每一電路所需的電壓。除了上述結構之外，行動電話可以具有非接觸式IC晶片、小型記憶裝置、等等形成於其中的結構。

顯示面板342的根據應用模式而適當地改變顯示的方向。此外，相機鏡頭347設在與顯示面板342相同側上，以致於行動電話可以作為視訊電話。揚音器343和麥克風344可以用於視訊電話。揚音器343和麥克風344可以用於視訊電話呼叫、記錄、及播放聲音、等等、以及語音呼叫。此外，如圖30D所示般的展開狀態之機殼340和341可以滑動，以致於一者可以重疊於另一者之上；因此，行動電話的尺寸可以縮小，使得行動電話適於攜帶。

外部連接端子348可以連接至AC配接器或例如USB纜線等各式各樣的纜線，以致於而能夠將行動電話充電或執行資料通訊。此外，藉由將記錄媒體插至外部記憶體插槽350，行動電話可以儲存及傳送較大量的資料。此外，除了上述功能之外，還可以提供紅外線通訊功能、電視接收功能、等等。藉由應用根據揭示的本發明之半導體裝置至行動電話，可以提供高性能的行動電話。

圖30E顯示包含根據任何上述實施例的半導體裝置之數位相機。數位相機包含主體361、顯示部A 367、目鏡363、操作開關364、顯示部B 365、電池366、等等。根據任何上述實施例的半導體裝置可以應用至顯示部A 367或顯示部B 365。藉由應用根據揭示的本發明的半導體裝置至顯示部A 367或顯示部B 365，可以顯示高品質影像。如上所述般藉由應用根據揭示的本發明的半導體裝置至數位相機，可以提供高性能的數位相機。

圖30F顯示包含根據任一上述實施例的半導體裝置之電視機。在電視機370中，顯示部373併入於機殼371中。影像可以顯示於顯示部373上。此處，機殼371由支架375支撐。藉由應用根據揭示的本發明的半導體裝置至顯示部373，可以取得高速操作的切換元件以及實現顯示部373的面積。

以包含於機殼371中的操作開關或遙控器380，操作電視機370。以包含於遙控器380中的操作鍵379，控制頻道及音量，因而控制顯示於顯示部373上的影像。此外，遙

控器380可以設有顯示部377，用於顯示從遙控器380輸出的資料。

注意，電視機370較佳地包含接收器、數據機、等等。接收器允許電視機370接收一般的電視廣播。此外，當經由數據機而有線地或無線地連接至通訊網路時，電視機370能夠執行單向（從傳送器至接收器）或雙向（在傳送器與接收器之間、在接收器與接收器之間、等等）資訊通訊。如上所述般藉由應用根據揭示的本發明的半導體裝置至電視機，可以提供高性能的電視機。

本實施例中揭示的方法、結構、等等可以與其它實施例中所述的任何方法、結構、等等適當地結合。

本申請案根據2009年11月28日向日本專利局申請之日本專利申請序號2009-270857，其整體內容於此一併列入參考。

【符號說明】

100：基底

101：導體層

101a：閘極電極層

102：絕緣層

104：氧化物半導體層

104a：氧化物半導體層

104aa：非晶區

104ab：結晶區

105：氧化物半導體層

106：氧化物半導體層

106a：氧化物半導體層

107a：導體層

107b：導體層

108：導體層

108a：源極或汲極電極層

108b：源極或汲極電極層

109a：絕緣層

109b：絕緣層

110：高純度結晶區

112：閘極絕緣層

114：閘極電極層

116：層間絕緣層

118：層間絕緣層

150：電晶體

200：基底

206：元件隔離絕緣層

208a：閘極絕緣層

210a：閘極電極層

214：雜質區

216：通道形成區

218：側壁絕緣層

220：高濃度雜質區

224：金屬化合物區

226：層間絕緣層

228：層間絕緣層

230a：源極或汲極電極層

230b：源極或汲極電極層

230c：電極

234：絕緣層

236a：電極

236b：電極

236c：電極

250：電晶體

254a：電極

254b：電極

254c：電極

254d：電極

254e：電極

256：絕緣層

258a：電極

258b：電極

258c：電極

258d：電極

301：主體

302：機殼

303：顯示部

304：鍵盤

311：主體

312：探針

313：顯示部

314：操作鍵

315：外部介面

320：電子書

321：機殼

323：機殼

325：顯示部

327：顯示部

331：電源開關

333：操作鍵

335：揚音器

337：鉸鏈

340：機殼

341：機殼

342：顯示面板

343：揚音器

344：麥克風

345：操作鍵

346：指向裝置

347：相機鏡頭

348：外部連接端子

349：太陽能電池

350：外部記憶體插槽

361：主體

363：目鏡

364：操作開關

365：顯示部

B367：顯示部

A370：電視機

371：機殼

373：顯示部

375：支架

377：顯示部

379：控制鍵

380：遙控器

500：基部元件

501：氧化物晶體層

502：氧化物半導體層

503a：氧化物晶體層

503b：氧化物晶體層

申請專利範圍

【請求項 1】

一種半導體裝置，包括：

閘極電極；

包括以 $InZn_yO_z$ 代表之材料的氧化物半導體層，其中，y 和 z 各自為非零的任意數；以及

在該閘極電極與該氧化物半導體層之間的閘極絕緣層，

其中，該氧化物半導體層包括結晶區域，並且

其中，該結晶區域具有在垂直於該氧化物半導體層之表面的方向上對齊的 c 軸。

【請求項 2】

一種半導體裝置，包括：

基板；

該基板之上的氧化物半導體層，該氧化物半導體層包括以 $InZn_yO_z$ 代表的材料，其中，y 和 z 各自為非零的任意數；

該氧化物半導體層之上的閘極絕緣層；以及

該閘極絕緣層之上的閘極電極，

其中，該氧化物半導體層包括結晶區域，並且

其中，該結晶區域具有在垂直於該氧化物半導體層之表面的方向上對齊的 c 軸。

【請求項 3】

一種半導體裝置，包括：

基板；

該基板之上的閘極電極；

該閘極電極之上的閘極絕緣層；以及

該基板之上的氧化物半導體層，該氧化物半導體層包括以 $InZn_yO_z$ 代表的材料，其中，y 和 z 各自為非零的任意數，

其中，該氧化物半導體層包括結晶區域，並且

其中，該結晶區域具有在垂直於該氧化物半導體層之表面的方向上對齊的 c 軸。

【請求項 4】

如請求項 2 或 3 項之半導體裝置，

其中，該氧化物半導體層另包括該結晶區域之上的第一區域，並且

其中，該第一區域具有和該結晶區域不同的結晶度。

【請求項 5】

如請求項 4 項之半導體裝置，其中，該結晶區域具有比該第一區域更高的導電率。

【請求項 6】

如請求項 1 至 3 項中任一項之半導體裝置，其中，該結晶區域包含其 c 軸係對齊的結晶。

【請求項 7】

如請求項 1 至 3 項中任一項之半導體裝置，其中，該氧化物半導體層係由濺射法所形成。

圖式

圖1A

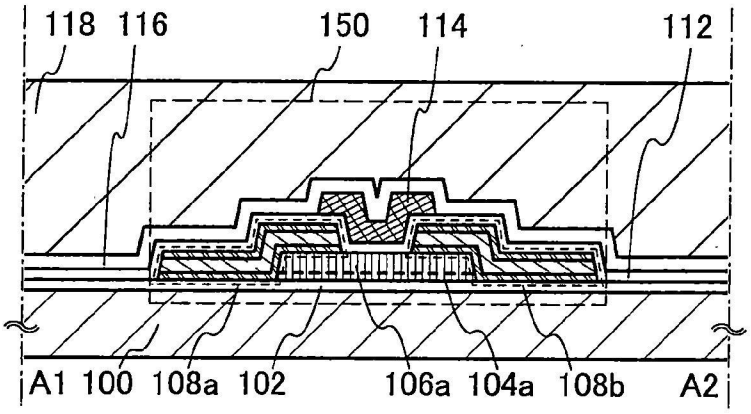

118
116
150
114
112
A1
100
108a
102
106a
104a
108b
A2

圖1B

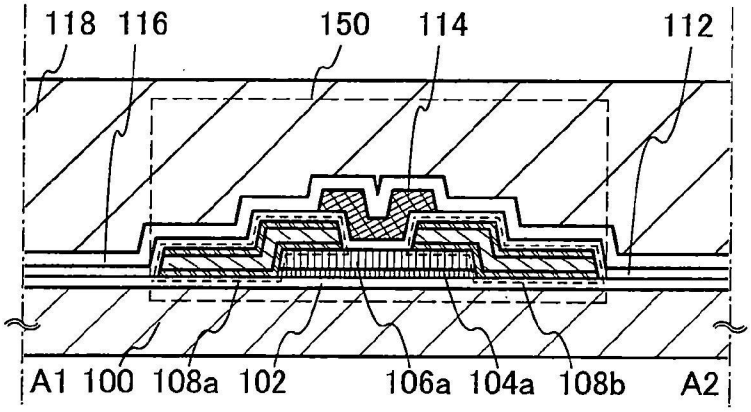

118
116
150
114
112
A1
100
108a
102
106a
104a
108b
A2

圖2A

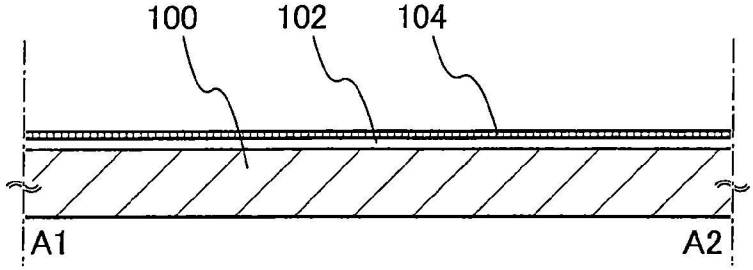


圖2B

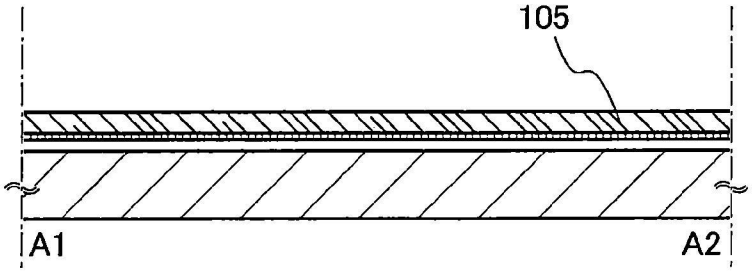


圖2C

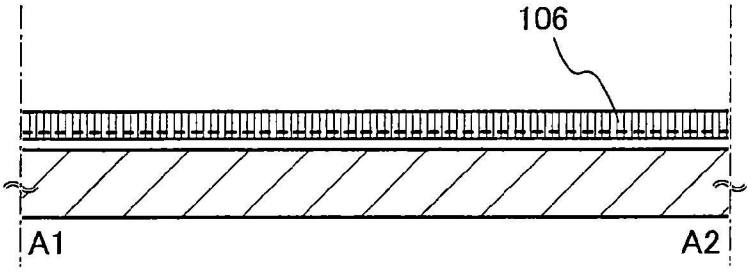


圖2D

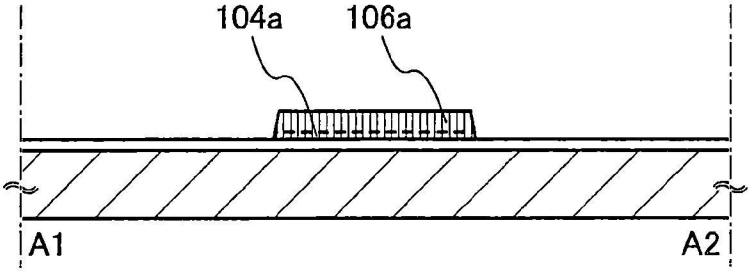


圖2E

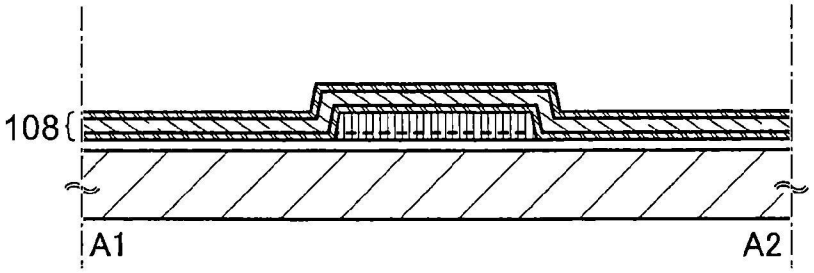


圖3A

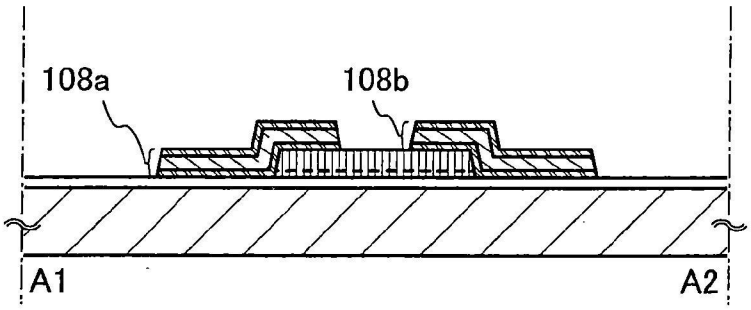


圖3B

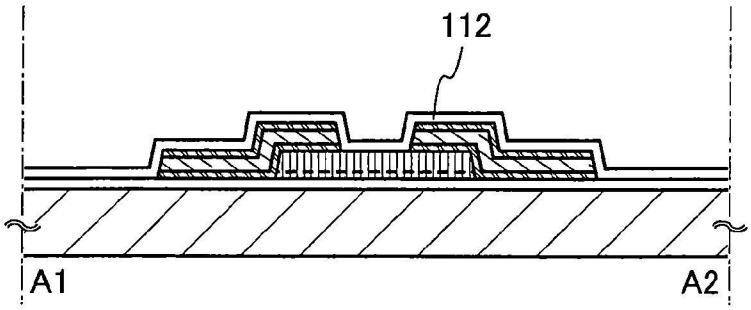


圖3C

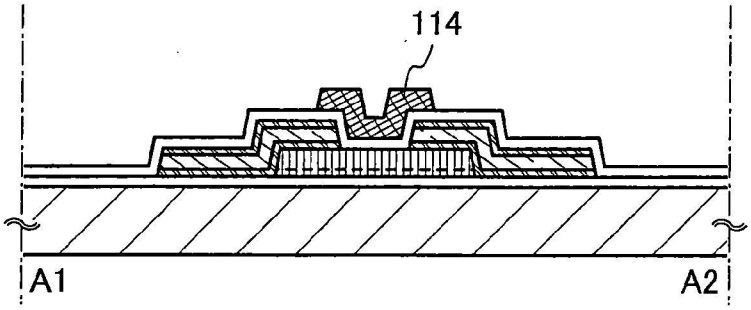


圖3D

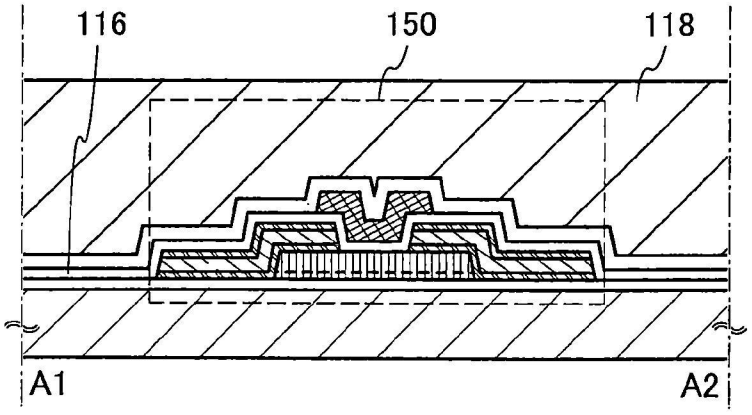


圖4A

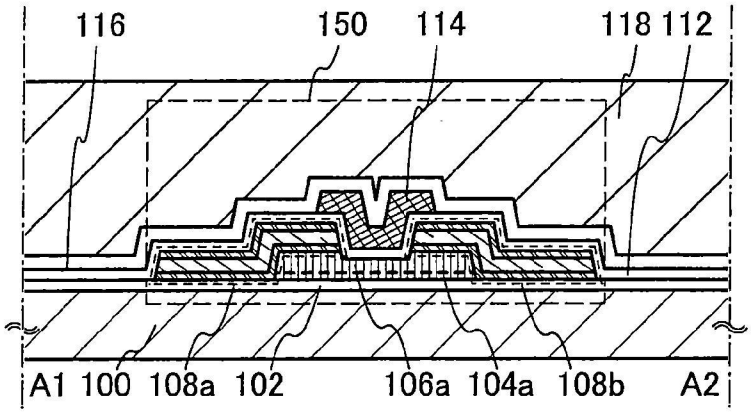

116
150
114
118
112
A1
100
108a
102
106a
104a
108b
A2

圖4B

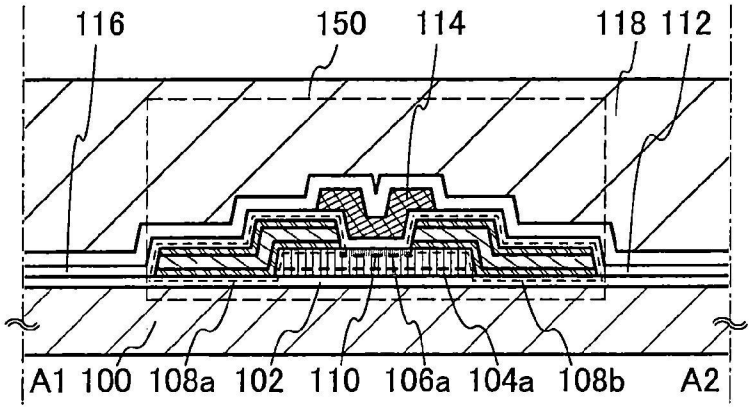

116
150
114
118
112
A1
100
108a
102
110
106a
104a
108b
A2

圖4C

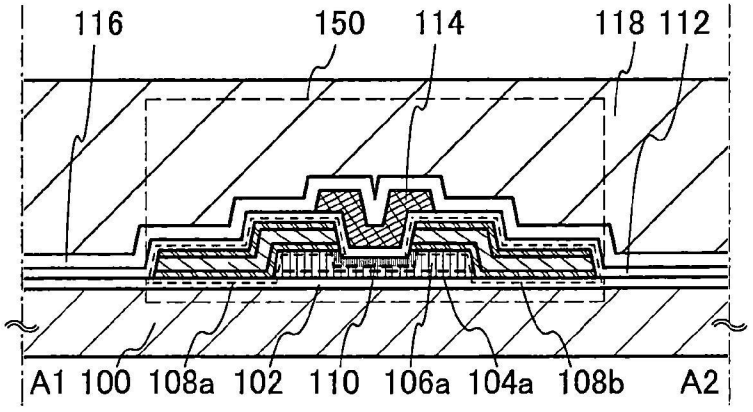

116
150
114
118
112
A1
100
108a
102
110
106a
104a
108b
A2

圖5A

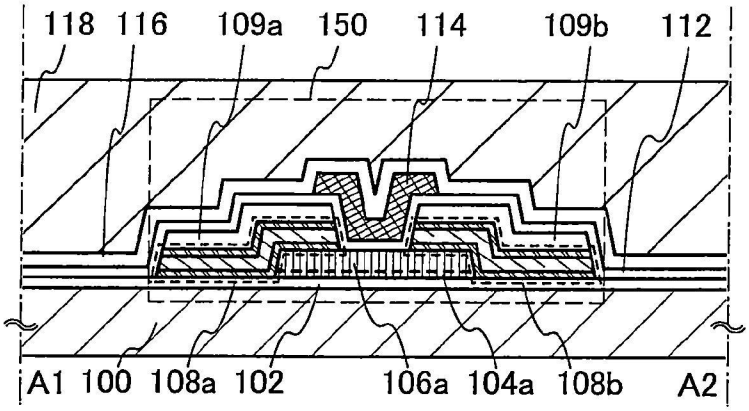

118
116
109a
150
114
109b
112
A1
100
108a
102
106a
104a
108b
A2

圖5B

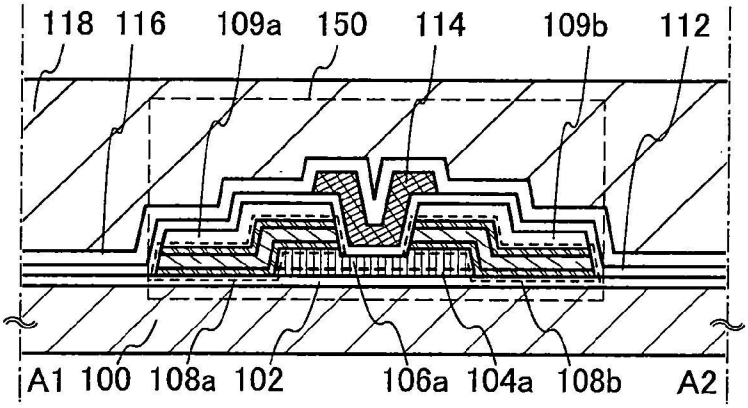

118
116
109a
150
114
109b
112
A1
100
108a
102
106a
104a
108b
A2

圖5C

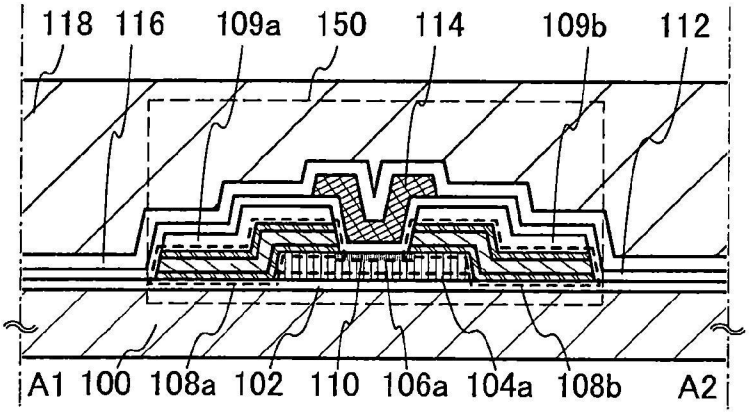

118
116
109a
150
114
109b
112
A1
100
108a
102
110
106a
104a
108b
A2

圖6A

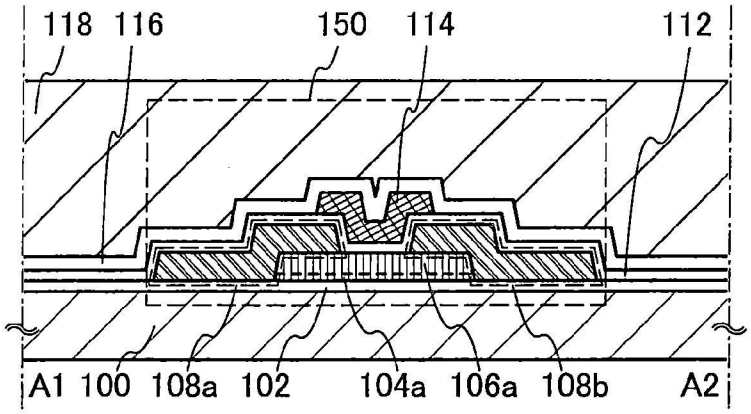

118
116
150
114
112
A1
100
108a
102
104a
106a
108b
A2

圖6B

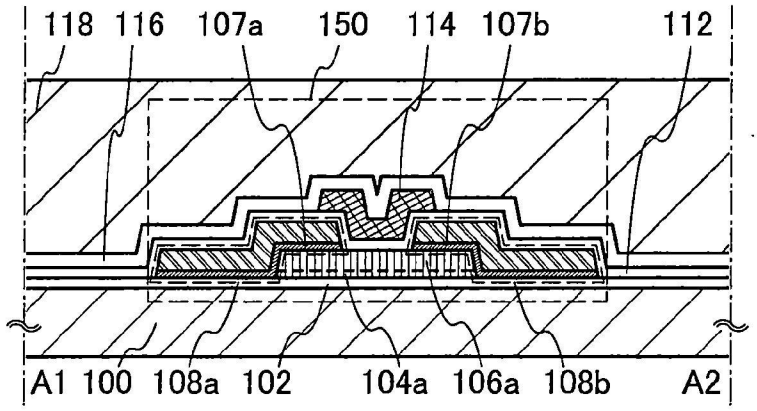

118
116
107a
150
114
107b
112
A1
100
108a
102
104a
106a
108b
A2

圖7A

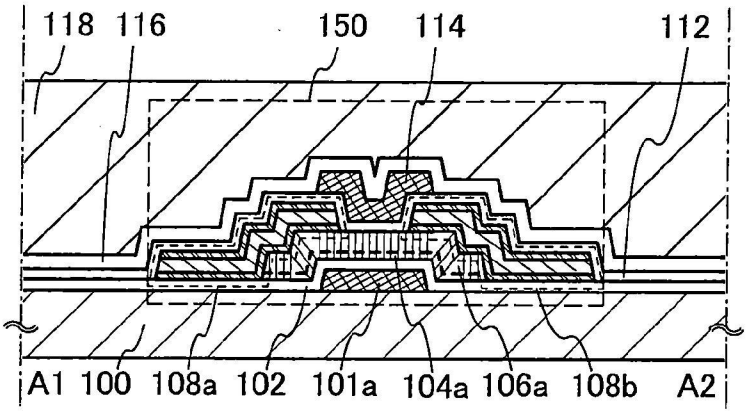

118
116
150
114
112
A1
100
108a
102
101a
104a
106a
108b
A2

圖7B

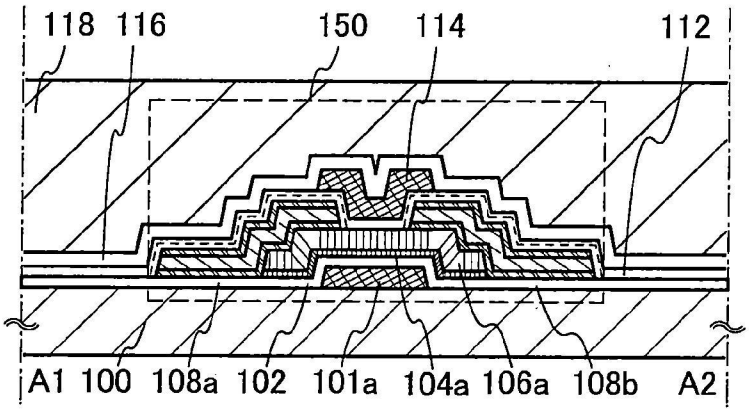

118
116
150
114
112
A1
100
108a
102
101a
104a
106a
108b
A2

圖8A

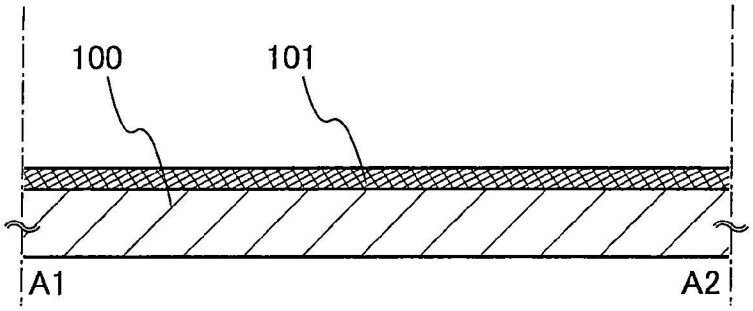


圖8B

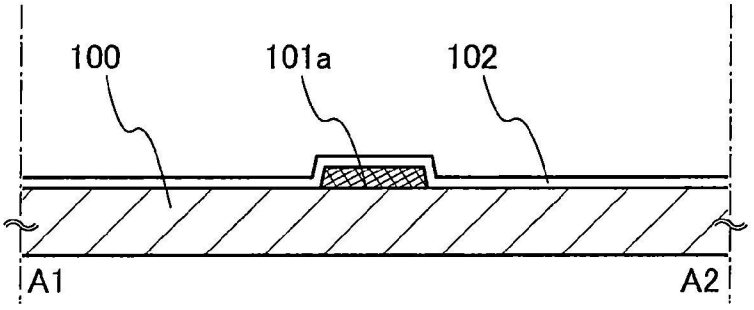


圖8C

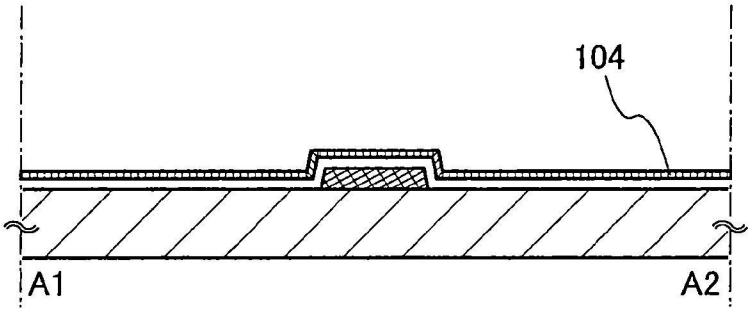


圖8D

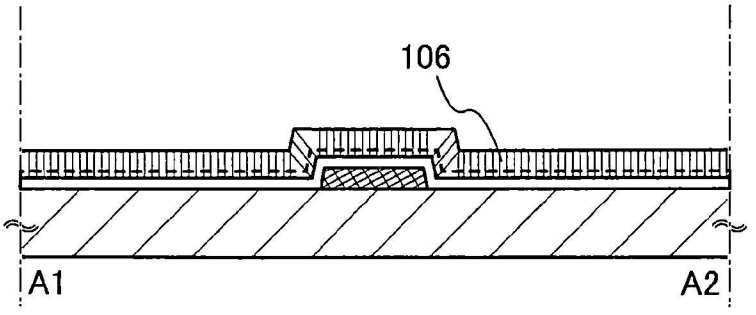


圖9A

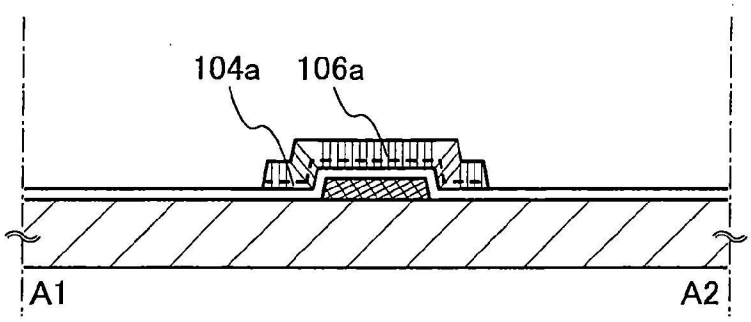


圖9B

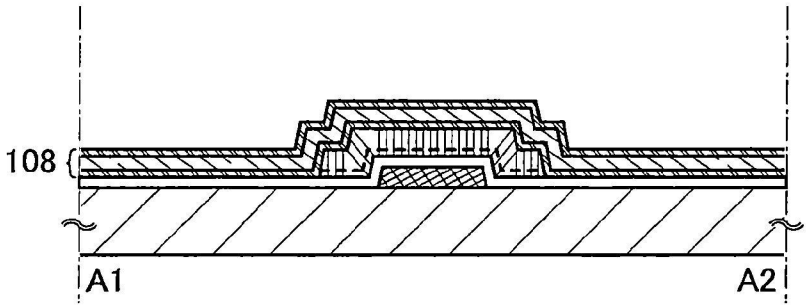


圖9C

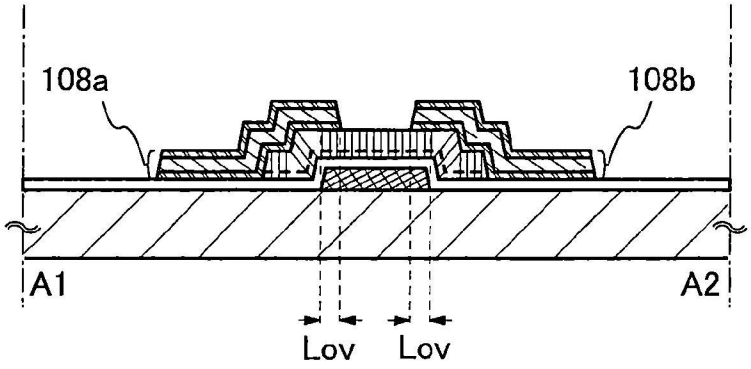


圖10A

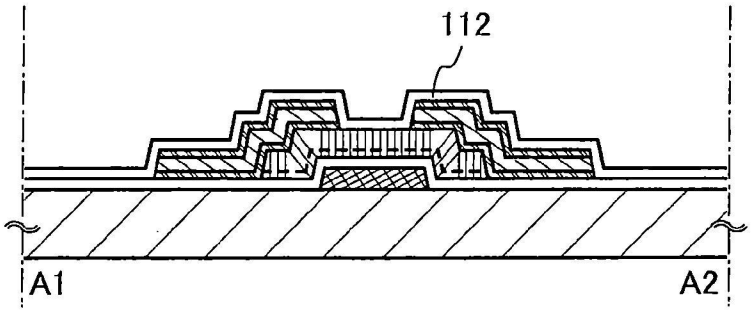


圖10B

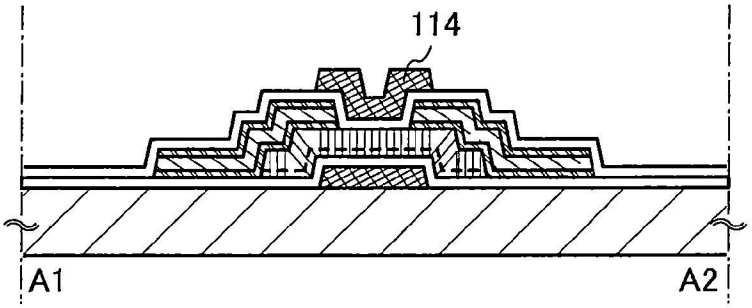


圖10C

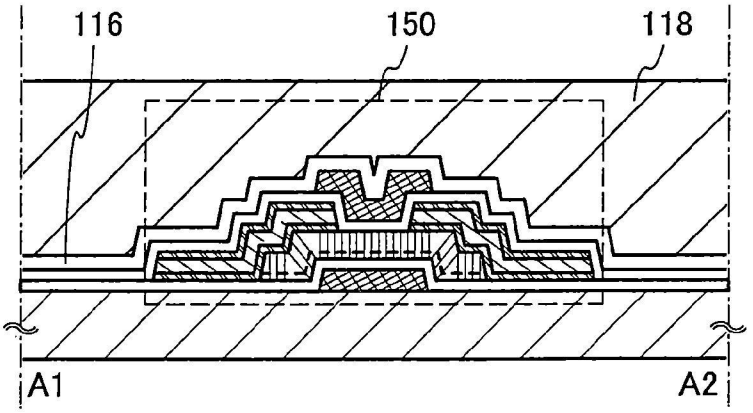


圖11A

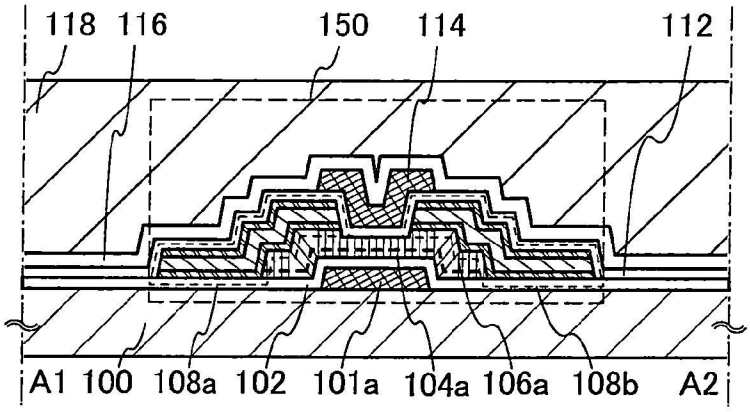


圖11B

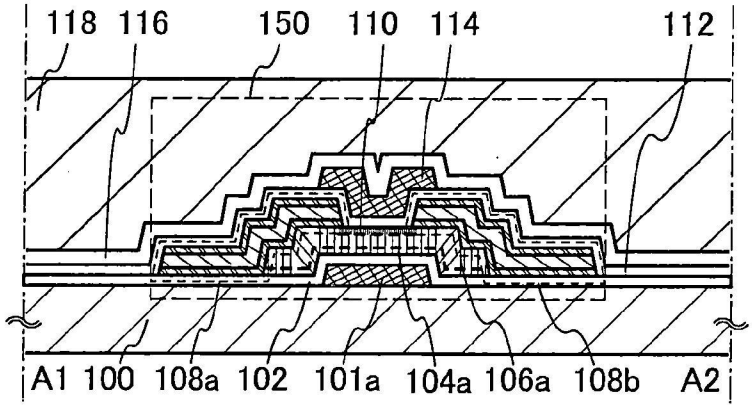


圖11C

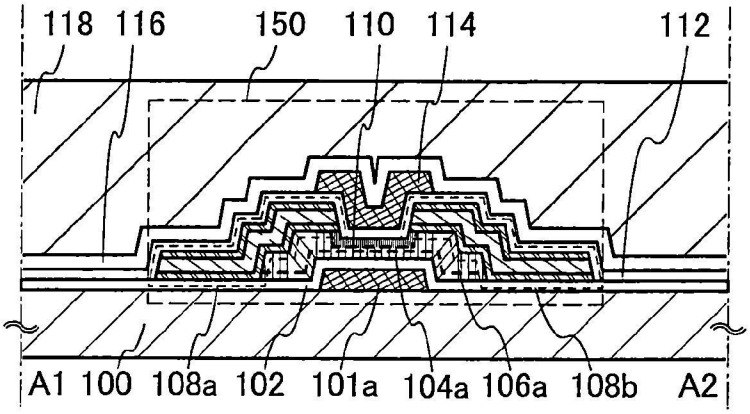


圖12A

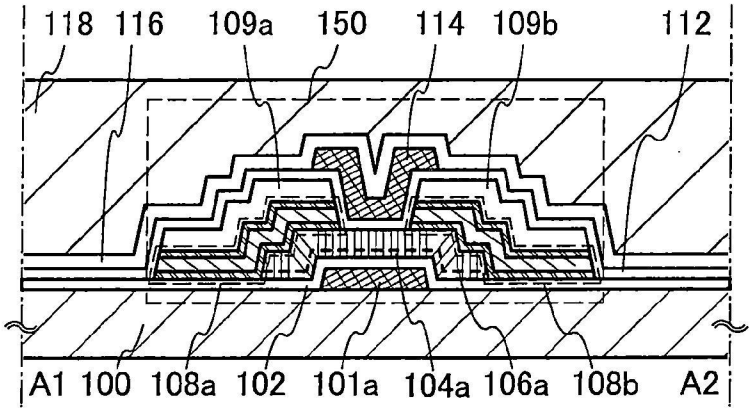


圖12B

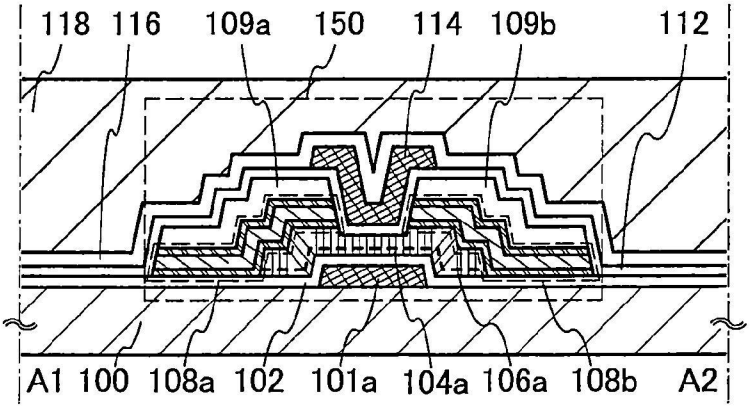


圖12C

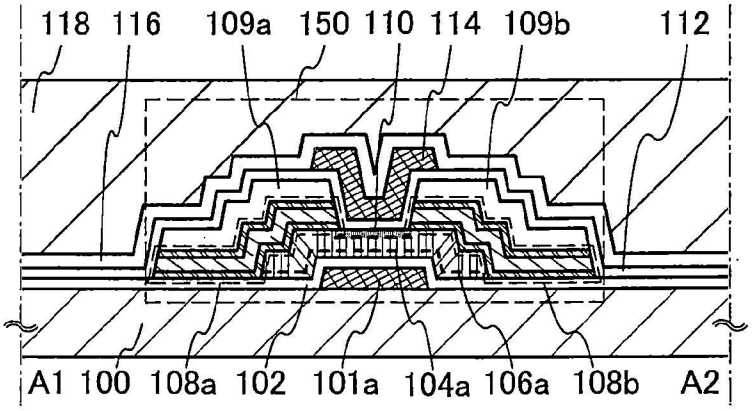


圖13

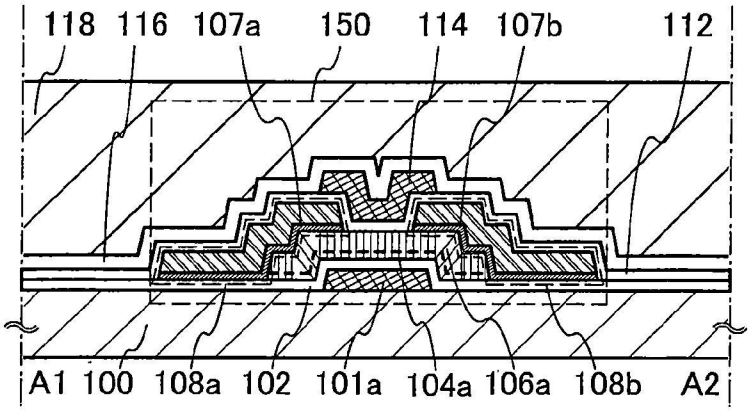

118
116
107a
150
114
107b
112
A1
100
108a
102
101a
104a
106a
108b
A2

圖14A

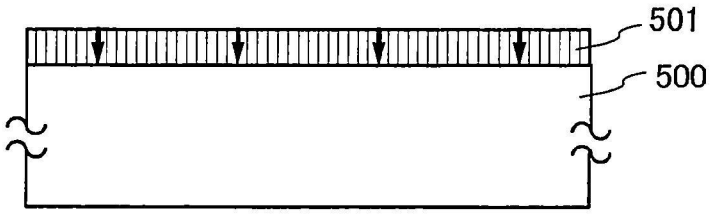


圖14B

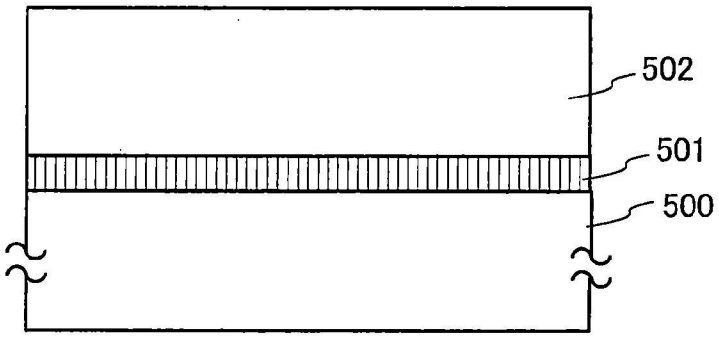


圖14C

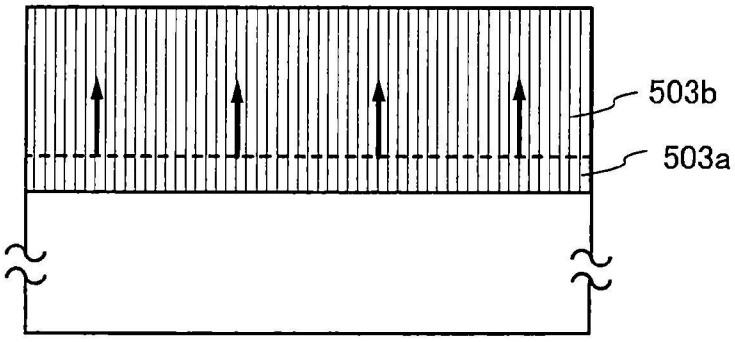


圖15A

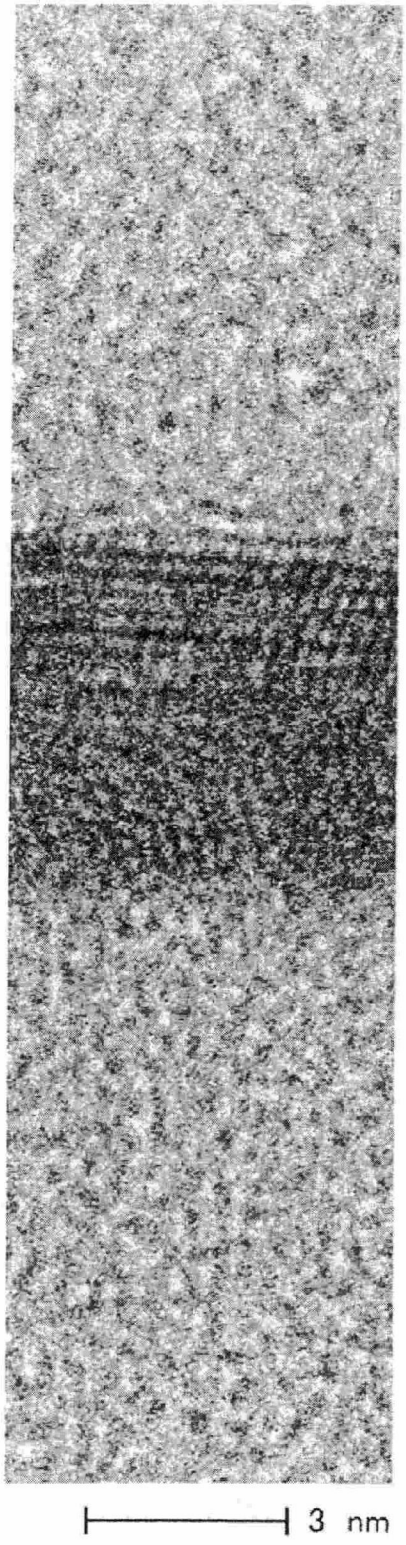


圖15B

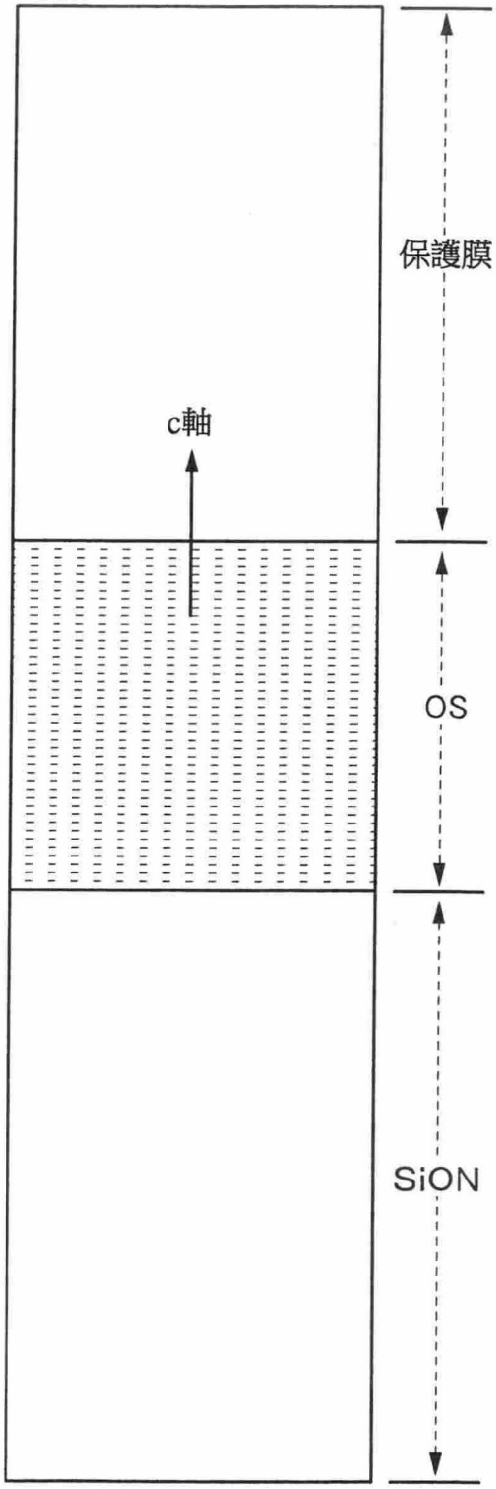


圖16A

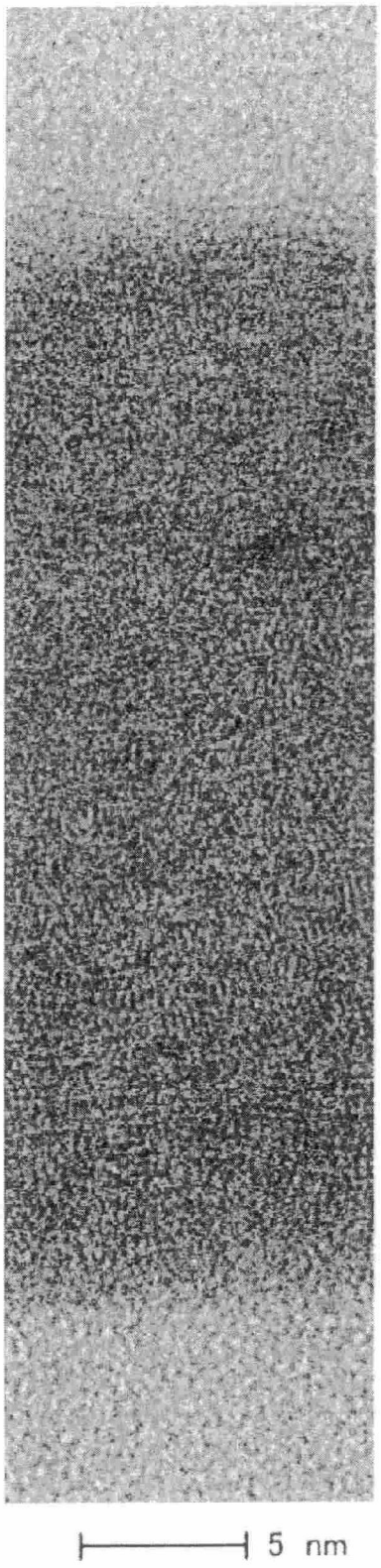


圖16B

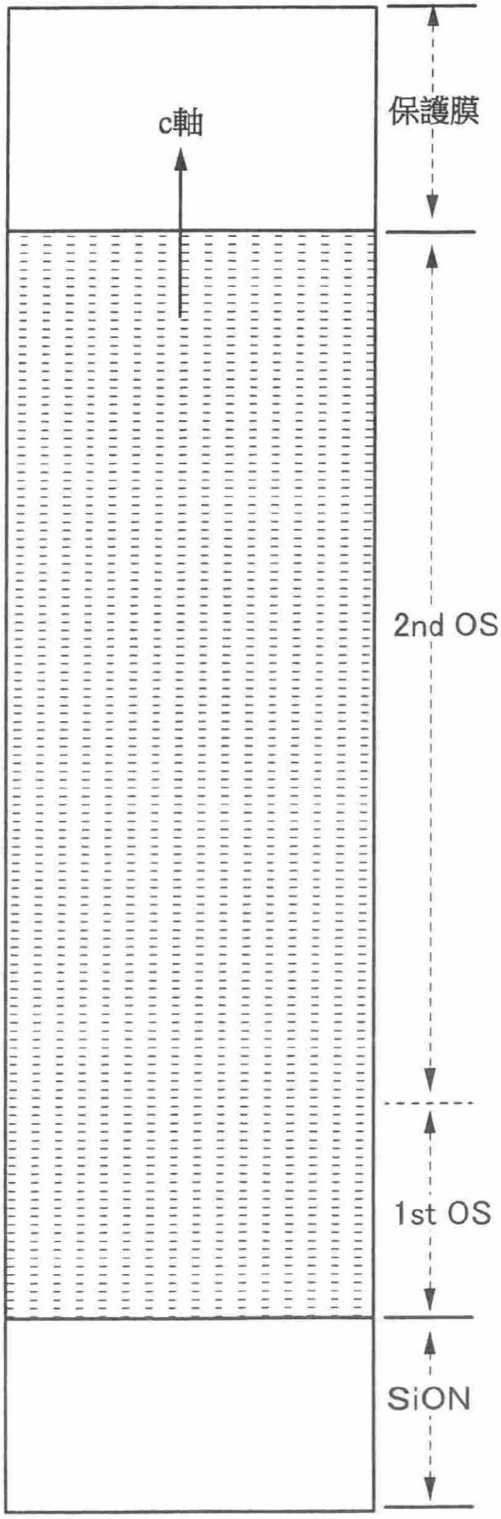


圖17A

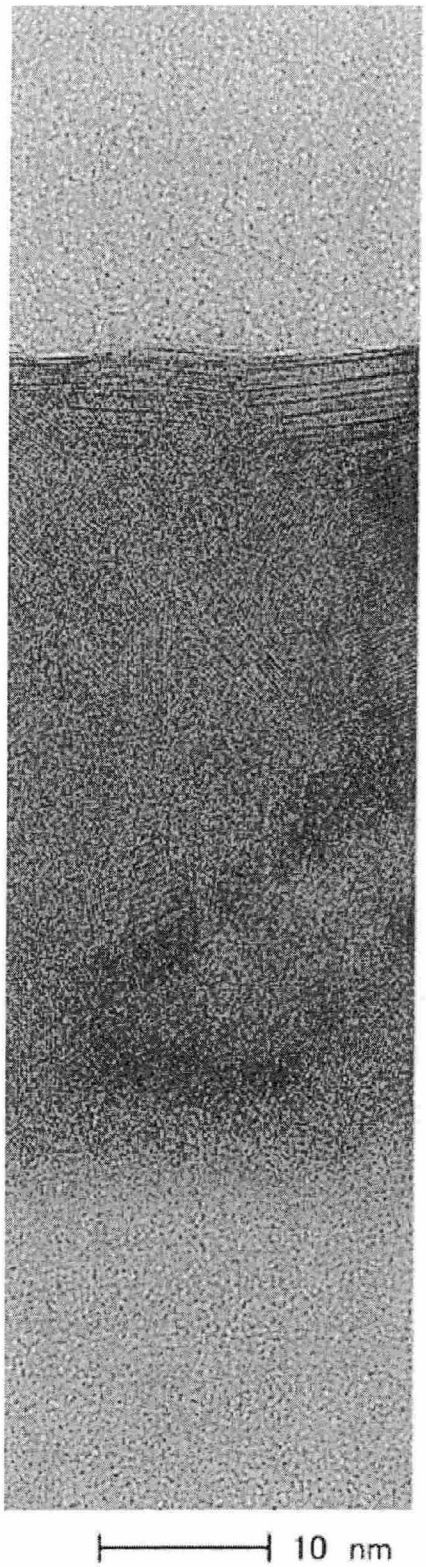


圖17B

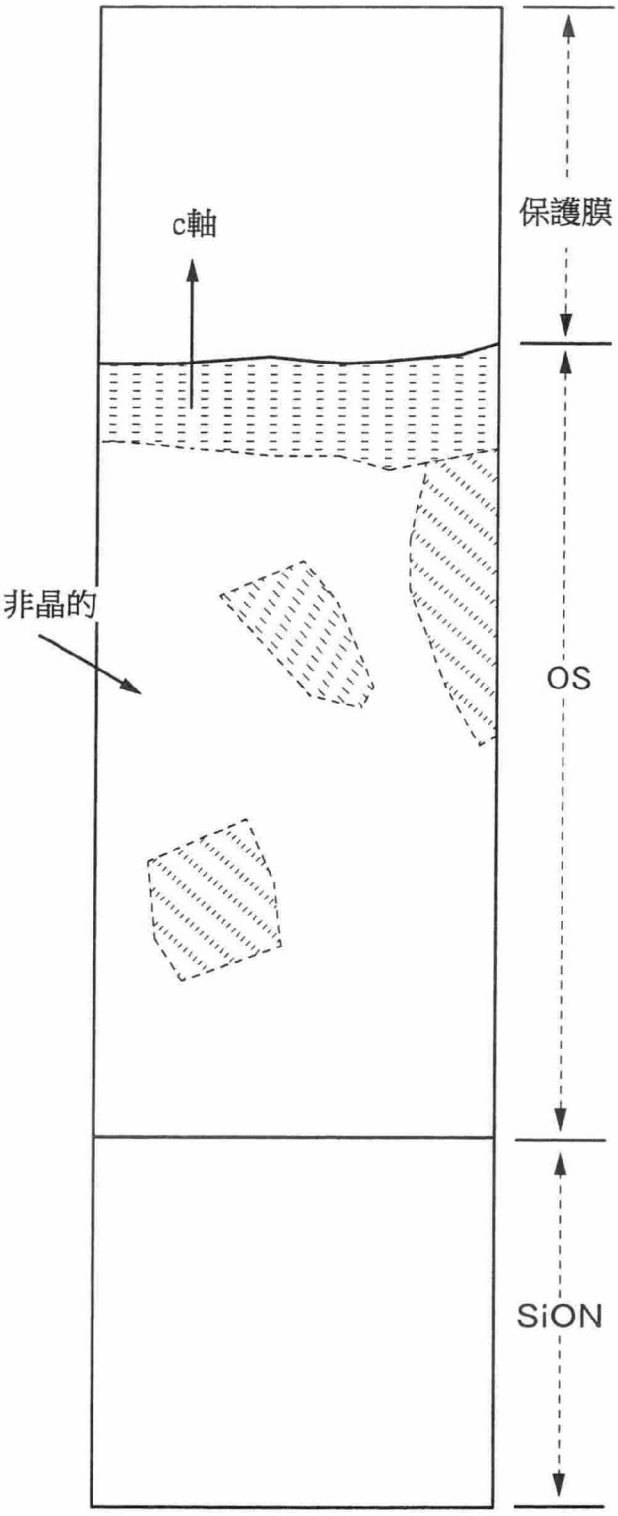


圖18

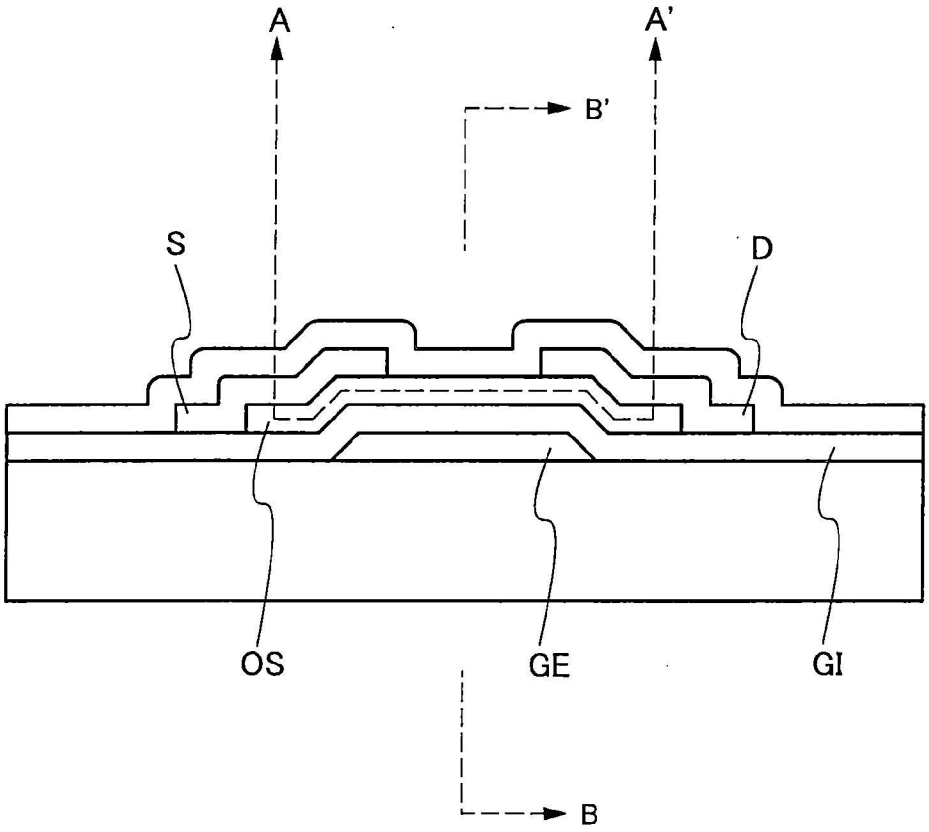


圖19

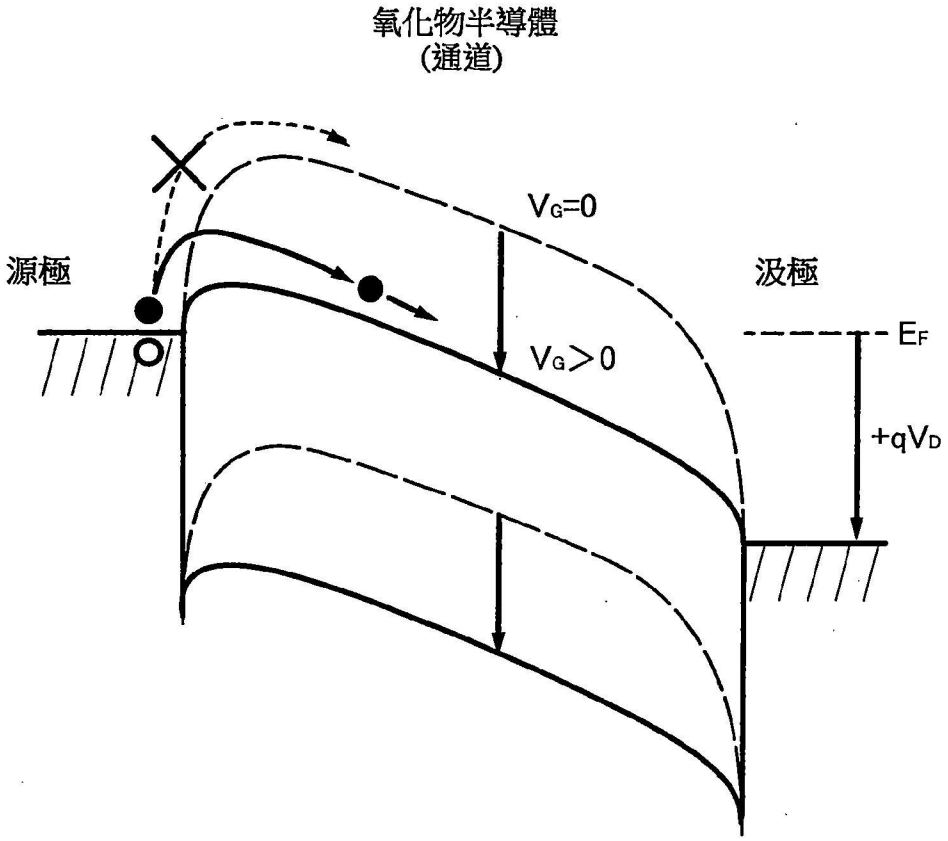


圖20A

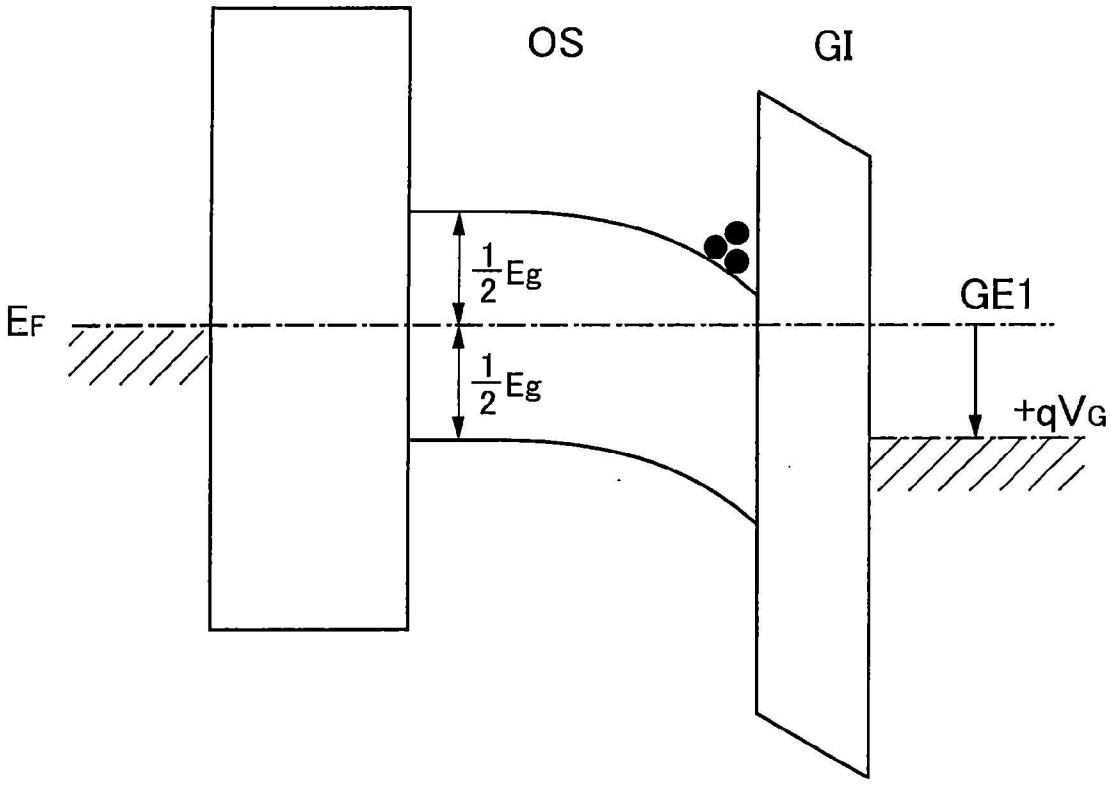


圖20B

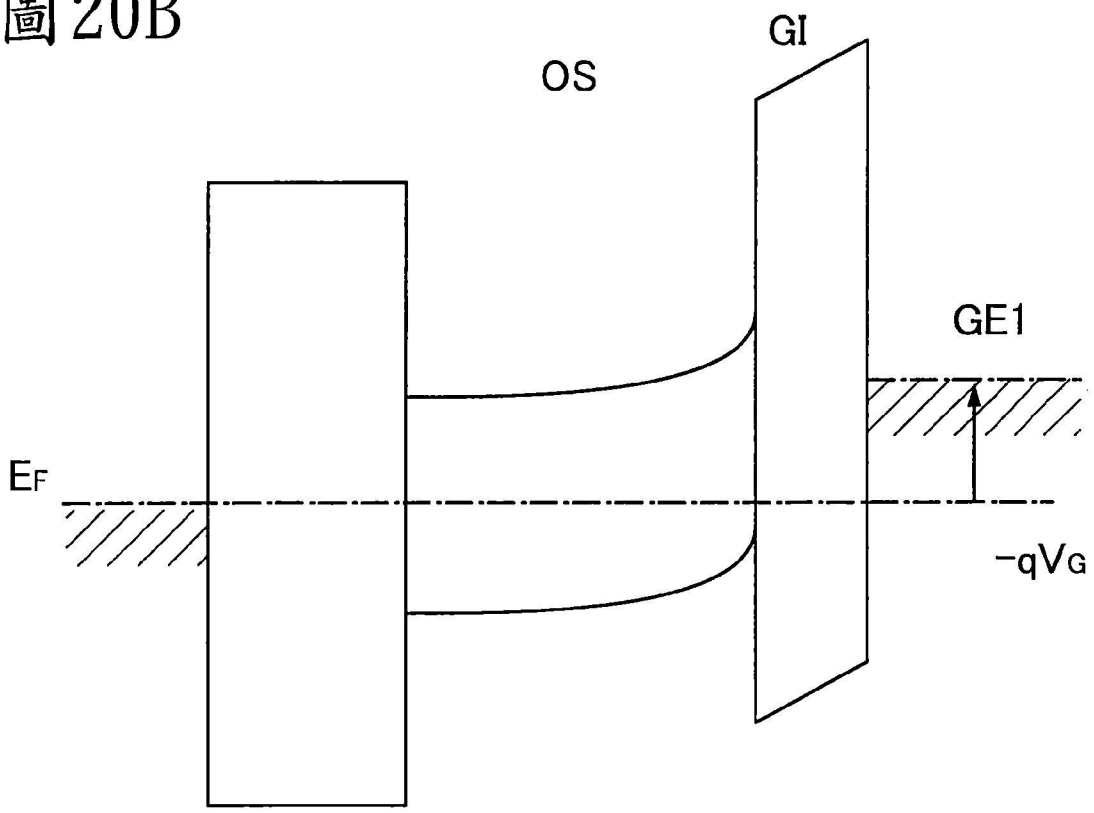


圖21

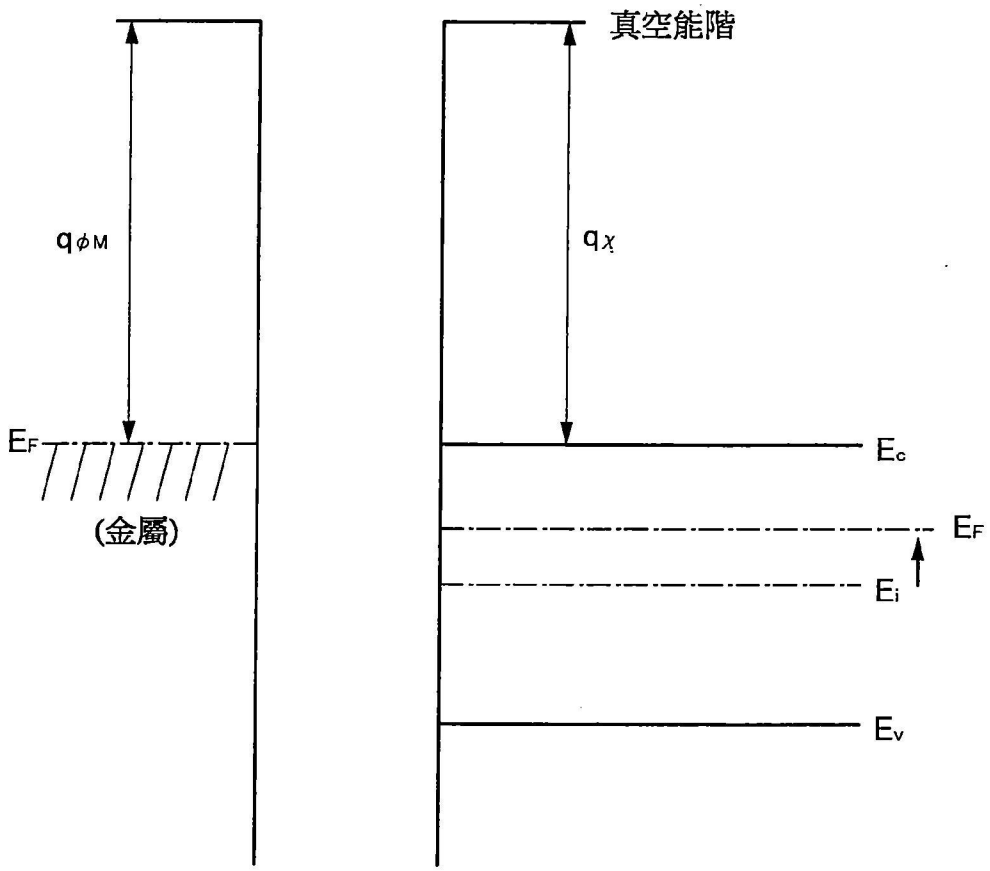


圖22

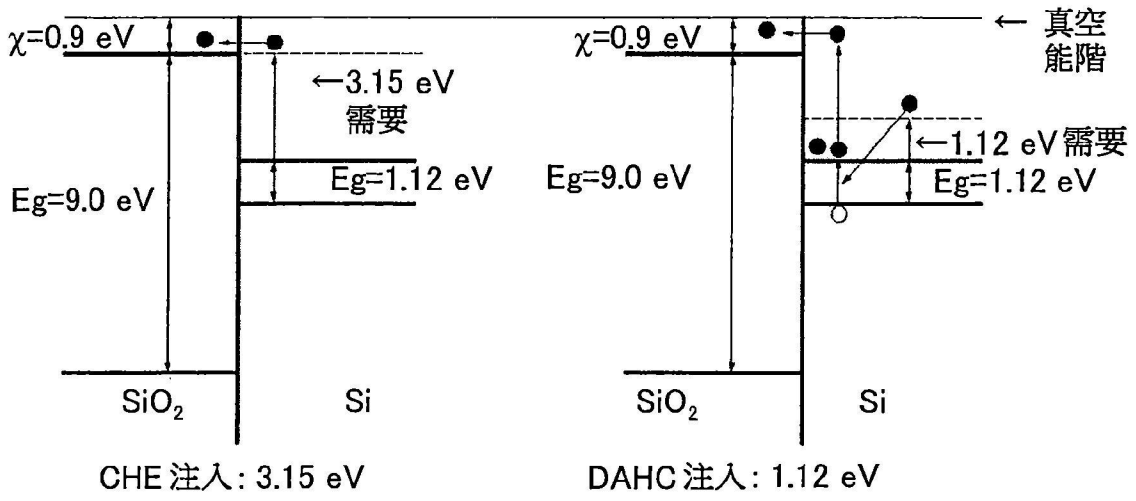

χ=0.9 eV
←3.15 eV
需要
Eg=1.12 eV
Eg=9.0 eV
SiO2
Si
CHE 注入：3.15 eV
χ=0.9 eV
← 真空
能階
←1.12 eV需要
Eg=1.12 eV
Eg=9.0 eV
SiO2
Si
DAHC 注入：1.12 eV

圖23

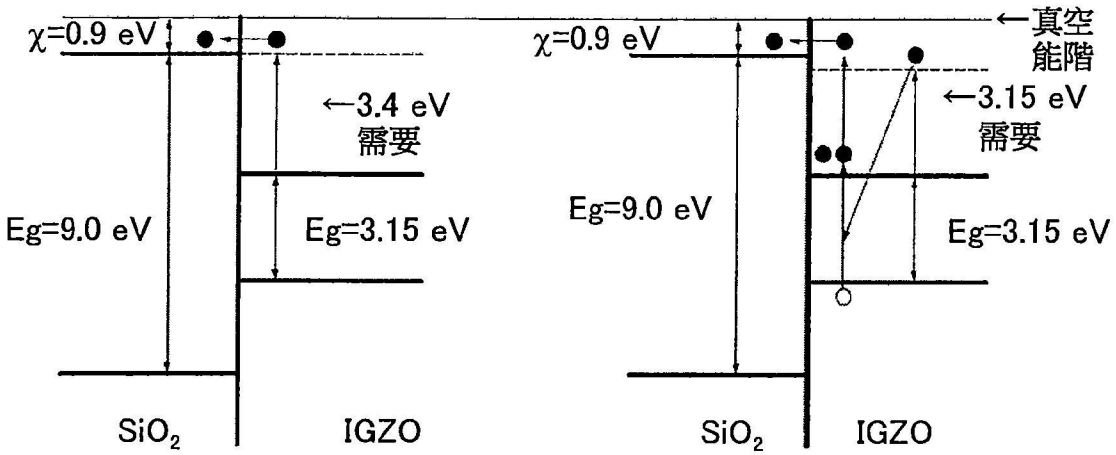

χ=0.9 eV
←3.4 eV
需要
Eg=9.0 eV
Eg=3.15 eV
SiO2
IGZO
CHE 注入: 3.4 eV
χ=0.9 eV
←真空
能階
←3.15 eV
需要
Eg=9.0 eV
Eg=3.15 eV
SiO2
IGZO
DAHC 注入: 3.15 eV

圖24

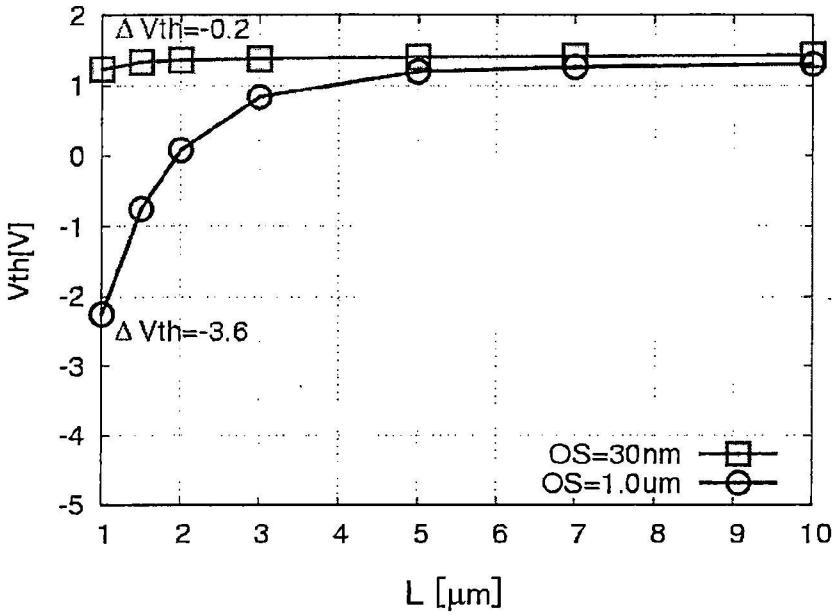

ΔVth=-0.2
ΔVth=-3.6
OS=30nm
OS=1.0um
Vth[V]
L [μm]
2
1
0
-1
-2
-3
-4
-5
1
2
3
4
5
6
7
8
9
10

圖25

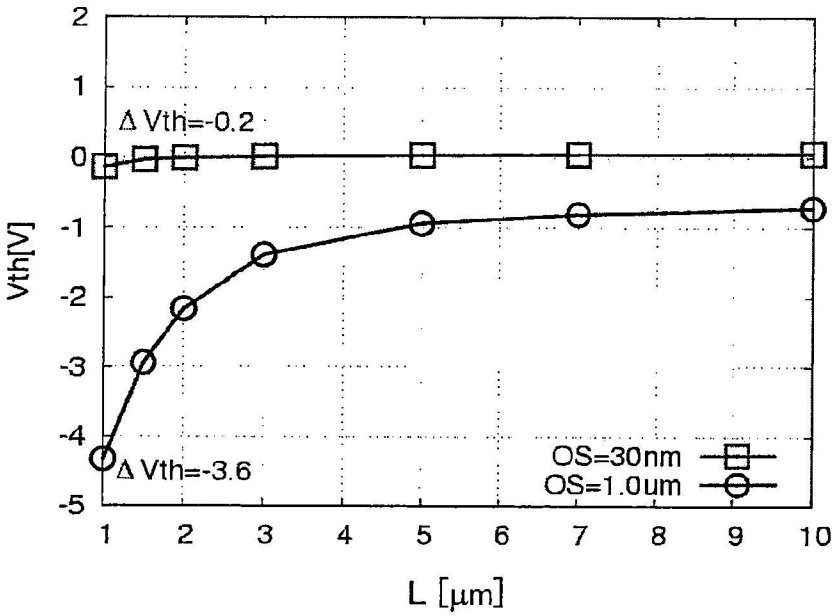

2
1
0
-1
-2
-3
-4
-5
Vth[V]
ΔVth=-0.2
ΔVth=-3.6
OS=30nm
OS=1.0um
1
2
3
4
5
6
7
8
9
10
L [μm]

圖26

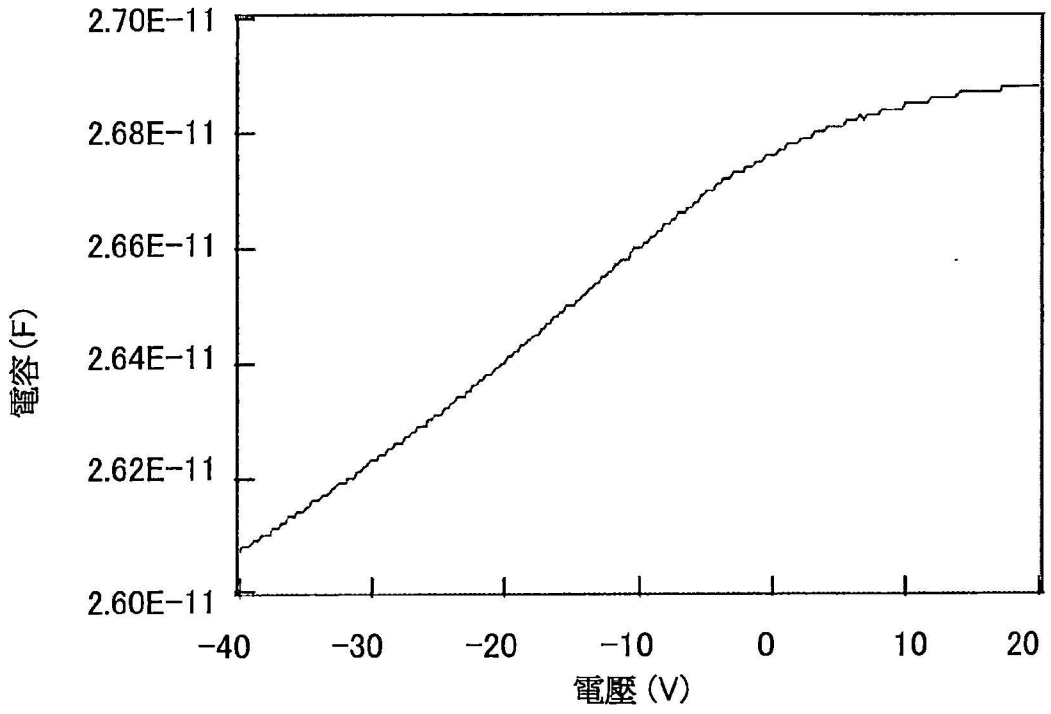

2.70E-11
2.68E-11
2.66E-11
2.64E-11
2.62E-11
2.60E-11
電容(F)
-40
-30
-20
-10
0
10
20
電壓(V)

圖27

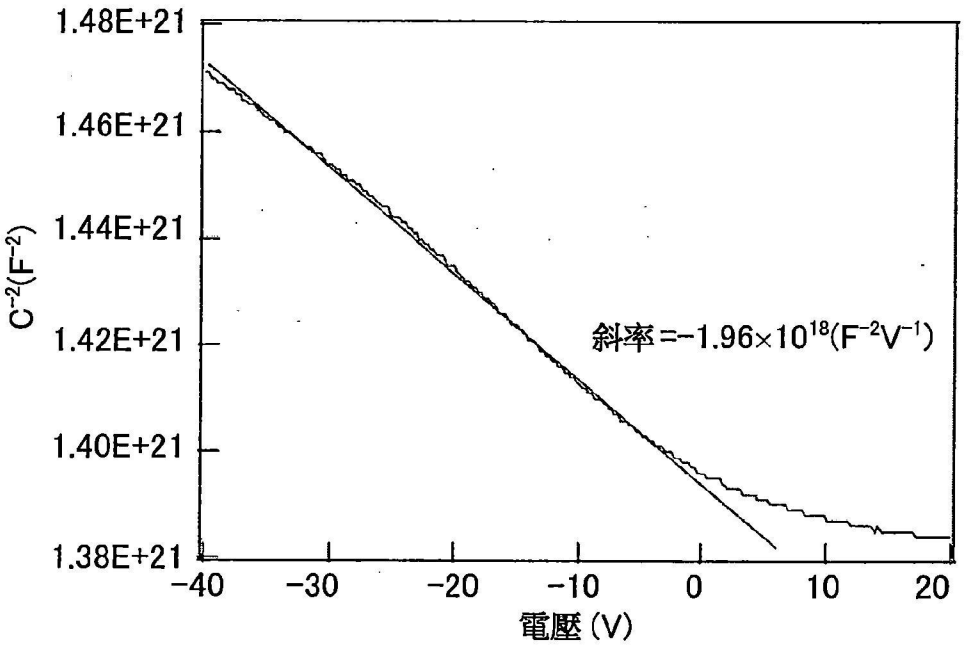

1.48E+21
1.46E+21
1.44E+21
1.42E+21
1.40E+21
1.38E+21
C⁻²(F⁻²)
斜率=-1.96×10¹⁸(F⁻²V⁻¹)
-40
-30
-20
-10
0
10
20
電壓(V)

圖28A

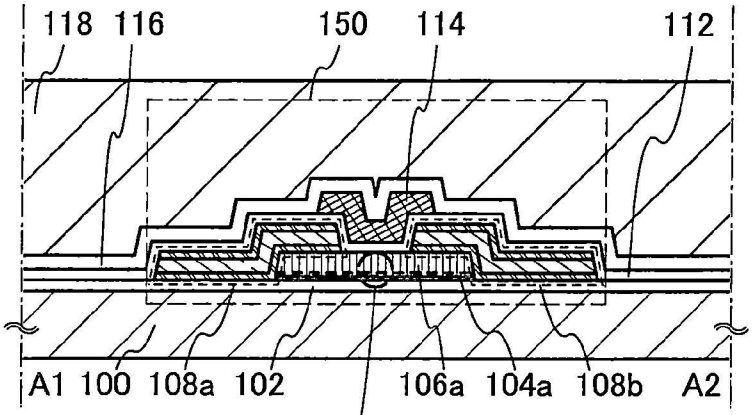

118
116
150
114
112
A1
100
108a
102
106a
104a
108b
A2

圖28B

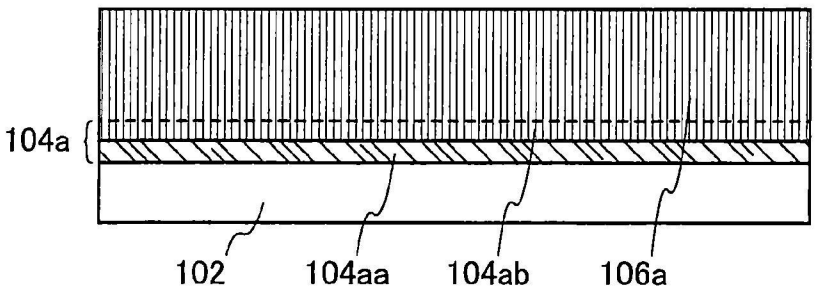

104a
102
104aa
104ab
106a

圖29

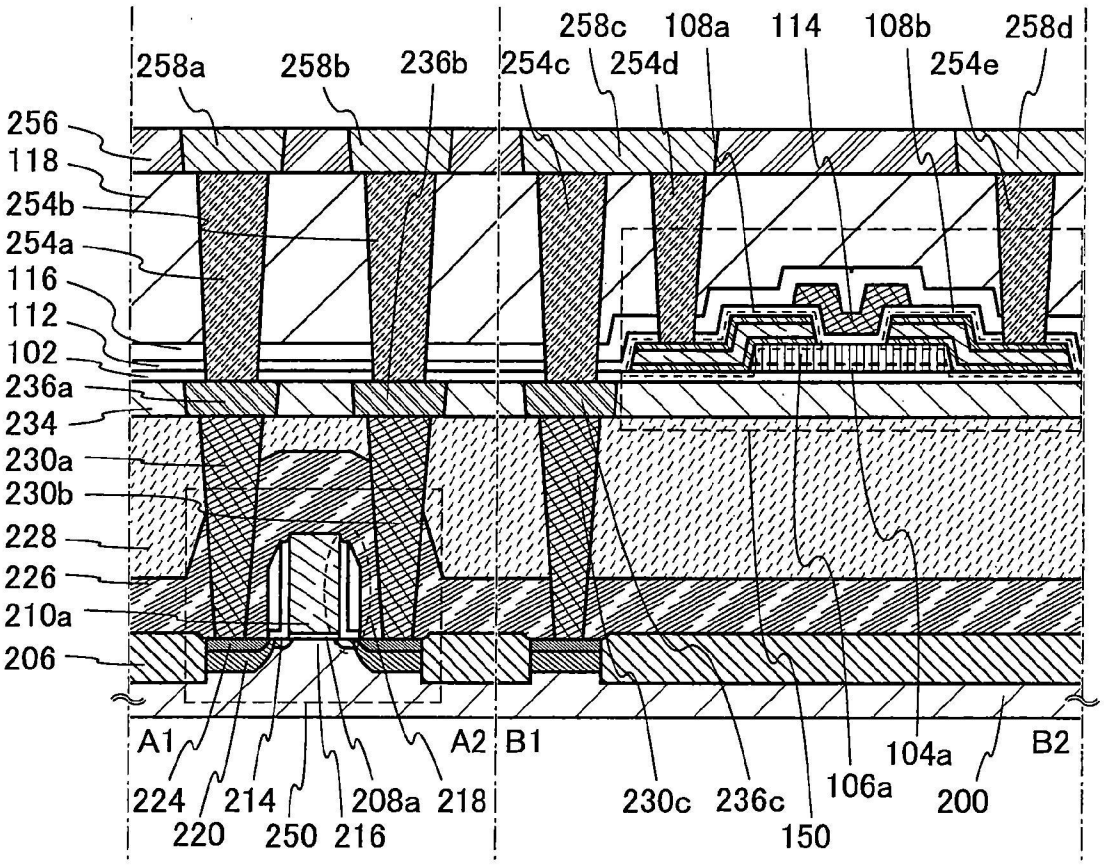

258a
258b
236b
258c
254c
254d
108a
114
108b
254e
258d
256
118
254b
254a
116
112
102
236a
234
230a
230b
228
226
210a
206
A1
A2
B1
B2
224
220
214
250
216
208a
218
230c
236c
150
106a
104a
200

圖30A

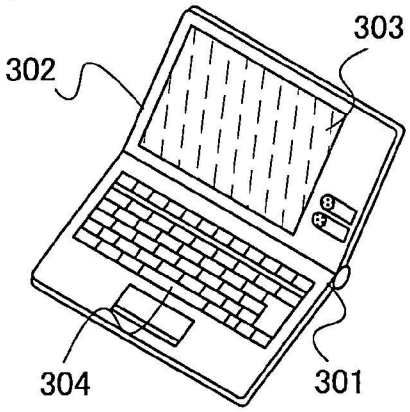


圖30B

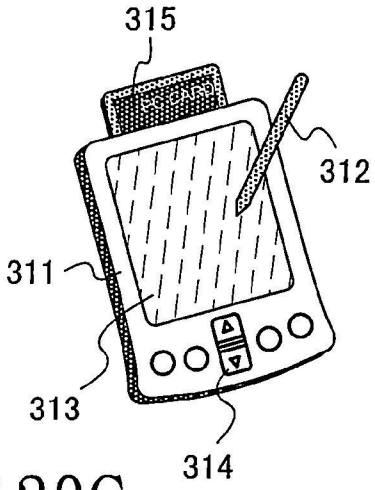


圖30C

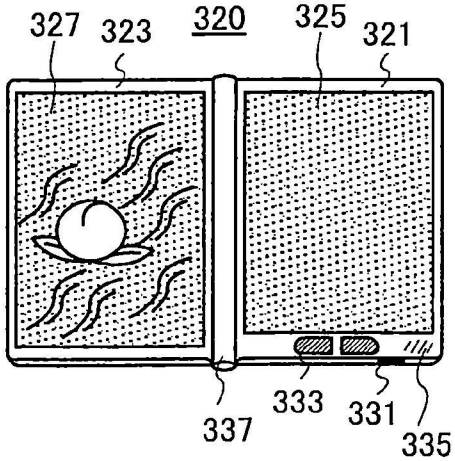


圖30D

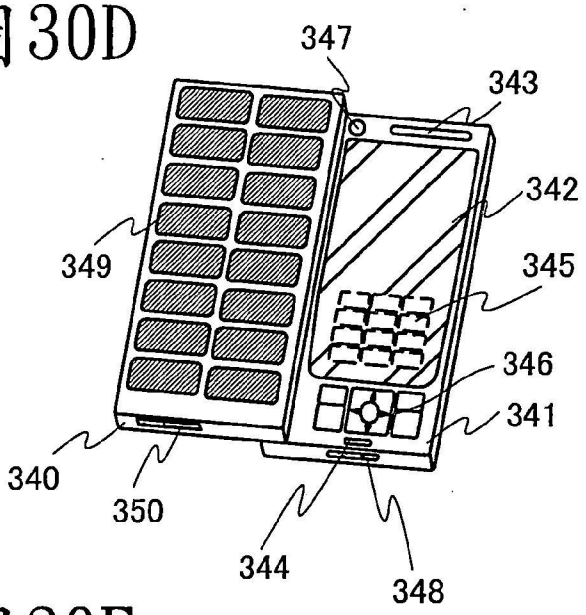


圖30E

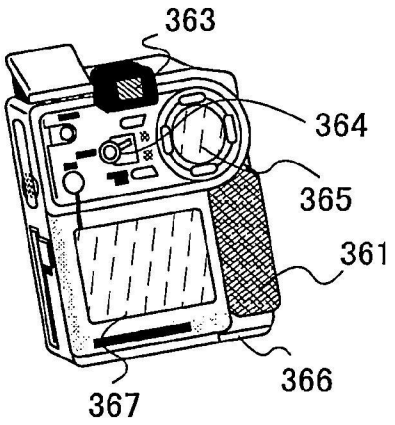


圖30F

