



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0164117
(43) 공개일자 2023년12월01일

(51) 국제특허분류(Int. Cl.)
H01L 23/31 (2006.01) H01L 21/56 (2006.01)
H01L 23/00 (2006.01) H01L 23/29 (2006.01)
(52) CPC특허분류
H01L 23/3135 (2013.01)
H01L 21/568 (2013.01)
(21) 출원번호 10-2023-7036968
(22) 출원일자(국제) 2022년03월30일
심사청구일자 없음
(85) 번역문제출일자 2023년10월26일
(86) 국제출원번호 PCT/US2022/022532
(87) 국제공개번호 WO 2022/212492
국제공개일자 2022년10월06일
(30) 우선권주장
63/169,658 2021년04월01일 미국(US)

(71) 출원인
테레써킷즈 코포레이션
미국 캘리포니아주 94043 마운틴 뷰 노스 버나드
애비뉴 319
(72) 발명자
쉬츠 제이나
미국 캘리포니아주 94043 마운틴 뷰 노스 버나드
애비뉴 319
(74) 대리인
제일특허법인(유)

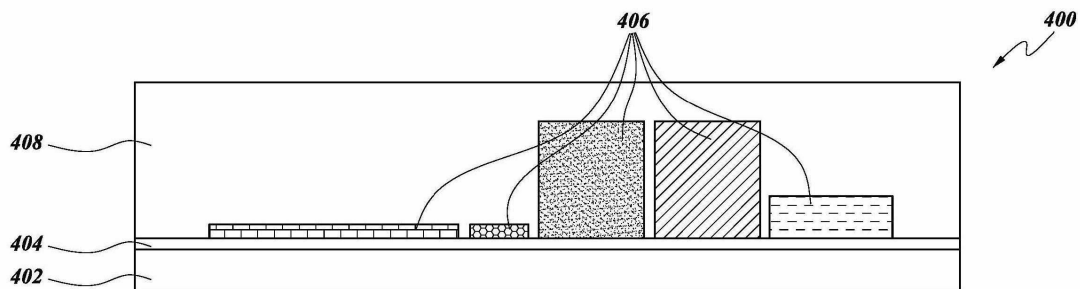
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 집적 회로 조립체를 임베딩하는 데 사용되는 조립체 및 이의 용도 및 이의 제조 방법

(57) 요약

집적 회로 제조에 사용되는 조립체 및 적층체 또는 집적 회로 제조에서의 조립체 및 적층체 뿐만 아니라 이의 제조 및 사용 방법도 기술된다. 상기 조립체는, 이형 층에 의해 또는 다공성 기판에 적용되는 진공에 의해 제 위치에(in place) 유지되는 밀접-이격된(closely spaced) 컴포넌트들; 및 상기 컴포넌트의 패드-포함 면은 코팅되지 않은 상태로 남겨두면서 상기 컴포넌트를 캡슐화하여 상기 컴포넌트와 임베딩 물질의 적층체를 형성하도록 침착된 적어도 하나의 임베딩 물질을 포함할 수 있다.

대표도



(52) CPC특허분류

H01L 23/29 (2013.01)

H01L 24/96 (2013.01)

H01L 2224/24137 (2013.01)

H01L 2224/24195 (2013.01)

H01L 2924/19041 (2013.01)

H01L 2924/19043 (2013.01)

H01L 2924/19105 (2013.01)

H01L 2924/3511 (2013.01)

H01L 2924/3512 (2013.01)

명세서

청구범위

청구항 1

집적 회로 제조에 사용되는 조립체(assembly)로서,
 상기 조립체는
 기판;
 상기 기판 위에 배치된 이형 층(release layer);
 상기 이형 층 위에 배치된 복수의 컴포넌트(component); 및
 상기 복수의 컴포넌트를 캡슐화하는 임베딩(embedding) 물질 층
 을 포함하고,
 상기 복수의 컴포넌트 각각은 상기 이형 층과 접촉하는 활성 면(active face)을 포함하는, 조립체.

청구항 2

제1항에 있어서,
 상기 컴포넌트의 활성 면 각각이 상기 임베딩 물질과 실질적으로 접촉하지 않는, 조립체.

청구항 3

제1항 또는 제2항에 있어서,
 상기 임베딩 물질 층이 복수의 임베딩 물질 하위층(sublayer)을 포함하는, 조립체.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,
 상기 임베딩 물질 층이 아말감(amalgam)을 포함하는, 조립체.

청구항 5

제4항에 있어서,
 상기 아말감이, 약 $-5 \text{ ppm}/^{\circ}\text{C}$ 내지 약 $5 \text{ ppm}/^{\circ}\text{C}$ 의 열팽창 계수(CTE)를 갖는 저 CTE 아말감인, 조립체.

청구항 6

제4항 또는 제5항에 있어서,
 상기 아말감이 매트릭스 금속, 합금화(alloying) 금속 및 저 CTE 물질을 포함하는, 조립체.

청구항 7

제6항에 있어서,
 상기 매트릭스 금속이 Ga를 포함하는, 조립체.

청구항 8

제6항 또는 제7항에 있어서,
 상기 합금화 금속이 Cu, Ni, Ag, Ce 및 이들의 조합물로 이루어진 군으로부터 선택되는, 조립체.

청구항 9

제6항 내지 제8항 중 어느 한 항에 있어서,

상기 저 CTE 물질이 ZrW_2O_8 , HfW_2O_8 , $Sc_2W_3O_{12}$ 및 이들의 조합물로 이루어진 군으로부터 선택되는, 조립체.

청구항 10

제4항 내지 제9항 중 어느 한 항에 있어서,

상기 아말감이, 추가의 저 CTE 물질, 부동태화(passivating) 물질, 액체, 환원제 및 이들의 조합물로 이루어진 군으로부터 선택된 요소를 추가로 포함하는, 조립체.

청구항 11

제1항 내지 제10항 중 어느 한 항에 있어서,

상기 이형 층이, 상기 복수의 컴포넌트 중 적어도 하나의 컴포넌트와 상기 이형 층 사이에 위치하는 언더컷(undercut) 영역을 포함하는, 조립체.

청구항 12

제11항에 있어서,

상기 언더컷 영역이, 침착된 물질을 포함하는, 조립체.

청구항 13

제1항 내지 제12항 중 어느 한 항에 있어서,

상기 기관이 기공을 포함하는, 조립체.

청구항 14

제1항 내지 제13항 중 어느 한 항에 따른 조립체의 제조 방법으로서,

기관 위에 배치된 이형 층 상에 복수의 컴포넌트를 침착하는 단계; 및

상기 복수의 컴포넌트를 임베딩 물질 층으로 둘러싸는(encasing) 단계를 포함하는 방법.

청구항 15

제14항에 있어서,

상기 복수의 컴포넌트를 임베딩 물질 층으로 둘러싸는 단계가 분무 공정에 의해 수행되는, 방법.

청구항 16

조립체를 집적 회로에 통합하는 방법으로서,

제1항 내지 제13항 중 어느 한 항의 조립체의 임베딩 물질 층으로 캡슐화된 복수의 컴포넌트로부터 이형 층을 분리하여, 적층체(laminate)를 형성하는 단계; 및

상기 복수의 컴포넌트의 노출된 표면 각각 위에 상호연결(interconnect) 물질을 침착하여, 배선된(wired) 적층체를 형성하는 단계

를 포함하는 방법.

청구항 17

제16항에 있어서,

상기 배선된 적층체를 장치 내에 배치하는 단계, 및

상기 배선된 적층체를 상기 장치에 전기적으로 연결하는 단계를 추가로 포함하는 방법.

청구항 18

회로 장치에 통합하기 위한 적층체로서,
복수의 캡슐화된 표면과 노출된 표면을 각각 포함하는 복수의 컴포넌트; 및
상기 복수의 컴포넌트의 복수의 캡슐화된 표면을 캡슐화하는 임베딩 물질을 포함하는 적층체.

청구항 19

제18항에 있어서,
각각의 상기 노출된 표면이 패드(pad)를 포함하는, 적층체.

청구항 20

제18항 또는 제19항에 있어서,
각각의 상기 노출된 표면이 서로 실질적으로 동일 평면상에 있는(coplanar), 적층체.

청구항 21

제18항 내지 제20항 중 어느 한 항에 있어서,
각각의 상기 노출된 표면 위에 배치된 상호연결 물질을 추가로 포함하는 적층체.

청구항 22

제18항 내지 제21항 중 어느 한 항에 있어서,
상기 임베딩 물질이 아말감을 포함하는, 적층체.

청구항 23

제22항에 있어서,
상기 아말감이 매트릭스 금속, 합금화 금속 및 저 CTE 물질을 포함하는, 적층체.

청구항 24

제22항 또는 제23항에 있어서,
상기 아말감이, 약 -5 ppm/°C 내지 약 5 ppm/°C의 CTE를 갖는 저 CTE 아말감인, 적층체.

발명의 설명

기술 분야

[0001] 본 발명은 마이크로전자 컴포넌트 조립체의 형성에 관한 것이다.

[0002] 임의의 우선권 출원의 참조 및 인용

[0003] 본원과 함께 제출된 출원 데이터 시트 또는 요청서에서 확인되는 외국 또는 국내 우선권 주장을 위한 임의의 및 모든 출원을 37 CFR 1.57 및 규칙 4.18 및 20.6에 따라 본원에 참조로 인용한다. 2021년 4월 1일자로 출원된 미국 특허 가출원 제63/169658호 전체를 본원에 참조로 인용한다.

배경 기술

[0004] 컴포넌트(예를 들면, 패키징화된 집적 회로, 커패시터, 저항기 및 인덕터)는 일반적으로, 랜딩 패드(landing pad)에서 끝나고 땀납(solder)에 의해 상기 컴포넌트에 연결되는 인쇄 회로 기판("PCB") 상에 배치된다. 전형

적으로, 집적 회로("IC") 패키지의 입력/출력("I/O") 단자 상의 땀납 볼(solder ball) 또는 범프(bump)는, PCB 상에 인쇄되어 있는 땀납 페이스트 상에 정렬 및 배치된다. 이어서, 이 조립체는, 땀납을 용융시켜 접합부(joint)를 형성할 수 있는 리플로우 오븐(reflow oven)으로 불리는 오븐을 통과한다. 수동 컴포넌트는, PCB 상의 스크린-인쇄된 땀납 페이스트 패턴에 유사하게 정렬 및 배치되는 비교적 큰 금속-도금된 단자를 가진다.

[0005] 이러한 방법은 몇몇 단점을 가진다. 상기 조립체는, 땀납(예를 들면, 96.5% Sn, 3% Ag 및 0.5% Cu의 공통 조성을 갖는 땀납, 예컨대 "SAC")을 용융시켜 후속적으로 상기 패드 위로 자유 유동시키기 위해 약 250 내지 260℃의 온도로 가열되어야 하며, 이때 220℃ 초과와 온도가 1분 이상 적용된다. 보드가 냉각되면, 상이한 물질들(예컨대, 특히, 땀납, PCB 내의 중합체, Cu 및 Si)의 매우 상이한 열팽창 계수(CTE)로 인해 심각한 응력이 발생하는 경향이 있다. Si의 CTE는 2.7 ppm/℃이고, Cu의 CTE는 17 ppm/℃이고, SAC의 CTE는 약 23 ppm/℃이고, FR4(이는, PCB 구성에 사용되는 다양한 실리카-충전된 에폭시 복합체에 대한 명명임)의 CTE는 약 14 내지 16 ppm/℃이고, 언더필(underfill) 중합체 및/또는 다양한 에폭시의 CTE는 주위 온도 근처(유리 전이 온도 초과에서, 이는 훨씬 더 높을 수 있음)에서 약 15 내지 30 ppm/℃ 초과이다. 이러한 응력은 땀납 접합부의 파손 또는 컴포넌트(예컨대, IC) 패드로부터의 땀납 박리로 인해 회로 고장을 야기할 수 있으며, 이는 흔히 발생한다. 사용시 열적 사이클링 동안 고장이 발생할 추가의 가능성이 있다(예를 들어, 이의 작동 발열로 인해 IC 온도가 85℃ 이상으로 상승할 수 있음).

[0006] 따라서, 이러한 단점 및 고장 사항을 완화하는 아키텍처 및 제조 방법이 유익할 수 있다.

발명의 내용

[0007] 본 발명의 개시내용 및 선행 기술에 비해 달성된 이점을 요약하기 위해, 본 발명의 특정 목적 및 이점이 본원에 기술된다. 이러한 모든 목적 또는 이점이 임의의 특정 실시양태에서 달성될 수는 없다. 따라서, 예를 들어, 당업자는, 교시되거나 제안될 수 있는 다른 목적 또는 이점을 반드시 달성하지 않고도, 본원에 교시된 하나의 이점 또는 이점들의 그룹을 달성하거나 최적화하는 방식으로 본 발명이 구현되거나 수행될 수 있음을 인식할 것이다.

[0008] 하나의 양태에서, 집적 회로 제조에 사용되는 조립체가 개시된다. 상기 조립체는 기판; 상기 기판 위에 배치된 이형 층; 상기 이형 층 위에 배치된 복수의 컴포넌트; 및 상기 복수의 컴포넌트를 둘러싸는 임베딩 물질 층을 포함하고, 상기 복수의 컴포넌트 각각은 상기 이형 층과 접촉하는 활성 면을 포함한다.

[0009] 몇몇 실시양태에서, 상기 컴포넌트의 활성 면 각각은 상기 임베딩 물질과 실질적으로 접촉하지 않는다. 몇몇 실시양태에서, 상기 임베딩 물질 층은 복수의 임베딩 물질 하위층을 포함한다. 몇몇 실시양태에서, 상기 임베딩 물질 층은 아말감을 포함한다. 몇몇 실시양태에서, 상기 아말감은, 약 -5 ppm/℃ 내지 약 5 ppm/℃의 CTE를 갖는 저 CTE 아말감이다. 몇몇 실시양태에서, 상기 아말감은 매트릭스 금속, 합금화(alloying) 금속 및 저 CTE 물질을 포함한다. 몇몇 실시양태에서, 상기 매트릭스 금속은 Ga를 포함한다. 몇몇 실시양태에서, 상기 합금화 금속은 Cu, Ni, Ag, Ce 및 이들의 조합물로 이루어진 군으로부터 선택된다. 몇몇 실시양태에서, 상기 저 CTE 물질은 ZrW_2O_8 , HfW_2O_8 , $Sc_2W_3O_{12}$ 및 이들의 조합물로 이루어진 군으로부터 선택된다. 몇몇 실시양태에서, 상기 아말감은, 추가의 저 CTE 물질, 부동태화(passivating) 물질, 액체, 환원제 및 이들의 조합물로 이루어진 군으로부터 선택된 요소를 추가로 포함한다. 몇몇 실시양태에서, 상기 이형 층은, 상기 복수의 컴포넌트 중 적어도 하나의 컴포넌트와 상기 이형 층 사이에 위치하는 언더컷(undercut) 영역을 포함한다. 몇몇 실시양태에서, 상기 언더컷 영역은 침착된 물질을 포함한다. 몇몇 실시양태에서, 상기 기판은 기공을 포함한다.

[0010] 또 다른 양태에서, 조립체의 제조 방법이 기술된다. 상기 방법은, 기판 위에 배치된 이형 층 상에 복수의 컴포넌트를 침착하는 단계; 및 상기 복수의 컴포넌트를 임베딩 물질 층으로 둘러싸는(encasing) 단계를 포함한다.

[0011] 몇몇 실시양태에서, 상기 복수의 컴포넌트를 임베딩 물질 층으로 둘러싸는 단계는 분무 공정에 의해 수행된다.

[0012] 또 다른 양태에서, 조립체를 집적 회로에 통합하는 방법이 기술된다. 상기 방법은, 조립체의 임베딩 물질 층으로 캡슐화된 복수의 컴포넌트로부터 이형 층을 분리하여 적층체(laminate)를 형성하는 단계; 및 상기 복수의 컴포넌트의 각각의 노출된 표면 위에 상호연결(interconnect) 물질을 침착하여, 배선된(wired) 적층체를 형성하는 단계를 포함한다.

[0013] 몇몇 실시양태에서, 상기 방법은, 배선된 적층체를 장치에 배치하는 단계, 및 상기 배선된 적층체를 상기 장치에 전기적으로 연결하는 단계를 추가로 포함한다.

[0014] 다른 양태에서, 회로 장치 내에 통합하기 위한 적층체가 기술된다. 상기 적층체는, 복수의 캡슐화된 표면 및

노출된 표면을 각각 포함하는 복수의 컴포넌트; 및 상기 복수의 컴포넌트의 복수의 캡슐화된 표면을 캡슐화하는 임베딩 물질을 포함한다.

[0015] 몇몇 실시양태에서, 상기 노출된 표면 각각은 패드를 포함한다. 몇몇 실시양태에서, 상기 노출된 표면 각각은 서로 실질적으로 동일 평면상에 있다. 몇몇 실시양태에서, 상기 적층체는 각각의 노출된 표면 위에 배치된 상호연결 물질을 추가로 포함한다. 몇몇 실시양태에서, 상기 임베딩 물질은 아말감을 포함한다. 몇몇 실시양태에서, 상기 아말감은 매트릭스 금속, 합금화 금속 및 저 CTE 물질을 포함한다. 몇몇 실시양태에서, 상기 아말감은, 약 $-5 \text{ ppm}/^{\circ}\text{C}$ 내지 약 $5 \text{ ppm}/^{\circ}\text{C}$ 의 CTE를 갖는 저 CTE 아말감이다.

도면의 간단한 설명

[0016] 본 발명의 상기 특징, 양태 및 이점 및 다른 특징, 양태 및 이점이 특정 실시양태의 도면을 참조하여 기술되며, 이는 특정 실시양태를 예시하기 위한 것이며 본 발명을 제한하지 않는 것으로 의도된다.

도 1은, 다양한 온도에서 갈륨 아말감의 경화(hardening) 동역학을 도시하는 선 그래프이다.

도 2는, 아말감의 분무 침착을 위한 분무기 시스템 및 사용 방법의 예시이다.

도 3은, 아말감의 분무 침착에 사용될 수 있는 분무기의 예시이다.

도 4는, 몇몇 실시양태에 따른, 컴포넌트를 캡슐화하는 임베딩 물질을 갖는 조립체의 예시이다.

도 5는, 몇몇 실시양태에 따른, 컴포넌트를 캡슐화하는 복수의 임베딩 물질을 갖는 조립체의 예시이다.

도 6은, 몇몇 실시양태에 따른, 컴포넌트 아래의 언더컷 영역에 임베딩 물질이 침착된 조립체의 예시이다.

도 7은, 몇몇 실시양태에 따른, 다공성 기판에 진공이 적용된 상태에서 컴포넌트 상의 침착된 임베딩 물질 및 다공성 기판을 갖는 조립체를 도시하는 예시이다.

발명을 실시하기 위한 구체적인 내용

[0017] 특정 실시양태 및 예가 하기에 기술되지만, 당업자는, 구체적으로 개시된 실시양태 및/또는 용도 및 이의 명백한 변형 및 등가물 너머로 본 발명이 확장됨을 이해할 것이다. 따라서, 본원에 개시된 본 발명의 범위가, 하기에 기술되는 임의의 특정 실시양태에 의해 제한되어서는 안 되는 것으로 의도된다.

[0018] 컴포넌트들을 포함하는 조립체와 적층체 뿐만 아니라 이의 사용 및 제조 방법이 제공된다. 상기 조립체는, 이형 층에 의해 또는 다공성 기판에 적용된 진공에 의해 제 위치에 유지되는 밀접-이격된(closely spaced) 컴포넌트들, 및 상기 컴포넌트의 패드-포함 면은 코팅되지 않은 상태로 남겨두면서 상기 컴포넌트를 캡슐화하여 상기 컴포넌트와 임베딩 물질의 적층체를 형성하도록 침착된 적어도 하나의 임베딩 물질을 포함할 수 있다. 적층체가 형성되면, 이는 추가 처리(예컨대, 상호연결 추가 및/또는 장치 내로의 통합)를 위해 기판 및 이형 층으로부터 분리될 수 있다. 상기 임베딩 물질은 유리한 CTE, 전기 절연성/전도성 및/또는 열 전도성 특성을 갖도록 선택될 수 있다. 또한, 상기 조립체는, 하나의 컴포넌트를 다른 컴포넌트로부터 절연하는 침착된 물질을 포함할 수 있다.

[0019] 댄납의 스크린 인쇄를 위해 사이징된(sized) 랜딩 패드(landing pad)를 갖는 사전-배선된(pre-wired) PCB 상에 컴포넌트를 배치하는 것은 약 $50 \text{ }\mu\text{m}$ 미만의 해상도로 인쇄하기가 비교적 어렵다. 또한, 압연된(rolled) Cu 호일로부터 (예를 들어, $17 \text{ }\mu\text{m}$ 또는 $35 \text{ }\mu\text{m}$ 의 두께로) 전형적으로 패터닝된 배선을 상기 방법에 사용하면, 전형적으로 컴포넌트들 사이의 I/O 단자가 적어도 1 mm 분리된다. CSP(칩-스케일 패키지)(이때, 상기 패키지는 베어 다이(bare die)보다 1.3배 이하 만큼 큼)를 사용하더라도, I/O 트랜지스터 단자로부터 가장 가까운 컴포넌트(예컨대, 바이패스 커패시터)까지의 거리는 적어도 1 mm 가 될 가능성이 있다. 더욱 통상적으로, 2개의 IC의 단자들 사이의 거리는 수 cm일 수 있다. 컴포넌트들 간의 이러한 분리 거리는 저항 손실 뿐만 아니라 IC 근처의 원치 않는 인덕턴스(inductance)를 동반한다.

[0020] 더욱이, 상호연결의 크기는 사용되는 패터닝 기술에 의해 영향을 받을 수 있다. 등방성 습식 에칭을 사용하여 만족스러운 기하구조를 달성하기 위해 비교적 큰 종횡비(전형적으로, 트레이스가 높이보다 더 넓은 경우)를 활용하는 공정을 Cu 층 패터닝에 사용하면, 상호연결 트레이스의 폭이 수십 μm (예컨대, 흔히 적어도 2 내지 3천분의 1인치 이상)가 되게 한다. 이어서, 이러한 상호연결 제한은 면적 밀도와 필요한 상호연결 층 수를 증가시킨다.

- [0021] 측방향으로 상대적으로 큰 것 외에도, 결과적인 구조는 두껍고 강성이다(예를 들어, PCB는 전형적으로 약 1 mm 두께이고, 패키징화된 IC는 대략 0.5 mm 이상의 두께임). 또한, Si의 열 전도도의 약 0.01%의 열 전도도를 갖는 유기 중합체를 사용하기 때문에, IC 패키지 물질과 PCB를 통한 열 방산(heat dissipation)이 비교적 불량하다.
- [0022] 집적 회로를 패키징하는 공정에서도 유사한 문제가 발생한다. 통상적으로, 처리된 웨이퍼를 싱글레이션(singulation)한 후, 베어 Si 다이를 픽-앤-플레이스(pick and place) 기계에 의해 패키지 기판 상에 배치하며, 이는, PCB와 유사하게, IC의 I/O 패드를 패키지의 I/O 패드(이는 전형적으로 IC의 I/O 패드에 비해 더 크고 더 넓게 이격되어 배치됨)에 연결하기 위해 사전-형성된 배선을 가질 수 있다. (예를 들어, 땀납 리플로우, 와이어본딩(wirebonding) 또는 다른 기술에 의해) 상호연결을 형성한 후, 다이와 이의 기판 및 배선은 사출 성형에 의해 보호성 중합체 내에 캡슐화될 수 있다. 예를 들어, 물질 CTE의 불일치 및 상호연결의 여분의 길이와 같은 동일한 문제 중 상당수가 이러한 공정에도 존재한다.
- [0023] 진술된 문제 중 일부를 해결하기 위한 시도에서, 일부에서는, 상이한 소스 웨이퍼로부터의 규모 다이스가 이형 층 유형의 접착제를 사용하여 임시 기판 상에 배치되고 웨이퍼 형식으로 에폭시 몰딩 물질 내에 임베딩되는 재구성된 웨이퍼를 활용하였다. 이어서, 이러한 "재구성된 웨이퍼"는 기판으로부터 분리되고, 최종 패키징화된 멀티-다이 제품의 형성 전에 상호연결을 추가하기 위해 추가로 처리된다. 이러한 개념의 여러 변형(예를 들어, STATSChipPAC, Amkor, ASE 및 기타 회사에 의한 변형)이 이루어졌다. 그러나, 에폭시 패키지는 여전히 상당한 CTE 불일치를 제공하며, 상기 구조는 이러한 요인으로 인해 상당한 정도의 뒤틀림(warping)에 취약하다. 열 제거 역시 문제이다. 패키징화된 멀티-다이 시스템은, 기술된 것과 동일한 문제를 안고, 다른 패키징화된 IC 및 컴포넌트와 함께 PCB 상에 여전히 배치되어야 한다.
- [0024] 바람직한 아키텍처(architecture)는, 이의 크기에 관계없이, 회로에 필요한 모든 IC 및 기타 컴포넌트가 가능한 한 서로 가깝게(예를 들어, 바람직하게는 이들 사이가 수 μm 이하로) 베어 형태로 배치되고 하나의 표면(예컨대, 하부 표면)을 제외한 모든 표면이 열 전도성 임베딩 매질 또는 물질(이의 CTE는 Si와 유사하고, 이의 표면은 IC와 동일 평면상에 있음)에 의해 둘러싸인 아키텍처이다. IC는 얇아서(예를 들어, 50 μm 미만), 해당 제품을 얇게 만들 것이며, 몇몇 실시양태에서는 가요성으로 만들 것이다. 이러한 얇음은, 고화가능 물질을 수 μm 의 폭 및 250 μm 의 높이의 공간 내로 균일하게 유동시키는 것이 어렵기 때문에, 연속적인 임베딩 또는 캡슐화 층의 제조를 용이하게 할 수 있다. 또한, 이러한 얇음은, 부분적으로는, 물질들의 CTE 불일치로 인해, IC에 대한 법선 방향의 응력을 최소화하며, 얇지만 고도로 열 전도성인 임베딩 매질을 사용하면 효율적인 열 제거가 허용된다.
- [0025] IC가 서로 마이크로미터 이내로 배치된 경우, 상호연결 트레이스는 유리하게는, 각각의 IC 내의 상호연결의 최종 층과 거의 동일한 크기로 임베딩 매질의 편평한 표면 상에 이를 직접 제조함으로써 유리하게 형성될 수 있다. 2개 이상의 이러한 IC 또는 상대적으로 작은 몇몇 수동 컴포넌트를 갖는 IC는 하나의 대형 IC로서 효과적으로 작동한다. 이러한 아키텍처는, 수율 감소와 리소그래피(lithography) 장비의 크기 제한으로 인해, 리소그래피를 활용하여 제조하기 어렵거나 불가능하다. 특정 전기 요건에 따라, 바로 인접하지 않는 2개의 I/O 패드를 연결하는 트레이스의 폭과 두께는, 인접한 패드들을 연결하는 트레이스보다 클 수 있다. 그러나, 2개의 I/O 패드의 이러한 트레이스는, 전류가 전송되는 더 짧은 거리 때문에, 공통 PCB 트레이스보다 여전히 상대적으로 작을 가능성이 있다. 예를 들어, IC의 상부 층 상호연결은 두께가 약 2 μm 이고 폭이 4 내지 5 μm 이기 때문에, 이러한 컴포넌트간 트레이스(inter-component trace)는 전통적인 기술보다 약 한 치수 이상 더 작을 것이며, 이러한 더 짧은 트레이스로 인해, 향상된 전기적 성능과 함께 더욱 컴팩트한 라우팅(routing) 및 회로 면적의 추가의 절감을 허용할 것이다.
- [0026] (유전체 층에 의해 분리된) 필요한 개수의 상호연결 층이 제조되면, 상기 적층체는 하나 이상의 보호 층으로 캡슐화되어, 제품에 사용되도록 준비될 수 있다. 상기 층은 전형적으로 특정 요건에 따라 선택되며, 당분야에 널리 공지된 물질, 예를 들어 금속(예컨대, 알루미늄 또는 구리), 세라믹(예컨대, 산화물 및 질화물), 폴리이미드, 폴리에스터(예컨대, 폴리(에틸렌 테레프탈레이트)), 폴리우레탄 등을 사용하여 형성될 수 있다. 필요한 경우, 다른 컴포넌트에 대한 연결은, 기판 엣지에서 끝나고 최종 패키지로 덮이지 않는 금속 트레이스에 의해 제공될 수 있거나, 또는 보호성 캡슐화에 의해 형성될 수 있는 비아를 통해 제공될 수 있다. 완전한 기능 회로가 본 발명에 따라 하나의 장치로 제조될 수 있기 때문에, 비교적 적은 수의 I/O 연결이 필요할 것이다.
- [0027] 이러한 구조는, 통상적으로 단일 칩 내에 포함되는 회로로부터 현재의 대형 PCB를 차지하는 회로에 이르기까지 임의의 정도의 통합에 사용될 수 있다. 하나의 응용 분야는 "멀티-다이 패키지" 또는 "패키지 내 시스템" 장치

라고 불리는 것이며, 이는 하나의 패키지 내에 소수의 또는 심지어 여러 개의 IC 다이를 포함할 수 있지만, 다른 IC 다이와 함께 통상적인 PCB 상에 배치되어 최종 기능 시스템을 형성하는 것으로 여전히 의도된다. 또 다른 응용 분야는 상대적으로 크고 복잡한 칩, 예를 들어 고급(high-end) 마이크로프로세서, 필드 프로그래밍가능 게이트 어레이 등에 대한 것이다. 이는, 기능성 IC의 서브유닛이기 때문에 단독으로 기능할 수 없고 적절히 조합되어 자립형 회로를 형성하는 "칩렛(chiplet)"으로부터 제조될 수 있다. 예를 들어, 이러한 서브유닛은 마이크로프로세서의 블록 다이어그램의 요소(예컨대, 코어, I/O 부분, 직접 메모리 액세스("DMA") 컨트롤러, 타이밍 부분 등)일 수 있다. 이러한 아키텍처의 이점은, 전체 칩에 대해 완전히 새로운 마스크를 만들 필요 없이 특정 하위 시스템을 개선하여 시스템을 쉽게 업그레이드할 수 있는 능력, 새로운 시스템을 신속히 설계할 수 있는 능력, 및/또는 긴 상호연결 트레이스로 인한 신호 저하 및 전력 소비를 줄이는 능력을 포함한다.

[0028] 몇몇 실시양태에서, 임베딩 물질 유체는, 임시 이형 층 위에 배치된 컴포넌트 세트 위에 코팅되며, 여기서 상기 유체는 컴포넌트들 사이의 μm -크기 간격에 침투하고, 저온에서 경화되어 고체(예를 들어, 가요성 고체) 임베딩 물질이 될 수 있고, 컴포넌트를 캡슐화할 수 있다. 상기 유체 및 고체 조성물은, 규소에 필적하거나 밀접하게 일치하는 열 전도성 및 CTE를 갖도록 선택될 수 있으며, 전기 전도성 또는 절연성일 수 있다.

[0029] 이형 층 및 이의 사용 방법은 미국 특허 제6,946,178호 및 미국 특허 제7,141,348호에서 논의되며, 이들 특허를 모든 목적을 위해 본원에 참조로 인용한다. 이형 층으로부터 컴포넌트를 분리하는 데 촉발 공정(triggering processe)이 사용될 수 있다. 미국 특허 제6,946,178호에 기술된 바와 같이, 촉발 공정은, 이형 층을 단일 단계로 열과 광에 노출시켜 이형 층을 분해하는 것을 포함한다. 광(예를 들어, 화학선)을 이용한 조사를 사용하여, 사용자가 전사(transfer)하고자 하는 컴포넌트 아래의 이형 층의 화합물(예를 들어, 중합체)을 선택적으로 활성화하면서, 동일한 기판 상의 다른 컴포넌트는 활성화되지 않은 상태로 둘 수 있다. 이형 층의 화합물(디지털 이형 물질(예컨대, 디지털 이형 접착제("DRA"))로도 지칭됨)을 적절한 온도(예를 들어, 약 150°C 미만)로 가열하면, 비활성화된 장치는 여전히 도너(donor) 기판에 부착된 채로, 이형 층을 증발시켜 컴포넌트를 분리할 수 있다. 이 방법에 의해, 이형 층을 향하는 면을 제외한 모든 면에서 임베딩 물질이 컴포넌트를 캡슐화하면서, 이형 층에 의해 컴포넌트들이 아주 근접하게 제 위치에 유지될 수 있으며, 후속적으로 이형 층은 분해되어 조립체를 전사하고/하거나, 컴포넌트의 비-캡슐화된 면을 상호연결 적용을 위해 노출시킨다. 몇몇 실시양태에서, 전사 공정은 광중합체 컴포넌트 조립("PCA") 및 광-유도된 순방향 전사("LIFT")를 포함한다.

[0030] 몇몇 실시양태에서, 상기 임베딩 물질은 갈륨과 다른 금속(예를 들어, 구리 및/또는 니켈) 입자의 아말감 혼합물을 포함한다. 이러한 아말감은 처음 혼합시 유체일 수 있지만, 요소들이 상호-확산되면서 고 융점 고체가 형성된다. 예를 들어, 약 65% Ga, 30% Cu 및 5% Ni 합금의 융점은 500°C 이상에서 용융되지만, 주위 온도(예컨대, 약 25°C 또는 약 30°C)에서는 유체 혼합물로부터 고화된다. 이러한 아말감은, 예를 들어 미국 특허 제5,053,195호 및 문헌["Amalgams for Improved Electronics Interconnection", IEEE Micro, pp. 46-58, 1993]에 기술되어 있으며, 상기 특허 및 문헌 전체를 모든 목적을 위해 본원에 참조로 인용한다.

[0031] 몇몇 유체 아말감은 가열 없이 완전히 경화되기까지 며칠이 걸릴 수 있다. 도 1은, 갈륨 아말감(5% Ni, 30% Cu)에 대한 경화 동역학을 도시한다. 그러나, 도 1에 도시된 것과 유사한 경화 결과를 갖는 갈륨 아말감은 전형적으로 수 μm 내지 수십 μm 범위의 평균 입자 직경을 갖는 분말을 사용하였다. 아말감의 그레인(grain) 경계를 따라 액체 금속 원자의 비교적 빠른 확산이 존재한다는 증거가 발표되었지만(예컨대, 문헌[T. Okabe and R.J. Mitchell, "Setting Reactions In Dental Amalgam Part 2. The Kinetics Of Amalgamation", *Critical Reviews of Oral and Biological Medicine*, vol. 7, pp. 23-35]), 더 작은 입자가 더욱 균일한 혼합을 야기할 것임이 입증되었다(예컨대, 문헌[A. B. Shubin, et al. "The Diffusion of Gallium into Copper-Tin Alloy Particles", *Defect and Diffusion Forum* Vols. 283-286 (2009) pp 238-242]). 이러한 더 작은 입자는, 이러한 아말감 전구체가 형성되는 막자사발과 막자 또는 아말감 제조기 캡슐로부터 너무 빨리 전달되어 혼합물이 경화되지 못하는 경향이 있어서 취급이 어렵기 때문에 사용되지 않았을 수 있다.

[0032] 초기 경화를 방지하고 μm 미만의 입자(예를 들어, 나노크기 입자)의 사용을 허용하기 위해, 몇몇 실시양태에서, 입자들은 초음파 혼합기 또는 분사(jetting) 장치에서 혼합될 수 있다. 초음파 분무 코팅기(예컨대, 미국 뉴욕주 밀턴 소재의 소노-텍 코포레이션(Sono-tek Corporation)에서 제조한 코팅기)에서, 액체 공급 원료가 코팅 직전에 초음파 분무기에 의해 에어로졸로 전환된다. 도 2는, 미국 특허 제6,358,567호에 논의된 바와 같은 분무 침착용 분무 코팅 장치(즉, 분무기)를 도시하며, 상기 특허 전체를 모든 목적을 위해 본원에 참고로 인용한다. 상기 시스템은, 액체 펌프(4)로부터 초음파 변환기(6)(이는 액체 내에 진동을 야기함으로써, 분무된 액체를 작은(예를 들어, μm 미만 크기) 액적의 에어로졸로 파괴하여, 히터 위에 배치된 기판(8) 상에 분무되도록 하는 데 사용됨)로 펌핑되는 액체(2)를 포함한다. 다수의 입자 유형의 에어로졸 분무를 제조하기

위한 여러 대안이 존재한다. 몇몇 실시양태에서, 상기 액체는 혼합물(예를 들어, 용액) 중에 존재하는 금속 입자를 포함할 수 있다. 예를 들어, 대부분의 금속(예컨대, Cu 및 Ni)은 금속 자체에 대한 반응보다 서로에 대한 반응성이 더 크지 않다. 따라서, 금속 입자가 응집에 대해 안정화된 경우, 금속 입자들은 단일 용액 또는 분산액 중에 합쳐져, 목적하는 에어로졸 입자 스트림에 제공될 수 있다. 몇몇 실시양태에서, 상기 액체는 부동태화 물질을 포함한다. 몇몇 실시양태에서, 금속 입자는 부동태화 층을 포함한다.

[0033] 몇몇 실시양태에서, 상이한 액체 스트림들은 분무기에 도입될 때 합쳐져서, 상이한 입자들이 서로 노출되는 시간의 양을 최소화할 수 있다. 도 3은, 2개의 투입 스트림이 합쳐지는 상업용 분무기(300)(소노-텍 코포레이션으로부터)를 개략적으로 도시한다. 분무기(300)는 마이크로보어 배관(microbore tubing)(304)을 포함하는 액체 A 공급 채널(302), 및 액체 A 공급 채널(302)과 마이크로보어 배관(304)을 둘러싸고 하우징(314) 내에 수용되는 액체 B 공급 채널(306)을 포함한다. 분무기(300)의 원위 말단에서, 액체 A(306) 및 액체 B(310)는 분무화 표면(312)에서 합쳐져 분무기(300) 밖으로 분무된다. 몇몇 실시양태에서, 기체 스트림을 사용하여, 에어로졸 입자의 스트림을 별도의 액체 스트림으로부터 서로를 향하게 유도하여 이들을 혼합할 수 있다. 이러한 성형 스트림은, 예를 들어 소노-텍에 의해, 몇몇 분무 코팅 노즐에 사용되고, 성형 스트림의 몇몇 양태는 미국 특허 출원 공개 제2010/0078496호에 개시되며, 상기 출원 전체를 본원에 참조로 인용한다. 다른 분사 시스템, 예를 들어 옵토맥(Optomec)(미국 뉴멕시코주 엘버커키 소재), nScript(미국 플로리다주 올란도 소재) 또는 기타 제품을 사용하여, 혼합 및 침착을 위한 나노입자 스트림을 형성할 수 있다. 몇몇 실시양태에서, 상기 스트림 또는 액체는 다양한 양의 용매를 포함할 수 있다. 몇몇 실시양태에서, 상기 용매는, 표면으로부터의 침착시 신속하게 증발되도록 저비등점 용매일 수 있다. 몇몇 실시양태에서, 상기 용매는, 침착된 표면 상에 균일하고 밀집-이격된 분포의 입자를 생성하는 것을 도울 수 있다. 몇몇 실시양태에서, 상기 시스템에서 액적의 속도가 대략 수 m/s, 수십 m/s 또는 수백 m/s(예를 들어, 1 내지 900 m/s)인 경우, 디스펜서 팁과 기관 사이의 거리는 약 수 밀리미터이고 최대 수 밀리초 내에 횡단되어, 침착 전 형성된 아말감의 경화 없이 비교적 작은 금속 입자가 사용되게 할 수 있다.

[0034] 금속(예를 들어, 갈륨) 나노입자는 다양한 방법에 의해 합성될 수 있다. 갈륨 나노입자를 합성하는 하나의 예시적인 방법은 문헌[M.F. Melepondrez, et al., in the Journal of Colloid and Interface Science, vol. 346, pp. 279-287 (2010)]에 기술되어 있으며, 상기 문헌 전체를 모든 목적을 위해 본원에 참조로 인용한다. Ga의 융점은 약 29°C이기 때문에, 상기 입자는 고체 형태로 유지되거나 액체로서 전달될 수 있다. 몇몇 실시양태에서, Ga는 본원에 기술된 초음파 분무기(이는 혼합 후 밀리초 이하 내에 침착을 허용함)에 의해 나노미터급 금속과 혼합될 수 있다. 몇몇 실시양태에서, Ga와 기타 나노입자의 교번(alternating) 박층이 침착될 수 있다. 몇몇 실시양태에서, Ga와 기타 나노입자의 교번 박층의 결과적인 필름을 가열하여, Ga를 용융시키고, 유체 매트릭스 내에서 또는 간극-점유 유체를 사용하여 입자의 균질한 분포의 형성을 촉진한다.

[0035] 몇몇 실시양태에서, 금속 나노입자는 응집에 대해 안정화되는데, 그 이유는, 다수의 베어 금속 표면이 반응성이고, 다른 유사한 표면에 달라붙는 경향이 있기 때문이다. 저온에서 제거될 수 있는 얇은 부동태화 코팅의 예가 공지되어 있으며, 시판된다. 예를 들어, Cu에 대한 부동태화 코팅은 제로발런트 나노메탈스(Zerovalent NanoMetals)(미국 뉴욕주 로체스터 소재)에 의해 제조된 것이거나, 금속 입자의 외부 표면이 산화되어 부동태화 코팅을 형성할 수 있다. 몇몇 실시양태에서, 금속 입자 표면 상에 형성된 산화물을 제거하기 위해 환원제가 사용될 수 있다. 몇몇 실시양태에서, 형성 기체(예를 들어, N₂ 중 4% H₂ 및/또는 폼산)는 적용 장치(예를 들어 분무기)의 기체 스트림에 사용되거나 별도의 스트림으로 침착 표면에 적용될 수 있다.

[0036] 초음파 에어로졸 발생기 및 이와 관련된 분무 침착이 기술되었지만, 나노입자들의 혼합물을 형성하고 침착하는 다른 방법도 활용될 수 있다. 예를 들어, 입자 표면의 적합한 부동태화는 산화물 형성 및/또는 비교적 불안정한 유기 리간드의 부착에 의해 달성될 수 있다. 몇몇 실시양태에서, 비교적 비-반응성인 입자의 용액 또는 현탁액이 장치(예를 들어, 금속 혼합 장치)에서 Ga 입자의 용액 또는 현탁액과 혼합되고, 이어서 다양한 기술(예를 들어, 분무 코팅, 슬롯 다이(즉, 메니스커스) 코팅, 초음파 코팅 및 압력 하의 분사(예컨대, 잉크젯 인쇄)) 중 하나에 의해 침착될 수 있다. 보호성 부동태화는 열, 화학적 처리(예컨대, 형성 기체, 폼산 등) 및/또는 광분해를 통해 제거될 수 있다.

[0037] 도 1이, 주위 온도(즉, 약 25°C) 초과로 물체를 가열하지 않고도 고용점 고체가 형성될 수 있음을 보여지만, 더욱 신속히 경화를 완료하기 위해 상기 아말감 혼합물을 (예를 들어, 약 85°C 또는 100°C로) 가열하는 것이 유리할 수 있다. 이러한 온도는 전자 제품의 정상적인 작동의 결과로서 전자 제품에서 흔히 발생하므로, 상기 회로는 임의의 경우에 이러한 값으로 이탈할 가능성이 있다. 몇몇 실시양태에서, 아말감의 CTE가 회로

물질(예컨대, Si)과 일치하거나 실질적으로 일치하여, 상기 일탈이 전형적인 아키텍처에 비해 손상을 야기하는 것을 완화하거나 방지한다.

[0038] 몇몇 실시양태에서, 저 CTE 아말감이 사용된다. 몇몇 실시양태에서, 아말감(예를 들어, 저 CTE 아말감)은 매트릭스 금속 및 합금화 금속을 포함한다. 몇몇 실시양태에서, 아말감(예를 들어, 저 CTE 아말감)은 저 CTE 물질을 추가로 포함한다. 몇몇 실시양태에서, 아말감(예를 들어, 저 CTE 아말감)은 40 중량%, 45 중량%, 50 중량%, 55 중량%, 60 중량%, 65 중량%, 70 중량%, 75 중량%, 80 중량%, 85 중량%, 90 중량%, 92 중량% 또는 95 중량%; 또는 약 40 중량%, 45 중량%, 50 중량%, 55 중량%, 60 중량%, 65 중량%, 70 중량%, 75 중량%, 80 중량%, 85 중량%, 90 중량%, 92 중량% 또는 95 중량%; 또는 적어도 40 중량%, 45 중량%, 50 중량%, 55 중량%, 60 중량%, 65 중량%, 70 중량%, 75 중량%, 80 중량%, 85 중량%, 90 중량%, 92 중량% 또는 95 중량%; 또는 이들 사이의 값들의 임의의 범위의 양의 매트릭스 금속을 포함한다. 몇몇 실시양태에서, 상기 매트릭스 금속은 Ga를 포함한다. 몇몇 실시양태에서, 상기 합금화 금속은 Cu, Ni, Ag, Ce 및 이들의 조합물로부터 선택된다. 몇몇 실시양태에서, 상기 저 CTE 물질은 ZrW_2O_8 , HfW_2O_8 및/또는 $Sc_2W_3O_{12}$ 로부터 선택된다. 몇몇 실시양태에서, 저 CTE 아말감은 추가적인 저 CTE 물질을 추가로 포함한다. 몇몇 실시양태에서, 추가적인 저 CTE 물질은 SiO_2 , Si_3N_4 , Al_2O_3 , Si, 이들의 비-화학량론적 버전, 및 이들의 조합물로부터 선택된다. 몇몇 실시양태에서, 아말감(예를 들어, 저 CTE 아말감)은 부동태화 물질을 추가로 포함한다. 몇몇 실시양태에서, 아말감(예를 들어, 저 CTE 아말감)은 액체(예를 들어, 용매)를 추가로 포함한다. 몇몇 실시양태에서, 상기 액체는 저점도 액체이다. 몇몇 실시양태에서, 아말감(예를 들어, 저 CTE 아말감)은 환원제를 추가로 포함한다.

[0039] 몇몇 실시양태에서, 아말감(예컨대, Ga 아말감)의 CTE는 약 15 내지 20 ppm/°C이며, 아말감의 특정 조성에 따라 달라질 수 있다. 몇몇 실시양태에서, 더 낮은 CTE 값이 바람직할 수 있다. CTE가 0에 매우 근접하고(즉, Si보다 작음) 몇몇 경우에는 음의 값인 몇몇 물질이 존재한다. 예를 들어, 실리카(SiO_2)의 CTE는 약 0.5 ppm/°C이다. 따라서, 몇몇 실시양태에서, 적절한 비율의 실리카와 아말감의 혼합물은 CTE를 목적하는 값에 더 가깝게 낮출 수 있다. 혼합물의 CTE는 일반적으로 해당 성분들의 질량-가중 평균과 정확히 동일하지는 않지만, 광범위한 조성에 걸친 질량 분율과 CTE 간의 관계는 흔히 선형 또는 대략 선형에 가깝다. 몇몇 실시양태에서, 상기 아말감은 -25 ppm/°C, -20 ppm/°C, -19 ppm/°C, -18 ppm/°C, -17 ppm/°C, -16 ppm/°C, -15 ppm/°C, -14 ppm/°C, -13 ppm/°C, -12 ppm/°C, -11 ppm/°C, -10 ppm/°C, -9 ppm/°C, -8 ppm/°C, -7 ppm/°C, -6 ppm/°C, -5 ppm/°C, -4 ppm/°C, -3 ppm/°C, -2 ppm/°C, -1 ppm/°C, -0.75 ppm/°C, -0.5 ppm/°C, -0.25 ppm/°C, -0.1 ppm/°C, 0 ppm/°C, 0.1 ppm/°C, 0.25 ppm/°C, 0.5 ppm/°C, 0.75 ppm/°C, 1 ppm/°C, 1.5 ppm/°C, 2 ppm/°C, 2.5 ppm/°C, 3 ppm/°C, 4 ppm/°C, 5 ppm/°C, 6 ppm/°C, 7 ppm/°C, 8 ppm/°C, 9 ppm/°C, 10 ppm/°C, 11 ppm/°C, 12 ppm/°C, 13 ppm/°C, 14 ppm/°C, 15 ppm/°C, 16 ppm/°C, 17 ppm/°C, 18 ppm/°C, 19 ppm/°C, 20 ppm/°C 또는 25 ppm/°C; 또는 약 -25 ppm/°C, -20 ppm/°C, -19 ppm/°C, -18 ppm/°C, -17 ppm/°C, -16 ppm/°C, -15 ppm/°C, -14 ppm/°C, -13 ppm/°C, -12 ppm/°C, -11 ppm/°C, -10 ppm/°C, -9 ppm/°C, -8 ppm/°C, -7 ppm/°C, -6 ppm/°C, -5 ppm/°C, -4 ppm/°C, -3 ppm/°C, -2 ppm/°C, -1 ppm/°C, -0.75 ppm/°C, -0.5 ppm/°C, -0.25 ppm/°C, -0.1 ppm/°C, 0 ppm/°C, 0.1 ppm/°C, 0.25 ppm/°C, 0.5 ppm/°C, 0.75 ppm/°C, 1 ppm/°C, 1.5 ppm/°C, 2 ppm/°C, 2.5 ppm/°C, 3 ppm/°C, 4 ppm/°C, 5 ppm/°C, 6 ppm/°C, 7 ppm/°C, 8 ppm/°C, 9 ppm/°C, 10 ppm/°C, 11 ppm/°C, 12 ppm/°C, 13 ppm/°C, 14 ppm/°C, 15 ppm/°C, 16 ppm/°C, 17 ppm/°C, 18 ppm/°C, 19 ppm/°C, 20 ppm/°C 또는 25 ppm/°C; 또는 이들 사이의 값들의 임의의 범위의 CTE를 가진다.

[0040] 음의 CTE의 하나의 예는 약 -7.2 ppm/°C에서 ZrW_2O_8 에 의해 제공된다. 음의 CTE를 갖는 물질과 양의 CTE를 갖는 물질의 혼합물이, 바람직하지 않은 응력을 경험하지 않고 2개의 개별 화합물의 CTE 사이의 순값(net value)을 가지기 위해서는, 화합물의 입자가 가능한 한 작아야 한다(예컨대, 나노입자). ZrW_2O_8 나노입자가 합성되었다(예를 들어, 문헌[H. Wu, "Physical and Thermal Properties of Zirconium Tungstate Nanoparticles with Different Morphologies from Hydrothermal Synthesis", MS thesis, Iowa State University, 2012]; 및 문헌["Optical and Dielectric studies in zirconium(IV) tungstate nanoparticles prepared by chemical coprecipitation method", *J. Iranian Chem. Res.* **5** (2) (2012) 109-118] 참조).

[0041] 마이크로회로용 임베딩 물질 층으로서 유용하게 되기 위해서는, 복합재 아말감 물질이 바람직하게는, 회로 컴포넌트에 의해 허용되는 온도에서 균일한 고체를 형성해야 한다. ZrW_2O_8 은 1000°C 초과 온도에서 소결되므로, 단독으로 사용하거나 다른 내화성 물질과 함께 사용하는 것이 실용적이지 않을 수 있다. 이러한 문제는

실제로, 미국 특허 제6,132,676호에 기술된 바와 같이, 저 CTE 물질 또는 제로 CTE 물질이 많은 응용 분야에서 사용되는 것을 방해하였다. 그러나, Ga 아말감 전구체에 적절한 양의 ZrW_2O_8 을 혼합함으로써, 낮은 온도와 압력 (예를 들어, 대기압, 및 150℃ 미만 또는 100℃ 미만의 온도)에서도 균일한 고체를 형성할 수 있다. 아말감 조성물이, 고체 입자들 사이의 빈 공간을 채우기에 충분한 초기 액체 Ga를 포함하는 한, 다른 구성 물질도 동일한 방식으로 첨가될 수 있다. 동일한 크기의 구형 입자로 이루어진 균일한 배열의 자유 부피는 패킹(packing)에 따라 전체의 약 33%이다. 그러나, 다중-모드 분포를 합치면, 자유 부피는 상당히 줄어들 수 있다. 예를 들어, 세 가지 입자 크기를 사용하면, 남아 있는 자유 부피는 약 4 내지 5%일 수 있다.

[0042] 세라믹 물질인 ZrW_2O_8 의 열 전도도는 전형적인 금속 또는 원소 결정(예컨대, 규소)만큼 높지 않다. 문헌[C.A. Kennedy, et al., in Solid State Communications vol. 134, pp 271-276 (2005)]에 따르면, 상기 물질의 열 전도도는, Si의 경우 149 W/m·K 및 Cu의 경우 401 W/m·K와 비교하여, 약 1 W/m·K 이다. 그러나, 아말감(예컨대, Ga 아말감)은, 특정 조성에 따라, 매트릭스 금속(예컨대, Ga) 단독의 열 전도도(Ga의 경우 40.6 W/m·K)보다 훨씬 높은 열 전도도를 가질 수 있다. 문헌(X. Li, et al., "High-pressure and high-temperature synthesis and study of the thermal properties of ZrW_2O_8 /Cu composites"; Physica B: Physics of Condensed Matter, vol. 487, pp. 27-41 (2016))에서는, 3 GPa로 압축되고 이어서 500℃로 가열된 ZrW_2O_8 과 Cu의 혼합물 (1:1 부피)을 사용하여, Ga 아말감의 경우 165 W/m·K의 열 전도도를 수득할 수 있었다. 따라서, 아말감(예컨대, Ga 아말감)을 사용함으로써 이용가능한 더욱 친밀한 계면 접촉을 사용하면, 매트릭스의 규소에 가까운 CTE와 열 전도도 모두를 달성할 수 있다. 몇몇 실시양태에서, Ga 아말감은 Ga-M 및 음의 CTE 물질(예를 들어, ZrW_2O_8)을 포함하며, 여기서 "M"은 하나 이상의 금속 원자를 나타낸다. 몇몇 실시양태에서, M은 Cu, Ni, Ag, Ce 및 이들의 조합물로부터 선택된다. 몇몇 실시양태에서, 음의 CTE 물질은 ZrW_2O_8 , HfW_2O_8 및/또는 $Sc_2W_3O_{12}$ 로부터 선택된다. 몇몇 실시양태에서, Ga 아말감은 저 CTE 물질을 추가로 포함한다. 몇몇 실시양태에서, 상기 저 CTE 물질은 SiO_2 , Si_3N_4 , Al_2O_3 , Si, 이들의 비화학량론적 버전, 및 이들의 조합물로부터 선택된다.

[0043] 매트릭스 금속(예를 들어, Ga)은 일반적으로 다수의 다른 원소와 합금을 형성하지만, 매트릭스 금속은 다른 모든 원소와 혼합되지는 않을 수 있다. 예를 들어, Ga에서의 Si의 용해도는 약 10^{-7} 원자%이다. 몇몇 실시양태에서, 목적하는 기계적 특성을 위해, 상이한 미세결정들(microcrystallites) 사이의 경계면은 가능한 한 강해야 한다. 몇몇 경우, 매트릭스 금속(예컨대, Ga)의 합금이 산화물(예컨대, ZrW_2O_8)과의 잘 정의된 강한 결합을 형성하지 못할 수 있다. 그러나, 원자 층 침착을 이용하여 이를 코팅함으로써, 나노입자들이 서로 합금을 형성하기에 더 상용성이 되도록 만들 수 있으며, 이는 다수의 금속과 산소 사이의 특정 결합을 형성하는 데 특히 좋은 기술이다. 몇몇 실시양태에서, 상기 매트릭스 금속은 5 nm, 10 nm, 15 nm, 20 nm, 25 nm, 30 nm, 35 nm, 40 nm, 50 nm, 60 nm, 70 nm, 80 nm, 100 nm, 150 nm, 200 nm, 250 nm, 300 nm, 400 nm, 500 nm, 600 nm, 700 nm, 800 nm, 900 nm 또는 1000 nm; 또는 약 5 nm, 10 nm, 15 nm, 20 nm, 25 nm, 30 nm, 35 nm, 40 nm, 50 nm, 60 nm, 70 nm, 80 nm, 100 nm, 150 nm, 200 nm, 250 nm, 300 nm, 400 nm, 500 nm, 600 nm, 700 nm, 800 nm, 900 nm 또는 1000 nm; 또는 최대 5 nm, 10 nm, 15 nm, 20 nm, 25 nm, 30 nm, 35 nm, 40 nm, 50 nm, 60 nm, 70 nm, 80 nm, 100 nm, 150 nm, 200 nm, 250 nm, 300 nm, 400 nm, 500 nm, 600 nm, 700 nm, 800 nm, 900 nm 또는 1000 nm의 D50 평균 입자 크기; 또는 이들 사이의 값들의 임의의 범위에 의해 정의된 입자 크기 분포를 가진다. 몇몇 실시양태에서, 상기 합금화 금속은 5 nm, 10 nm, 15 nm, 20 nm, 25 nm, 30 nm, 35 nm, 40 nm, 50 nm, 60 nm, 70 nm, 80 nm, 100 nm, 150 nm, 200 nm, 250 nm, 300 nm, 400 nm, 500 nm, 600 nm, 700 nm, 800 nm, 900 nm 또는 1000 nm; 또는 약 5 nm, 10 nm, 15 nm, 20 nm, 25 nm, 30 nm, 35 nm, 40 nm, 50 nm, 60 nm, 70 nm, 80 nm, 100 nm, 150 nm, 200 nm, 250 nm, 300 nm, 400 nm, 500 nm, 600 nm, 700 nm, 800 nm, 900 nm 또는 1000 nm; 또는 최대 5 nm, 10 nm, 15 nm, 20 nm, 25 nm, 30 nm, 35 nm, 40 nm, 50 nm, 60 nm, 70 nm, 80 nm, 100 nm, 150 nm, 200 nm, 250 nm, 300 nm, 400 nm, 500 nm, 600 nm, 700 nm, 800 nm, 900 nm 또는 1000 nm의 D50 평균 입자 크기; 또는 이들 사이의 값들의 임의의 범위에 의해 정의된 입자 크기 분포를 가진다. 몇몇 실시양태에서, 상기 저 CTE 물질은 5 nm, 10 nm, 15 nm, 20 nm, 25 nm, 30 nm, 35 nm, 40 nm, 50 nm, 60 nm, 70 nm, 80 nm, 100 nm, 150 nm, 200 nm, 250 nm, 300 nm, 400 nm, 500 nm, 600 nm, 700 nm, 800 nm, 900 nm 또는

1000 nm; 또는 약 5 nm, 10 nm, 15 nm, 20 nm, 25 nm, 30 nm, 35 nm, 40 nm, 50 nm, 60 nm, 70 nm, 80 nm, 100 nm, 150 nm, 200 nm, 250 nm, 300 nm, 400 nm, 500 nm, 600 nm, 700 nm, 800 nm, 900 nm 또는 1000 nm; 또는 최대 5 nm, 10 nm, 15 nm, 20 nm, 25 nm, 30 nm, 35 nm, 40 nm, 50 nm, 60 nm, 70 nm, 80 nm, 100 nm, 150 nm, 200 nm, 250 nm, 300 nm, 400 nm, 500 nm, 600 nm, 700 nm, 800 nm, 900 nm 또는 1000 nm; 또는 최대 약 5 nm, 10 nm, 15 nm, 20 nm, 25 nm, 30 nm, 35 nm, 40 nm, 50 nm, 60 nm, 70 nm, 80 nm, 100 nm, 150 nm, 200 nm, 250 nm, 300 nm, 400 nm, 500 nm, 600 nm, 700 nm, 800 nm, 900 nm 또는 1000 nm의 D50 평균 입자 크기; 또는 이들 사이의 값들의 임의의 범위에 의해 정의된 입자 크기 분포를 가진다. 몇몇 실시양태에서, 추가적인 저 CTE 물질은 5 nm, 10 nm, 15 nm, 20 nm, 25 nm, 30 nm, 35 nm, 40 nm, 50 nm, 60 nm, 70 nm, 80 nm, 100 nm, 150 nm, 200 nm, 250 nm, 300 nm, 400 nm, 500 nm, 600 nm, 700 nm, 800 nm, 900 nm 또는 1000 nm; 또는 약 5 nm, 10 nm, 15 nm, 20 nm, 25 nm, 30 nm, 35 nm, 40 nm, 50 nm, 60 nm, 70 nm, 80 nm, 100 nm, 150 nm, 200 nm, 250 nm, 300 nm, 400 nm, 500 nm, 600 nm, 700 nm, 800 nm, 900 nm 또는 1000 nm; 또는 최대 5 nm, 10 nm, 15 nm, 20 nm, 25 nm, 30 nm, 35 nm, 40 nm, 50 nm, 60 nm, 70 nm, 80 nm, 100 nm, 150 nm, 200 nm, 250 nm, 300 nm, 400 nm, 500 nm, 600 nm, 700 nm, 800 nm, 900 nm 또는 1000 nm; 또는 최대 약 5 nm, 10 nm, 15 nm, 20 nm, 25 nm, 30 nm, 35 nm, 40 nm, 50 nm, 60 nm, 70 nm, 80 nm, 100 nm, 150 nm, 200 nm, 250 nm, 300 nm, 400 nm, 500 nm, 600 nm, 700 nm, 800 nm, 900 nm 또는 1000 nm의 D50 평균 입자 크기; 또는 이들 사이의 값들의 임의의 범위에 의해 정의된 입자 크기 분포를 가진다. 몇몇 실시양태에서, 상기 아말감은 입자의 다중-모드 입자 크기 분포를 포함한다.

[0044] 몇몇 실시양태에서, 얇고 순수한 금속 층은 또한, 원자 층 침착("ALD")에 의해, 결합(예를 들어, 화학적 결합)을 통한 기판에 대한 강한 접착력을 사용하여 침착될 수 있다. 이러한 방식으로, Ga 합금과 더욱 상용성인 제 시된 유형의 나노입자의 표면에 금속이 결합될 수 있어서, 후속적으로 더 강한 결합이 형성될 수 있다. 예를 들어, Cu는 ALD-침착된 Ga 층과 높은 상용성을 갖는 금속이지만, 예를 들어 W, Pt, Co, Fe, Ag 및 Ni를 비롯한 다른 금속도 공지되어 있다. 유동 층 기술(예컨대, 미국 콜로라도주 브룸필드 소재의 에이엘디 나노솔루션스(ALD Nanosolutions)에서 실행됨)를 사용하여, 이러한 코팅을 나노입자 상에 배치할 수 있다.

[0045] 몇몇 실시양태에서, 상기 아말감은 전기 전도성이다(예를 들어, 부피의 대부분을 매트릭스 금속(Ga)이 차지하는 아말감). 몇몇 실시양태에서, 상기 아말감은 절연성이다(예를 들어, 부피의 대부분을 세라믹 물질(예컨대, ZrW_2O_8)이 차지하는 아말감). 몇몇 실시양태에서, 전기 전도성 아말감의 이점은, 집적 회로의 접지면 역할을 할 수 있어서 회로의 상호연결 부분에서 하나의 층이 필요하지 않다는 점이다. 이러한 실시양태에서, 전기 전도성 아말감 조성물을 포함하는 임베딩 물질을 적용하기 전에 (예를 들어, 절연 임베딩 물질의) 절연 층을 침착함으로써, 컴포넌트들이 서로 전기적으로 절연될 수 있다. 몇몇 실시양태에서, 상기 절연 층은 얇은(예를 들어, 최대 약 1 μm) 산화물 층, 예를 들어 SiO_2 층일 수 있다. 몇몇 실시양태에서, 상기 절연 층은 플라즈마-강화된 화학적 증착(PECVD) 또는 임의의 다른 침착 기술에 의해 형성된다. 몇몇 실시양태에서, 상기 절연 물질 및/또는 절연 아말감 물질은 ZrW_2O_8 , SiO_2 , Al_2O_3 , Si_3N_4 , 중합체 물질(예컨대, 폴리이미드, 액정 중합체, 및 벤조사이클로부텐계 중합체), 이들의 비화학량론적 비율, 및 이들의 조합물을 포함한다.

[0046] 도 4는, 임시 기판(402) 위에 배치된 이형 층(404) 위에 배치되고 상기 이형 층에 의해 제 위치에 유지되는 복수의 컴포넌트(406)를 포함하는 조립체(400)를 도시하며, 이때 컴포넌트(406)는 임베딩 물질(408)의 단일 층에 의해 캡슐화된다. 몇몇 실시양태에서, 임베딩 물질(408)은 본원에 기술된 아말감이다. 몇몇 실시양태에서, 임베딩 물질(408)은 본원에 기술된 방법(예를 들어, 분무 침착 또는 다층 침착)에 의해 컴포넌트(406)를 둘러싸도록 침착된다. 비록 도 1이 일정한 비율로 도시되지 않았지만, 조립체(400)의 상대적 높이 및 폭은, 몇몇 실시양태에서, 존재할 수 있는 큰 조립체의 중형비를 나타내는 것으로 의도됨을 이해해야 한다. 도 4에 도시된 바와 같이, 복수의 컴포넌트들의 각각의 컴포넌트는 다른 컴포넌트와 동일한, 유사한 및/또는 상이한 높이, 폭 또는 형상을 가질 수 있다. 몇몇 실시양태에서, 상기 컴포넌트는 2 μm , 3 μm , 5 μm , 8 μm , 10 μm , 15 μm , 20 μm , 25 μm , 30 μm , 35 μm , 40 μm , 45 μm , 50 μm , 60 μm , 70 μm , 80 μm , 90 μm , 100 μm , 150 μm , 200 μm , 300 μm , 400 μm , 500 μm , 600 μm , 700 μm , 800 μm , 또는 1000 μm ; 또는 약 2 μm , 3 μm , 5 μm , 8 μm , 10 μm , 15 μm , 20 μm , 25 μm , 30 μm , 35 μm , 40 μm , 45 μm , 50 μm , 60 μm , 70 μm , 80 μm , 90 μm , 100 μm , 150 μm , 200 μm , 300 μm , 400 μm , 500 μm , 600 μm , 700 μm , 800 μm , 또는 1000 μm ; 또는 최대 약 2 μm , 3 μm , 5 μm , 8 μm , 10 μm , 15 μm , 20 μm , 25 μm , 30 μm , 35 μm , 40 μm , 45 μm , 50 μm , 60 μm , 70 μm , 80 μm , 90 μm , 100 μm , 150 μm , 200 μm , 300 μm , 400 μm , 500 μm , 600 μm , 700 μm , 800 μm , 또는 1000 μm ; 또는 최대 약 2 μm , 3 μm , 5 μm , 8 μm , 10 μm , 15 μm , 20 μm , 25 μm , 30 μm , 35 μm , 40 μm , 45 μm , 50 μm , 60 μm , 70 μm , 80 μm , 90 μm , 100 μm , 150 μm ,

200 μm , 300 μm , 400 μm , 500 μm , 600 μm , 700 μm , 800 μm , 또는 1000 μm ; 또는 이들 사이의 값들의 임의의 범위의 높이를 가질 수 있다. 예를 들어, 몇몇 실시양태에서, 높이와 관련하여 가장 얇은 컴포넌트는 높이가 약 25 μm 이거나 더 얇을 수 있다. 몇몇 실시양태에서, 2개의 인접한 컴포넌트들 사이의 간격은 0.1 μm , 0.5 μm , 1 μm , 2 μm , 3 μm , 4 μm , 5 μm , 6 μm , 7 μm , 8 μm , 9 μm , 10 μm , 12 μm , 15 μm 또는 20 μm ; 또는 약 0.1 μm , 0.5 μm , 1 μm , 2 μm , 3 μm , 4 μm , 5 μm , 6 μm , 7 μm , 8 μm , 9 μm , 10 μm , 12 μm , 15 μm 또는 20 μm ; 또는 최대 0.1 μm , 0.5 μm , 1 μm , 2 μm , 3 μm , 4 μm , 5 μm , 6 μm , 7 μm , 8 μm , 9 μm , 10 μm , 12 μm , 15 μm 또는 20 μm ; 또는 이들 사이의 값들의 임의의 범위이다. 예를 들어, 몇몇 실시양태에서, 2개의 인접한 컴포넌트들 사이의 간격은 5 내지 10 μm 이하일 수 있다. 몇몇 실시양태에서, 상기 컴포넌트는 3 μm , 4 μm , 5 μm , 6 μm , 7 μm , 8 μm , 9 μm , 10 μm , 12 μm , 15 μm , 20 μm , 25 μm , 30 μm , 35 μm , 40 μm , 45 μm , 50 μm , 60 μm , 70 μm , 80 μm , 90 μm , 100 μm , 150 μm , 200 μm , 300 μm , 400 μm , 500 μm , 600 μm , 700 μm , 800 μm , 900 μm , 1 mm, 2 mm, 3 mm, 4 mm 또는 5 mm; 또는 약 3 μm , 4 μm , 5 μm , 6 μm , 7 μm , 8 μm , 9 μm , 10 μm , 12 μm , 15 μm , 20 μm , 25 μm , 30 μm , 35 μm , 40 μm , 45 μm , 50 μm , 60 μm , 70 μm , 80 μm , 90 μm , 100 μm , 150 μm , 200 μm , 300 μm , 400 μm , 500 μm , 600 μm , 700 μm , 800 μm , 900 μm , 1 mm, 2 mm, 3 mm, 4 mm 또는 5 mm; 또는 적어도 3 μm , 4 μm , 5 μm , 6 μm , 7 μm , 8 μm , 9 μm , 10 μm , 12 μm , 15 μm , 20 μm , 25 μm , 30 μm , 35 μm , 40 μm , 45 μm , 50 μm , 60 μm , 70 μm , 80 μm , 90 μm , 100 μm , 150 μm , 200 μm , 300 μm , 400 μm , 500 μm , 600 μm , 700 μm , 800 μm , 900 μm , 1 mm, 2 mm, 3 mm, 4 mm 또는 5 mm; 또는 이들 사이의 값들의 임의의 범위의 폭을 가질 수 있다. 예를 들어, 몇몇 실시양태에서, 상기 컴포넌트의 폭은 약 25 μm 내지 수 mm일 수 있다. 예시된 바와 같이, 컴포넌트(406)는, 이의 활성 면 또는 측면(예를 들어, 패드)이 이형 층(404)과 접촉하고 이에 따라 활성 면이 임베딩 물질(408)과 접촉하지 않도록 거꾸로 배치된다. 몇몇 실시양태에서, 임베딩 물질(408)이 침착되면, 이는 경화된다. 몇몇 실시양태에서, 경화는 가열에 의해 및/또는 휴지(resting) 동안 임베딩 물질이 경화되게 함으로써 수행된다. 몇몇 실시양태에서, 임베딩 물질의 침착 및/또는 경화 이후에, 컴포넌트(406)와 상기 임베딩 물질을 포함하는 적층체는 이형 층(404) 및 기관(402)으로부터 분리된다. 몇몇 실시양태에서, 상기 적층체는 이형 층으로부터 박리된다. 몇몇 실시양태에서, 상기 이형 층이 (예를 들어, 광 및/또는 열로) 분해되어, 적층체가 기관(402)으로부터 분리된다. 몇몇 실시양태에서, 상기 컴포넌트는 수동 컴포넌트일 수 있다. 몇몇 실시양태에서, 수동 컴포넌트는 커패시터 또는 저항기이다. 몇몇 실시양태에서, 상기 컴포넌트의 높이(즉, 두께)는 약 150 μm 이상이다. 몇몇 실시양태에서, 상기 컴포넌트는 높이(두께)보다 폭이 약 2배이다. 몇몇 실시양태에서, 감응성 내부 구조를 보호하는 1차 패키징을 갖는 미세-전자기계적 시스템("MEMS") 컴포넌트는 높이(예컨대, 두께)가 약 100 μm 이상이고/이거나, 폭이 수백 μm 일 수 있다. 몇몇 실시양태에서, 상기 임베딩 물질은 액체를 포함하는 아말감으로부터 적용된다. 몇몇 실시양태에서, 상기 액체는 저 점도의 전구체 액체이며, 이는 큰 컴포넌트들 사이의 좁은 균열이 임베딩 물질로 완전히 채워지게 할 수 있다. 몇몇 실시양태에서, 상기 조립체는, (예를 들어, 물질이 경화되는 동안) 상기 조립체의 엣지에 아말감을 함유하는 데 사용될 수 있는 임시 경계 또는 댐을 추가로 포함한다. 몇몇 실시양태에서, 이형 층의 두께는 0.5 μm , 1 μm , 2 μm , 3 μm , 4 μm , 5 μm , 6 μm , 7 μm , 8 μm , 9 μm , 10 μm , 12 μm , 15 μm , 20 μm 또는 25 μm ; 또는 약 0.5 μm , 1 μm , 2 μm , 3 μm , 4 μm , 5 μm , 6 μm , 7 μm , 8 μm , 9 μm , 10 μm , 12 μm , 15 μm , 20 μm 또는 25 μm ; 또는 이들 사이의 값들의 임의의 범위이다. 예를 들어, 몇몇 실시양태에서, 이형 층의 두께는 약 1 내지 2 μm 이며, 이는 컴포넌트를 편평한 표면 상에 유지하기에 충분할 수 있다. 몇몇 실시양태에서, 기관 표면은 0.01 μm , 0.05 μm , 0.1 μm , 0.5 μm , 1 μm , 2 μm , 3 μm , 4 μm , 또는 5 μm ; 또는 약 0.01 μm , 0.05 μm , 0.1 μm , 0.5 μm , 1 μm , 2 μm , 3 μm , 4 μm , 또는 5 μm ; 또는 최대 0.01 μm , 0.05 μm , 0.1 μm , 0.5 μm , 1 μm , 2 μm , 3 μm , 4 μm , 또는 5 μm ; 또는 이들 사이의 값들의 임의의 범위의 평균 표면 높이 변화를 가진다.

[0047]

도 5는, 임시 기관(502) 위에 배치된 이형 층(504) 위에 배치되고 상기 이형 층에 의해 제 위치에 유지되는 복수의 컴포넌트(506)를 포함하는 조립체(500)를 도시하며, 여기서 컴포넌트(506)는 임베딩 물질(508)의 제1 층 및 임베딩 물질의 제2 층으로 캡슐화된다. 몇몇 실시양태에서, 임베딩 물질(508)의 제1 층은 함몰부(depression) 및/또는 균열을 포함할 수 있으며, 여기서 표면은 유동에 의해 부분적으로만 평탄화된다. 몇몇

실시양태에서, 컴포넌트를 캡슐화하기 위해 임의의 개수(예를 들어, 1, 2, 3, 4, 5, 6, 7, 8, 9 또는 10개; 또는 적어도 1, 2, 3, 4, 5, 6, 7, 8, 9 또는 10개; 또는 이들 사이의 값들의 임의의 범위)의 임베딩 물질 층이 사용될 수 있다. 몇몇 실시양태에서, 상기 층은, 동일하거나 상이한 조성의 2개 이상의 하위층을 포함할 수 있다. 몇몇 실시양태에서, 임베딩 물질 층 각각은, 동일한, 유사한 또는 상이한 상대 높이(즉, 두께)를 가질 수 있다. 몇몇 실시양태에서, 상기 제1 및/또는 제2 층의 임베딩 물질은 절연 물질, 아말감 물질, 또는 이들의 조합물을 포함할 수 있다. 몇몇 실시양태에서, 상기 층의 임베딩 물질 중 적어도 하나는 아말감 물질을 포함한다. 도 5의 조립체(500)의 요소들 및 이의 공정은 도 4와 관련하여 본원에 기술된 것과 유사할 수 있다.

[0048] 몇몇 실시양태에서, 상기 컴포넌트의 활성화 면 상에 상호연결을 형성한 후에 상기 컴포넌트의 캡슐화가 수행된다. 몇몇 실시양태에서, 상기 컴포넌트의 캡슐화는 상기 컴포넌트의 활성화 면 상에 상호연결을 형성하기 전에 수행된다. 몇몇 실시양태에서, 컴포넌트를 캡슐화하기 위해 임베딩 물질의 다양한 조성이 적용될 수 있다. 몇몇 실시양태에서, 상기 제1 층이 먼저 컴포넌트에 적용되고, 적어도 부분적으로 고화될 수 있다. 몇몇 실시양태에서, 상기 제1 층의 조성은, 규소의 CTE에 가능한 한 가깝게 일치되어서 열 사이클링 동안 규소 IC 내의 및 이 주위의 응력이 가능한 한 작아지도록 선택될 수 있다. 몇몇 실시양태에서, 이러한 조성은 금속 상호연결 라인과 IC I/O 패드 간의 접촉 신뢰성을 증가시킬 수 있다. 몇몇 실시양태에서, 제2 조성을 갖는 제2 층이 후속적으로 제1 층 위의 컴포넌트에 적용될 수 있다. 몇몇 실시양태에서, 제2 층 조성은 높은 열 전도도를 위해 선택된다. 몇몇 실시양태에서, 예를 들어, 컴포넌트들 중 적어도 몇몇이 제1 층의 높이 위로 올라가는 경우, 규소에 대한 제1 층의 CTE의 적당한 불일치가 허용될 수 있다. CTE의 이러한 적당한 불일치는, 예를 들어, 제1 층의 모든 중요 컴포넌트가 제1 층 위로 올라가고 제1 층에 의해 완전히 캡슐화되지 않아서 중요 컴포넌트가 제2 층의 열-유도된 팽창과 수축에 의해 대략 동일한 영향을 받게 될 경우에 허용될 수 있다. 몇몇 실시양태에서, 상기 제1 및 제2 층 둘 다와 접촉하는 더 넓거나 더 큰 컴포넌트, 예를 들어 수동 장치(예컨대, 저항기 및 세라믹 커패시터)는 CTE 불일치에 의해 덜 영향을 받을 수 있으며, 그 이유는, 이의 더 큰 접촉 면적이 상호연결에 대한 더 많은 총 부작 면적을 제공하여 고장에 덜 취약하기 때문이다.

[0049] 몇몇 실시양태에서, 2개의 상이한 임베딩 물질 조성이 2개의 층에 사용된다. 몇몇 실시양태에서, 2개의 상이한 임베딩 물질 조성은 상기 장치(예를 들어, 회로)의 열 팽창 일치와 열 전도도를 동시에 최적화하도록 구성된다. 몇몇 실시양태에서, 각각의 임베딩 물질 층의 두께는 가요성을 위해 선택되고 구성될 수 있다. 몇몇 실시양태에서, 복수의 층은 동일한, 유사한 또는 상이한 상대적 두께를 가질 수 있다. 몇몇 실시양태에서, 상기 제1 층의 임베딩 물질은 절연체 물질(예를 들어, 절연 아말감 물질)일 수 있으며, 이는, 예를 들어 유전 층의 필요성을 제거할 수 있다. 몇몇 실시양태에서, 제2 또는 후속 층의 임베딩 물질은 도체일 수 있으며, 이는, 예를 들어 접지면을 형성할 수 있고, 몇몇 경우, 수동 컴포넌트(예를 들어, 모두 접지에 연결된 바이패스 커패시터) 중 일부와 접촉할 수 있다.

[0050] 몇몇 실시양태에서, 본원에 기술된 적층체 및 조립체는 초박형 컴포넌트와 함께 사용하기에 적합할 수 있거나, 얇지 않고 훨씬 더 두꺼울 수 있는 컴포넌트와 함께 사용될 수 있다. 예를 들어, 약 250 μm 또는 500 μm 의 두께를 갖는 컴포넌트가 활용될 수 있으며, 이는 상용 제품에서 나타날 수 있는 실리콘 웨이퍼 두께의 예이다. 임의의 컴포넌트 배치 공정, 예를 들어 미국 특허 제6,946,178호 및 제7,141,348호에 개시된 통상적인 픽-앤-플레이스 공정(pick and place process)이 사용될 수 있으며, 이들 특허 전체를 모든 목적을 위해 본원에 참조로 인용한다.

[0051] 몇몇 실시양태에서, 하나의 목적은, 예를 들어, 도 4에 도시된 바와 같이, 임베딩 층의 표면이 컴포넌트 표면과 동일 평면상에 존재하는 임베딩 층을 제공하는 것이며, 이로써 최소한의 표면 추가 처리를 사용하여 고해상도 상호연결을 제조할 수 있다. 예를 들어, 통상적인 사출 성형 임베딩에서 발생하는 한 가지 문제는, 컴포넌트가 임시 이형 층 내로 밀려 들어갈 수 있으며, 이어서 몰딩 또는 임베딩 화합물의 적용 및 이형 후에, 칩과 임베딩 물질 사이의 높이 불연속성(몰드 플래시(mold flash)로 불림)이 발생할 수 있다는 것이다. 이는, 예를 들어 미국 특허 제8,922,021호에 기술되어 있으며, 상기 특허 전체를 모든 목적을 위해 본원에 참조로 인용한다. 미국 특허 제8,922,021호는, 표면을 절연체 층으로 덮고 이어서 I/O 패드에 비아를 형성함으로써 상기 문제를 개선하는 방법을 기술하고 있으며, 이는 표면을 평탄화하지만 상당한 비용과 공정 복잡성을 추가한다.

[0052] 몇몇 실시양태에서, 이형 층(예를 들어, 임시 접착성 중합체)은 본원에 기술된 바와 같은 두께(예를 들어, 약 1 내지 2 μm)를 가진다. 이형 층의 두께는, 본원에 기술된 바와 같은 컴포넌트(예를 들어, 전형적인 표면 장착 컴포넌트)를 기판에 일시적으로 유지하기에 충분하도록 구성될 수 있다. 몇몇 실시양태에서, 기판은 본원에 기술된 바와 같이 (예를 들어, 약 $\pm 1 \mu\text{m}$ 미만의 편차 이내로) 편평하거나 실질적으로 편평하다(즉, 적은 평균 표면 높이 편차). 몇몇 실시양태에서, 몇몇 사출 성형 공정과 달리, 임베딩 물질이 적용되는 공정은 강한 측방

향 힘을 수반하지 않는다. 몇몇 실시양태에서, 상기 컴포넌트는 이형 층 두께의 1%, 5%, 10%, 20%, 30%, 40%, 50%, 60% 또는 70%; 또는 약 1%, 5%, 10%, 20%, 30%, 40%, 50%, 60% 또는 70%; 또는 최대 1%, 5%, 10%, 20%, 30%, 40%, 50%, 60% 또는 70%; 또는 이들 사이의 값들의 임의의 범위로 이형 층(예를 들어, 중합체 필름) 내로 침투한다. 몇몇 실시양태에서, 침착된 컴포넌트 엷지에서 이형 층의 결과적인 불연속성은 0.01 μm , 0.05 μm , 0.1 μm , 0.2 μm , 0.4 μm , 0.5 μm , 0.6 μm , 0.7 μm , 0.8 μm , 0.9 μm , 1 μm , 1.2 μm , 1.5 μm 또는 2 μm ; 또는 약 0.01 μm , 0.05 μm , 0.1 μm , 0.2 μm , 0.4 μm , 0.5 μm , 0.6 μm , 0.7 μm , 0.8 μm , 0.9 μm , 1 μm , 1.2 μm , 1.5 μm 또는 2 μm ; 또는 최대 0.01 μm , 0.05 μm , 0.1 μm , 0.2 μm , 0.4 μm , 0.5 μm , 0.6 μm , 0.7 μm , 0.8 μm , 0.9 μm , 1 μm , 1.2 μm , 1.5 μm 또는 2 μm ; 또는 최대 약 0.01 μm , 0.05 μm , 0.1 μm , 0.2 μm , 0.4 μm , 0.5 μm , 0.6 μm , 0.7 μm , 0.8 μm , 0.9 μm , 1 μm , 1.2 μm , 1.5 μm 또는 2 μm ; 또는 이들 사이의 값들의 임의의 범위이다. 몇몇 실시양태에서, 침착된 컴포넌트 엷지에서 이형 층의 불연속성은, 완성된 IC에 일반적으로 존재하는 지형적 변화에 필적한다. 몇몇 실시양태에서, 본원에 기술된 조립체 및 공정은 성형 동안 존재하는 방해력을 유리하게 감소시킬 수 있으며, 이에 따라, 광범위한 컴포넌트 침투가 발생할 수 있는 두꺼운 이형 층(예를 들어, 임시 접착 층)에 대한 요건을 감소시킬 수 있다.

[0053] 몇몇 실시양태에서, 이형 층(예를 들어, 임시 접착성 중합체)은, 광 노출 및/또는 열 현상(thermal development)의 결과로서 이의 질량의 일부를 손실하는 포토레지스트이다. 몇몇 실시양태에서, 이러한 포토레지스트는 마이크로리소그래피 산업에서 통상적이며, t-부티옥시카보닐 잔기의 손실을 기반으로 하며, 이의 손실은 막 두께의 약 15% 손실을 제공할 수 있다. 몇몇 실시양태에서, 이러한 분해는 기체 생성물을 제공하고, 필름에 부착된 임의의 표면의 접착력을 (예를 들어, 일시적으로 또는 영구적으로) 감소시킨다. 몇몇 실시양태에서, 상기 컴포넌트를 포함하는 기관 및 적층체는 상기 분해가 발생함에 따라 박리(예를 들어, 뜯어짐)될 수 있다. 몇몇 실시양태에서, 이형 층의 분해는 상기 컴포넌트를 포함하는 기관 및 적층체를 분리한다.

[0054] 몇몇 실시양태에서, 이형 층 물질(예를 들어, 포토레지스트 중합체)은 에칭(예를 들어, 이미지화 및 현상)되어, 컴포넌트와 이형 층 사이에 작은 함몰부를 생성할 수 있다. 도 6은, 각각의 컴포넌트(608, 610) 아래에 있는 이형 층(604)의 언더컷 영역(606A, 606B)과 벽 상에 침착된 침착 물질(612)을 갖는 조립체(600)를 도시한다. 몇몇 실시양태에서, 상기 침착된 물질은 본원에 기술된 바와 같은 임베딩 물질이다. 몇몇 실시양태에서, 상기 침착된 물질은 절연 및/또는 유전 물질이다. 이형 층(604)은 기관(602) 위에 배치되고, 컴포넌트(608, 610)는 이형 층(604) 위에 배치된다. 몇몇 실시양태에서, 기관(602)(예를 들어, 임시 기관)은 다공성 물질이다. 몇몇 실시양태에서, 언더컷 영역(606A 및 606B)은 이형 층(604)의 물질(예를 들어, 중합체)의 광학적 노출 및/또는 열 현상에 의해 형성될 수 있다. 몇몇 실시양태에서, 상기 컴포넌트가 상기 이형 층(예를 들어, 중합체)의 언더컷 영역에 돌출된 거리는 수 마이크로미터일 수 있다. 몇몇 실시양태에서, 상기 컴포넌트가 이형 층(예를 들어, 중합체)의 언더컷 영역에 돌출하는 거리는 0.1 μm , 0.2 μm , 0.5 μm , 1 μm , 2 μm , 3 μm , 4 μm , 5 μm , 6 μm , 7 μm , 8 μm , 9 μm , 10 μm , 12 μm , 15 μm 또는 20 μm ; 또는 약 0.1 μm , 0.2 μm , 0.5 μm , 1 μm , 2 μm , 3 μm , 4 μm , 5 μm , 6 μm , 7 μm , 8 μm , 9 μm , 10 μm , 12 μm , 15 μm 또는 20 μm ; 또는 최대 0.1 μm , 0.2 μm , 0.5 μm , 1 μm , 2 μm , 3 μm , 4 μm , 5 μm , 6 μm , 7 μm , 8 μm , 9 μm , 10 μm , 12 μm , 15 μm 또는 20 μm ; 또는 최대 약 0.1 μm , 0.2 μm , 0.5 μm , 1 μm , 2 μm , 3 μm , 4 μm , 5 μm , 6 μm , 7 μm , 8 μm , 9 μm , 10 μm , 12 μm , 15 μm 또는 20 μm ; 또는 이들 사이의 값들의 임의의 범위(예컨대, 약 2 내지 10 μm)이다. 도 6은, 언더컷 영역(606A)의 두께가 언더컷 영역(606B)의 두께 미만이고, 컴포넌트(608) 바로 아래의 이형 층(604)의 두께가 컴포넌트(610) 아래의 두께 미만인 경우를 도시한다. 몇몇 실시양태에서, 언더컷 영역 및/또는 이형 층 영역의 두께는, 상기 컴포넌트들 중 하나가 이형 층(예컨대, 중합체) 내로 더 깊게 배치된(예를 들어, 함몰되거나 밀어 넣어진) 이유로 인해, 상기 두 컴포넌트 아래의 또 다른 언더컷 영역 및/또는 이형 층 영역에 비해 감소될 수 있다. 몇몇 실시양태에서, 이형 층 내로의 컴포넌트의 함몰 깊이는 25 nm, 50 nm, 75 nm, 100 nm, 125 nm, 150 nm, 200 nm, 250 nm, 300 nm, 400 nm, 500 nm, 600 nm, 800 nm 또는 1000 nm; 또는 약 25 nm, 50 nm, 75 nm, 100 nm, 125 nm, 150 nm, 200 nm, 250 nm, 300 nm, 400 nm, 500 nm, 600 nm, 800 nm 또는 1000 nm; 또는 최대 25 nm, 50 nm, 75 nm, 100 nm, 125 nm, 150 nm, 200 nm, 250 nm, 300 nm, 400 nm, 500 nm, 600 nm, 800 nm 또는 1000 nm; 또는 최대 약 25 nm, 50 nm, 75 nm, 100 nm, 125 nm, 150 nm, 200 nm, 250 nm, 300 nm, 400 nm, 500 nm, 600 nm, 800 nm 또는 1000 nm; 또는 이들 사이의 값들의 임의의 범위(예를 들어, 원래의 이형 층 두께 필름이 약 1 내지 2 μm 인 경우 약 150 내지 300 nm, 또는 원래의 이형 층 두께 필름이 약 2 내지 10 μm 인 경우 비교적 더 깊은 함몰부가 형성됨)이다. 몇몇 실시양태에서, 상기 이형 층과 언더컷 영역 위에 상기 컴포넌트를 배치하기 전에 상기 이형 층에 광을 조사한다. 몇몇 실시양태에서, 상기 이형 층의 조사는 감응된(sensitized) 이형 층을 형성한다. 몇몇 실시양태에서, 상기

감응된 이형 층은 충분한 열이 가해질 때 분해된다. 몇몇 실시양태에서, 상기 이형 층은 감응된 이형 층으로서 기판 상에 침착된다. 몇몇 실시양태에서, 상기 이형 층과 언더컷 영역 위에 상기 컴포넌트를 배치한 후에 상기 이형 층에 광을 조사한다. 몇몇 실시양태에서, 상기 컴포넌트가 상기 이형 층과 언더컷 영역 위에 배치되면, 침착된 물질(예를 들어, 유전체 필름)은 상기 컴포넌트의 벽 상에 및 상기 언더컷 영역 내에 침착된다. 몇몇 실시양태에서, 침착된 물질의 침착은 스퍼터링 또는 PECVD에 의해 수행된다. 몇몇 실시양태에서, 침착된 물질의 반응성 분자들의 평균 자유 경로는, 침착 전에 상기 분자들 중 적어도 일부가 돌출부 아래에서 확산되어 도 4에 도시된 바와 같이 언더컷 영역 내로 추가로 점점 가늘어지는 두께를 갖는 박층이 생성되기에 충분히 작다.

[0055] 몇몇 실시양태에서, 침착된 물질은 상기 컴포넌트의 엣지를 가로질러 완만한 전이를 형성한다. 몇몇 실시양태에서, 침착된 물질은 상기 컴포넌트의 엣지를 덮으며, 그렇지 않은 경우, 엣지의 날카로움으로 인해 이후의 상호연결 제조가 어려워질 수 있다. 몇몇 실시양태에서, 침착된 물질은 이후에 침착되는 상호연결로부터 상기 컴포넌트(예를 들어, 칩)를 절연하며, 예를 들어, 어떤 금속 구조가 상기 컴포넌트의 엣지에 가까운 IC의 부분일 수 있는지에 관계없이 절연할 수 있다. 몇몇 실시양태에서, 침착된 물질의 이러한 완만한 전이는, 상기 이형 층(예를 들어, 중합체) 내의 컴포넌트들의 상이한 침투 양으로 인해 존재할 수 있는 임의의 높이 차이를 보상할 수 있다. 몇몇 실시양태에서, 조립체(600)는, 컴포넌트(608, 610)를 임베딩 물질로 둘러싸고/싸거나 상기 컴포넌트를 상기 이형 층(604)과 기판(602)으로부터 분리하도록 추가로 처리될 수 있다. 몇몇 실시양태에서, 침착된 물질(예를 들어 유전체)의 침착 후에, 상기 이형 층(예컨대, 포토레지스트 필름)을 가열하여 이형 물질(예컨대, t-부티옥시카보닐)의 분해 및 접착력 감소를 야기한다. 몇몇 실시양태에서, 침착된 물질이 유전체인 경우, 상기 컴포넌트의 일부 엣지 결합 또는 구조를 덮는 데 유용할 수 있는 더 두꺼운 등급의 침착물이 형성될 것이다.

[0056] 몇몇 실시양태에서, 상기 이형 층은 미국 특허 제7,300,824호 및 제7,863,762호에 개시된 것과 같은 열분해성 중합체이며, 이들 특허 전체를 모든 목적을 위해 본원에 참조로 인용한다. 몇몇 실시양태에서, 상기 이형 층(예를 들어, 감광제가 있거나 없는 중합체 필름)은, 다공성 진공 척으로서 역할을 할 수 있는 다공성 기판 상에 형성될 수 있다. 몇몇 실시양태에서, 예를 들어, 회로를 위한 모든 컴포넌트가 이형 층 상에 배치되고, 적어도 침착된 물질(예를 들어, 유전 층)이 침착된 후, 상기 이형 층은, 상기 다공성 진공 척에 진공이 가해지는 동안 분해 온도로 가열되며, 이로써 상기 다공성 진공 척이 컴포넌트 적층체를 제 위치에 유지하는 동안 이형 층의 분해 생성물이 다공성 진공 척의 기공을 통해 빠져나가게 된다. 몇몇 실시양태에서, 상기 임베딩 물질은 상기 이형 층의 분해 이전 또는 이후에 적용될 수 있다.

[0057] 몇몇 실시양태에서, 상기 이형 층은 이형 물질(예를 들어, 유전체)의 침착 전에 분해될 수 있다. 몇몇 실시양태에서, 다공성 진공 척으로부터의 진공은, 심지어 언더컷 영역이 존재하는 경우에도 개별 컴포넌트를 제 위치에 유지하며, 그 이유는, 상기 영역이 전체 면적의 작은 부분이고, 개방 영역임에도 불구하고 상기 컴포넌트에 걸쳐 적절한 압력 구배가 유지될 수 있기 때문이다. 몇몇 실시양태에서, 침착된 물질(예를 들어, 유전체 필름)은 대기압 공정(예를 들어, 대기압 PECVD)을 사용하여 침착된다. 몇몇 실시양태에서, 상기 컴포넌트의 표면은 기판(예를 들어, 다공성 진공 척)의 표면과 직접 접촉한다. 몇몇 실시양태에서, 상기 다공성 진공 척은, 상기 컴포넌트가 상기 이형 층(예를 들어, 중합체) 내로 침투한 임의의 정도 차이에 관계없이, 편평한 또는 실질적으로 편평한 평면을 정의한다. 이러한 조립체(700)의 구조가 도 7에 도시된다. 도 7은, 이형 층(예를 들어, 임시 접착 층)의 제거 및 침착된 물질(예를 들어, 절연 유전체)의 침착 후, 기판(702)(예를 들어, 임시 기판) 위에 배치된 컴포넌트(704 및 706)를 도시한다. 몇몇 실시양태에서, 상기 절연 물질은 이형 층(예를 들어, 접착제)의 제거 이전 또는 이후에 침착된다. 몇몇 실시양태에서, 침착된 물질(예를 들어, 유전체 필름)과 기판(702) 사이의 접촉(예를 들어, 접착)은, 컴포넌트 적층체(예를 들어, 회로 적층체)가 박리될 때 분리(예를 들어, 파괴)될 수 있으며, 그 이유는, 상기 접촉이 전체 면적의 작은 부분만을 포함하기 때문이다. 몇몇 실시양태에서, 기판으로부터 컴포넌트의 분리를 용이하게 하기 위해, 기판은 저 표면 에너지 코팅(예를 들어, 얇은 코팅)으로 처리될 수 있다. 몇몇 실시양태에서, 저 표면 에너지 코팅은 플라즈마-침착된 플루오로카본 필름, 플루오로카본의 자가-조립된 단층, 또는 이들의 조합으로부터 선택된다. 몇몇 실시양태에서, 조립체(700)는, 컴포넌트(704, 706)를 임베딩 물질로 둘러싸고/싸거나 기판(702)으로부터 컴포넌트를 분리하도록 추가 처리될 수 있다. 몇몇 실시양태에서, 분리된 컴포넌트 적층체는 컴포넌트의 활성 면에 상호연결을 추가하도록 추가 처리될 수 있다.

[0058] 몇몇 실시양태에서, 상기 다공성 진공 척은 복수의 기공을 포함한다. 몇몇 실시양태에서, 상기 기공은 나노미터-크기의 직경 및/또는 μm -크기의 직경을 가진다. 몇몇 실시양태에서, 상기 기공은 5 nm, 10 nm, 20 nm, 30 nm, 40 nm, 50 nm, 75 nm, 100 nm, 150 nm, 200 nm, 300 nm, 400 nm, 500 nm, 600 nm, 800 nm, 1 μm , 1.5 μm

m, 2 μ m, 3 μ m, 5 μ m 또는 10 μ m; 또는 약 5 nm, 10 nm, 20 nm, 30 nm, 40 nm, 50 nm, 75 nm, 100 nm, 150 nm, 200 nm, 300 nm, 400 nm, 500 nm, 600 nm, 800 nm, 1 μ m, 1.5 μ m, 2 μ m, 3 μ m, 5 μ m 또는 10 μ m; 또는 최대 5 nm, 10 nm, 20 nm, 30 nm, 40 nm, 50 nm, 75 nm, 100 nm, 150 nm, 200 nm, 300 nm, 400 nm, 500 nm, 600 nm, 800 nm, 1 μ m, 1.5 μ m, 2 μ m, 3 μ m, 5 μ m 또는 10 μ m; 또는 최대 약 5 nm, 10 nm, 20 nm, 30 nm, 40 nm, 50 nm, 75 nm, 100 nm, 150 nm, 200 nm, 300 nm, 400 nm, 500 nm, 600 nm, 800 nm, 1 μ m, 1.5 μ m, 2 μ m, 3 μ m, 5 μ m 또는 10 μ m; 또는 이들 사이의 값들의 임의의 범위의 평균 직경을 가진다. 몇몇 실시양태에서, 기관(예를 들어, 다공성 진공 척)은 구조를 포함한다.

[0059] 몇몇 실시양태에서, 상기 이형 층은 컴포넌트 침착 이전에 상기 다공성 진공 척 상에 침착된다. 몇몇 실시양태에서, 예를 들어, 초기에 모든 영역이 노출되고, 배치된 제1 컴포넌트가 충분한 유지력을 받지 않기 때문에, 컴포넌트 배치 공정 동안 컴포넌트를 유지하기 위해 진공 척이 사용되지 않을 수 있다. 몇몇 실시양태에서, 이형 층과 컴포넌트가 기관 상에 배치되면 진공이 적용될 수 있으며, 이형 층(예컨대, 임시 접착제)의 분해 이전 또는 이후에 다공성 진공 척 상의 노출된 영역(예컨대, 밀접-이격된 컴포넌트들 사이의 노출된 공간)의 감소로 인해, 컴포넌트를 유지하기에 진공이 충분하다.

[0060] 특정 실시양태가 기술되었지만, 이러한 실시양태는 단지 예로서 제시되었으며, 본 발명의 범위를 제한하는 것으로 의도되지 않는다. 실제로, 본원에 기술된 신규한 방법 및 시스템은 다양한 다른 형태로 구현될 수 있다. 또한, 본 발명의 진의를 벗어나지 않고도, 본원에 기술된 시스템 및 방법의 다양한 생략, 대체 및 변경이 이루어질 수 있다. 첨부된 청구범위 및 이의 등가물은 본 발명의 범위 및 진의 내에 속하는 형태 또는 변형을 포괄하는 것으로 의도된다.

[0061] 특정 양태, 실시양태 또는 예와 함께 기술된 특징, 물질, 특성 또는 그룹은 본 명세서의 이 부분 또는 다른 부분에 기술된 임의의 다른 양태, 실시양태 또는 예에 적용가능한 것으로 이해되어야 한다. 본 명세서(임의의 첨부된 청구범위, 요약 및 도면 포함)에 개시된 모든 특징 및/또는 개시된 임의의 방법 또는 공정의 모든 단계는 임의의 조합으로 조합될 수 있되, 단, 이러한 특징 및/또는 단계 중 적어도 일부가 상호 배타적인 경우의 조합은 제외된다. 보호는 임의의 전술된 실시양태의 세부 사항으로 제한되지 않는다. 보호는, 본 명세서(첨부된 청구범위, 요약 및 도면 포함)에 개시된 특징 중 임의의 신규한 특징 또는 임의의 신규한 조합, 또는 개시된 임의의 방법 또는 공정의 단계 중 임의의 신규한 단계 또는 임의의 신규한 조합으로 확장된다.

[0062] 또한, 별도의 구현의 맥락에서, 본원에 기술된 특정 특징들은 또한 단일 구현으로 조합되어 구현될 수 있다. 반대로, 단일 구현의 맥락에서 기술된 다양한 특징이 또한 여러 구현에서 개별적으로 또는 임의의 적절한 하위 조합으로 구현될 수 있다. 더욱이, 상기에서는 특징들이 특정 조합으로 작용하는 것으로 기술될 수 있지만, 청구된 조합으로부터의 하나 이상의 특징은, 몇몇 경우, 상기 조합으로부터 삭제될 수 있으며, 해당 조합은 하위 조합 또는 하위 조합의 변형으로 청구될 수 있다.

[0063] 또한, 작업이 특정 순서로 도면에 도시되거나 명세서에 기술될 수 있지만, 이러한 작업이 도시된 특정 순서로 또는 순차적인 순서로 수행될 필요가 없거나, 바람직한 결과를 달성하기 위해 모든 동작이 수행될 필요는 없다. 도시되지 않거나 기술되지 않은 다른 작업이 예시적인 방법 및 공정에 포함될 수 있다. 예를 들어, 하나 이상의 추가 작업이, 기술된 작업들 이전에, 이후에, 이와 동시에 또는 이들 사이에 수행될 수 있다. 또한, 다른 구현에서는 동작이 재배열되거나 재정의될 수 있다. 당업자는, 몇몇 실시양태에서, 예시된 및/또는 개시된 공정에서 취해진 실제 단계가 도면에 도시된 것과 다를 수 있음을 이해할 것이다. 실시양태에 따라, 전술된 단계 중 일부가 제거될 수 있고, 다른 단계가 추가될 수도 있다. 또한, 상기 개시된 특정 실시양태의 특징 및 속성이 상이한 방식으로 조합되어 추가적인 실시양태를 형성할 수 있으며, 이들 모두는 본 발명의 범위 내에 속한다. 또한, 전술된 구현들에 있어서, 다양한 시스템 컴포넌트들의 분리가 모든 구현에서 이러한 분리를 요구하는 것으로 이해되어서는 안 되며, 기술된 컴포넌트와 시스템은 일반적으로 단일 제품으로 함께 통합될 수 있거나 여러 제품으로 패키징될 수 있는 것으로 이해되어야 한다. 예를 들어, 본원에 기술된 에너지 저장 시스템의 컴포넌트들 중 임의의 컴포넌트는 에너지 저장 시스템을 형성하기 위해 별도로 제공되거나 함께 통합될(예를 들어, 함께 포장되거나 함께 부착될) 수 있다.

[0064] 본 발명의 목적을 위해, 특정 양태, 이점 및 신규한 특징이 본원에 기술되었다. 이러한 모든 이점이 임의의 특정 실시양태에 따라 반드시 달성될 수 있는 것은 아니다. 따라서, 예를 들어, 당업자는, 본원에서 교시되거나 제안될 수 있는 다른 이점을 반드시 달성하지 않고도, 본원에 교시된 바와 같은 하나의 이점 또는 이점들의 그룹을 달성하는 방식으로 본 발명이 구현되거나 수행될 수 있음을 인식할 것이다.

[0065] 달리 구체적으로 언급되지 않거나 또는 사용된 문맥 내에서 다르게 이해되지 않는 한, "~할 수 있다" 또는 "~일

수 있다"와 같은 조건부 언어는 일반적으로, 다른 실시양태들은 포함하지 않지만 특정 실시양태가 특정 특징, 요소 및/또는 단계를 포함함을 전달하려는 것으로 의도된다. 따라서, 이러한 조건부 언어는 일반적으로, 특징, 요소 및/또는 단계가 하나 이상의 실시양태에 어떤 방식으로든 필요하다는 것을 의미하거나 또는 하나 이상의 실시양태가 사용자 입력 또는 프롬프팅(prompting) 유무에 관계없이 해당 특징, 요소 및/또는 단계가 특정 실시양태에 포함되는지 또는 수행되는지 여부를 결정하기 위한 논리를 반드시 포함하는 것으로 의도되지 않는다.

[0066] "X, Y 및 Z 중 적어도 하나"라는 문구와 같은 결합 언어는, 달리 구체적으로 언급되지 않는 한, 해당 항목, 용어 등이 X, Y, 또는 Z일 수 있음을 전달하기 위해 일반적으로 사용되는 문맥으로 달리 이해된다. 따라서, 이러한 결합 언어는, 특정 실시양태가 적어도 하나의 X, 적어도 하나의 Y, 및 적어도 하나의 Z의 존재를 요구한다는 것을 암시하는 것으로 일반적으로 의도되지 않는다.

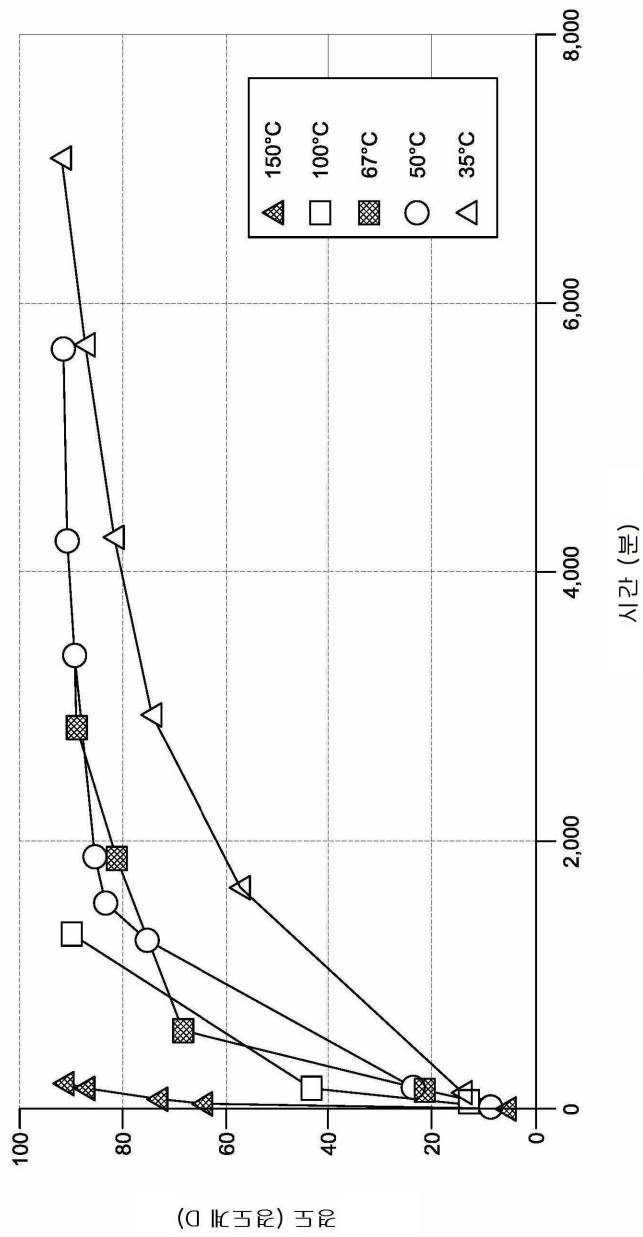
[0067] 본원에서 사용된 "대략", "약", "일반적으로" 및 "실질적으로"와 같은 용어는, 목적하는 기능을 여전히 수행하거나 목적하는 결과를 달성하는 언급된 값, 양 또는 특성에 가까운 값, 양 또는 특성을 나타낸다. 예를 들어, "대략", "약", "일반적으로" 및 "실질적으로"라는 용어는, 목적하는 기능 또는 목적하는 결과에 따라, 언급된 양의 10% 미만 이내, 5% 미만 이내, 1% 미만 이내, 0.01% 미만 이내인 양을 지칭할 수 있다.

[0068] 본 발명의 범위는, 본 명세서의 해당 부분 또는 다른 곳에서 바람직한 실시양태의 특정 개시에 의해 제한되는 것으로 의도되지 않으며, 본 명세서의 해당 부분 또는 다른 곳에 제시되거나 추후 제시되는 바와 같이 청구범위에 의해 정의될 수 있다. 청구범위의 언어는 청구범위에 사용된 언어에 기초하여 광범위하게 해석되어야 하고, 본 명세서에 기술된 예 또는 출원 실행 동안 기술된 예에 제한되지 않으며, 이러한 예는 비-배타적인 것으로 해석되어야 한다.

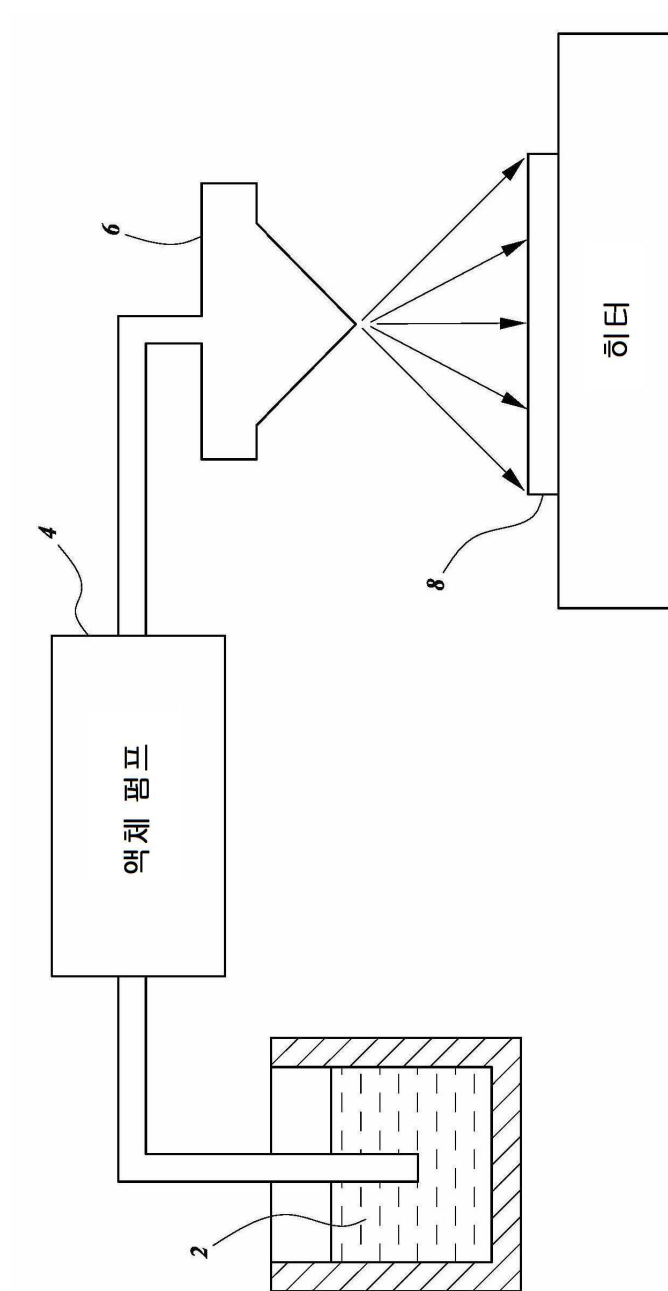
[0069] 본원에 제공된 제목은 단지 편의를 위한 것이며, 본원에 개시된 장치 및 방법의 범위 또는 의미에 반드시 영향을 미치는 것은 아니다.

도면

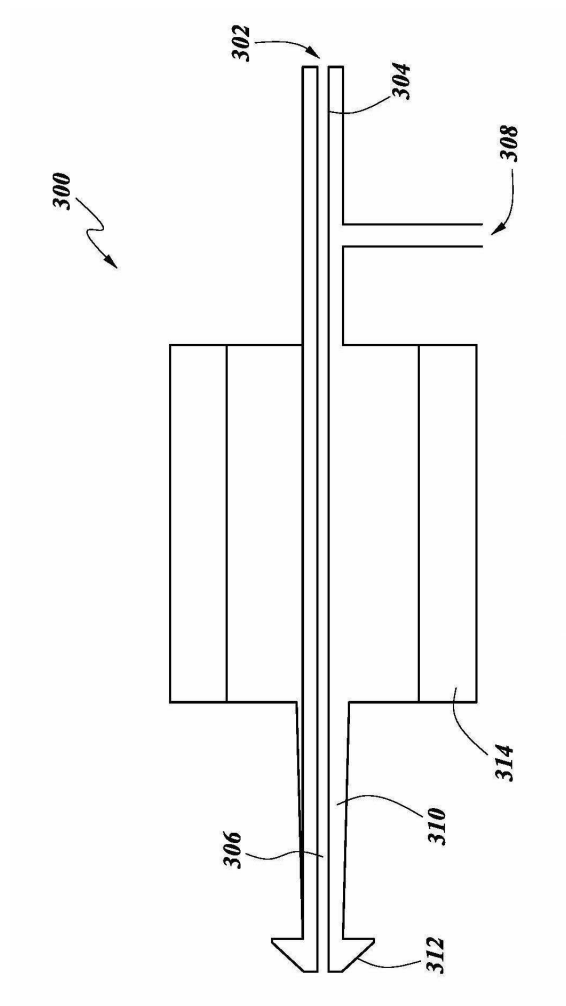
도면1



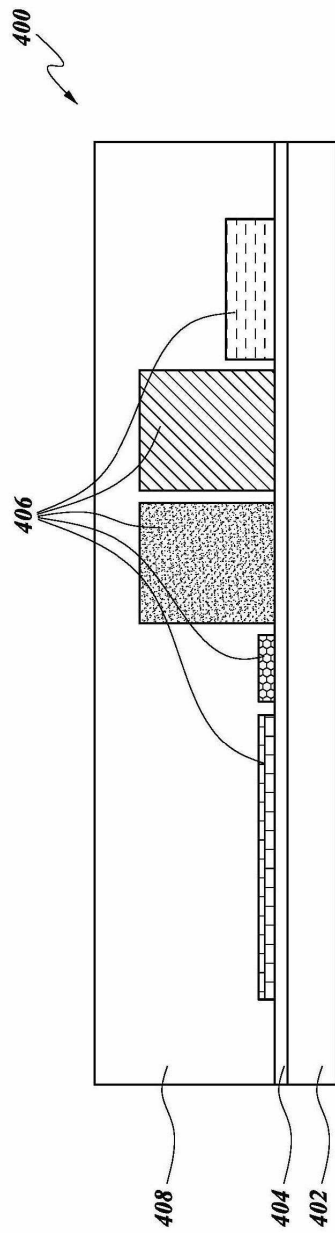
도면2



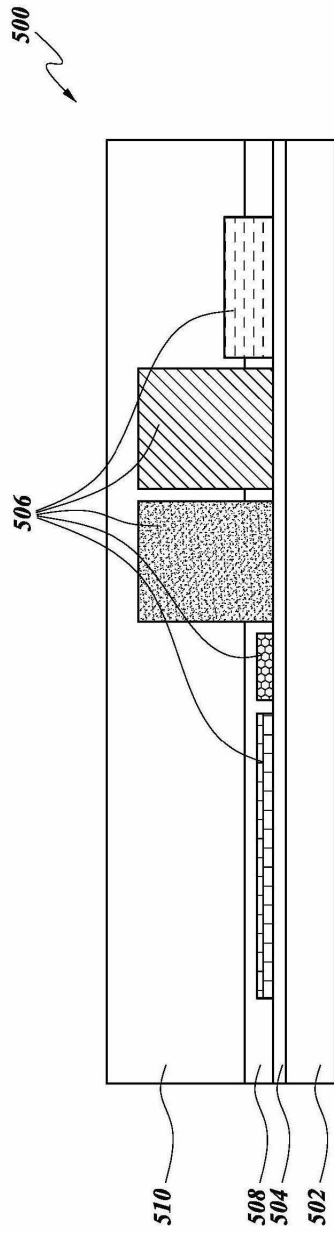
도면3



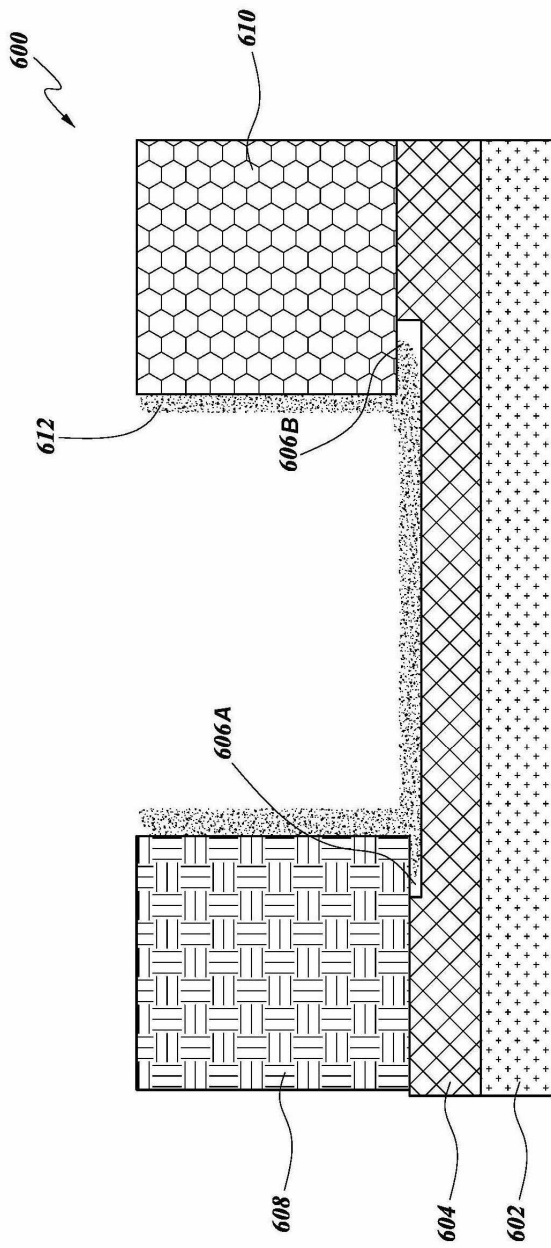
도면4



도면5



도면6



도면7

