

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 9 月 20 日 (20.09.2018)



(10) 国际公布号
WO 2018/166190 A1

- (51) 国际专利分类号:
H01L 27/12 (2006.01) **H01L 21/77** (2017.01)
- (21) 国际申请号: PCT/CN2017/105382
- (22) 国际申请日: 2017 年 10 月 9 日 (09.10.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201710149453.4 2017年3月14日 (14.03.2017) CN
- (71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号, Beijing
100015 (CN)。北京京东方显示技术有限公司
(BEIJING BOE DISPLAY TECHNOLOGY CO.,

LTD.) [CN/CN]; 中国北京市北京经济技术开发区
经海一路118号, Beijing 100176 (CN)。

- (72) 发明人: 贵炳强(GUI, Bingqiang); 中国北京市经济
技术开发区地泽路9号, Beijing 100176 (CN)。
曲连杰(QU, Lianjie); 中国北京市经济技术开发
区地泽路9号, Beijing 100176 (CN)。齐永莲(QL,
Yonglian); 中国北京市经济技术开发区地泽路9
号, Beijing 100176 (CN)。赵合彬(ZHAO, Hebin);
中国北京市经济技术开发区地泽路9号, Beijing
100176 (CN)。邱云(QIU, Yun); 中国北京市经济
技术开发区地泽路9号, Beijing 100176 (CN)。

- (74) 代理人: 北京中博世达专利商标代理有限公司
(BEIJING ZBSD PATENT & TRADEMARK AGENT
LTD.); 中国北京市海淀区交大东路31号11
号楼8层, Beijing 100044 (CN)。

(54) Title: ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR, AND DISPLAY PANEL

(54) 发明名称: 阵列基板及其制备方法、显示面板

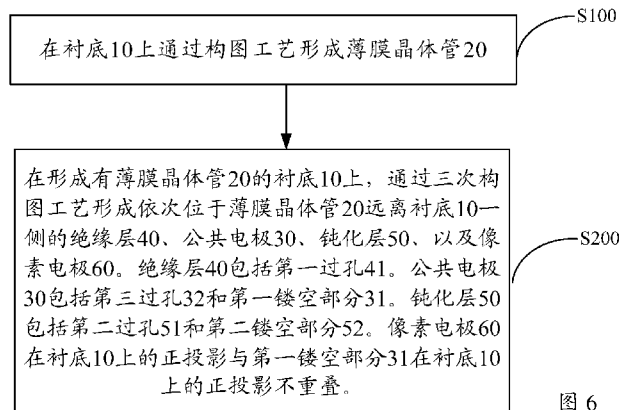


图 6

S100 Form a thin film transistor 20 on a substrate 10 by means of a patterning process

S200 By means of a three-time patterning process, form, on the substrate 10 with the thin film transistor 20 formed thereon, an insulation layer 40, a common electrode 30, a passivation layer 50 and a pixel electrode 60 which are successively located at one side, away from the substrate 10, of the thin film transistor 20, wherein the insulation layer 40 comprises a first via hole 41, the common electrode 30 comprises a third via hole 32 and a first hollowed-out part 31; the passivation layer 50 comprises a second via hole 51 and a second hollowed-out part 52; and an orthographic projection, on the substrate 10, of the pixel electrode 60 does not overlap with an orthographic projection, on the substrate 10, of the first hollowed-out part 31

(57) Abstract: Provided are an array substrate and a manufacturing method therefor, and a display panel. The array substrate comprises: a substrate (10), a thin film transistor (20) provided on the substrate (10), and a common electrode (30) provided on one side, away from the substrate (10), of the thin film transistor (20), wherein the common electrode (30) comprises a first hollowed-out part (31); an active layer (21) of the thin film transistor (20) comprises a source electrode region (211), a drain electrode region (212) and a channel region (213); and an orthographic projection, on the substrate (10), of the first hollowed-out part (31) at least covers an orthographic



(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

projection, on the substrate, of the channel region (213).

(57) 摘要: 一种阵列基板及其制备方法、显示面板, 阵列基板包括: 衬底 (10)、设置在衬底 (10) 上的薄膜晶体管 (20)、设置在薄膜晶体管 (20) 远离衬底 (10) 一侧的公共电极 (30), 公共电极 (10) 包括第一镂空部分 (31), 薄膜晶体管 (20) 的有源层 (21) 包括源电极区 (211)、漏电极区 (212) 和沟道区 (213); 第一镂空部分 (31) 在衬底 (10) 上的正投影至少覆盖沟道区 (213) 在衬底上的正投影。

阵列基板及其制备方法、显示面板

本申请要求于 2017 年 3 月 14 日提交中国专利局、申请号为 201710149453.4、申请名称为“一种阵列基板及其制备方法、显示面板”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

5 技术领域

本公开涉及显示技术领域，尤其涉及一种阵列基板及其制备方法、显示面板。

背景技术

近年来，随着各种显示技术，如 LCD（Liquid Crystal Display，液晶显示器）显示、OLED（Organic Light-Emitting Diode，有机发光二极管）显示、柔性显示、透明显示等的不断发展，采用大尺寸、高分辨率显示面板的产品层出不穷。

发明内容

本公开的实施例采用如下技术方案：

15 第一方面，提供一种阵列基板，包括：衬底、设置在所述衬底上的薄膜晶体管、设置在所述薄膜晶体管远离所述衬底一侧的包括第一镂空部分的公共电极。所述薄膜晶体管的有源层包括源电极区、漏电极区和沟道区，所述第一镂空部分在所述衬底上的正投影至少覆盖所述沟道区在所述衬底上的正投影。

20 可选的，所述第一镂空部分在所述衬底上的正投影覆盖所述有源层在所述衬底上的正投影。

可选的，所述第一镂空部分在所述衬底上的正投影覆盖所述有源层和所述薄膜晶体管的源电极在所述衬底上的正投影。

25 可选的，所述阵列基板还包括设置在所述薄膜晶体管和所述公共电极之间的绝缘层、以及依次设置在所述公共电极远离所述衬底一侧的钝化层和像素电极。所述绝缘层包括第一过孔，所述钝化层包括第二过孔和第二镂空部分，所述像素电极在所述衬底上的正投影与所述第一镂空部分在所述衬底上的正投影不重叠。所述公共电极还包括第三过孔。所述第一镂空部分在所述衬底上的正投影与所述第二镂空部分在所述衬底上的正投影重叠。所述第一过孔在所述衬底上的正投影、所述第二过孔在所述衬底上的正投影和所述第
30

三过孔在所述衬底上的正投影重叠。所述第三过孔的尺寸大于或等于所述第一过孔尺寸，且大于所述第二过孔的尺寸。所述像素电极通过所述第一过孔、所述第二过孔、所述第三过孔与所述薄膜晶体管的漏电极电连接。

第二方面，提供一种显示面板，包括第一方面所述的阵列基板。

5 第三方面，提供一种阵列基板的制备方法，包括：在衬底上通过构图工艺形成薄膜晶体管；在形成有所述薄膜晶体管的衬底上，通过三次构图工艺形成依次位于所述薄膜晶体管远离所述衬底一侧的绝缘层、公共电极、钝化层、以及像素电极。其中，所述绝缘层包括第一过孔；所述公共电极包括第三过孔和第一镂空部分；所述钝化层包括第二过孔和第二镂空部分；所述像素电极在所述衬底上的正投影与所述第一镂空部分在所述衬底上的正投影不重叠。所述薄膜晶体管的有源层包括源电极区、漏电极区和沟道区。所述
10 第一镂空部分在所述衬底上的正投影至少覆盖所述沟道区，所述第一镂空部分在所述衬底上的正投影与所述第二镂空部分在所述衬底上的正投影重叠。所述第一过孔在所述衬底上的正投影、所述第二过孔在所述衬底上的正投影和所述第三过孔在所述衬底上的正投影重叠。所述第三过孔的尺寸大于或等于
15 所述第一过孔尺寸，且大于所述第二过孔的尺寸。所述像素电极通过所述第一过孔、所述第二过孔、所述第三过孔与所述薄膜晶体管的漏电极电连接。

可选的，所述通过三次构图工艺形成依次位于所述薄膜晶体管远离所述衬底一侧的绝缘层、公共电极、钝化层、以及像素电极，具体包括：在形成
20 有所述薄膜晶体管的衬底上，形成绝缘膜层；在形成有所述绝缘膜层的衬底上，通过一次构图工艺形成包括所述第三过孔的公共电极膜层；采用干法刻蚀对所述第三过孔下方的所述绝缘膜层进行刻蚀，形成包括所述第一过孔的所述绝缘层；在形成有所述绝缘层和所述公共电极膜层的衬底上，通过一次
25 构图工艺形成包括所述第二过孔和所述第二镂空部分的所述钝化层；在形成有所述钝化层的衬底上，通过一次构图工艺形成在所述衬底上的正投影与所述第一镂空部分在所述衬底上的正投影不重叠的所述像素电极，并在所述公共电极膜层上形成所述第一镂空部分，从而形成包括所述第三过孔和所述第一
30 镂空部分的所述公共电极。

可选的，所述在形成有所述钝化层的衬底上，通过一次构图工艺形成在
30 所述衬底上的正投影与所述第一镂空部分在所述衬底上的正投影不重叠的所述像素电极，并在所述公共电极膜层上形成所述第一镂空部分，从而形成包括所述第三过孔和所述第一镂空部分的所述公共电极，具体包括：在形成

有所述钝化层的衬底上形成透明导电薄膜，并形成光刻胶；利用掩模板对光刻胶进行曝光，显影后形成光刻胶完全保留部分和光刻胶完全去除部分；所述光刻胶完全去除部分至少与待形成的所述第一镂空部分对应，且与待形成的所述第一镂空部分对应的所述光刻胶完全去除部分的尺寸大于待形成的所述第一镂空部分的尺寸；对所述透明导电薄膜进行刻蚀，并采用过刻方式对所述公共电极膜层进行刻蚀，形成在所述衬底上的正投影与所述第一镂空部分在所述衬底上的正投影不重叠的所述像素电极，并在所述公共电极膜层上形成所述第一镂空部分，从而形成包括所述第三过孔和所述第一镂空部分的所述公共电极；采用剥离工艺去除所述光刻胶完全保留部分的光刻胶。

可选的，所述通过三次构图工艺形成依次位于所述薄膜晶体管远离所述衬底一侧的绝缘层、公共电极、钝化层、以及像素电极，具体包括：在形成有所述薄膜晶体管的衬底上，形成绝缘膜层；在形成有所述绝缘膜层的衬底上，通过一次构图工艺形成包括所述第三过孔的公共电极膜层；采用干法刻蚀对所述第三过孔下方的所述绝缘膜层进行刻蚀，形成包括所述第一过孔的所述绝缘层；在形成有所述绝缘层和所述公共电极膜层的衬底上，通过一次构图工艺形成包括所述第二过孔和所述第二镂空部分的所述钝化层；采用湿法刻蚀对所述第二镂空部分下方的所述公共电极膜层进行刻蚀，在所述公共电极膜层上形成所述第一镂空部分，从而形成包括所述第三过孔和所述第一镂空部分的所述公共电极；在形成有所述钝化层的衬底上，通过一次构图工艺形成在所述衬底上的正投影与所述第一镂空部分在所述衬底上的正投影不重叠的所述像素电极。

基于上述，可选的，所述在衬底上通过构图工艺形成薄膜晶体管，包括：在衬底上通过一次构图工艺形成包括栅极的栅金属层，并形成栅钝化层；在形成有所述栅钝化层的衬底上通过一次构图工艺形成有源层和包括源电极、漏电极的源漏金属层。

附图说明

为了更清楚地说明本公开实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为一种阵列基板的结构示意图；

图 2 为本公开实施例提供的一种阵列基板的结构示意图一；

图 3 为本公开实施例提供的一种阵列基板的结构示意图二；
图 4 为本公开实施例提供的一种阵列基板的结构示意图三；
图 5 为本公开实施例提供的一种阵列基板的结构示意图四；
图 6 为本公开实施例提供的一种阵列基板制备方法的流程示意图一；
5 图 7 为本公开实施例提供的一种阵列基板制备方法的流程示意图二；
图 8(a)- 图 8(e)为本公开实施例提供的一种阵列基板的制备过程示意图；
图 9 为本公开实施例提供的一种阵列基板制备方法的流程示意图三；
图 10 为本公开实施例提供的一种阵列基板的结构示意图五。
图 11 为本公开实施例提供的一种显示面板的剖面结构示意图。

10 具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。

15 除非另作定义，此处使用的技术术语或者科学术语应当为本领域技术人员所理解的通常意义。本公开专利申请说明书以及权利要求书中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“一个”、“一”或者“该”等类似词语也不表示数量限制，而是表示存在至少一个。“包括”或者“包含”等类似的
20 词语指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。

图 1 示出了一种阵列基板。阵列基板上包括设置在衬底 10 上的薄膜晶体管 20 和公共电极 30。由于公共电极 30 在衬底 10 上的正投影覆盖薄膜晶体管 20 的有源层 21 在衬底 10 上的正投影，影响了有源层 21 上电子的迁移
25 率，造成薄膜晶体管 20 阈值电压的稳定性变差，从而影响薄膜晶体管的性能。

为减小透明导电层与有源层之间的寄生电容，本公开实施例提供一种阵列基板及其制备方法、显示面板，通过在公共电极上设置第一镂空部分，并使第一镂空部分在衬底上的正投影至少覆盖有源层的沟道区。这样一来，在
30 沟道区上方的对应位置处没有被公共电极覆盖，既可以降低公共电极对有源层沟道区上电子迁移率的影响，从而提高薄膜晶体管阈值电压的稳定性，又可以避免公共电极与沟道区产生寄生电容，从而提高薄膜晶体管的性能。

本公开实施例提供一种阵列基板，如图 2 所示，包括：衬底 10、设置在衬底 10 上的薄膜晶体管 20、以及设置在薄膜晶体管 20 远离衬底 10 一侧的公共电极 30。公共电极 30 包括第一镂空部分 31。薄膜晶体管 20 包括有源层 21，有源层 21 包括源电极区 211、漏电极区 212 和沟道区 213。第一镂空部分 31 在衬底 10 上的正投影至少覆盖沟道区 213 在衬底 10 上的正投影。

需要说明的是，第一，薄膜晶体管 20 包括栅极、栅绝缘层、半导体有源层、源电极和漏电极。

其中，根据半导体有源层材料的不同，所述薄膜晶体管 20 可以为非晶硅薄膜晶体管、多晶硅薄膜晶体管、金属氧化物薄膜晶体管、有机薄膜晶体管等。在此基础上，所述薄膜晶体管 20 可以为交错型、反交错型、共面型、或反共面型等。

第二，有源层 21 与源电极对应的区域为源电极区 211，有源层 21 与漏电极对应的区域为漏电极区 212。

第三，第一镂空部分 31 在衬底 10 上的正投影至少覆盖沟道区 213 在衬底 10 上的正投影，即如图 2 所示，公共电极 30 在衬底 10 上的正投影至少与沟道区 213 在衬底 10 上的正投影没有交叠的部分。

其中，覆盖是指第一镂空部分 31 在衬底 10 上的正投影大于或等于沟道区 213 在衬底 10 上的正投影。

本公开实施例提供一种阵列基板，在公共电极 30 上设置第一镂空部分 31，并使第一镂空部分 31 在衬底 10 上的正投影至少覆盖有源层 21 的沟道区 213。这样一来，在沟道区 213 上方的对应位置处没有被公共电极覆盖，既可以降低公共电极 30 对有源层 21 沟道区 213 上电子迁移率的影响，从而提高薄膜晶体管 20 阈值电压的稳定性，又可以避免公共电极 30 与沟道区 213 产生寄生电容，从而提高薄膜晶体管 20 的性能。

可选的，如图 3 所示，第一镂空部分 31 在衬底 10 上的正投影覆盖有源层 21 在衬底 10 上的正投影。

本公开实施例通过使第一镂空部分 31 在衬底 10 上的正投影覆盖有源层 20 在衬底 10 上的正投影，可使公共电极 30 与有源层 20 在衬底 10 上的正投影无交叠，既可以降低公共电极 30 对有源层 20 电子迁移率的影响，又可以避免公共电极 30 与源电极区 211 的源电极和漏电极区 212 的漏电极产生寄生电容。

可选的,如图4所示,第一镂空部分31在衬底10上的正投影覆盖有源层21和薄膜晶体管20的源电极22在衬底10上的正投影。

本公开实施例通过使第一镂空部分31在衬底10上的正投影覆盖有源层21和薄膜晶体管20的源电极22在衬底10上的正投影,既可以消除公共电极30与有源层20沟道区213的寄生电容,又能消除公共电极30与有源层21和源电极22之间的寄生电容,进一步提高薄膜晶体管的性能。

可选的,如图5所示,所述阵列基板还包括设置在薄膜晶体管20和公共电极30之间的绝缘层40、以及依次设置在公共电极30远离衬底10一侧的钝化层50和像素电极60。绝缘层40包括第一过孔41。钝化层50包括第二过孔51和第二镂空部分52。像素电极60在衬底10上的正投影与第一镂空部分31在衬底10上的正投影不重叠的。公共电极30还包括第三过孔32。第一镂空部分31在衬底10上的正投影与第二镂空部分52在衬底10上的正投影重叠。第一过孔41在衬底10上的正投影、第二过孔51在衬底10上的正投影和第三过孔32在衬底10上的正投影重叠。第三过孔32的尺寸大于或等于第一过孔41尺寸,且大于第二过孔51的尺寸。像素电极60通过第一过孔41、第二过孔51、第三过孔32与薄膜晶体管20的漏电极23电连接。

第一镂空部分31在衬底10上的正投影与第二镂空部分52在衬底10上的正投影可以重合;也可以是第二镂空部分52在衬底10上的正投影落入第一镂空部分31在衬底10上的正投影内;还可以是第一镂空部分31在衬底10上的正投影落入第二镂空部分52在衬底10上的正投影内。但在这三种情况下,像素电极60在衬底10上的正投影与第一镂空部分31在衬底10上的正投影没有交叠的部分,即在第一镂空部分31对应位置处没有像素电极60。

此外,本领域技术人员应该明白,像素电极60通过第一过孔41、第二过孔51、第三过孔32与薄膜晶体管20的漏电极23电连接,则第一过孔41在衬底10上的正投影、第二过孔51在衬底10上的正投影和第三过孔32在衬底10上的正投影必然落入漏电极23在衬底10上的正投影内。

再者,如图5所示,为避免公共电极30与漏电极23电连接,第三过孔32的尺寸应大于或等于第一过孔41尺寸。为避免公共电极30与像素电极60电连接,第三过孔32的尺寸应大于第二过孔51的尺寸,以使得像素电极60与漏电极23电连接时,和公共电极30之间有钝化层50相隔。

另外,公共电极30与像素电极60同在阵列基板上,且公共电极30在

下平铺一整层，像素电极 60 在上为梳齿状。

本公开实施例还提供一种显示面板 100，如图 11 所示，包括上述阵列基板 101。

其中，显示面板为液晶显示面板（Liquid Crystal Display，简称 LCD）时，如图 11 所示，其包括上述阵列基板 101、对盒基板 102 以及设置在二者之间的液晶层 103。对盒基板可以包括黑矩阵。该液晶显示面板还可以包括彩膜，彩膜可以设置在对盒基板上，也可设置在阵列基板上。

本公开实施例提供的显示面板包括上述任一种阵列基板，其有益效果与上述阵列基板的有益效果相同，此处不再赘述。

本公开实施例还提供一种阵列基板的制备方法，如图 6 所示，包括以下步骤。

S100、在衬底 10 上通过构图工艺形成薄膜晶体管 20。

所述薄膜晶体管 20 包括栅极、栅绝缘层、半导体有源层、源电极和漏电极。在形成所述栅极的同时还可以形成与所述栅极电连接的栅线、位于阵列基板周边区域的栅线引线等。在形成所述源电极和漏电极的同时还可以形成与源电极电连接的数据线、位于阵列基板周边区域的数据线引线等。

此处，不对所述薄膜晶体管 20 的制备过程进行限定。在该制备过程中，形成半导体有源层和包括源电极、漏电极的源漏金属层的步骤例如可以通过两次构图工艺形成，具体包括：先通过一次构图工艺处理形成半导体有源层，然后在形成有半导体有源层的基板上再通过一次构图工艺处理形成包括源电极、漏电极、数据线、数据线引线的源漏金属层。在两次构图工艺中，均采用普通掩模板进行曝光。在此情况下，根据实际情况可以不形成数据线引线下、且与所述半导体有源层同层的图案。

当然，根据所述薄膜晶体管 20 的结构，也可以通过一次构图工艺处理形成半导体有源层和包括源电极、漏电极的源漏金属层，具体可以为：在一次构图工艺中，采用半阶或灰阶掩模板进行曝光，从而形成半导体有源层和包括源电极、漏电极、数据线、数据线引线的源漏金属层。

S200、如图 5 所示，在形成有薄膜晶体管 20 的衬底 10 上，通过三次构图工艺形成依次位于薄膜晶体管 20 远离衬底 10 一侧的绝缘层 40、公共电极 30、钝化层 50、以及像素电极 60。绝缘层 40 包括第一过孔 41。公共电极 30 包括第三过孔 32 和第一镂空部分 31。钝化层 50 包括第二过孔 51 和第二镂空部分 52。像素电极 60 在衬底 10 上的正投影与第一镂空部分 31 在

衬底 10 上的正投影不重叠。

薄膜晶体管 20 的有源层 21 包括源电极区 211、漏电极区 212 和沟道区 213。第一镂空部分 31 在衬底 10 上的正投影至少覆盖沟道区 213。第一镂空部分 31 在衬底 10 上的正投影与第二镂空部分 51 在衬底 10 上的正投影重叠。第一过孔 41 在衬底 10 上的正投影、第二过孔 51 在衬底 10 上的正投影和第三过孔 32 在衬底 10 上的正投影重叠。第三过孔 32 的尺寸大于或等于第一过孔 41 尺寸，且大于第二过孔 51 的尺寸。像素电极 60 通过第一过孔 41、第二过孔 51 和第三过孔 31 与薄膜晶体管 10 的漏电极 23 电连接。

本公开实施例提供一种阵列基板的制备方法，通过三次构图工艺形成依次位于薄膜晶体管 20 远离衬底 10 一侧的绝缘层 40、包括第一镂空部分 31 的公共电极层 30、钝化层 50、以及像素电极层 60，减少了构图工艺的次数，节省成本，提高生产效率。

可选的，如图 7 所示，通过三次构图工艺形成依次位于薄膜晶体管 20 远离衬底 10 一侧的绝缘层 40、公共电极 30、钝化层 50、以及像素电极 60，具体包括：

S210、如图 8(a)所示，在形成有薄膜晶体管 20 的衬底 10 上，形成绝缘膜层 42。

在本步骤中，薄膜晶体管 20 包括栅极、栅绝缘层、有源层、源电极以及漏电极。在薄膜晶体管 20 远离衬底 10 一侧形成绝缘膜层 42。

S220、如图 8(b)所示，在形成有绝缘膜层 42 的衬底 10 上，通过一次构图工艺形成包括第三过孔 32 的公共电极膜层 33。

S230、如图 8(c)所示，采用干法刻蚀对第三过孔 32 下方的绝缘膜层 42 进行刻蚀，形成包括第一过孔 41 的绝缘层 40。

此时，以包括第三过孔 32 的公共电极膜层 33 为作为保护，对第三过孔 32 下方的绝缘膜层 42 进行刻蚀，形成第一过孔 41。

S240、如图 8(d)所示，在形成有绝缘层 40 和公共电极膜层 33 的衬底 10 上，通过一次构图工艺形成包括第二过孔 51 和第二镂空部分 52 的钝化层 50。

S250、如图 8(e)所示，在形成有钝化层 50 的衬底 10 上，通过一次构图工艺形成在衬底 10 上的正投影与第一镂空部分 31 在衬底 10 上的正投影不重叠的像素电极 60，并在公共电极 30 上形成第一镂空部分 31，从而形成包括第三过孔 32 和第一镂空部分 31 的公共电极 30。

此时，对像素电极 60 图案化后，刻蚀液通过钝化层 50 上的第二镂空部分 52 对公共电极膜层 33 继续刻蚀，形成第一镂空部分 31。第一镂空部分 31 的图案与第二镂空部分 52 的图案相同。从而形成了包括第三过孔 32 和第一镂空部分 31 的公共电极 30。

5 具体的，在形成有钝化层 50 的衬底 10 上，通过一次构图工艺形成在衬底 10 上的正投影与第一镂空部分 31 在衬底 10 上的正投影不重叠的像素电极 60，并在公共电极膜层 33 上形成第一镂空部分 31，从而形成包括第三过孔 32 和第一镂空部分 31 的公共电极 30，具体包括：

10 S251、在形成有钝化层 50 的衬底 10 上形成透明导电薄膜，并形成光刻胶。

S252、利用掩模板对光刻胶进行曝光，显影后形成光刻胶完全保留部分和光刻胶完全去除部分；光刻胶完全去除部分至少与待形成的第一镂空部分 31 对应，且与待形成的第一镂空部分 31 对应的光刻胶完全去除部分的尺寸大于待形成的第一镂空部分 31 的尺寸。

15 S253、对透明导电薄膜进行刻蚀，并采用过刻方式对公共电极进行刻蚀，形成在衬底 10 上的正投影与第一镂空部分 31 在衬底 10 上的正投影不重叠的像素电极 60，并在公共电极膜层 33 上形成第一镂空部分 31，从而形成包括第三过孔 32 和第一镂空部分 31 的公共电极 30。

S254、采用剥离工艺去除光刻胶完全保留部分的光刻胶。

20 可选的，如图 9 所示，通过三次构图工艺形成依次位于薄膜晶体管 20 远离衬底 10 一侧的绝缘层 40、公共电极 30、钝化层 50、以及像素电极 60，具体包括：

S201、如图 8(a)所示，在形成有薄膜晶体管 20 的衬底 10 上，形成绝缘膜层 42。

25 S202、如图 8(b)所示，在形成有绝缘膜层 42 的衬底 10 上，通过一次构图工艺形成包括第三过孔 32 的公共电极膜层 33。

S203、如图 8(c)所示，采用干法刻蚀对第三过孔 32 下方的绝缘膜层 42 进行刻蚀，形成包括第一过孔 41 的绝缘层 40。

30 S204、如图 8(d)所示，在形成有绝缘层 40 和公共电极膜层 33 的衬底 10 上，通过一次构图工艺形成包括第二过孔 51 和第二镂空部分 52 的钝化层 50。

S205、如图 10 所示，采用湿法刻蚀对第二镂空部分 52 下方的公共电极

膜层 33 进行刻蚀，在公共电极膜层 33 上形成第一镂空部分 31，从而形成包括第三过孔 32 和第一镂空部分 31 的公共电极 30。

在本步骤中，公共电极 30 的材料为透明导电材料，薄膜晶体管的漏电极的材料为金属导电材料，两者材料不同，在对公共电极膜层 33 进行刻蚀时，不会对漏电极产生影响。

S206、如图 8(e)所示，在形成有钝化层 50 的衬底 10 上，通过一次构图工艺形成在衬底 10 上的正投影与第一镂空部分 31 在衬底 10 上的正投影不重叠的像素电极 60。

基于上述，可选的，在衬底 10 上通过构图工艺形成薄膜晶体管 20，包括：

在衬底 10 上通过一次构图工艺形成包括栅极的栅金属层，并形成栅钝化层。

在形成有栅钝化层的衬底上通过一次构图工艺形成有源层、包括源电极、漏电极的源漏金属层。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

本公开还可提供附加的实施例，这些附加实施例可以包括上述任何一个实施例，且该附加实施例中的组件、功能或结构中的一个或多个可以由上述实施例中的组件、功能或结构中的一个或多个替换或补充。

权利要求书

1、一种阵列基板，包括：衬底、设置在所述衬底上的薄膜晶体管、以及设置在所述薄膜晶体管远离所述衬底一侧的包括第一镂空部分的公共电极，

5 其中，所述薄膜晶体管包括有源层，所述有源层包括源电极区、漏电极区和沟道区，所述第一镂空部分在所述衬底上的正投影至少覆盖所述沟道区在所述衬底上的正投影。

2、根据权利要求 1 所述的阵列基板，其中，所述第一镂空部分在所述衬底上的所述正投影覆盖所述有源层在所述衬底上的正投影。

10 3、根据权利要求 1 所述的阵列基板，其中，所述第一镂空部分在所述衬底上的所述正投影覆盖所述有源层和所述薄膜晶体管的源电极在所述衬底上的正投影。

15 4、根据权利要求 1 所述的阵列基板，其中，所述阵列基板还包括设置在所述薄膜晶体管和所述公共电极之间的绝缘层、以及依次设置在所述公共电极远离所述衬底一侧的钝化层和像素电极，所述绝缘层包括第一过孔，所述钝化层包括第二过孔和第二镂空部分，所述像素电极在所述衬底上的正投影与所述第一镂空部分在所述衬底上的所述正投影不重叠，

所述公共电极还包括第三过孔；

20 所述第一镂空部分在所述衬底上的所述正投影与所述第二镂空部分在所述衬底上的正投影重叠；所述第一过孔在所述衬底上的正投影、所述第二过孔在所述衬底上的正投影和所述第三过孔在所述衬底上的正投影重叠，所述第三过孔的尺寸大于或等于所述第一过孔尺寸，且大于所述第二过孔的尺寸；

所述像素电极通过所述第一过孔、所述第二过孔、所述第三过孔与所述薄膜晶体管的漏电极电连接。

5 5、一种显示面板，包括权利要求 1-4 任一项所述的阵列基板。

25 6、一种如权利要求 1 所述的阵列基板的制备方法，包括：

在衬底上通过构图工艺形成薄膜晶体管；

30 在形成有所述薄膜晶体管的衬底上，通过三次构图工艺形成依次位于所述薄膜晶体管远离所述衬底一侧的绝缘层、公共电极、钝化层、以及像素电极，其中，所述绝缘层包括第一过孔，所述公共电极包括第三过孔和第一镂空部分，所述钝化层包括第二过孔和第二镂空部分，所述像素电极在所述衬底上的正投影与所述第一镂空部分在所述衬底上的正投影不重叠；

所述薄膜晶体管包括有源层，所述有源层包括源电极区、漏电极区和沟道

区, 所述第一镂空部分在所述衬底上的所述正投影至少覆盖所述沟道区, 所述第一镂空部分在所述衬底上的所述正投影与所述第二镂空部分在所述衬底上的正投影重叠; 所述第一过孔在所述衬底上的正投影、所述第二过孔在所述衬底上的正投影和所述第三过孔在所述衬底上的正投影重叠, 所述第三过孔的尺寸大于或等于所述第一过孔尺寸, 且大于所述第二过孔的尺寸;

所述像素电极通过所述第一过孔、所述第二过孔、所述第三过孔与所述薄膜晶体管的漏电极电连接。

7、根据权利要求 6 所述的制备方法, 其中, 所述通过三次构图工艺形成依次位于所述薄膜晶体管远离所述衬底一侧的绝缘层、公共电极、钝化层、以及像素电极, 具体包括:

在形成有所述薄膜晶体管的衬底上, 形成绝缘膜层;

在形成有所述绝缘膜层的衬底上, 通过一次构图工艺形成包括所述第三过孔的公共电极膜层;

采用干法刻蚀对所述第三过孔下方的所述绝缘膜层进行刻蚀, 形成包括所述第一过孔的所述绝缘层;

在形成有所述绝缘层和所述公共电极膜层的衬底上, 通过一次构图工艺形成包括所述第二过孔和所述第二镂空部分的所述钝化层;

在形成有所述钝化层的衬底上, 通过一次构图工艺形成在所述衬底上的所述正投影与所述第一镂空部分在所述衬底上的所述正投影不重叠的所述像素电极, 并在所述公共电极膜层上形成所述第一镂空部分, 从而形成包括所述第三过孔和所述第一镂空部分的所述公共电极。

8、根据权利要求 7 所述的制备方法, 其中, 所述在形成有所述钝化层的衬底上, 通过一次构图工艺形成在所述衬底上的所述正投影与所述第一镂空部分在所述衬底上的所述正投影不重叠的所述像素电极, 并在所述公共电极膜层上形成所述第一镂空部分, 从而形成包括所述第三过孔和所述第一镂空部分的所述公共电极, 具体包括:

在形成有所述钝化层的衬底上形成透明导电薄膜, 并形成光刻胶;

利用掩模板对光刻胶进行曝光, 显影后形成光刻胶完全保留部分和光刻胶完全去除部分; 所述光刻胶完全去除部分至少与待形成的所述第一镂空部分对应, 且与待形成的所述第一镂空部分对应的所述光刻胶完全去除部分的尺寸大于待形成的所述第一镂空部分的尺寸;

对所述透明导电薄膜进行刻蚀, 并采用过刻方式对所述公共电极膜层进行

刻蚀,形成在所述衬底上的所述正投影与所述第一镂空部分在所述衬底上的所述正投影不重叠的所述像素电极,并在所述公共电极膜层上形成所述第一镂空部分,从而形成包括所述第三过孔和所述第一镂空部分的所述公共电极;

采用剥离工艺去除所述光刻胶完全保留部分的光刻胶。

- 5 9、根据权利要求6所述的制备方法,其中,所述通过三次构图工艺形成依次位于所述薄膜晶体管远离所述衬底一侧的绝缘层、公共电极、钝化层、以及像素电极,具体包括:

在形成有所述薄膜晶体管的衬底上,形成绝缘膜层;

- 10 在形成有所述绝缘膜层的衬底上,通过一次构图工艺形成包括所述第三过孔的公共电极膜层;

采用干法刻蚀对所述第三过孔下方的所述绝缘膜层进行刻蚀,形成包括所述第一过孔的所述绝缘层;

在形成有所述绝缘层和所述公共电极膜层的衬底上,通过一次构图工艺形成包括所述第二过孔和所述第二镂空部分的所述钝化层;

- 15 采用湿法刻蚀对所述第二镂空部分下方的所述公共电极膜层进行刻蚀,在所述公共电极膜层上形成所述第一镂空部分,从而形成包括所述第三过孔和所述第一镂空部分的所述公共电极;

- 20 在形成有所述钝化层的衬底上,通过一次构图工艺形成在所述衬底上的所述正投影与所述第一镂空部分在所述衬底上的所述正投影不重叠的所述像素电极。

10、根据权利要求6-9任一项所述的制备方法,其中,所述在衬底上通过构图工艺形成薄膜晶体管,包括:

在衬底上通过一次构图工艺形成包括栅极的栅金属层,并形成栅钝化层;

- 25 在形成有所述栅钝化层的衬底上通过一次构图工艺形成有源层和包括源电极、和漏电极的源漏金属层。

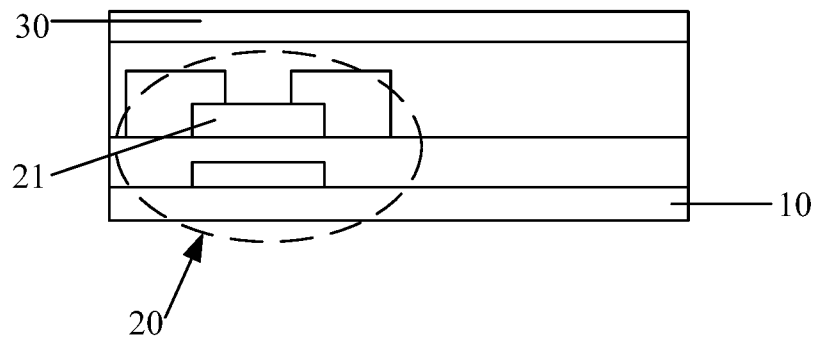


图 1

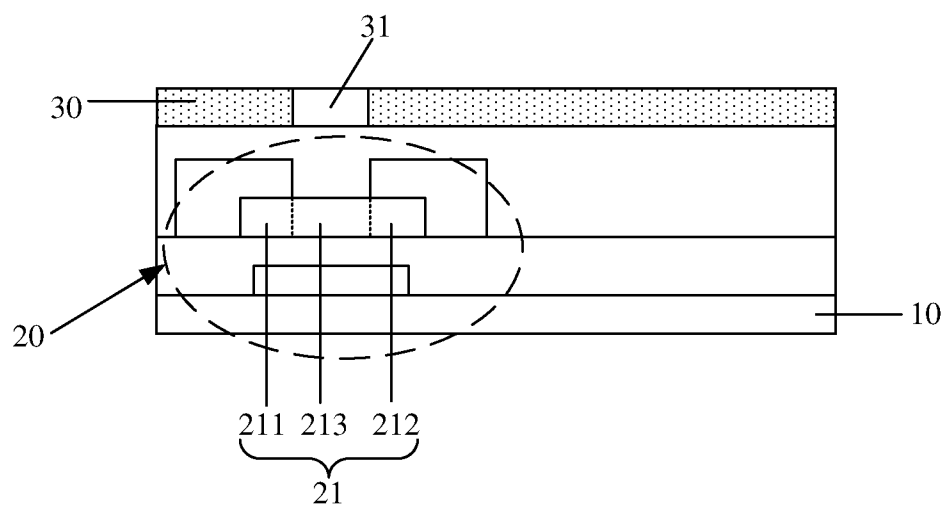


图 2

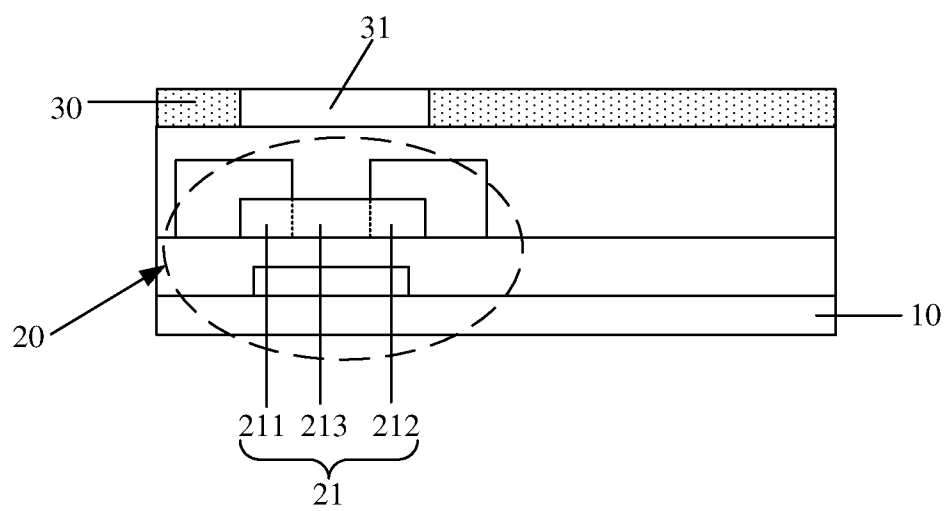


图 3

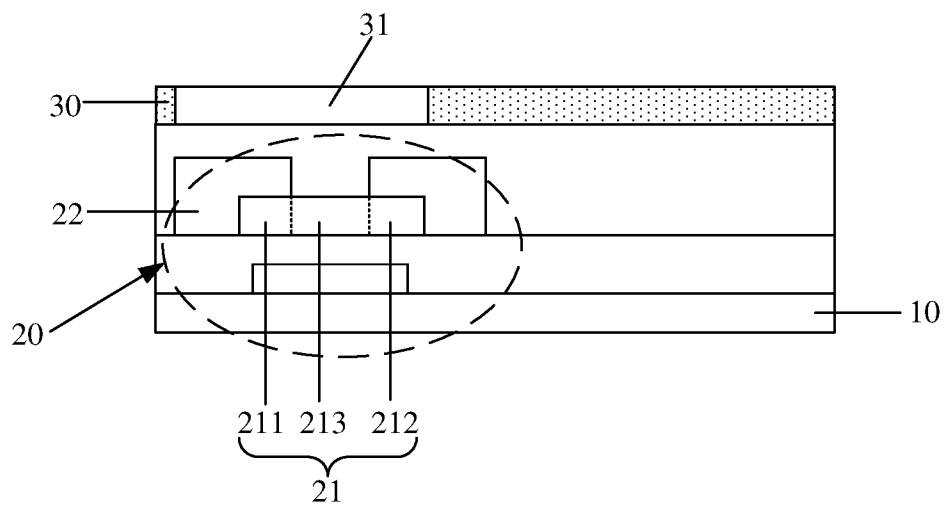


图 4

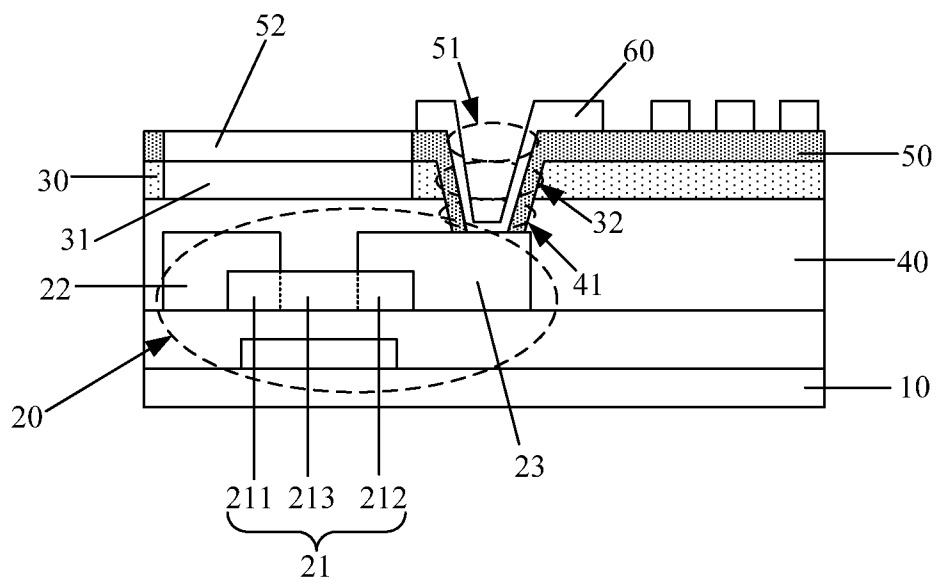


图 5

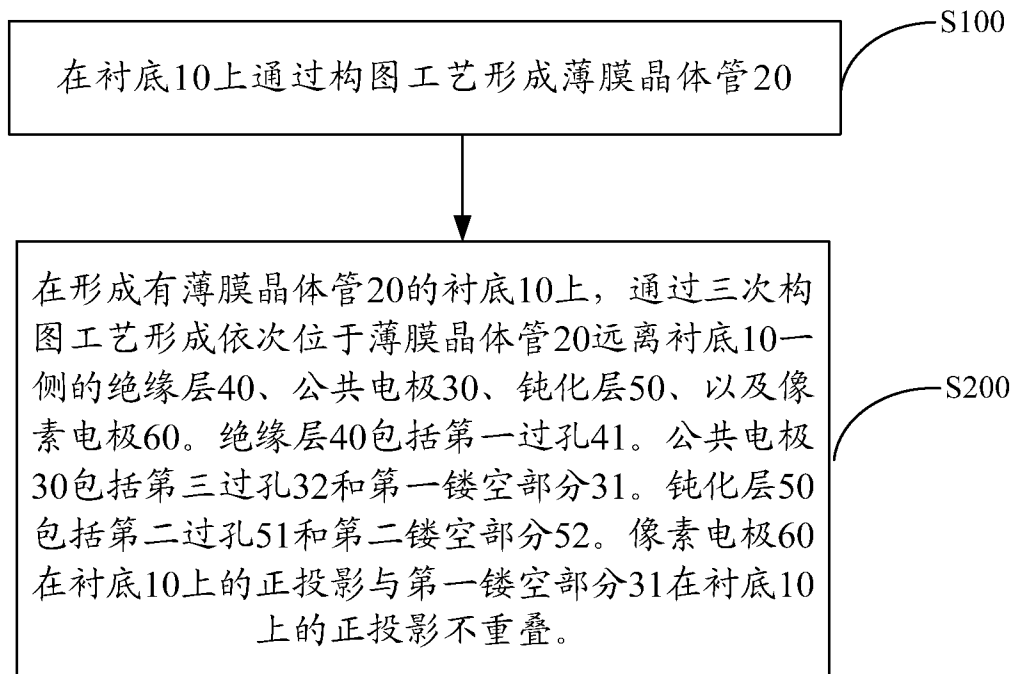


图 6

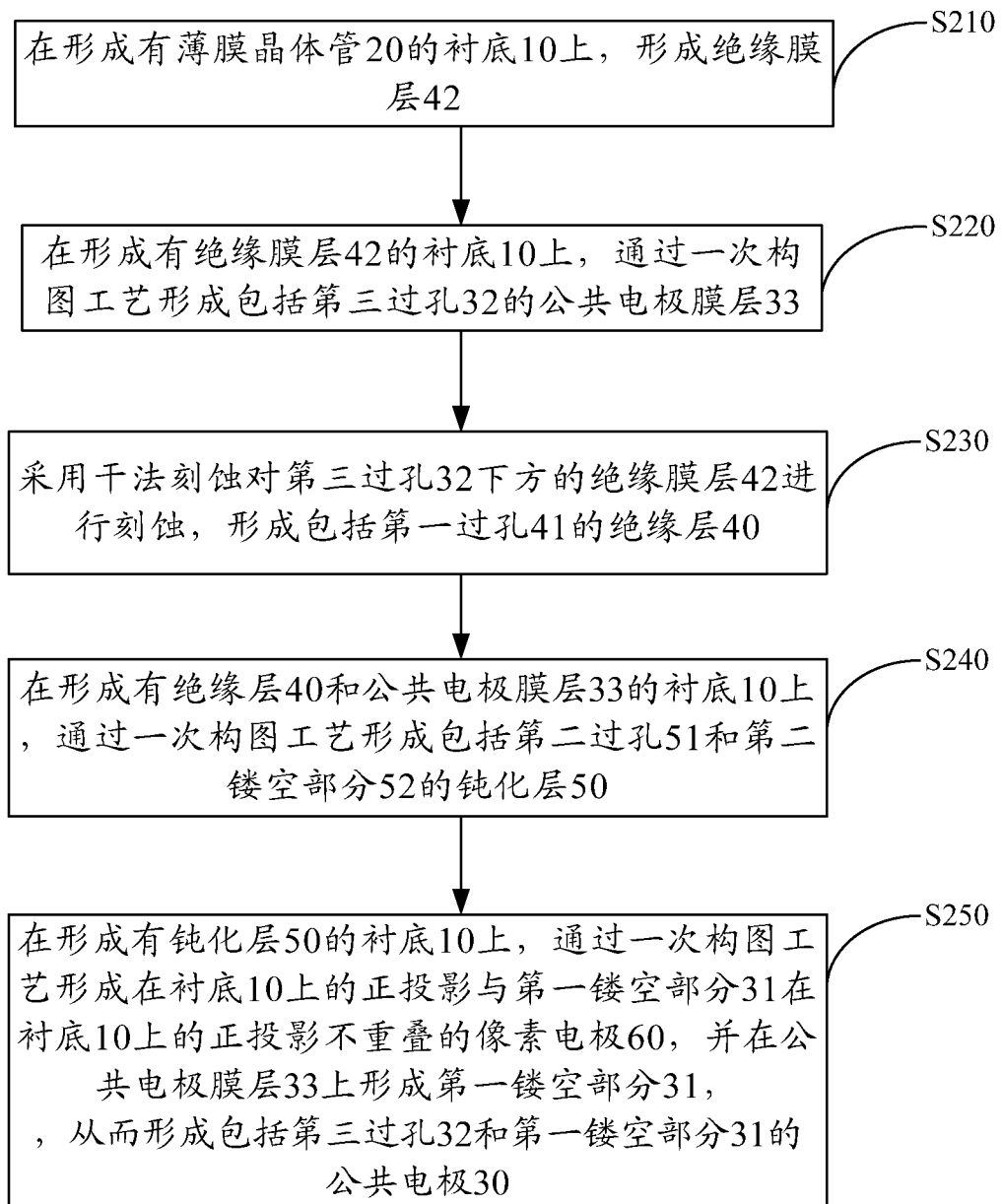


图 7

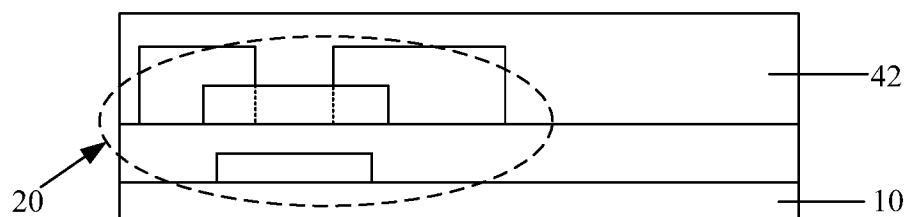


图 8(a)

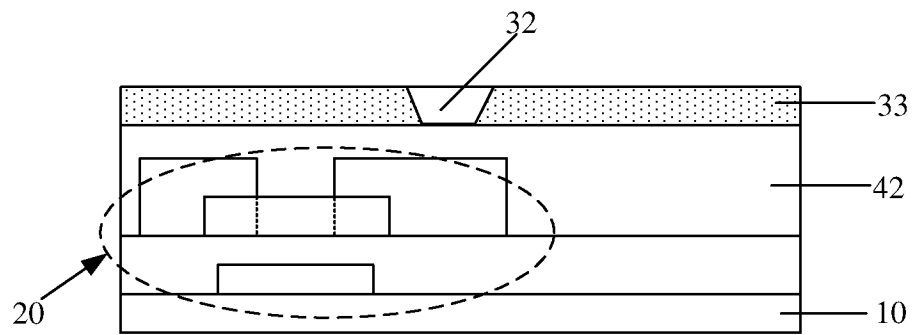


图 8(b)

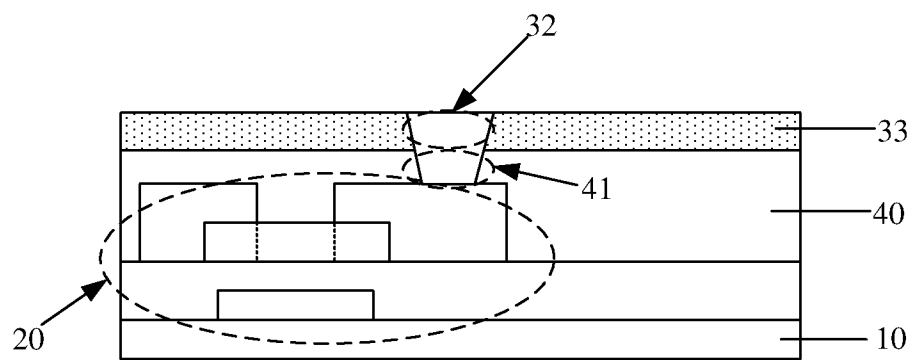


图 8(c)

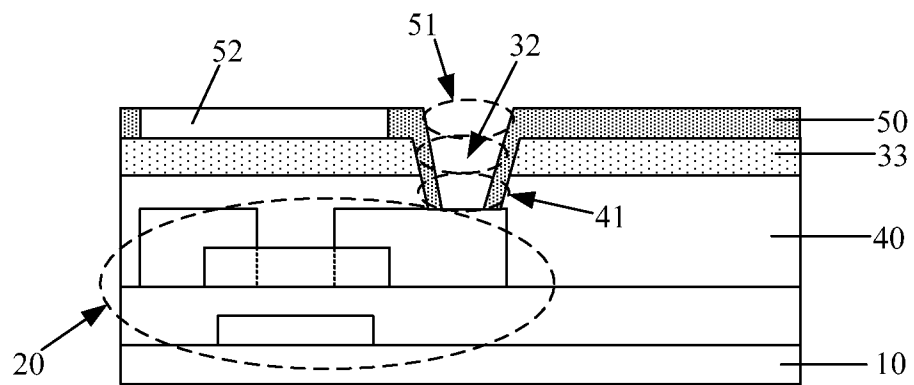


图 8(d)

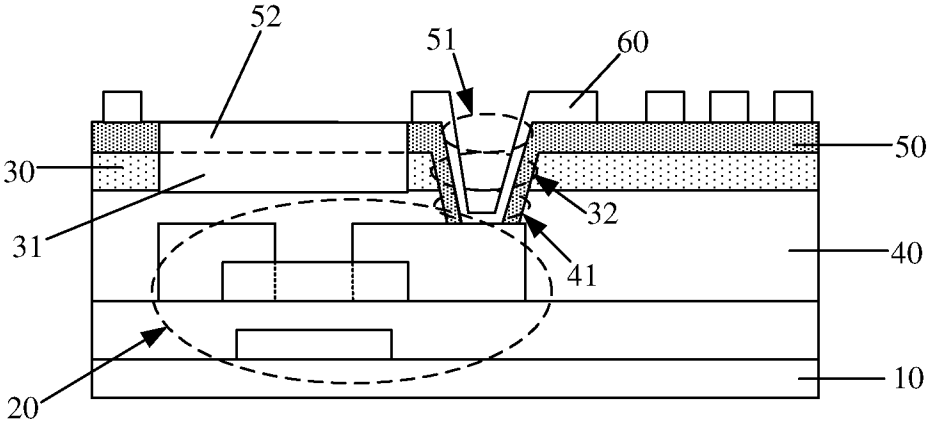


图 8(e)

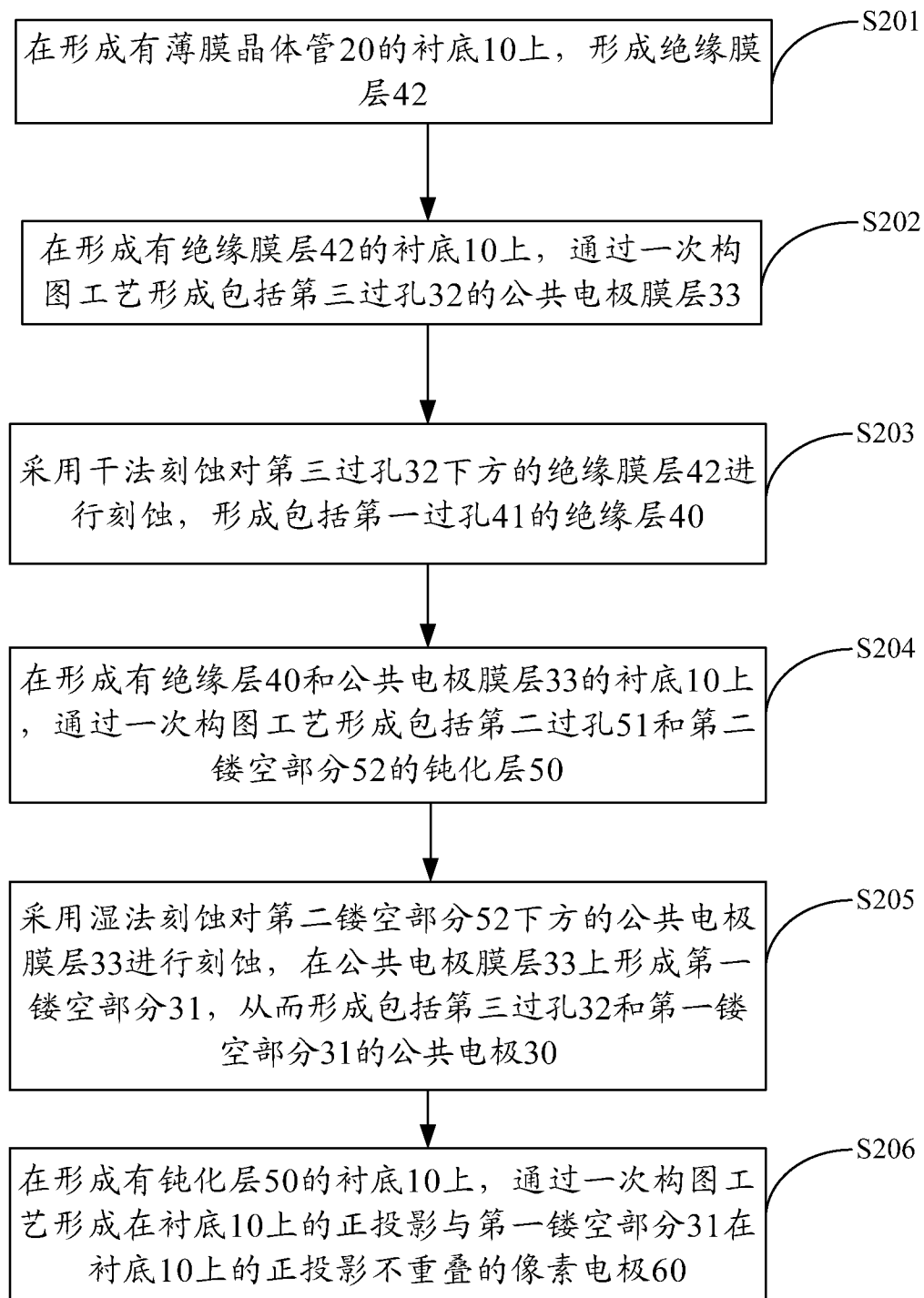


图 9

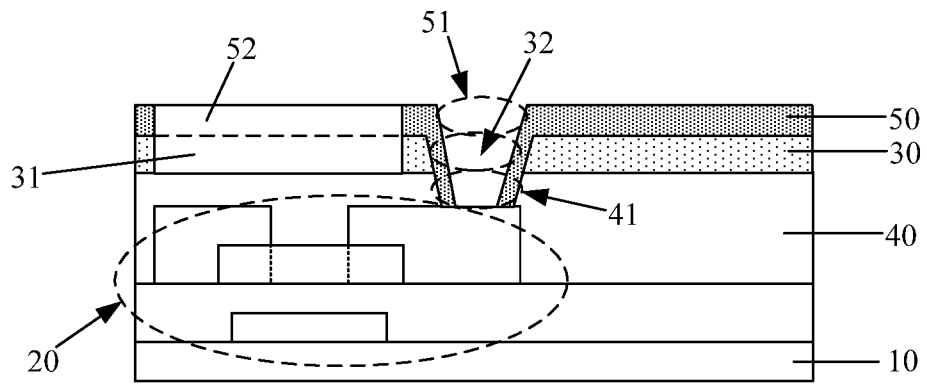


图 10

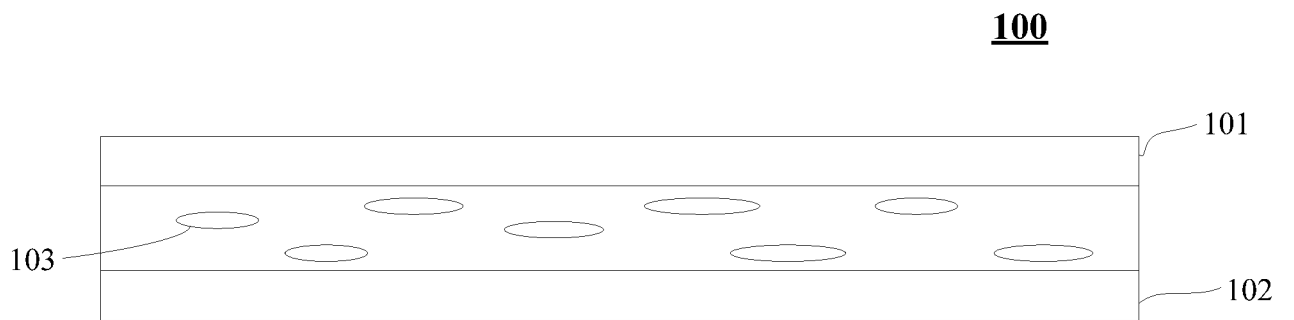


图 11

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/105382

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i; H01L 21/77 (2017.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI, CNTXT, CNABS: 薄膜晶体管, 阵列, 公共电极, 镂空, 投影, 有源层, 沟道, TFT, thin film transistor, array, common electrode, hollow, projection, active layer, channel

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106935597 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 07 July 2017 (07.07.2017), claims 1-10	1-10
X	CN 103985715 A (BOE TECHNOLOGY GROUP CO., LTD.) 13 August 2014 (13.08.2014), description, paragraphs [0041]-[0088], and figure 2	1-3, 5
X	CN 203826391 U (BOE TECHNOLOGY GROUP CO., LTD.) 10 September 2014 (10.09.2014), description, paragraphs [0030]-[0080], and figure 2	1-3, 5
A	CN 105068339 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 18 November 2015 (18.11.2015), entire document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 04 December 2017	Date of mailing of the international search report 08 January 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer ZHAO, Duan Telephone No. (86-10) 62411328

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/105382

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106935597 A	07 July 2017	None	
CN 103985715 A	13 August 2014	US 2016246148 A1	25 August 2016
		CN 103985715 B	24 August 2016
		US 9664971 B2	30 May 2017
		WO 2015165158 A1	05 November 2015
CN 203826391 U	10 September 2014	None	
CN 105068339 A	18 November 2015	WO 2017035912 A1	09 March 2017
		US 2017160597 A1	08 June 2017

国际检索报告

国际申请号

PCT/CN2017/105382

A. 主题的分类

H01L 27/12(2006.01)i; H01L 21/77(2017.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

DWPI, CNTXT, CNABS: 薄膜晶体管, 阵列, 公共电极, 镂空, 投影, 有源层, 沟道, TFT, thin film transistor, array, common electrode, hollow, projection, active layer, channel

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 106935597 A (京东方科技集团股份有限公司 等) 2017年 7月 7日 (2017 - 07 - 07) 权利要求1-10	1-10
X	CN 103985715 A (京东方科技集团股份有限公司) 2014年 8月 13日 (2014 - 08 - 13) 说明书第41-88段, 附图2	1-3, 5
X	CN 203826391 U (京东方科技集团股份有限公司) 2014年 9月 10日 (2014 - 09 - 10) 说明书第30-80段, 附图2	1-3, 5
A	CN 105068339 A (深圳市华星光电技术有限公司) 2015年 11月 18日 (2015 - 11 - 18) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 12月 4日

国际检索报告邮寄日期

2018年 1月 8日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

赵端

传真号 (86-10)62019451

电话号码 (86-10)62411328

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/105382

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106935597	A	2017年 7月 7日	无			
CN	103985715	A	2014年 8月 13日	US	2016246148	A1	2016年 8月 25日
				CN	103985715	B	2016年 8月 24日
				US	9664971	B2	2017年 5月 30日
				WO	2015165158	A1	2015年 11月 5日
CN	203826391	U	2014年 9月 10日	无			
CN	105068339	A	2015年 11月 18日	WO	2017035912	A1	2017年 3月 9日
				US	2017160597	A1	2017年 6月 8日

表 PCT/ISA/210 (同族专利附件) (2009年7月)