(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3565592号
(P3565592)
(45)発行日　平成16年9月15日(2004.9.15)　(24)登録日　平成16年6月18日(2004.6.18)

(51)Int.Cl.[7]　F I
H04N 3/16　H04N 3/16 C

請求項の数 1 (全 13 頁)

(21)出願番号　特願平6-306142
(22)出願日　平成6年12月9日(1994.12.9)
(65)公開番号　特開平7-203238
(43)公開日　平成7年8月4日(1995.8.4)
審査請求日　平成13年12月7日(2001.12.7)
(31)優先権主張番号　9325371:4
(32)優先日　平成5年12月10日(1993.12.10)
(33)優先権主張国　英国(GB)

(73)特許権者　391000807
アールシーエー　トムソン　ライセンシング　コーポレイシヨン
ＲＣＡ　ＴＨＯＭＳＯＮ　ＬＩＣＥＮＳＩＮＧ　ＣＯＲＰＯＲＡＴＩＯＮ
アメリカ合衆国　ニユージヤージ州　０８５４０　プリンストン　インデペンデンス・ウエイ　２
(74)代理人　100070150
弁理士　伊東　忠彦
(72)発明者　リュック　トリボド
スイス国　８００３　チューリヒ，アルビスリーデルシュトラーセ　１５４

審査官　伊東　和重

最終頁に続く

(54)【発明の名称】双方向水平偏向システム

(57)【特許請求の範囲】
【請求項１】
入力及び出力端子を有する水平偏向ヨーク（１２）と、
零平均値を有し前記入力端子に結合された対称的な矩形波信号（V_1）のソース（２８、３６）と、
前記出力端子に結合され、前記ヨークにおける抵抗損失を補償する負抵抗値を有し、前記矩形波信号に応答して前記ヨークにおいて生成されたヨーク電流（I_{LH}）は対称的な三角形の波形（図８（Ｉ））となる負抵抗（$-R_H$）と、
前記ヨーク電流（I_{LH}）用零値交差制御ループ（２２、３２、３４）とを含み、前記負抵抗値（$-R_H$）は前記ヨーク電流の順次的な零値交差が順次的な水平走査ラインの各中心と時間的に確実に一致するように調整されることを特徴とする双方向水平偏向システム。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、テレビジョン受信機、画像モニタ、及び他のラスタ走査されたディスプレイにおける双方向走査の分野に関する。
【０００２】
【従来の技術】
ダイレクト　ヴュー陰極線管（ＣＲＴ）ディスプレイシステムは、磁気偏向及び高速フライバックによるノコギリ歯状の電流を用いた単方向走査を使用する。高品位テレビジョン

（ＨＤＴＶ）及び画質を向上させる信号処理技術の導入によって、例えば６４ｋＨｚまでのより高い水平走査レートが望まれる。６４ｋＨｚの水平レートは、４f_H に対応し、但しf_H は例えば１５．７３４ｋＨｚの従来の水平走査レートである。短いフライバック時間によって、のこぎり歯状のラインの偏向の結果、例えば６４ｋＨｚで約７０ワット（Ｗ）の高いエネルギーの損失、強い放射の問題、及びライン出力トランジスタの負荷の増加となる。これらの欠点は、双方向偏向を使用することによって解決可能であり、前方向及び後方向の両方の走査が画像表示のために使用される。双方向走査の一般的な原理が、図１に示されている。ラスタのラインは、前方向（左から右へ）にまた逆方向（右から左へ）に交互に走査される。そこには、前方向のみに走査されるラスタにあるようなフライバックはない。垂直方向は、各ラインの走査の間一定である。

【０００３】

【発明が解決しようとする課題】

双方向偏向システムにおける主な問題は、チャック効果を避けるため２つの隣接したラインの良好な整列を達成することである。良好な整列を伴った双方向ラスタは、図２（Ａ）に示される。チャック効果が現れた悪い整列を伴った双方向ラスタは、図２（Ｂ）に示される。

【０００４】

従来技術による双方向走査は、正弦曲線的な水平偏向波形を使用している。

【０００５】

【課題を解決するための手段】

測定によって、ヨークのフェライトのヒステリシスが、点配置上にマージナル効果（例えば、３６”管の中心で＋／－０．８ｍｍ）のみを有することが示された。従って、第１番目のアプローチでは、図３（Ａ）に示すように、良好な画像ラインの整列のためには、前方向及び後方向の走査のヨーク電流の傾きの高い度合いのミラー的対称を保証すれば十分である。

【０００６】

従来技術で提案されたような正弦曲線的な偏向とは反対に、「Ｓ」形状の三角形スイープ回路によって、伝統的な非空白化デューティファクタを８０％から１００％近くまで増加させることができ、即ち水平空白化周期が極めて短くできる。従って、輝度及び水平解像度の２０％の増加が、ピークビーム電流を増加させることなしに得ることができる。正弦曲線偏向の場合、活性化時間は、約７０％に減少する。

【０００７】

ライン偏向回路は、矩形波形の出力電圧を半分のライン周期及び５０％のデューティファクタで、偏向コイルの１つの端子に供給するために、活性化スイッチを有している。残りの一方は、偏向電流のために負の抵抗として主に使用される電力増幅器の出力に結合されている。正接のキャパシタがヨークに一連的に接続できる。偏向電流の零交差の瞬間が測定され、ラインが負の抵抗の値を制御することによって中心に保たれる。その他、第２の補正変数（例えば、ジッタ損失及びヒステリシス補償）が、電力増幅器の入力の何れかに供給できる。

【０００８】

本発明による双方向水平偏向システムは、入力及び出力端子を有する水平偏向ヨークと、零平均値を有し前記入力端子に結合された対称的な矩形波信号のソースと、前記出力端子に結合され、前記ヨークにおける抵抗損失を補償する負抵抗値を有し、前記矩形波信号に応答して前記ヨークにおいて生成されたヨーク電流は対称的な三角形の波形となる負抵抗とよりなる。

【０００９】

前記矩形波信号は前記入力端子にＳ形状キャパシタンスを介して結合されることができ、これもまた零平均値を確実化にできる。

システムは、前記ヨーク電流用零値交差制御ループをさらに含むことができ、前記負抵抗値は前記ヨーク電流の順次的な零値交差が順次的な水平走査ラインの各中心と時間的に確

実に一致するように調整される。前記零値交差制御ループは、バイナリ制御信号のレベル遷移を位相的に整列させる位相検出器よりなることができ、前記レベル遷移は、前記順次的な水平走査ラインの各前記中心及び前記ヨーク電流の各順次的な零値交差と時間的に一致する。

【００１０】

システムは、前記矩形波信号用スイッチング時間制御ループをさらに含むことができ、前記矩形波の前記ソースは、前記矩形波信号の順次的なレベル遷移が走査方向の順次的な変化と時間的に確実に一致するように調整される。走査方向の前記順次的な変化を表す信号は、５０％デューティ周期を有することができ矩形波信号の対称を確実化する。

【００１１】

前記スイッチング時間制御ループは、前記矩形波信号の前記レベル遷移がバイナリ制御信号のレベル遷移の前か或いは後に起こるかを決定するバイナリ信号エッジ検出器よりなることができ、前記バイナリ制御信号の前記レベル遷移は走査方向の順次的な変化と時間的に一致する。

本発明はまた、画像ディスプレイと、画像データの順次的なラインを格納するメモリブロックを有する画像プロセッサと、前方向の順序では前記メモリブロックから読み出される画像データのラインの交互のものの第１の組と逆の順序で前記メモリブロックから読み出される画像の残りの交互のラインの第２の組と、零平均値を有し前記入力端子に結合された対称的な矩形波信号のソースと、前記出力端子に結合され、前記ヨークにおける抵抗損失を補償する負抵抗値を有し前記矩形波信号に応答してヨークにおいて生成されるヨーク電流が対称的な三角形の波形となる負抵抗とよりなる画像ディスプレイシステムにおいて具体化されることもできる。

【００１２】

前記矩形波信号はまた、前記入力端子にＳ形状キャパシタンスを介して結合されることができ、それはまた零平均値を確実化する。

前記画像プロセッサは、各順次的な画像ラインが前記メモリブロックの１つからいつ読み出されたかを確認するレベル遷移を有する第１の制御信号を生成することができ、また画像の各ラインを前記メモリブロックの１つから読み取る前に、走査方向の各変化を確認するレベル遷移を有する第２の制御信号を生成することができる。

【００１３】

本システムはまた、前記ヨーク電流用零値交差制御ループと、前記矩形波信号用スイッチング時間制御ループとよりなることができる。前記零値交差制御ループは、前記第１の制御信号の前記レベル遷移を前記ヨーク電流の各前記順次的な零値交差と位相的に整列させる位相検出器を含むことができる。前記スイッチング時間制御ループは、前記矩形波信号の前記レベル遷移が前記第２の制御信号の前記レベル遷移の前か或いは後に起こるかを決定するバイナリ信号エッジ検出器を含むことができる。

【００１４】

【実施例】双方向走査の一般的な原理が図１に示されている。ラスタラインは交互に、前方向に（左から右へ）また逆方向に（右から左へ）走査される。双方向走査の第１の結論は、画像の各ラインはメモリに格納されなければならず、画像の全ての他のラインは逆の順序でメモリから読みだされなければならない。画像信号をデジタル化或いはデジタル画像信号を受信するためにすでに適用されている受信機においては、これは難しくなく、或いは特に高価ではない。このような受信機は、例えば、進んだディスプレイモードを実行するため、２倍のレートでのラインの２重化、非飛び越し水平走査を実行するため、或いは丁度幾つか指定したデジタルソース信号を処理するために、デジタル化した画像を使用できる。第２の結論は、垂直偏向回路は、従来のラスタの小さい下方への傾斜を伴うよりも平行及び水平レベルとしてラインが表示されるように供給されなければならない。このような垂直偏向回路は、従来において知られている。第３の結論は、そこにはフライバックパルスは存在せず、従ってフライバック抽出電力は供給されない。高電圧電力供給及びそこから引き出される他の電力供給が、検討されなければならない。しかしながら、幾つ

かの点において、例えばおよそ４倍の水平走査レート、即ち４f_H　では、単方向走査は、簡単に実用に供しえない。

【００１５】

双方向偏向システムにおける主な問題は、チャック効果を避けるために２つの隣接したラインの良好な整列を達成することである。良好な整列を伴った双方向ラスタは、図２（Ａ）に示される。垂直にに整列されるべき画素の列は、垂直に整列されている。チャック効果が現れた悪い整列を伴った双方向ラスタは、図２（Ｂ）に示される。垂直に整列されるべき画素の列は、垂直に整列されていない。良好な整列を伴った双方向ラスタは、三角形偏向電流を伴った本発明の構成によって達成できる。

【００１６】

完全に対称な三角形偏向電流は、図３（Ａ）に示されている。前方向走査の時間周期ｔｆは、逆走査の時間周期に等しい。第１種の悪いミラー対称は、図３（Ｂ）に示され、それは偏向電流の零交差が水平ライン上で中心にない時に発生する。第２種の悪いミラー対称は、図３（Ｃ）に示され、それは矩形波が対称でないときに発生する。前方向走査の時間周期ｔｆは、逆走査の時間周期ｔｂに等しくならない。

【００１７】

図４は、基本的な三角形偏向回路１０を示している。偏向コイル１２は、入力端子及び出力端子１６を有している。ヨークは、インダクタンス値L_H　と抵抗値R_H　を有している。偏向コイルの入力端子１４は、正確に５０％のデューティファクタのＤＣフリー（零平均値）の矩形波電圧V_1　によって駆動される。出力端子１６は、負抵抗１８に結合され、該抵抗は$-R_H$　の抵抗値を有し、それによってヨーク電流の抵抗による損失（例えば、銅、渦巻き電流、スイッチ抵抗、等）が補償される。入力矩形波V_1　が損失のないインダクタンスと「遭遇」すれば、ヨーク電流I_{LH}は、入力電圧の真の積分、即ち対称的な三角形波形となるであろう。この電流波形は、図３（Ａ）に示すように、双方向偏向のミラー対称のための厳格な要求を満たす。負抵抗$-R_H$　の電圧ＶＲは、また対称的な三角形波形である。

【００１８】

実用的には、ヨーク電流における抵抗による損失は、完全に影響しないようにはできない、なぜならヨーク電流ループにおいて僅かに残された抵抗を残すことによってヒステリシスによって生じる僅かな非線形誤差を補償することが可能だからである。ビーム点配置誤差が、図５（Ａ）に示される。キャパシタは、入力矩形波電圧のＤＣ成分を妨げるため、及び近年の画像管に必要とされる「Ｓ」形状を偏向電流に与えるための２つの理由でヨークと一連的に接続されうる。ヒステリシスの非線形性の補償は、図５（Ｂ）に示される。図６に示されるように、結果的な偏向電流は、周波数f_O　の不減衰の余弦波の線形部分である。周波数f_O　は、一連の共振回路L_H　及びC_S　の共振周波数であり、L_H　は、ヨークのインダクタンスであり、またC_S　はＳ形状の結合キャパシタンスである。特に、周波数f_O　は、以下のように表せる、

【００１９】

【数１】

$$f_0 = \frac{1}{2\pi\sqrt{L_H C_S}}$$

【００２０】

図７は、図４で示した双方向三角形偏向システムを組み入れた画像ディスプレイシステム２０の基本回路を示す。このディスプレイシステムでは、デジタル画像プロセッサ２２は、画像を２f_H　走査に適したフォーマットに変換するラインダブラーを含んでいる。双方向走査の結果、画像信号の反転が代わりのラインにおいて必要である。この関数は、画像処理回路において、メモリにおいて全ての到来するラインを格納し、それを２倍の速度

で、最初は到来する順序で次は反対の順序で２回読み出すことによって実現される。その結果、２倍のライン速度、即ち２f_H　となる。１f_H　での入力ＲＧＢ信号は、図８（Ａ）に示されている。２f_H　での出力ＲＧＢ信号は、図８（Ｂ）に示されている。画像出力段２４は、ブラウン管２６を駆動するための信号を供給する。

【００２１】

画像プロセッサはまた、良好なミラー対称のラスタを発生するのに必要なタイミング／同期信号も供給し、該信号は走査方向信号（ＳＤ）及びラインセンター信号（ＬＣ）を含んでいる。図８（Ｃ）に示されるＳＤ信号は、スイッチング時間制御２８への入力である。ＳＤ信号は、プロセッサ２２におけるラインメモリが、到来の或いは反対の順序で読み出されるか、即ち偏向が前方向か或いは後方向走査しなければならないかを示す。ＬＣ信号のエッジは、図８（Ｄ）に示されており、ラインの画像情報の中心、即ち画像要素（或いは画素）の半分の数がメモリから読み取られたときを示す。

【００２２】

矩形波電圧信号V_1　は、半ブリッジ構造でスイッチＳ１及びＳ２を含むスイッチ装置によって生成される。スイッチＳ１及びＳ２は、スイッチング時間制御２８に応答して動作する。走査方向が矩形埴電圧信号V_1　の状態の結果であるので、信号V_1　のエッジはＳＤ信号のエッジにロックされるべきである。これは、スイッチングＳ１及びＳ２のスイッチオフ時間の制御によって行うことができ、信号V_1　のレベル遷移は、スイッチＳ１或いはＳ２のスイッチングオフによって引き起こされる。信号ＳＤが論理ローのとき、矩形波電圧V_1　は、論理ハイであり、前方向の走査を供給する。信号ＳＤがハイのとき、矩形波電圧V_1　は、論理ろーであり、逆方向の走査を供給する。

【００２３】

矩形波電圧V_1　は、水平ヨーク１２とＳ形状キャパシタC_S　を介して結合されている。キャパシタC_S　によってもまた、信号V_1　は、ヨーク１２に供給されるように零ＤＣ値を確実に有する。スイッチング時間検出器３０は、Ｓ形状のキャパシタとヨーク１２の接続において、信号V_1　をモニタする。スイッチング時間検出器は、図８（Ｅ）で示されるスイッチング時間信号（ＳＴ）を発生し、該信号は信号V_1　のレベル遷移の瞬間を表すエッジを有している。信号V_1　のエッジは、スイッチングＳ１及びＳ２のスイッチング時間を制御するスイッチング時間制御によって信号ＳＤと位相が保持される。信号ＳＤは５０％のデューティサイクルを有しているので、信号V_1　もまた５０％のデューティサイクルを有する。

【００２４】

図８（Ｉ）に示されているヨーク電流I_{LH}は、零交差検出器３４と負抵抗１８を介して流れる。零交差検出器は、ヨーク電流I_{LH}をモニタし、図８（Ｆ）に示されているヨーク電流I_{LH}の零交差の時刻を表すエッジを有する零交差信号（ＺＸ）を生成する。負抵抗１８における電圧効果を表す電圧信号ＶＲは、それを流れるヨーク電流に比例するが、図８（Ｊ）に示すようにヨーク電流とは逆の極性である。ヨーク電流の零交差の時刻は、偏向回路における損失に関する情報を提供し、即ち損失が高くなると、零交差が時間的に早くなる。損失無しでは、零交差はラインの中心になる。

【００２５】

ＬＣ信号及びＺＸ信号は、零交差時間制御３２への入力である。零交差時間制御は、負抵抗１８の$-R_H$　値を、信号ＺＸ及び信号ＬＣの位相が互いに合うように規定する。従って、偏向電流の零交差時間は、ＬＣのエッジに同期される。

図９から図１１は、共に扱われ、三角形ライン偏向システムの第１の実施例の完全な電気回路図である。図９は、三角形偏向回路に関し、図１０は、スイッチング時間制御に関し、また図１１は、零交差時間制御に関する。図９で始めると、スイッチング装置３６は、各々一体化反転ダイオードを有するトランジスタＱ１及びＱ２を含んでいる。トランジスタＱ１及びＱ２は、矩形波電圧V_1　を生成するために、半ブリッジタイプのスイッチとして構成されている。信号V_1　は、ヨークL_H　にＳキャパシタC_S　を介して供給される。キャパシタC_R　は、V_1　の遷移の変化レート（ｄＶ／ｄＴ）を減少させる。こ

れは、遷移後にヨークにおける発振を除去するために必要である。V_1 の遷移の中心は、比較器Ｕ１ａによって検出されてスイッチング時間制御３０に、ＳＴ信号として記述されるデジタル信号の形式で供給される。キャパシタＣ１を含み電位差計Ｐ１のスライダに接続されているネットワークは、ヒステリシスの誤った設置と画像プロセッサ２２と出力段２４との遅延を補償するために、信号ＳＴに僅かな調整可能な遅延（０～５０ｎｓｅｃ）を供給する。

【００２６】

変換器Ｔ１及び抵抗Ｒ１は、ヨーク電流I_{LH}を電圧信号V_2に変換する。信号V_2の零交差時間は、Ｕ１ｂによって検出されて、ＺＸ信号としてデジタル形式で零交差時間制御３２に供給される（図１１参照）。ここでもまた、僅かな調整可能な遅延が、ヒステリシスの誤った設置と画像プロセッサ２２と出力段２４との遅延を補償するために、電位差計Ｐ２とキャパシタＣ２とによって信号に加えられる。

【００２７】

負抵抗１８は、トランジスタＱ３及びＱ４によって形成されたクラスＡのバッファ段と共に電力演算増幅器Ｕ２によって具体化されており、入力信号として信号V_2と共に反転増幅器として接続され、ここではｋ＞０に対して、$VR=-k^{*}V_2$である。信号V_2は、ヨーク電流I_{LH}に比例し、信号ＶＲは逆の極性で信号V_2に比例し、信号ＶＲは負抵抗における電圧としてI_{LH}に現れる。増幅器の利得は、Ｊ－ＦＥＴＱ５のオン抵抗に依存し、該オン抵抗は、トランジスタＱ５のゲート－ソース電圧を線形性制御電圧信号（ＬＩＮ）として記述される信号を介して変化させることによって、負抵抗の値の制御を供給する。キャパシタＣ４は、増幅器の遅延を補償するために僅かな位相シフトを生じる。

【００２８】

矩形波電圧信号V_1の振幅は、イースト－ウェスト補正回路３８によるイースト－ウェストラスタ歪を補正するために、変調されなければならない。イースト－ウェスト補正は、垂直パラボラ電圧信号でこの点を駆動する電力増幅器Ｕ３によって、半ブリッジスイッチの低い端子において電圧を変調することによって成しえる。キャパシタＣ３は、偏向電流が増幅器へ流れないようにするために、偏向電流への低インピーダンス経路を提供している。

【００２９】

図１０を参照すると、スイッチング時間制御３０は、信号ＳＴのスイッチング時間を信号V_1のエッジと共に、スイッチング駆動信号Ｄｒｖ１及びＤｒｖ２のタイミングを制御することによってＳＤ信号のスイッチング時間に同期する。信号V_1の立ち下がり立ち上がりエッジのスイッチング時間は、それ自身の各制御ループで独立に制御される。両者のループは同じ方法で動作するので、信号V_1或いはＳＴ信号の立ち上がりエッジに対するループのみを説明する。

【００３０】

ＳＤ及びＳＴ信号は、ゲートＵ５ａにおいてＮＡＮＤ関数で一度、またゲートＵ４ａにおいてＯＲ関数で一度合成される。ＳＴ信号のエッジが早すぎるとき、ＮＡＮＤゲートはフリップフロップＵ７ａに対して、狭いリセットパルスを提要する。ＳＴ信号のエッジが遅すぎるとき、ＯＲゲートがフリップフロップＵ７ａに対して、セットパルスを提供する。従って、この最初の段は、ＳＤ及びＳＴ信号に対して比較器として動作する。フリップフロップＵ７ａのＱ出力は、バッファＵ８ａを介して、抵抗Ｒ４とキャパシタＣ５で形成される低域通過フィルタに転送され、その結果制御電圧ＶＣとなる。ＳＤ信号のハイ状態の間、フリップフロップＵ７ａのＱ出力は、３ステート素子Ｕ８ａの出力をディスエーブルすることによって抵抗Ｒ４から分離され、なぜならこの時間の間、フリップフロップＵ７ａは時間多重タイミング比較器である第２ループに対して情報を搬送するからである。単ショットＵ９ａは、反転されたＱ出力から、電圧ＶＣによって制御される約０．５から２μｓｅｃの範囲の出力パルス幅を有する。高電圧では、短いパルスが生じ、低電圧では長いパルスが生じる。この段は、電圧で制御される時間遅延として使用される。ＬＣ信号及

び開始オン／オフ信号（ＳＯ／Ｆ）は、ＮＡＮＤゲートＵ５ｃへの入力である。単ショットは、ＮＡＮＤゲートＵ５ｃの出力の立ち下がりエッジにおいて、ＳＤ信号の立ち下がりエッジの前に、約３μｓｅｃにトリガされる。

【００３１】

ＳＯ／Ｆ信号は、画像回路によって生成された補助的な信号であり、ＳＤ及びＬＣ制御信号に同期している。ＳＯ／Ｆ信号の主な機能は、幅が制御された出力パルスを生成するために、単ショットＵ９ａ及びＵ９ｂを交互にトリガすることである。これは、ＳＯ／Ｆ或いはＳ／ＤＬＹ信号をＬＣ信号と合成することによって、両方の実施例において達成される。トリガリングエッジは、Ｓ／ＯＦ或いはＳ／ＤＬＹ信号の反転された立ち上がりエッジである。ＳＯ／Ｆ信号の他の機能は、電力トランジスタＱ１及びＱ２で交互にスイッチするために、フリップフロップＵ１０ａ及びＵ１０ｂを交互にリセットすることである。ＳＯ／Ｆ信号の立ち下がりエッジは、この目的のために使用される。その交互は、ＳＯ／Ｆ信号をＳＤ信号と合成することによって達成される。電力トランジスタのスイッチングオンのタイミングは、そのスイッチングオンは丁度トレースの最初の半分の間のいつかに生じなければならないので、クリティカルではない。

【００３２】

フリップフロップＵ９ａによって幅が制御されたパルスのエンドは、フリップフロップＵ１０ａをトリガし、Ｄｒｖ１出力をハイに設定する。これによってトランジスタＱ１はスイッチオフされ、その結果電圧信号V_1　はローからハイへ遷移する。Ｄｒｖ１と信号V_1　の２つのローからハイへの遷移の間には、定められていない遅延（約１．５μｓｅｃ）が存在し、これは主にスイッチトランジスタの蓄電時間によって引き起こされる。この遅延は、温度やヨーク電流の振幅によって変化するが、スイッチ時間制御３０によって完全に補償される。ＳＤ信号の立ち上がりエッジの後、１μｓｅｃ回ると、トランジスタＱ１は、ＯＲゲートＵ４ｃによって生成されたＳＤ信号とＳＯ／Ｆ信号との合成によってフリップフロップＵ１０ａをリセットすることによって、スイッチオンされる。スイッチオンのタイミングは、反対のダイオードＤ１がトレースの最初の半分の間にヨーク電流を導通させるので、クリティカルではない。

【００３３】

図１１を参照すると、零交差時間制御３２は、スイッチング時間制御３０の最初の部分、即ちタイミング比較器及び低域通過フィルタと同じ回路である。零交差時間制御回路は、上述したように、ＺＸ信号の立ち上がりエッジを、ＬＩＮ信号を介して負抵抗$-R_H$　の値を変更することによって、ＬＣ信号の立ち下がりエッジに同期させるが、１回の走査方向のためだけには、ヨーク電流の零交差時間を制御することで十分である。零交差検出器３４と負抵抗１８との一連の結合の順序は、逆でもよい。

【００３４】

図１２は、三角形ライン偏向システム２０’の第２の実施例の一部のブロック系統図である。示されていない或いは詳細に説明されていないシステムの部分は、第１の実施例に従うものである。第２の実施例においては、デジタル画像プロセッサ２２’が、同じＳＤ信号、同じＬＣ信号、及び開始遅延信号（Ｓ／ＤＬＹ）を、スイッチング時間制御２８’へ供給する。スイッチング装置３６’は、スイッチング時間制御２８’によって生成される信号Ｄｒｉｖｅ信号によって制御される信号スイッチＳ３を有している。対称的な矩形波形信号V_1　は、水平ヨーク１２にＳ形状キャパシタＣＳを介して、第１実施例のように結合されている。ヨーク電流は、負抵抗１８を介して流れ、第１実施例のように三角形の形状を有する。

【００３５】

図１３は、図１２のブロック系統図の詳細を示す。第２の実施例は、２つの原理的な面で異なる。第１には、信号Ｄｒｉｖｅ信号は、第１の実施例のような２つの信号Ｄｒｖ１及びＤｒｖ２の代わりに生成される。第２には、トランジスタＱ１及びＱ２は、２つのトランジスタＴ２の代わりに単一の変換器Ｔ３を介して駆動される。単ショットＵ９ａ及びＵ９ｂは、図１０における同じそれぞれの入力信号ＶＣ及びＶ’Ｃを受信する。しかしなが

ら、これらの単ショットの出力は、反転されたＱ出力の代わりに反転されないＱ出力から取られる。

【００３６】

フリップフロップＵ１０ａ及びＵ１０ｂは、異なって使用される。フリップフロップＵ１０ａは、反転されたＬＣ信号をＤ入力として、また図８（Ｈ）に示したＳ／ＤＬＹ信号をクロック入力として受信する。反転されたＱ出力は、フリップフロップＵ１０ｂのＤ入力に結合されている。単ショットＵ９ａ及びＵ９ｂのＱ出力は、ＮＯＲゲートＵ５ｃに入力される。ＮＯＲゲートＵ５ｃの出力は、インバータＵ６ｃへの入力である。インバータＵ６ｃの出力は、フリップフロップＵ１０ｂへのクロック入力である。フリップフロップＵ１０ｂのＱ出力は、信号Ｄｒｉｖｅ信号である。

【００３７】

第１の実施例と同様に、信号V_1　の２つのエッジの制御は同じであるので、１つのみのエッジの制御が詳細に説明される。単ショットＵ９ａは、ＳＤ信号の立ち下がりエッジの前約１０μｓｅｃにＬＣ信号とＳ／ＤＬＹ信号とを受信するＮＡＮＤゲート（図１０におけるＵ５ｃ参照）の立ち下がりエッジによって、トリガされる。そのパルス幅出力は、ＶＣと共に増加し、またその逆も可能であり、電圧制御された時間遅延を供給する。単ショットＵ９ａの出力は、フリップフロップＵ１０ｂの出力（信号Ｄｒｉｖｅ信号）を、ＯＲゲートＵ５ｃ及びインバータＵ６ｃを介してハイに設定する。これによって、トランジスタＱ１はスイッチオフされ、その結果、電圧V_1　はローからハイへ遷移させられる。本実施例では、トランジスタＱ１及びＱ２に対する供給電圧は、＋２８０Ｖであり、第１の実施例のそれの２倍よりも大きい。

【００３８】

Ｓ／ＤＬＹ信号の主な機能は、第１の実施例におけるＳＯ／Ｆ信号と同じであり、即ち幅が制御された出力パルスを生成するために、単ショットＵ９ａ及びＵ９ｂを交互にトリガする。これは、Ｓ／ＤＬＹ信号をＬＣ信号と合成することによって達成される。トリガリングエッジは、Ｓ／ＤＬＹ信号の反転された立ち上がりエッジである。Ｓ／ＤＬＹ信号の他の機能は、ＳＯ／Ｆ信号とは異なり、どちらの電力トランジスタＱ１及びＱ２がスイッチオフされるべきかを決定する信号（ＱＯＦＦ）を生成することである。ＱＯＦＦ信号は、ＳＤ及びＳ／ＤＬＹ信号及びフリップフロップＵ１０ａを用いることによって生成される。ＱＯＦＦ信号は、フリップフロップＵ１０ｂのＤ入力に供給される。ＱＯＦＦ信号がローのとき、トランジスタＱ２はスイッチオフされる。ＱＯＦＦ信号がハイのとき、トランジスタＱ１がスイッチオフされる。両方の電力トランジスタが同じドライバで駆動されるので、ドライブ信号はスイッチングオフ命令のみを含む。電力トランジスタのスイッチングオンは、自動的にドライバ段内において行われる。

【００３９】

ドライバ介して及びトランジスタＱ１の蓄電時間によって、ドライブ信号とV_1　信号の２つのローからハイへの遷移の間に、約４μｓｅｃの定められていない遅延が生じる。この遅延は、温度やヨーク電流振幅で変化するが、スイッチング時間制御ループによって完全に補償される。トランジスタのスイッチングオン時間は、一体化された逆ダイオードが信号V_1　のレベル遷移の後直ちにヨーク電流を導通させるので、クリティカルではない。

【００４０】

第１の実施例と同様に、V_1　信号は、ヨーク１８とＳ形状キャパシタＣＳを介して結合されている。信号V_1　はまた、ＳＴ信号を生成するスイッチング時間検出器３０にも結合されている。零交差検出器３４はＺＸ信号を生成する。

【図面の簡単な説明】

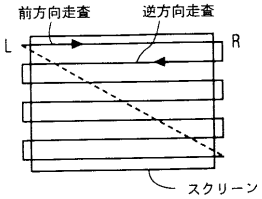
【図１】双方向走査を説明するために有用な図である。

【図２】（Ａ）及び（Ｂ）は、双方向走査の間のそれぞれ良好な及び悪いライン整列を説明するために有用な図である。

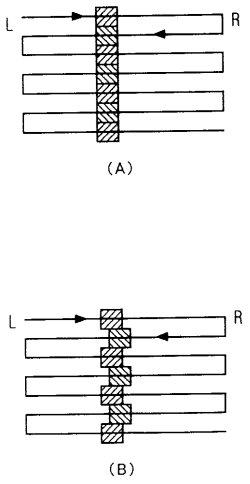
【図３】（Ａ）、（Ｂ）及び（Ｃ）は、三角形偏向電流のミラー対称を説明するために有

用な波形である。
【図４】三角形偏向電流の原理を説明するために有用な回路系統図である。
【図５】（Ａ）及び（Ｂ）は、ヒステリシスの効果、及びヒステリシスの補償を説明するために有用な波形である。
【図６】Ｓ形状の三角形偏向電流を示す波形である。
【図７】三角形偏向電流を生成する偏向介してのブロック／電気回路系統図である。
【図８】（Ａ）から（Ｊ）は、共に図７で示された回路の動作を説明するために有用な波形のタイミング図を形成する。
【図９】第１の実施例による三角形水平偏向回路の詳細な電気回路系統図である。
【図１０】第１の実施例によるスイッチング時間制御回路の詳細な電気回路系統図である。
【図１１】第１の実施例による零交差時間制御回路の詳細な電気回路系統図である。
【図１２】第２の実施例による三角形水平偏向システムのブロック系統図である。
【図１３】第２の実施例による三角形水平偏向システムの一部の詳細な電気回路系統図である。
【符号の説明】
１０　三角形偏向回路
１２　水平偏向ヨーク
１４　入力端子
１６　出力端子
１８　負抵抗
２０　画像ディスプレイシステム
２２　デジタル画像プロセッサ
２４　画像出力段
２６　ブラウン管
２８　スイッチング時間制御
３０　スイッチング時間検出器
３２　零交差時間制御
３４　零交差検出器
３６　スイッチング装置
３８　イーストーウェスト補正回路
Ｕ４ａ、Ｕ４ｂ、Ｕ４ｃ、Ｕ４ｄ　ＯＲゲート
Ｕ５ａ、Ｕ５ｂ、Ｕ５ｃ　ＮＡＮＤゲート
Ｕ６ｃ　インバータ
Ｕ７ａ、Ｕ７ｂ　フリップフロップ
Ｕ８ａ、Ｕ８ｂ、Ｕ８ｃ　３ステートバッファ
Ｕ９ａ、Ｕ９ｂ　単ショット
Ｕ１０ａ、Ｕ１０ｂ　フリップフロップ
２０’　三角形ライン偏向システム
２２’　デジタル画像プロセッサ
２８’　スイッチング時間制御
３６’　スイッチング装置
C_S　結合器キャパシタンス
Ｓ１、Ｓ２　スイッチ
Ｑ１、Ｑ２　トランジスタ

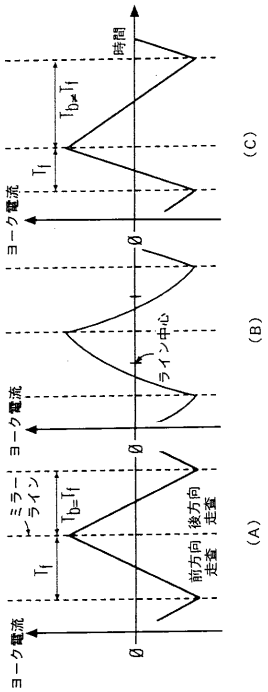
【図１】



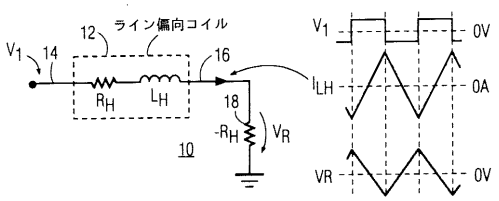
【図２】



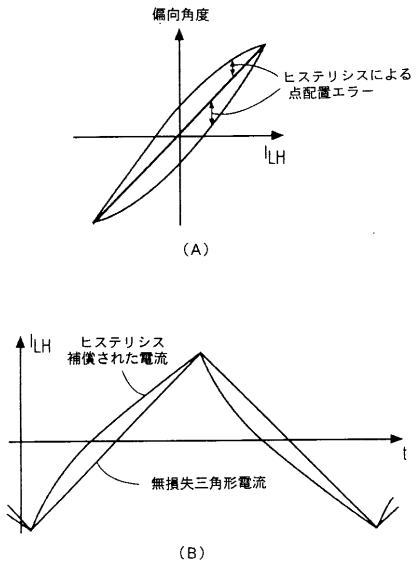
【図３】



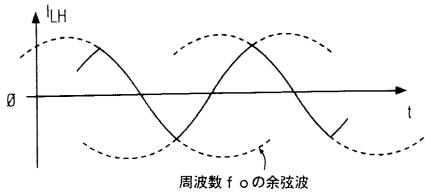
【図４】



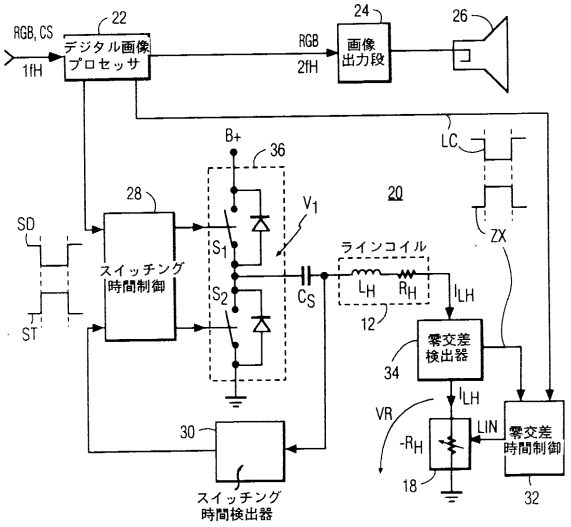
【図５】



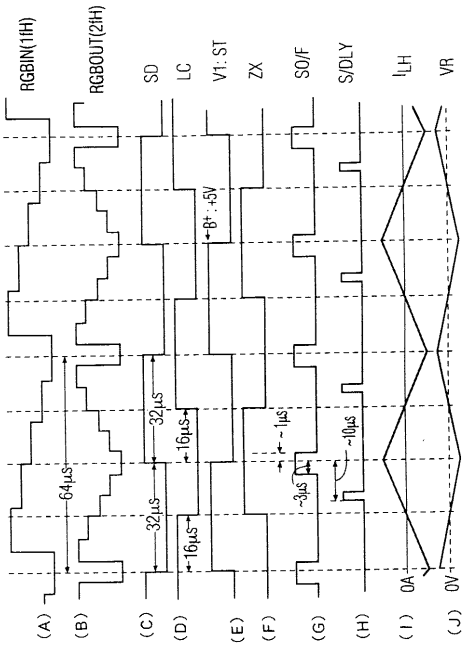
【図６】



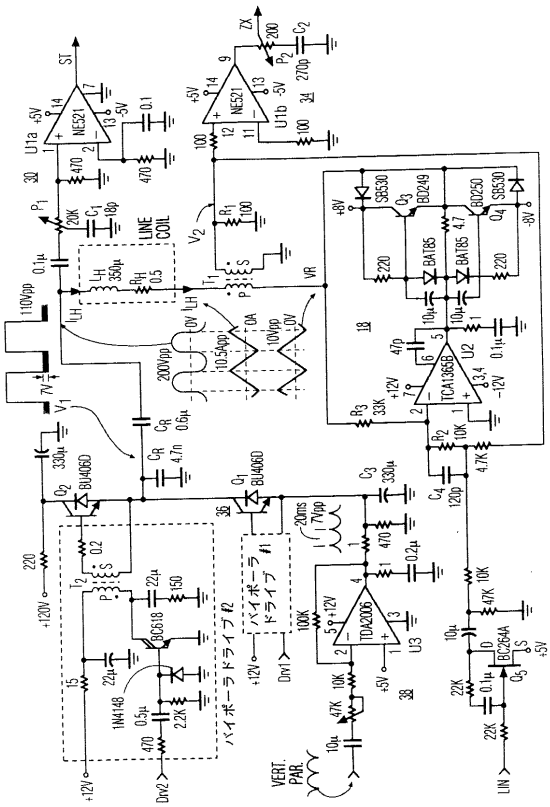
【図７】



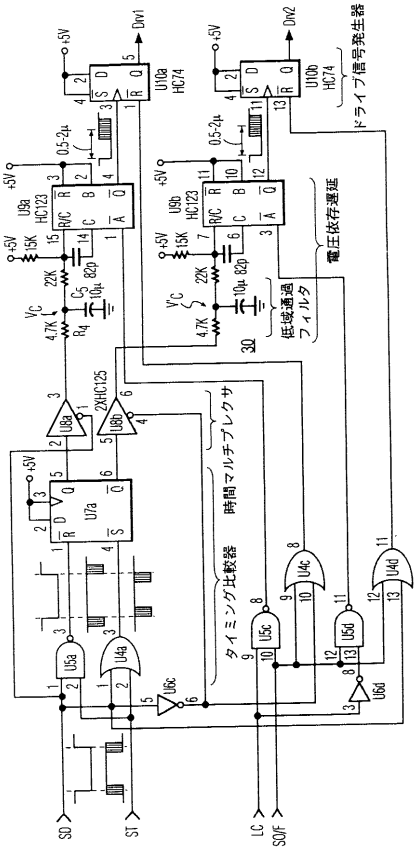
【図８】


RGBIN(1fH)
RGBOUT(2fH)
SD
LC
V1: ST
ZX
SO/F
S/DLY
ILH
VR
(A)
(B)
(C)
(D)
(E)
(F)
(G)
(H)
(I)
(J)
64μs
32μs
16μs
~1μs
~3μs
~10μs
B+ : +5V
0A
0V

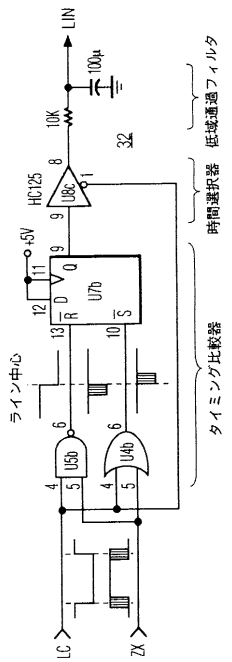
【図９】


ST
ZX
NE521
U1a
U1b
LINE COIL
VR
TCA1365B
U2
TDA2006
U3
BU406D
BC618
1N4148
BC264A
VERT. PAR.
LIN
Drv1
Drv2
+120V
+12V
+5V
-12V
-5V
+8V
-8V

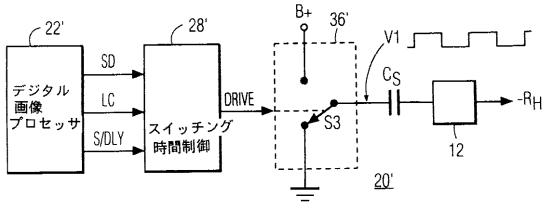
【図１０】


U10a
HC74
U10b
HC74
ドライブ信号発生器
U9a
HC123
U9b
HC123
電圧依存遅延
低域通過フィルタ
2XHC125
U8a
U8b
U7a
時間マルチプレクサ
タイミング比較器
U5a
U4a
U6c
U5c
U4c
U5d
U4d
U6d
SD
ST
LC
SO/F
Drv1
Drv2
+5V

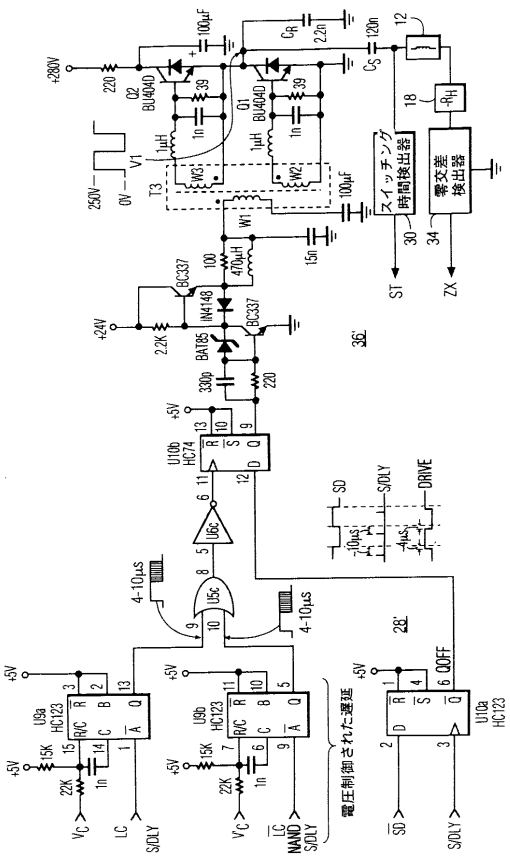
【図１１】


LIN
低域通過フィルタ
時間選択器
タイミング比較器
HC125
U8c
U7b
ライン中心
U5b
U4b
LC
ZX
+5V

【図１２】


22'
デジタル
画像
プロセッサ
SD
LC
S/DLY
28'
スイッチング
時間制御
DRIVE
B+
36'
S3
V1
C_S
12
$-R_H$
20'

【図１３】


+280V
220
Q2
BU404D
Q1
BU404D
100μF
C_R
2.2n
120n
C_S
12
18
$-R_H$
V1
250V
0V
T3
W3
W2
W1
1μH
1n
39
100μF
15n
スイッチング
時間検出器
零交差
検出器
30
34
ST
ZX
BC337
IN4148
BA185
+24V
2.2K
100
470μH
330p
220
36'
+5V
U10b
HC74
U6c
U5c
4-10μs
SD
S/DLY
DRIVE
28'
U9a
HC123
U9b
HC123
U10a
HC123
15K
22K
1n
V_C
LC
NAND
電圧制御された遅延
QOFF

フロントページの続き

(56)参考文献 特開平０４－１９６６８４（ＪＰ，Ａ）
特開平６－８６０８７（ＪＰ，Ａ）
実公昭４７－１２９０６（ＪＰ，Ｙ１）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H04N 3/16
H04N 3/23