



(12) 发明专利申请

(10) 申请公布号 CN 116207105 A

(43) 申请公布日 2023.06.02

(21) 申请号 202211520868.5

G02F 1/1368 (2006.01)

(22) 申请日 2022.11.29

(30) 优先权数据

2021-194709 2021.11.30 JP

(71) 申请人 夏普显示科技株式会社

地址 日本三重县

(72) 发明人 齐藤裕一 古川博章 蜂谷笃史
松木园广志(74) 专利代理机构 北京市隆安律师事务所
11323

专利代理人 权鲜枝 张艳凤

(51) Int.Cl.

H01L 27/12 (2006.01)

H01L 21/77 (2017.01)

G02F 1/1362 (2006.01)

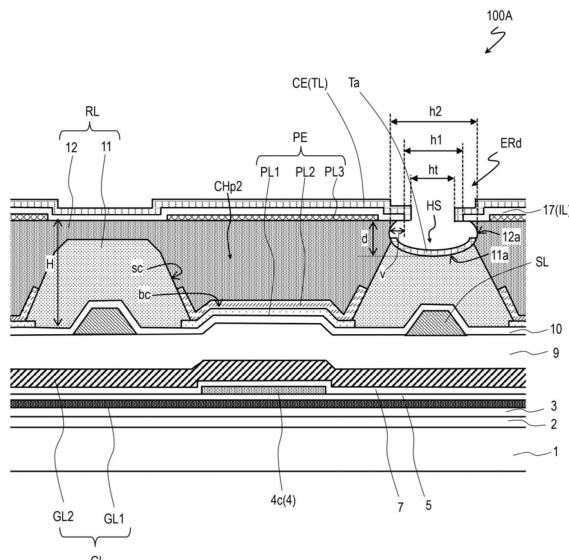
权利要求书3页 说明书31页 附图50页

(54) 发明名称

有源矩阵基板、液晶显示装置及有源矩阵基板的制造方法

(57) 摘要

提供一种有源矩阵基板，其抑制了由水分等杂质引起的氧化物半导体TFT的特性变动。有源矩阵基板具备：基板；像素TFT，其支撑于基板，与多个像素区域中的每个像素区域对应地设置，具有氧化物半导体层；有机绝缘层，其配置在像素TFT的至少氧化物半导体层的上方；以及无机绝缘层，其与有机绝缘层的上表面接触地配置在有机绝缘层上，在有机绝缘层和无机绝缘层，设置有多个两层孔结构部，各两层孔结构部包含：贯通孔，其设置于无机绝缘层；以及有底孔，其设置于有机绝缘层，并且位于贯通孔的下方，在从基板的法线方向观看时，贯通孔与有底孔的外缘相比位于内侧。



1. 一种有源矩阵基板，具有包含在行方向和列方向上排列为矩阵状的多个像素区域的显示区域和位于所述显示区域的周边的非显示区域，其特征在于，具备：

基板；

像素TFT，其支撑于所述基板，与所述多个像素区域中的每个像素区域对应地设置，所述像素TFT具有氧化物半导体层作为活性层；

有机绝缘层，其配置在所述像素TFT的至少所述氧化物半导体层的上方；以及

无机绝缘层，其与所述有机绝缘层的上表面接触地配置在所述有机绝缘层上，

在所述有机绝缘层和所述无机绝缘层，设置有多个两层孔结构部，

各两层孔结构部包含：

贯通孔，其设置于所述无机绝缘层；以及

有底孔，其设置于所述有机绝缘层，并且位于所述贯通孔的下方，

在从所述基板的法线方向观看时，所述贯通孔与所述有底孔的外缘相比位于内侧。

2. 根据权利要求1所述的有源矩阵基板，其中，

所述有底孔的内表面与所述无机绝缘层不直接接触。

3. 根据权利要求1或2所述的有源矩阵基板，其中，

所述有源矩阵基板还具备配置在所述无机绝缘层上的透明导电层，所述透明导电层在所述各两层孔结构部上具有开口部，

在所述各两层孔结构部中，所述有底孔的内表面的至少一部分从所述透明导电层和所述无机绝缘层露出。

4. 根据权利要求3所述的有源矩阵基板，其中，

所述有源矩阵基板还具备与所述透明导电层形成在同层的岛状透明导电部，

在所述各两层孔结构部中，

所述透明导电层覆盖所述无机绝缘层的上表面的至少一部分和所述无机绝缘层的所述贯通孔的内侧面的至少一部分，

所述岛状透明导电部配置在所述有机绝缘层的所述有底孔的内部并与所述透明导电层分隔开，

所述有底孔的所述内表面的一部分从所述岛状透明导电部、所述透明导电层以及所述无机绝缘层露出。

5. 根据权利要求4所述的有源矩阵基板，其中，

在从所述基板的法线方向观看时，所述开口部与所述贯通孔的所述外缘相比位于内侧。

6. 根据权利要求3所述的有源矩阵基板，其中，

在所述各两层孔结构部中，所述透明导电层的所述开口部使所述贯通孔的内侧面和所述有底孔的所述内表面露出，

在从所述基板的法线方向观看时，所述开口部与所述有底孔的所述外缘相比位于内侧。

7. 根据权利要求1至6中的任意一项所述的有源矩阵基板，其中，

所述有机绝缘层包含第1有机绝缘层以及与所述第1有机绝缘层相比位于上层的第2有机绝缘层，

所述第1有机绝缘层和所述第2有机绝缘层各自包含有在所述各两层孔结构部的所述有底孔露出的部分。

8. 根据权利要求1至6中的任意一项所述的有源矩阵基板，其中，

所述有机绝缘层包含第1有机绝缘层和第2有机绝缘层，所述第2有机绝缘层与所述第1有机绝缘层相比位于上层，并且包含与所述第1有机绝缘层直接接触的部分，

所述第1有机绝缘层和所述第2有机绝缘层中的仅任意一方包含有在所述各两层孔结构部的所述有底孔露出的部分。

9. 根据权利要求1至6中的任意一项所述的有源矩阵基板，其中，

所述有源矩阵基板还具备隔着所述无机绝缘层配置在所述有机绝缘层上的其它有机绝缘层，

所述其它有机绝缘层以填埋所述各两层孔结构部中的所述贯通孔和所述有底孔的方式配置。

10. 根据权利要求1至9中的任意一项所述的有源矩阵基板，其中，

所述多个两层孔结构部包含配置在所述显示区域的多个第1两层孔结构部。

11. 根据权利要求10所述的有源矩阵基板，其中，

所述有源矩阵基板还具备多个像素电极，所述多个像素电极各自配置于所述多个像素区域中的每个像素区域，并且电连接到对应的1个像素TFT，

各第1两层孔结构部在所述显示区域中配置在与所述多个像素电极不重叠的位置。

12. 根据权利要求10或11所述的有源矩阵基板，其中，

所述多个第1两层孔结构部以1个第1两层孔结构部与3个以上的像素区域对应的方式配置在所述显示区域。

13. 根据权利要求10至12中的任意一项所述的有源矩阵基板，其中，

所述有源矩阵基板还具备配置在所述像素TFT的所述基板侧的多个遮光层，

在从所述基板的法线方向观看时，所述各第1两层孔结构部与所述多个遮光层中的任意一个遮光层重叠。

14. 根据权利要求1至13中的任意一项所述的有源矩阵基板，其中，

所述多个两层孔结构部包含配置在所述非显示区域的多个第2两层孔结构部。

15. 根据权利要求14所述的有源矩阵基板，其中，

所述非显示区域还具备支撑于所述基板的栅极驱动器和/或多路分配电路，所述多个第2两层孔结构部在从所述基板的法线方向观看时位于所述栅极驱动器和/或所述多路分配电路与所述显示区域之间。

16. 根据权利要求1至15中的任意一项所述的有源矩阵基板，其中，

所述有源矩阵基板还具备各自配置于所述多个像素区域中的每个像素区域的多个像素电极，

所述像素TFT通过由透明导电材料形成的连接电极电连接到对应的1个像素电极。

17. 根据权利要求1至16中的任意一项所述的有源矩阵基板，其中，

所述有底孔的深度为所述有机绝缘层的厚度的1/4以上、3/4以下。

18. 根据权利要求1至17中的任意一项所述的有源矩阵基板，其中，

所述氧化物半导体层包含In-Ga-Zn-O系半导体。

19. 根据权利要求18所述的有源矩阵基板，其中，
所述In-Ga-Zn-O系半导体包含结晶质部分。

20. 一种液晶显示装置，其特征在于，具备：

权利要求1至19中的任意一项所述的有源矩阵基板；
相对基板，其以与所述有源矩阵基板相对的方式设置；以及
液晶层，其设置于所述有源矩阵基板与所述相对基板之间。

21. 根据权利要求20所述的液晶显示装置，其中，
所述液晶显示装置还具备位于所述有源矩阵基板与所述相对基板之间的多个柱状间隔物，

所述有源矩阵基板还具备与所述多个柱状间隔物对应地配置在比所述像素TFT靠所述基板侧的多个遮光层，

在从所述基板的法线方向观看时，各遮光层配置为与所述多个两层孔结构部中的1个两层孔结构部和所述多个柱状间隔物中的1个柱状间隔物重叠。

22. 一种有源矩阵基板的制造方法，是权利要求1至18中的任意一项所述的有源矩阵基板的制造方法，其特征在于，包含：

工序(A)，在所述有机绝缘层上形成所述无机绝缘层；以及

工序(B)，使用相同的蚀刻掩模，进行所述无机绝缘层和所述有机绝缘层的蚀刻，

所述工序(B)的所述蚀刻以如下条件进行：在所述无机绝缘层形成所述贯通孔，并且将所述有机绝缘层中的由所述贯通孔露出的部分和在从所述基板的法线方向观看时与所述贯通孔相比位于外侧的部分除去，从而在所述有机绝缘层形成所述有底孔。

23. 根据权利要求22所述的有源矩阵基板的制造方法，其中，

在所述工序(B)之后，还包含在所述无机绝缘层上和所述各两层孔结构部上形成透明导电膜的工序，其中，利用所述无机绝缘层的上表面与所述有底孔的台阶，使所述透明导电膜中的位于所述无机绝缘层的所述上表面的部分和位于所述有底孔的内部的部分相互分隔开。

24. 一种有源矩阵基板的制造方法，是权利要求1至18中的任意一项所述的有源矩阵基板的制造方法，其特征在于，包含：

工序(a)，按顺序形成所述有机绝缘层、所述无机绝缘层以及透明导电膜；

工序(b)，进行所述透明导电膜的图案化，在成为所述各两层孔结构部的区域形成开口部；以及

工序(c)，将形成有所述开口部的所述透明导电膜作为掩模，进行所述无机绝缘层和所述有机绝缘层的蚀刻，

所述工序(c)的所述蚀刻以如下条件进行：在所述无机绝缘层形成所述贯通孔，并且将所述有机绝缘层中的由所述贯通孔露出的部分和在从所述基板的法线方向观看时与所述贯通孔相比位于外侧的部分除去，从而在所述有机绝缘层形成所述有底孔。

有源矩阵基板、液晶显示装置及有源矩阵基板的制造方法

技术领域

[0001] 本发明涉及有源矩阵基板、液晶显示装置以及有源矩阵基板的制造方法。

背景技术

[0002] 当前，具备有源矩阵基板的液晶显示装置广泛应用于各种用途。有源矩阵基板按每个像素区域具有开关元件。具有薄膜晶体管(TFT)作为开关元件的有源矩阵基板被称为TFT基板。

[0003] TFT基板具有按每个像素区域设置的TFT和像素电极、向TFT供应栅极信号的栅极配线(栅极总线)、向TFT供应源极信号的源极配线(源极总线)等。TFT的栅极电极、源极电极以及漏极电极分别电连接到栅极配线、源极配线以及像素电极。TFT由层间绝缘层(钝化层)覆盖。

[0004] 有时在层间绝缘层上形成有机绝缘层作为用于将表面平坦化的平坦化层。通过形成有机绝缘层，也能够降低负载电容(寄生电容)而降低功耗。作为有机绝缘层的材料，使用感光性树脂材料的情况较多。为了得到充分的平坦化效果、负载电容降低效果，在形成有机绝缘层时感光性树脂材料被涂布得较厚(例如数 μm 的厚度)。

[0005] 在形成有有机绝缘层的情况下，例如，在有机绝缘层上，多个像素电极相互分隔开地设置，在其上设置用于将像素电极彼此绝缘的无机绝缘层。在FFS(Fringe Field Switching:边缘场开关)模式的液晶显示装置所使用的TFT基板中，像素电极和共用电极隔着电介质层(无机绝缘层)层叠在有机绝缘层上。

[0006] 现有技术文献

[0007] 专利文献

[0008] 专利文献1:特开2014-90068号公报

发明内容

[0009] 发明要解决的问题

[0010] 已知在TFT基板的制造工艺中，抗蚀剂剥离液、湿式蚀刻液、大气中等所包含的水分等杂质易于侵入到有机绝缘层。若如上所述的那样有机绝缘层的上表面由无机绝缘层覆盖，则在制造工艺中侵入到有机绝缘层的杂质不易从有机绝缘层的上表面放出到TFT基板的外部。因此，侵入到有机绝缘层的杂质的一部分有可能向下方(基板侧)移动并进入像素TFT的氧化物半导体层。

[0011] 若水分等杂质进入到氧化物半导体层，则有可能在氧化物半导体层形成载流子而载流子密度增加。这样的话，有时像素TFT的阈值电压会发生变化(向负方向偏移)而截止漏电流增加。这成为显示不良的主要原因。另外，在使用氧化物半导体层作为构成驱动电路的TFT(电路TFT)的活性层的情况下，也有可能由于杂质进入到氧化物半导体层而不能得到所希望的特性。

[0012] 对此，专利文献1提出了在TFT基板中，在配置于有机绝缘层上的无机绝缘层设置

使有机绝缘层的上表面的一部分露出的开口部,从而使有机绝缘层所包含的水分等杂质通过开口部扩散到外部。

[0013] 近年来,液晶显示装置的高清晰化正在推进,在(例如1000ppi以上的)高清晰的液晶显示装置所使用的TFT基板中,有时有机绝缘层形成得更厚(例如4~5μm)。在这样的TFT基板中,有机绝缘层的体积在TFT基板中所占的比例变大,因此由有机绝缘层所包含的杂质带来的影响变得显著。因此,正在谋求将有机绝缘层所吸收的杂质进一步高效地放出到外部的结构。

[0014] 本公开的一实施方式是鉴于上述情况而完成的,其目的在于提供能抑制由水分等杂质引起的氧化物半导体TFT的特性的变动的有源矩阵基板。

[0015] 用于解决问题的方案

[0016] 本说明书公开了以下的项目记载的有源矩阵基板、液晶显示装置以及有源矩阵基板的制造方法。

[0017] [项目1]

[0018] 一种有源矩阵基板,具有包含在行方向和列方向上排列为矩阵状的多个像素区域的显示区域和位于所述显示区域的周边的非显示区域,其中,具备:

[0019] 基板;

[0020] 像素TFT,其支撑于所述基板,与所述多个像素区域中的每个像素区域对应地设置,所述像素TFT具有氧化物半导体层作为活性层;

[0021] 有机绝缘层,其配置在所述像素TFT的至少所述氧化物半导体层的上方;以及

[0022] 无机绝缘层,其与所述有机绝缘层的上表面接触地配置在所述有机绝缘层上,

[0023] 在所述有机绝缘层和所述无机绝缘层,设置有多个两层孔结构部,

[0024] 各两层孔结构部包含:

[0025] 贯通孔,其设置于所述无机绝缘层;以及

[0026] 有底孔,其设置于所述有机绝缘层,并且位于所述贯通孔的下方,

[0027] 在从所述基板的法线方向观看时,所述贯通孔与所述有底孔的外缘相比位于内侧。

[0028] [项目2]

[0029] 根据项目1所述的有源矩阵基板,其中,

[0030] 所述有底孔的内表面与所述无机绝缘层不直接接触。

[0031] [项目3]

[0032] 根据项目1或2所述的有源矩阵基板,其中,

[0033] 所述有源矩阵基板还具备配置在所述无机绝缘层上的透明导电层,所述透明导电层在所述各两层孔结构部上具有开口部,

[0034] 在所述各两层孔结构部中,所述有底孔的内表面的至少一部分从所述透明导电层和所述无机绝缘层露出。

[0035] [项目4]

[0036] 根据项目3所述的有源矩阵基板,其中,

[0037] 所述有源矩阵基板还具备与所述透明导电层形成在同层的岛状透明导电部,

[0038] 在所述各两层孔结构部中,

- [0039] 所述透明导电层覆盖所述无机绝缘层的上表面的至少一部分和所述无机绝缘层的所述贯穿孔的内侧面的至少一部分，
- [0040] 所述岛状透明导电部配置在所述有机绝缘层的所述有底孔的内部并与所述透明导电层分隔开，
- [0041] 所述有底孔的所述内表面的一部分从所述岛状透明导电部、所述透明导电层以及所述无机绝缘层露出。
- [0042] [项目5]
- [0043] 根据项目4所述的有源矩阵基板，其中，
- [0044] 在从所述基板的法线方向观看时，所述开口部与所述贯穿孔的所述外缘相比位于内侧。
- [0045] [项目6]
- [0046] 根据项目3所述的有源矩阵基板，其中，
- [0047] 在所述各两层孔结构部中，所述透明导电层的所述开口部使所述贯穿孔的内侧面和所述有底孔的所述内表面露出，
- [0048] 在从所述基板的法线方向观看时，所述开口部与所述有底孔的所述外缘相比位于内侧。
- [0049] [项目7]
- [0050] 根据项目1至6中的任意一项所述的有源矩阵基板，其中，
- [0051] 所述有机绝缘层包含第1有机绝缘层以及与所述第1有机绝缘层相比位于上层的第2有机绝缘层，
- [0052] 所述第1有机绝缘层和所述第2有机绝缘层各自包含有在所述各两层孔结构部的所述有底孔露出的部分。
- [0053] [项目8]
- [0054] 根据项目1至6中的任意一项所述的有源矩阵基板，其中，
- [0055] 所述有机绝缘层包含第1有机绝缘层和第2有机绝缘层，所述第2有机绝缘层与所述第1有机绝缘层相比位于上层，并且包含与所述第1有机绝缘层直接接触的部分，
- [0056] 所述第1有机绝缘层和所述第2有机绝缘层中的任一方包含有在所述各两层孔结构部的所述有底孔露出的部分。
- [0057] [项目9]
- [0058] 根据项目1至6中的任意一项所述的有源矩阵基板，其中，
- [0059] 所述有源矩阵基板还具备隔着所述无机绝缘层配置在所述有机绝缘层上的其它有机绝缘层，
- [0060] 所述其它有机绝缘层以填埋所述各两层孔结构部中的所述贯穿孔和所述有底孔的方式配置。
- [0061] [项目10]
- [0062] 根据项目1至9中的任意一项所述的有源矩阵基板，其中，
- [0063] 所述多个两层孔结构部包含配置在所述显示区域的多个第1两层孔结构部。
- [0064] [项目11]
- [0065] 根据项目10所述的有源矩阵基板，其中，

- [0066] 所述有源矩阵基板还具备多个像素电极，所述多个像素电极各自配置于所述多个像素区域中的每个像素区域，并且电连接到对应的1个像素TFT，
- [0067] 各第1两层孔结构部在所述显示区域中配置在与所述多个像素电极不重叠的位置。
- [0068] [项目12]
- [0069] 根据项目10或11所述的有源矩阵基板，其中，
- [0070] 所述多个第1两层孔结构部以1个第1两层孔结构部与3个以上的像素区域对应的方式配置在所述显示区域。
- [0071] [项目13]
- [0072] 根据项目10至12中的任意一项所述的有源矩阵基板，其中，
- [0073] 所述有源矩阵基板还具备配置在所述像素TFT的所述基板侧的多个遮光层，
- [0074] 在从所述基板的法线方向观看时，所述各第1两层孔结构部与所述多个遮光层中的任意一个遮光层重叠。
- [0075] [项目14]
- [0076] 根据项目1至13中的任意一项所述的有源矩阵基板，其中，
- [0077] 所述多个两层孔结构部包含配置在所述非显示区域的多个第2两层孔结构部。
- [0078] [项目15]
- [0079] 根据项目14所述的有源矩阵基板，其中，
- [0080] 所述非显示区域还具备支撑于所述基板的栅极驱动器和/或多路分配电路，所述多个第2两层孔结构部在从所述基板的法线方向观看时位于所述栅极驱动器和/或所述多路分配电路与所述显示区域之间。
- [0081] [项目16]
- [0082] 根据项目1至15中的任意一项所述的有源矩阵基板，其中，
- [0083] 所述有源矩阵基板还具备各自配置于所述多个像素区域中的每个像素区域的多个像素电极，
- [0084] 所述像素TFT通过由透明导电材料形成的连接电极电连接到对应的1个像素电极。
- [0085] [项目17]
- [0086] 根据项目1至16中的任意一项所述的有源矩阵基板，其中，
- [0087] 所述有底孔的深度为所述有机绝缘层的厚度的1/4以上、3/4以下。
- [0088] [项目18]
- [0089] 根据项目1至17中的任意一项所述的有源矩阵基板，其中，
- [0090] 所述氧化物半导体层包含In-Ga-Zn-O系半导体。
- [0091] [项目19]
- [0092] 根据项目18所述的有源矩阵基板，其中，
- [0093] 所述In-Ga-Zn-O系半导体包含结晶质部分。
- [0094] [项目20]
- [0095] 一种液晶显示装置，其特征在于，具备：
- [0096] 项目1至19中的任意一项所述的有源矩阵基板；
- [0097] 相对基板，其以与所述有源矩阵基板相对的方式设置；以及

- [0098] 液晶层，其设置于所述有源矩阵基板与所述相对基板之间。
- [0099] [项目21]
- [0100] 根据项目20所述的液晶显示装置，其中，
- [0101] 所述液晶显示装置还具备位于所述有源矩阵基板与所述相对基板之间的多个柱状间隔物，
- [0102] 所述有源矩阵基板还具备与所述多个柱状间隔物对应地配置在比所述像素TFT靠所述基板侧的多个遮光层，
- [0103] 在从所述基板的法线方向观看时，各遮光层配置为与所述多个两层孔结构部中的1个两层孔结构部和所述多个柱状间隔物中的1个柱状间隔物重叠。
- [0104] [项目22]
- [0105] 一种有源矩阵基板的制造方法，是项目1至18中的任意一项所述的有源矩阵基板的制造方法，其特征在于，包含：
- [0106] 工序(A)，在所述有机绝缘层上形成所述无机绝缘层；以及
- [0107] 工序(B)，使用相同的蚀刻掩模，进行所述无机绝缘层和所述有机绝缘层的蚀刻，
- [0108] 所述工序(B)的所述蚀刻以如下条件进行：在所述无机绝缘层形成所述贯通孔，并且将所述有机绝缘层中的由所述贯通孔露出的部分和在从所述基板的法线方向观看时与所述贯通孔相比位于外侧的部分除去，从而在所述有机绝缘层形成所述有底孔。
- [0109] [项目23]
- [0110] 根据项目22所述的有源矩阵基板的制造方法，其中，
- [0111] 在所述工序(B)之后，还包含在所述无机绝缘层上和所述各两层孔结构部上形成透明导电膜的工序，其中，利用所述无机绝缘层的上表面与所述有底孔的台阶，使所述透明导电膜中的位于所述无机绝缘层的所述上表面的部分和位于所述有底孔的内部的部分相互分隔开。
- [0112] [项目24]
- [0113] 一种有源矩阵基板的制造方法，是项目1至18中的任意一项所述的有源矩阵基板的制造方法，其特征在于，包含：
- [0114] 工序(a)，按顺序形成所述有机绝缘层、所述无机绝缘层以及透明导电膜；
- [0115] 工序(b)，进行所述透明导电膜的图案化，在成为所述各两层孔结构部的区域形成开口部；以及
- [0116] 工序(c)，将形成有所述开口部的所述透明导电膜作为掩模，进行所述无机绝缘层和所述有机绝缘层的蚀刻，
- [0117] 所述工序(c)的所述蚀刻以如下条件进行：在所述无机绝缘层形成所述贯通孔，并且将所述有机绝缘层中的由所述贯通孔露出的部分和在从所述基板的法线方向观看时与所述贯通孔相比位于外侧的部分除去，从而在所述有机绝缘层形成所述有底孔。
- [0118] 发明效果
- [0119] 根据本公开的一实施方式，能够提供能抑制由水分等杂质引起的氧化物半导体TFT的特性的变动的有源矩阵基板。

附图说明

- [0120] 图1是示出本公开的一实施方式的有源矩阵基板100的平面结构的一个例子的概略图。
- [0121] 图2A是示意性地示出包含两层孔结构部HS的杂质除去区域ER1的俯视图。
- [0122] 图2B是沿着图2A所示的IIb-IIb线的示意性的截面图。
- [0123] 图3A是示意性地示出包含两层孔结构部HS的其它杂质除去区域ER2的俯视图。
- [0124] 图3B是沿着图3A所示的IIIb-IIIb线的示意性的截面图。
- [0125] 图4A是示意性地示出包含两层孔结构部HS的另外的杂质除去区域ER3的俯视图。
- [0126] 图4B是沿着图4A所示的IVb-IVb线的示意性的截面图。
- [0127] 图5是示出有源矩阵基板100A中的杂质除去区域ERd的配置的示意性的俯视图。
- [0128] 图6A是例示有源矩阵基板100A中的像素区域PIX的俯视图。
- [0129] 图6B是沿着图6A所示的IVb-IVb线的截面图。
- [0130] 图6C是沿着图6A所示的IVc-IVc线的截面图。
- [0131] 图7是示出像素电极PE的其它配置的俯视图。
- [0132] 图8是例示有源矩阵基板100A中的电路TFT30和像素TFT20的截面图。
- [0133] 图9是示出有源矩阵基板100B中的杂质除去区域Erf的配置的示意性的俯视图。
- [0134] 图10A是例示有源矩阵基板100B中的上端的像素区域PIX和第1非显示区域FR1的一部分的俯视图。
- [0135] 图10B是沿着图10A所示的Xb-Xb线的截面图。
- [0136] 图10C是沿着图10A所示的Xc-Xc线的截面图。
- [0137] 图10D是沿着图10A所示的Xd-Xd线的截面图。
- [0138] 图11A是例示有源矩阵基板100B中的一侧端的像素区域PIX和第2非显示区域FR2的一部分的俯视图。
- [0139] 图11B是沿着图11A所示的XIb-XIb线的截面图。
- [0140] 图12是示出有源矩阵基板100C中的杂质除去区域ER (ERd、Erf) 的配置的示意性的俯视图。
- [0141] 图13A是例示有源矩阵基板100D中的像素区域PIX的俯视图。
- [0142] 图13B是沿着图13A所示的XIIb-XIIb线的截面图。
- [0143] 图13C是沿着图13A所示的XIIc-XIIc线的截面图。
- [0144] 图14A是例示有源矩阵基板100E中的一侧端的像素区域PIX和第2非显示区域FR2的一部分的俯视图。
- [0145] 图14B是沿着图14A所示的XIVb-XIVb线的截面图。
- [0146] 图15A是例示有源矩阵基板100F中的像素区域PIX的俯视图。
- [0147] 图15B是沿着图15A所示的XVb-XVb线的截面图。
- [0148] 图15C沿着图15A所示的XVc-XVc线的截面图。
- [0149] 图16是示出液晶显示装置500的一部分的示意性的截面图。
- [0150] 图17A是示出液晶显示装置500中的第1杂质除去区域ERd、柱状间隔物310以及遮光层LS的配置关系的一个例子的俯视图。
- [0151] 图17B是示出液晶显示装置500中的第1杂质除去区域ERd、柱状间隔物310以及遮

光层LS的配置关系的其它例子的俯视图。

[0152] 图18是示出有源矩阵基板中的两层孔结构部HS的其它例子的俯视图。

[0153] 图19A是示出有源矩阵基板100F的制造工序的工序截面图。

[0154] 图19B是示出有源矩阵基板100F的制造工序的工序截面图。

[0155] 图19C是示出有源矩阵基板100F的制造工序的工序截面图。

[0156] 图19D是示出有源矩阵基板100F的制造工序的工序截面图。

[0157] 图19E是示出有源矩阵基板100F的制造工序的工序截面图。

[0158] 图19F是示出有源矩阵基板100F的制造工序的工序截面图。

[0159] 图19G是示出有源矩阵基板100F的制造工序的工序截面图。

[0160] 图19H是示出有源矩阵基板100F的制造工序的工序截面图。

[0161] 图19I是示出有源矩阵基板100F的制造工序的工序截面图。

[0162] 图20A是示出有源矩阵基板100F的制造工序的工序截面图。

[0163] 图20B是示出有源矩阵基板100F的制造工序的工序截面图。

[0164] 图20C是示出有源矩阵基板100F的制造工序的工序截面图。

[0165] 图20D是示出有源矩阵基板100F的制造工序的工序截面图。

[0166] 图20E是示出有源矩阵基板100F的制造工序的工序截面图。

[0167] 图20F是示出有源矩阵基板100F的制造工序的工序截面图。

[0168] 图20G是示出有源矩阵基板100F的制造工序的工序截面图。

[0169] 图20H是示出有源矩阵基板100F的制造工序的工序截面图。

[0170] 图20I是示出有源矩阵基板100F的制造工序的工序截面图。

[0171] 图21A是示出有源矩阵基板100F的其它制造方法的工序截面图。

[0172] 图21B是示出有源矩阵基板100F的其它制造方法的工序截面图。

[0173] 图22A是例示其它杂质除去区域800d的截面图。

[0174] 图22B是例示其它杂质除去区域800d的截面图。

[0175] 图23是例示变形例1的其它杂质除去区域800f1的截面图。

[0176] 图24A是例示变形例1的其它杂质除去区域800f2的截面图。

[0177] 图24B是例示变形例1的其它杂质除去区域800f2的截面图。

[0178] 图25是例示变形例2的其它杂质除去区域800d的截面图。

[0179] 图26是例示变形例2的其它杂质除去区域800f2的截面图。

[0180] 图27是例示变形例4的其它杂质除去区域800d的截面图。

[0181] 图28是示出放出杂质的参考例的杂质除去结构900的截面图。

[0182] 附图标记说明

[0183] 1 基板

[0184] 2 第1下部绝缘层

[0185] 3 第2下部绝缘层

[0186] 4 氧化物半导体层

[0187] 4c 沟道区域

[0188] 4s 源极接触区域

[0189] 4d 漏极接触区域

- [0190] 5 下部栅极绝缘层
- [0191] 7 上部栅极绝缘层
- [0192] 9 第1层间绝缘层
- [0193] 10 第2层间绝缘层
- [0194] 11 第1有机绝缘层
- [0195] 12、12f 第2有机绝缘层
- [0196] 17 电介质层
- [0197] 20 像素TFT
- [0198] 30 电路TFT
- [0199] 31 遮光层
- [0200] 33 结晶质硅半导体层
- [0201] 33c 沟道区域
- [0202] 35 栅极电极
- [0203] 36 源极和漏极电极
- [0204] 100、100A～100F 有源矩阵基板
- [0205] 190、290 取向膜
- [0206] 200 相对基板
- [0207] 201 基板
- [0208] 210 彩色滤光片层
- [0209] 220 黑矩阵
- [0210] 230 覆层
- [0211] 300 液晶层
- [0212] 310 柱状间隔物
- [0213] 500 液晶显示装置
- [0214] DR 显示区域
- [0215] FR 非显示区域
- [0216] FR1 第1非显示区域
- [0217] FR2 第2非显示区域
- [0218] PIX 像素区域
- [0219] ER、ER1～ER3 杂质除去区域
- [0220] ERd 第1杂质除去区域
- [0221] ERF、ERF1、ERF2 第2杂质除去区域
- [0222] IL 无机绝缘层
- [0223] RL 有机绝缘层
- [0224] TL 透明导电层
- [0225] Ta 岛状透明导电部
- [0226] h1 贯通孔
- [0227] h2 有底孔
- [0228] ht 开口部

- [0229] s1 贯通孔的内侧面
- [0230] s2 有底孔的内表面
- [0231] PE 像素电极
- [0232] CE 共用电极
- [0233] CL 共用配线
- [0234] SE 源极电极
- [0235] SL 源极配线
- [0236] GE1 下部栅极电极
- [0237] GE2 上部栅极电极
- [0238] GL 栅极配线
- [0239] GL1 下部栅极配线
- [0240] GL2 上部栅极配线
- [0241] SL 源极配线
- [0242] LS 遮光层
- [0243] GD 栅极驱动器
- [0244] SD 源极驱动器
- [0245] DMX 多路分配电路
- [0246] CHp1 第1像素接触孔
- [0247] CHp2 第2像素接触孔
- [0248] CHS 源极接触孔

具体实施方式

[0249] 以下，参照附图来说明本发明的实施方式。以下，例示FFS (Fringe Field Switching:边缘场开关) 模式的液晶显示装置用的有源矩阵基板作为本发明的实施方式，但是本发明不限于以下的实施方式。另外，为了避免说明的重复，在变形例等的说明中，有时对同样的构成要素标注相同的附图标记，而省略说明。

[0250] (有源矩阵基板的基本结构例)

[0251] 参照图1来说明本公开的实施方式的有源矩阵基板100。图1是示出有源矩阵基板100的平面结构的一个例子的概略图。

[0252] 如图1所示，有源矩阵基板100具有显示区域DR和非显示区域(也称为“边框区域”)FR。显示区域DR由多个像素区域PIX规定。多个像素区域PIX排列为包含多个行和多个列的矩阵状。像素区域PIX是与液晶显示装置的像素对应的区域，有时也将像素区域PIX简称为“像素”。非显示区域FR位于显示区域DR的周边，是无助于显示的区域。

[0253] 在显示区域DR形成有在行方向上延伸的多个栅极配线GL和在列方向上延伸的多个源极配线SL。各像素区域PIX例如是由相互相邻的一对栅极配线GL和相互相邻的一对源极配线SL包围的区域。

[0254] 如后所述，栅极配线GL可以具有包含隔着绝缘层相互重叠的下部栅极配线和上部栅极配线的重叠结构。下部栅极配线和上部栅极配线例如能在非显示区域FR相互电连接。

[0255] 另外，在显示区域DR，配置有与各像素区域PIX对应地设置的薄膜晶体管(TFT) 20

和电连接到TFT20的像素电极PE。以下将配置于各像素区域PIX的TFT20称为“像素TFT”。像素TFT20从对应的栅极配线GL被供应栅极信号(扫描信号),从对应的源极配线SL被供应源极信号(显示信号)。在此,使用以氧化物半导体层为活性层的氧化物半导体TFT作为像素TFT20。在将有源矩阵基板100应用于FFS模式等横向电场模式的显示装置的情况下,在有源矩阵基板100,对多个像素区域PIX设置共用的电极(共用电极)CE。

[0256] 在非显示区域FR,配置有周边电路。在此,在非显示区域FR,一体(单片)地形成有驱动栅极配线GL的栅极驱动器GD,并安装有驱动源极配线SL的源极驱动器SD。此外,在非显示区域FR,也可以还配置有分时地驱动源极配线SL的多路分配电路DMX。多路分配电路DMX也可以与栅极驱动器GD同样一体地形成。栅极驱动器GD、多路分配电路DMX等周边电路包含多个TFT(电路TFT)。电路TFT可以是与像素TFT使用相同的半导体膜形成的氧化物半导体TFT,也可以是与像素TFT使用不同的半导体膜形成的TFT。例如,电路TFT也可以是以结晶质硅半导体膜为活性层的硅半导体TFT。

[0257] (杂质除去区域ER的结构(两层孔结构部HS))

[0258] 虽然图1中未示出,但是在本实施方式中,在有源矩阵基板100的显示区域DR和/或非显示区域FR的多个部位,设置有用于放出来自有机绝缘层的杂质的区域(杂质除去区域)。各杂质除去区域包含孔结构部,该孔结构部包括形成于有机绝缘层的有底孔和形成于作为其上层的无机绝缘层的贯通孔。在本说明书中,将这样跨有机绝缘层和无机绝缘层形成的孔结构部称为“两层孔结构部”。

[0259] <杂质除去区域ER1>

[0260] 图2A和图2B分别是示意性地示出包含两层孔结构部的杂质除去区域的一个例子的俯视图和截面图。在此,示出单个杂质除去区域,但典型的是多个杂质除去区域相互分隔开地设置。

[0261] 有源矩阵基板100具备:基板1;像素TFT(未图示),其支撑于基板1;有机绝缘层RL,其与构成像素TFT的氧化物半导体层相比位于上方;以及无机绝缘层IL,其位于有机绝缘层RL上。有机绝缘层RL也可以与源极配线SL和栅极配线GL相比配置在上层。在此所说的有机绝缘层RL也可以包含在不同工序中形成的2个以上的有机绝缘层。无机绝缘层IL是与有机绝缘层RL的上表面接触地配置。

[0262] 杂质除去区域ER1包含两层孔结构部HS。两层孔结构部HS包含:贯通孔h1,其设置于无机绝缘层IL;以及有底孔h2,其设置于有机绝缘层RL,并且位于贯通孔h1的下方。有底孔h2是不贯通有机绝缘层RL的孔,有底孔h2的深度d比有机绝缘层RL的厚度小。另外,在从基板1的法线方向观看时,贯通孔h1与有底孔h2的外缘相比位于内侧。

[0263] 在各两层孔结构部HS中,如箭头所示,能将有机绝缘层RL所包含的水分等杂质从有底孔h2的内表面s2经由无机绝缘层IL的贯通孔h1放出到外部。

[0264] 如图所示,无机绝缘层IL中的包含贯通孔h1的内侧面s1的端部也可以如檐那样向有底孔h2的上方伸出。在该情况下,有底孔h2的内表面s2的整体也可以从无机绝缘层IL露出,而不与无机绝缘层IL直接接触。由此,能够使有底孔h2的内表面s2的整体作为能放出杂质的“杂质放出面”发挥功能。

[0265] 两层孔结构部HS的形成方法不作特别限定。如后所述,例如,在沉积了有机绝缘层RL和无机绝缘层IL后,通过以规定的条件对这些层进行蚀刻,能够形成两层孔结构部HS。

[0266] 本实施方式的杂质除去区域ER1具有上述的两层孔结构部HS，因此例如与仅在无机绝缘层设置贯通孔的情况相比，能够将有机绝缘层RL内的杂质更高效地放出到外部。以下，参照附图来说明其理由。

[0267] 图28是示出有源矩阵基板中的参考例的杂质除去结构900的截面图。对与图2A和图2B同样的构成要素标注相同的附图标记。在杂质除去结构900中，在无机绝缘层IL设置有使有机绝缘层RL的上表面的一部分91露出的贯通孔h1。在有机绝缘层RL，未形成有底孔。在杂质除去结构900中，如箭头所示，有机绝缘层RL内的杂质从有机绝缘层RL的上表面的露出部分91经由贯通孔h1被放出。即，有机绝缘层RL的露出部分91成为杂质放出面。杂质放出面的面积例如与贯通孔h1的面积大致相同。

[0268] 与此相对，在本实施方式中，形成有跨无机绝缘层IL和有机绝缘层RL的两层孔结构部HS。在两层孔结构部HS中，在有机绝缘层RL形成有与无机绝缘层IL的贯通孔h1相比尺寸较大的有底孔h2。因此，能够扩大能作为杂质放出面发挥功能的有机绝缘层RL的露出面积。而且，如图2B中箭头所示，有机绝缘层RL内的杂质易于从两层孔结构部HS的下方和侧方移动到有底孔h2的内表面s2。因此，即使在有机绝缘层RL厚的情况下，也能更容易地放出有机绝缘层RL所包含的杂质。这样，根据本实施方式，能够比参考例的杂质除去结构900高效地并且大范围地促进来自有机绝缘层RL的杂质的放出，因此得以更有效地抑制由杂质引起的氧化物半导体TFT的特性变动。另外，例如在显示区域DR设置杂质除去区域ER1的情况下，能减少每单位面积的杂质除去区域ER1的数量，或者减小各杂质除去区域ER1的尺寸，因此能够既确保像素开口率(透射率)又抑制氧化物半导体TFT的特性变动。

[0269] 此外，两层孔结构HS的结构不限于图示的例子。例如，有底孔h2的内表面s2的一部分也可以与无机绝缘层IL直接接触。在该情况下，内表面s2中的未与无机绝缘层IL直接接触的(从无机绝缘层IL露出的)部分能作为杂质放出面发挥功能。另外，贯通孔h1和有底孔h2的平面形状和截面形状也不限于图示的例子。在图示的例子中，贯通孔h1和有底孔h2的平面形状是圆形，但也可以是椭圆形，还可以是矩形等多边形。

[0270] <杂质除去区域ER2>

[0271] 图3A和图3B分别是示意性地示出杂质除去区域的其它例子的俯视图和截面图。

[0272] 杂质除去区域ER2还具备配置在无机绝缘层IL上的透明导电层TL，这一点与图2A和图2B所示的杂质除去区域ER1不同。在透明导电层TL形成有使有底孔h2的内表面s2至少部分地露出的开口部ht。

[0273] 在图示的例子中，透明导电层TL具有使贯通孔h1的内侧面s1和有底孔h2的内表面s2露出的开口部ht。内表面s2的至少一部分(在该例子中为全部)从透明导电层TL和无机绝缘层IL露出。由此，如图3B中箭头所示，有机绝缘层RL内的杂质能从有底孔h2的内表面s2不被无机绝缘层IL和透明导电层TL妨碍地放出到外部。

[0274] 透明导电层TL也可以是共用电极CE或像素电极PE。或者，也可以是与共用电极CE或像素电极PE形成在同层的(即，由相同的透明导电膜形成的)其它配线、电极等。

[0275] 开口部ht的周缘也可以位于无机绝缘层IL上。优选在从基板1的法线方向观看时，开口部ht位于有底孔h2的外缘的内部。在透明导电层TL例如是共用电极CE或像素电极PE的情况下，通过使从基板1的法线方向观看时的开口部ht的尺寸比有底孔h2小，能够既确保共用电极CE或像素电极PE的面积又提高杂质的除去效率。如图所示，开口部ht的侧壁st也可

以是与无机绝缘层IL的内侧面s1对齐的。

[0276] 杂质除去区域ER2的形成方法不作特别限定。例如,可以按顺序沉积无机绝缘层IL、有机绝缘层RL以及透明导电膜,在透明导电膜形成开口部ht后,形成贯通孔h1和有底孔h2。或者,也可以在形成两层孔结构部HS后进行透明导电膜的沉积和图案化。

[0277] 开口部ht的位置、尺寸不限于图示的例子。开口部ht只要配置为在从基板1的法线方向观看时与无机绝缘层IL的贯通孔h1至少部分地重叠并且使有底孔h2的内表面s2的至少一部分露出即可。

[0278] <杂质除去区域ER3>

[0279] 图4A和图4B分别是示意性地示出杂质除去区域的另外的例子的俯视图和截面图。

[0280] 杂质除去区域ER3在有机绝缘层RL的有底孔h2内配置有与透明导电层TL形成在同一层的岛状透明导电部Ta,这一点与图3A和图3B所示的杂质除去区域ER2不同。

[0281] 在杂质除去区域ER3中,透明导电层TL是与无机绝缘层IL的上表面的至少一部分和贯通孔h1的内侧面s1的至少一部分接触的。在两层孔结构部HS的有底孔h2内,配置有与透明导电层TL形成在同一层(即由相同的透明导电膜形成)的岛状透明导电部Ta。岛状透明导电部Ta与透明导电层TL相互分隔开。岛状透明导电部Ta例如配置为仅覆盖有底孔h2的内表面s2的一部分s21,使其它部分s22露出。

[0282] 在杂质除去区域ER3中,有底孔h2的内表面s2的一部分从岛状透明导电部Ta、透明导电层TL以及无机绝缘层IL露出,作为杂质放出面发挥功能。在该例子中,有底孔h2的内表面s2中的从岛状透明导电部Ta露出的部分s22成为杂质放出面。如图4B中箭头所示,有机绝缘层RL内的杂质能从有底孔h2的内表面s2的露出部分s22不被无机绝缘层IL、透明导电层TL以及岛状透明导电部Ta妨碍地放出到外部。

[0283] 杂质除去区域ER3的形成方法不作特别限定。作为一个例子,杂质除去区域ER3能通过以下的方法形成。首先,形成两层孔结构部HS,接下来,形成覆盖两层孔结构部HS的透明导电膜。也可以在沉积透明导电膜时,利用有底孔h2的底部与无机绝缘层IL的上表面的台阶,使透明导电膜中的位于无机绝缘层IL上的部分与位于有底孔h2的内部的部分(岛状透明导电部Ta)相互分离。根据该方法,也可以不进行考虑了加工精度的设计,因此例如与使用光刻工艺在透明导电膜形成开口部ht的情况相比,能够减小开口部ht的尺寸。开口部ht的尺寸也可以比贯通孔h1小。例如,在从基板1的法线方向观看时,开口部ht也可以与贯通孔h1的外缘相比位于内侧。在透明导电层TL是共用电极CE或像素电极PE的情况下,通过减小开口部ht,能够抑制由设置开口部ht引起的电极面积的下降。

[0284] 在本实施方式的有源矩阵基板100中,在显示区域DR和/或非显示区域FR,能设置杂质除去区域ER1~ER3中的任意一个区域。例如,也可以在有源矩阵基板100中的未形成透明导电层TL的区域设置至少1个杂质除去区域ER1,并且在形成有透明导电层TL的区域设置有至少1个杂质除去区域ER2或杂质除去区域ER3。

[0285] 在本说明书中,将杂质除去区域ER1、ER2、ER3的结构分别称为“第1结构”、“第2结构”以及“第3结构”。另外,有时将杂质除去区域ER1~ER3统称为“杂质除去区域ER”。而且,将配置于显示区域DR的杂质除去区域ER称为“第1杂质除去区域ERd”,将配置于非显示区域FR的杂质除去区域ER称为“第2杂质除去区域ERf”。第1杂质除去区域ERd和第2杂质除去区域ERf各自能具有上述的第1结构~第3结构中的任意一个结构。

[0286] (有源矩阵基板100的详细结构)

[0287] 说明本实施方式的有源矩阵基板的更具体的结构。以下,以在显示区域DR设置有杂质除去区域ER(即第1杂质除去区域ERd)的有源矩阵基板100A为例进行说明。

[0288] 图5是示出有源矩阵基板100A中的第1杂质除去区域ERd的配置的示意性的俯视图。

[0289] 如图5所示,在有源矩阵基板100A中,在显示区域DR,相互分隔开地配置有多个第1杂质除去区域ERd。优选各第1杂质除去区域ERd配置在从基板1的法线方向观看时与像素电极PE(未图示)不重叠的位置。例如,在从基板1的法线方向观看时,各第1杂质除去区域ERd也可以配置栅极配线GL与源极配线SL的交叉部(源极-栅极交叉部)。各第1杂质除去区域ERd也可以按每个像素区域PIX配置,但是优选如图所示按每多个像素区域PIX配置。由此,能够减少第1杂质除去区域ERd的数量,因此能够降低对显示特性的影响。尽管也取决于像素区域PIX的排列间距,但例如可以是对3个以上的像素区域PIX(在图示的例子中为24个像素区域PIX)配置有1个第1杂质除去区域ERd。

[0290] 在有源矩阵基板100A用于FFS模式的显示装置的情况下,在显示区域DR形成作为共用电极发挥功能的透明导电层。因此,第1杂质除去区域ERd能具有上述的第2结构(图3A和图3B所示的杂质除去区域ER2)或第3结构(图4A和图4B所示的杂质除去区域ER3)。

[0291] 在有源矩阵基板100A的显示区域DR设置有有机绝缘层RL,有机绝缘层RL包含第1有机绝缘层11以及与第1有机绝缘层11相比配置在上层的第2有机绝缘层12。如后所述,优选第1杂质除去区域ERd构成为促进来自第1有机绝缘层11和第2有机绝缘层12双方的杂质的放出。

[0292] 图6A是例示有源矩阵基板100A中的1个像素区域PIX的俯视图。图6A与图5所示的区域Ra对应。图6B是沿着图6A所示的VIb-VIb线的截面图,示出像素TFT20的沟道长度方向的截面。图6C是沿着图6A所示的VIc-VIc线的截面图。

[0293] 如图6A~图6C所示,有源矩阵基板100A具备:基板1;像素TFT20,其支撑于基板1;多个源极配线SL;多个栅极配线GL;有机绝缘层RL,其包含第1有机绝缘层11和第2有机绝缘层12;以及像素电极PE。在此,各栅极配线GL具有包含下部栅极配线GL1和上部栅极配线GL2的重叠结构。第1有机绝缘层11例如设置为在从基板1的法线方向观看时与构成像素TFT20的氧化物半导体层4的至少一部分重叠。像素电极PE的至少一部分位于第1有机绝缘层11上。在有机绝缘层RL和像素电极PE上,隔着电介质层17配置有共用电极CE。另外,在一部分的源极-栅极交叉部,设置有第1杂质除去区域ERd。第1杂质除去区域ERd包含形成于有机绝缘层RL和电介质层17的两层孔结构部HS。

[0294] 在从基板1的法线方向观看时,各源极配线SL大致在列方向上延伸,各栅极配线GL大致在行方向上延伸。在各栅极配线GL中,上部栅极配线GL2和下部栅极配线GL1隔着绝缘体重叠。上部栅极配线GL2和下部栅极配线GL1也可以是相互电连接的。虽然未图示,但是例如也可以在非显示区域FR设置有将下部栅极配线GL1和上部栅极配线GL2电连接的连接部。在该例子中,上部栅极配线GL2的宽度比下部栅极配线GL1的宽度小,在从基板1的法线方向观看时,上部栅极配线GL2与下部栅极配线GL1的在行方向上延伸的2个缘部相比位于内侧。此外,下部栅极配线GL1、上部栅极配线GL2的配置及形状不限于图示的例子。

[0295] 在基板1上形成有第1下部绝缘层2和配置在其上的第2下部绝缘层3作为下部绝缘

层。在该例子中，像素TFT20配置在第2下部绝缘层3上。

[0296] 像素TFT20与各像素区域PIX对应地设置。像素TFT20是具有氧化物半导体层4作为活性层的氧化物半导体TFT。像素TFT20的结构不作特别限定。像素TFT20可以具有顶栅结构，也可以具有底栅结构。在该例子中，像素TFT20具有在氧化物半导体层4的下方(基板1侧)和上方(与基板1相反的一侧)具备栅极的双栅结构。具体地说，像素TFT20具备：下部栅极电极GE1，其位于第2下部绝缘层3上；氧化物半导体层4；下部栅极绝缘层5，其位于下部栅极电极GE1与氧化物半导体层4之间；上部栅极电极GE2，其位于氧化物半导体层4的上方；上部栅极绝缘层7，其位于上部栅极电极GE2与氧化物半导体层4之间；以及源极电极SE。

[0297] 在从基板1的法线方向观看时，氧化物半导体层4包含沟道区域4c以及位于沟道区域4c的两侧的源极接触区域4s和漏极接触区域4d。氧化物半导体层4的源极接触区域4s及漏极接触区域4d与沟道区域4c相比被低电阻化。源极接触区域4s电连接到源极电极SE，漏极接触区域4d电连接到对应的像素电极PE。

[0298] 下部栅极电极GE1位于氧化物半导体层4的基板1侧，隔着下部栅极绝缘层5与氧化物半导体层4的一部分重叠。上部栅极电极GE2位于氧化物半导体层4的与基板1相反的一侧，隔着上部栅极绝缘层7与氧化物半导体层4的一部分重叠。在该例子中，在从基板1的法线方向观看时，氧化物半导体层4中的与上部栅极电极GE2重叠的区域成为沟道区域4c。下部栅极电极GE1与氧化物半导体层4的沟道区域4c至少部分地重叠。

[0299] 下部栅极电极GE1和上部栅极电极GE2分别电连接到下部栅极配线GL1和上部栅极配线GL2。也可以下部栅极电极GE1与下部栅极配线GL1使用相同的导电膜一体地形成，上部栅极电极GE2与上部栅极配线GL2使用相同的导电膜一体地形成。在此，下部栅极配线GL1的一部分(具体地说为与氧化物半导体层4相对的部分)作为下部栅极电极GE1发挥功能，上部栅极配线GL2的一部分(具体地说为与氧化物半导体层4相对的部分)作为上部栅极电极GE2发挥功能。

[0300] 在图6A所示的例子中，各像素TFT20的氧化物半导体层4在从基板1的法线方向观看时从对应的像素区域PIX横穿栅极配线GL(在此为下部栅极配线GL1和上部栅极配线GL2)，延伸至在列方向上与该像素区域PIX相邻的其它像素区域。在从基板1的法线方向观看时，下部栅极配线GL1和上部栅极配线GL2中的与氧化物半导体层4交叉的部分分别能作为像素TFT20的下部栅极电极GE1和上部栅极电极GE2发挥功能。各栅极配线GL的下部栅极配线GL1和上部栅极配线GL2是相互电连接的，这些配线被供应相同的栅极信号。

[0301] 氧化物半导体层4、上部栅极绝缘层7以及上部栅极电极GE2由第1层间绝缘层9覆盖。第1层间绝缘层9也可以是与氧化物半导体层4的上表面的一部分接触的。

[0302] 源极配线SL和各像素TFT20的源极电极SE配置在第1层间绝缘层9上。在第1层间绝缘层9和上部栅极绝缘层7，以使氧化物半导体层4的源极接触区域4s的至少一部分露出的方式形成有接触孔(以下称为“源极接触孔”)CHs。源极电极SE形成在第1层间绝缘层9上和源极接触孔CHs内，在源极接触孔CHs中电连接到源极接触区域4s。源极电极SE也可以与对应的源极配线SL使用相同的导电膜一体地形成。在此，源极配线SL的一部分(具体地说为连接到源极接触区域4s的部分)作为源极电极SE发挥功能。

[0303] 以覆盖像素TFT20的方式设置有第2层间绝缘层10。第2层间绝缘层10位于第1层间绝缘层9与第1有机绝缘层11之间，覆盖源极电极SE和源极配线SL。在第2层间绝缘层10、第1

层间绝缘层9以及上部栅极绝缘层7,以使氧化物半导体层4的漏极接触区域4d的至少一部分露出的方式形成有第1像素接触孔CHp1。

[0304] 第1有机绝缘层11形成在第2层间绝缘层10上。第1有机绝缘层11例如由感光性树脂材料形成。在第1有机绝缘层11形成有第2像素接触孔CHp2。第2像素接触孔CHp2形成成为在从基板1的法线方向观看时与下部栅极配线GL1和上部栅极配线GL2中的至少一方(在此为双方)至少部分地重叠。如图6A所示,在从基板1的法线方向观看时,第2像素接触孔CHp2的底面bc也可以位于下部栅极配线GL1和上部栅极配线GL2的内部。

[0305] 像素电极PE包含位于第1有机绝缘层11上的部分。在本实施方式中,像素电极PE包含各自由透明导电材料形成的第1电极层(下层电极层)PL1、第2电极层(中间电极层)PL2以及第3电极层(上层电极层)PL3。第1电极层PL1、第2电极层PL2以及第3电极层PL3从基板1侧起按该顺序配置。第1电极层PL1、第2电极层PL2以及第3电极层PL3是相互电连接的。

[0306] 第1电极层PL1形成在第2层间绝缘层10上和第1像素接触孔CHp1内。第1电极层PL1包含在第1像素接触孔CHp1内与氧化物半导体层4的漏极接触区域4d接触的部分(以下称为“第1部分”)p1、以及位于第2像素接触孔CHp2内的部分(以下称为“第2部分”)p2。第1电极层PL1作为将氧化物半导体层4的漏极接触区域4d与第2电极层PL2电连接的连接电极发挥功能。

[0307] 第2电极层PL2形成在第1有机绝缘层11上和第2像素接触孔CHp2内。第2电极层PL2包含在第2像素接触孔CHp2内与第1电极层PL1的第2部分p2接触的部分(以下称为“第3部分”)p3、以及位于第1有机绝缘层11上的部分(以下称为“第4部分”)p4。第2电极层PL2作为将第1电极层PL1和第3电极层PL3电连接的连接电极发挥功能。

[0308] 在第1有机绝缘层11的上方,以填埋第2像素接触孔CHp2的方式配置有第2有机绝缘层12。即,由第1有机绝缘层11和第2有机绝缘层12构成了作为平坦化层发挥功能的有机绝缘层RL。第2有机绝缘层12覆盖第2电极层PL2的第3部分p3。第2有机绝缘层12例如由感光性树脂材料形成。

[0309] 如图6A和图6C所示,第2有机绝缘层12也可以是以填埋处于相同的行的多个像素区域PIX的第2像素接触孔CHp2的方式连续地形成。在此,在从基板1的法线方向观看时,第2有机绝缘层12以覆盖构成各栅极配线GL的下部栅极配线GL1和上部栅极配线GL2的方式在行方向上延伸。在图6C所示的截面中,第2有机绝缘层12以覆盖各第2像素接触孔CHp2的侧面sc和底面bc、以及第1有机绝缘层11的上表面(位于第2像素接触孔CHp2的周边的部分)的方式配置。

[0310] 第2有机绝缘层12包含与第1有机绝缘层11直接接触的部分。优选第2有机绝缘层12在第2像素接触孔CHp2的侧面sc与第1有机绝缘层11的一部分直接接触。例如,可以是如图所示,在第2像素接触孔CHp2的侧面sc,第1有机绝缘层11的一部分被第2电极层PL2覆盖,其它一部分与第2有机绝缘层12接触。

[0311] 第3电极层PL3形成在第1有机绝缘层11上、第2电极层PL2上以及第2有机绝缘层12上。第3电极层PL3包含与第2电极层PL2的第4部分p4接触的部分(以下称为“第5部分”)p5和位于第2有机绝缘层12上的部分(以下称为“第6部分”)p6。

[0312] 在包含第1有机绝缘层11和第2有机绝缘层12的有机绝缘层RL上,以覆盖像素电极PE的方式设置有电介质层17。在电介质层17上,设置有与像素电极PE相对的共用电极CE。在

共用电极CE,按每个像素区域PIX形成有至少1个狭缝18p。

[0313] 如图6C所示,第1杂质除去区域ERd包含形成于有机绝缘层RL和电介质层17的两层孔结构部HS、共用电极CE、以及与共用电极CE形成在同层的岛状透明导电部Ta。两层孔结构部HS包含形成于电介质层17的贯通孔h1和形成于有机绝缘层RL的有底孔h2。共用电极CE位于电介质层17上,具有使两层孔结构部HS的至少一部分露出的开口部ht。岛状透明导电部Ta位于有底孔h2内。岛状透明导电部Ta与共用电极CE分隔开地配置,与共用电极CE电分离。在该例子中,岛状透明导电部Ta是与有底孔h2的内表面s2的一部分(在此为底面)接触的。这样,图6C所示的第1杂质除去区域ERd具有第3结构、即与图4A和图4B所示的杂质除去区域ER3同样的结构。电介质层17和共用电极CE分别相当于杂质除去区域ER3中的无机绝缘层IL和透明导电层TL。

[0314] 优选有机绝缘层RL具有第1有机绝缘层11与第2有机绝缘层12直接接触的界面部。界面部的位置不作特别限定。如前所述,在第2像素接触孔CHp2的侧壁的一部分,第1有机绝缘层11与第2有机绝缘层12可以是直接接触的。有机绝缘层RL的有底孔h2可以形成于包含第1有机绝缘层11与第2有机绝缘层12直接接触的界面部的区域。这样的话,第1有机绝缘层11和第2有机绝缘层12分别包含有在有底孔h2内露出的部分11a、12a。根据这种构成,能够将第1有机绝缘层11和第2有机绝缘层12双方所包含的杂质经由1个两层孔结构部HS更高效地放出。

[0315] 此外,有底孔h2也可以设置于第1有机绝缘层11和第2有机绝缘层12中的仅任意一方。在该情况下,第1有机绝缘层11和第2有机绝缘层12中的仅一方在有底孔h2内露出。即使在这种构成中,另一方有机绝缘层内的杂质也能够经过上述界面部移动至有底孔h2,因此能够将来自第1有机绝缘层11和第2有机绝缘层12双方的杂质从有底孔h2效率良好地排出。

[0316] 第1杂质除去区域ERd中的有底孔h2的外缘的尺寸不作特别限定。作为一个例子,如图6A所示,有底孔h2的行方向的宽度w1可以比源极配线SL的宽度大且为源极配线SL的宽度的3倍以下。有底孔h2的列方向的宽度w2可以为栅极配线GL(在此为下部栅极配线GL1)的宽度的1/2以上、1倍以下。由此,能够在抑制对显示特性的影响的同时确保有底孔h2的内表面s2的面积(杂质放出面的面积)。

[0317] 如图6C所示,有底孔h2的深度(从有底孔h2的内表面s2的最上部到有底孔h2的内表面s2中的最位于基板1侧的点为止的沿着基板1的法线方向的距离)d可以为有机绝缘层RL的厚度(例如,未设置有第1杂质除去区域ERd的源极-栅极交叉部中的有机绝缘层RL的厚度)H的1/4以上。由此,能够使有底孔h2的内表面s2的面积增加。其结果是,作为杂质放出面发挥功能的有机绝缘层RL的露出表面的面积增加,因此能够进一步提高杂质的除去效率。另外,位于有机绝缘层RL内的比较深的区域的杂质的放出也变得容易。在第1杂质除去区域ERd具有第3结构的情况下,优选有底孔h2的深度d例如以成为透明导电层TL的厚度的3倍以上的方式设定。由此,能够使有底孔h2的内表面s2的一部分更可靠地从岛状透明导电部Ta露出。

[0318] 另一方面,若有底孔h2的深度d过大,则有可能由于有机绝缘层RL的表面凹凸而液晶层(未图示)的取向发生紊乱,致使显示对比度下降。如果有底孔h2的深度d例如为有机绝缘层RL的厚度H的3/4以下,则通过由为了液晶显示而设置的取向膜填埋有底孔h2,能够使取向膜中的位于有底孔h2的上方的部分的表面形状接近平坦(参照图16)。其结果是,能够

更有效地抑制起因于由有底孔h2引起的表面凹凸的显示对比度的下降。作为一个例子,有底孔h2的深度d可以为200nm以上、800nm以下。

[0319] 贯通孔h1的尺寸也不作特别限定。在从基板1的法线方向观看时,只要贯通孔h1的外缘与有底孔h2的外缘相比位于内侧即可。贯通孔h1的外缘的行方向和列方向的宽度也可以为有底孔h2的行方向和列方向的宽度w1、w2的1/2以上。由此,从有底孔h2放出的杂质不易被无机绝缘层IL妨碍,因此能更高效地被放出到外部。

[0320] 在从基板1的法线方向观看时,电介质层17中的位于有底孔h2的外缘的内侧的部分(檐部分)的宽度v(图6C)例如可以为200nm以上、800nm以下。如果宽度v为200nm以上,则通过在檐部分上也配置共用电极CE,能够抑制共用电极CE的面积的降低。如果宽度v为800nm以下,则从有底孔h2放出的杂质不易被无机绝缘层IL妨碍,因此能更高效地被放出到外部。

[0321] <效果>

[0322] 本实施方式的有源矩阵基板100A在显示区域DR内具备多个第1杂质除去区域ERd,因此能够将在制造工艺中侵入到有机绝缘层RL的水分等杂质经由第1杂质除去区域ERd高效地放出到有源矩阵基板100A的外部。因此,能够抑制由杂质从有机绝缘层RL进入到像素TFT20的氧化物半导体层4引起的像素TFT20的特性变动。另外,第1杂质除去区域ERd配置于作为显示区域DR中的无助于显示并且被遮光的区域的源极-栅极交叉部,因此能够抑制由第1杂质除去区域ERd引起的显示特性的下降。

[0323] 有源矩阵基板100A具备在相互不同的工序中设置的两层有机绝缘层(在此为第1有机绝缘层11和第2有机绝缘层12)作为有机绝缘层RL。在本说明书中,将像这样在像素TFT的上方具备在相互不同的工序中设置的两层有机绝缘层的结构称为“有机绝缘层层叠结构”。在有机绝缘层层叠结构中,通过上层的有机绝缘层,能够使设置于下层的有机绝缘层的接触孔等的台阶平坦化,因此得以抑制由台阶引起的液晶分子的取向紊乱的发生。更具体地说,在有源矩阵基板100A中,由形成于第1有机绝缘层11的第2像素接触孔CHp2引起的台阶被第2有机绝缘层12平坦化,得以抑制由第2像素接触孔CHp2引起的液晶分子的取向紊乱的发生。因此,不需要对第2像素接触孔CHp2及其附近进行遮光,能够将第2像素接触孔CHp2上及其附近作为开口部(有助于显示的区域)使用,因此能够提高透射率。

[0324] 本实施方式的杂质除去区域ER能适合应用于具有有机绝缘层层叠结构的有源矩阵基板。通过将有机绝缘层层叠,可能包含杂质的有机绝缘体层的体积(合计体积)增加,但是通过设置本实施方式的两层孔结构部HS,能够促进来自层叠的有机绝缘层各自的杂质的放出。例如,通过以使第1有机绝缘层11和第2有机绝缘层12双方露出的方式配置两层孔结构部HS的有底孔h2,能够更有效地促进来自第1有机绝缘层11和第2有机绝缘层12双方的杂质的放出。

[0325] 有源矩阵基板100A使用了由透明导电材料形成的透明电极层(在此为第1电极层PL1)来代替金属电极作为像素TFT20的漏极电极。在本说明书中,将像这样由透明电极层将像素TFT与像素电极连接的结构称为“透明接触结构”。通过采用透明接触结构,能够提高透射率(像素开口率)。更具体地说,在有源矩阵基板100A中,像素电极PE所包含的第1电极层PL1、第2电极层PL2以及第3电极层PL3均由透明导电材料形成,因此实质上不会产生由像素电极PE包含这些电极层引起的透射率的下降。另外,包含与氧化物半导体层4的漏极接触区

域4d接触的部分(第1部分)p1的第1电极层PL1由透明导电材料形成,由此,第1像素接触孔CHp1上(即漏极接触区域4d周边)也能够作为开口部利用,因此能够进一步提高透射率。而且,在本实施方式中,第3电极层PL3包含位于第2有机绝缘层12上的部分(第6部分)p6,因此,像素电极PE与共用电极CE之间的距离保持恒定的区域变宽,生成足够强度的边缘电场的区域变宽,由此,透射率也会提高。

[0326] 本实施方式的杂质除去区域ER能适合应用于具有透明接触结构的有源矩阵基板。本发明人另外研究发现,若采用透明接触结构,则有机绝缘层所包含的杂质有可能以ITO层等透明电极层(在此为第1电极层PL1)为路径易于到达像素TFT的氧化物半导体层。若在这种有源矩阵基板设置本实施方式的两层孔结构部HS,则会促进有机绝缘层RL所包含的杂质向外部的放出,因此能够更有效地抑制杂质经由透明电极层侵入到氧化物半导体层。

[0327] 有源矩阵基板100A的构成不限于图示的构成。在图示的例子中,例如各第1杂质除去区域ERd具有第3结构(图4A和图4B),但是也可以取而代之,而具有第2结构(图3A和图3B)(参照图21B)。另外,第1杂质除去区域ERd的位置和个数也不限于图示的例子。

[0328] 在本实施方式中,有机绝缘层RL包含第1有机绝缘层11和第2有机绝缘层12,但是有机绝缘层RL也可以仅由第1有机绝缘层11构成。即,第2像素接触孔CHp2也可以不由有机绝缘层填埋。或者,如后所述,也可以从共用电极CE的上方设置有填埋第2像素接触孔CHp2的其它有机绝缘层。

[0329] 像素电极PE和共用电极CE的配置也不限于图示的例子。如图7所例示的那样,在从基板1的法线方向观看时,像素电极PE中的第2电极层PL2和第3电极层PL3也可以从对应的栅极配线GL延伸至与该栅极配线GL在列方向上相邻的其它栅极配线GL'的附近。第2电极层PL2和第3电极层PL3的其它栅极配线GL'侧的一端(即与第3部分p3相反的一侧的一端)也可以与其它栅极配线GL'上的第2有机绝缘层12'部分地重叠。通过采用这种构成,能够由第2有机绝缘层12'覆盖第2电极层PL2的栅极配线GL'侧的一端,因此得以抑制由第2电极层PL2的栅极配线GL'侧的一端引起的台阶的产生,能够抑制由台阶引起的漏光。

[0330] 另外,在上述记载中,像素电极PE包括3层的电极层PL1~PL3,但是也可以不具有第3电极层PL3。而且,也可代替透明的第1电极层PL1,而设置由金属材料形成的(例如与源极电极SE形成在同层的)漏极电极。由于漏极电极的形成,能够降低接触电阻,但是像素开口率可能下降。因此,特别是在高清晰的有源矩阵基板中,优选使用透明的第1电极层PL1。

[0331] 而且,各像素TFT20中的下部栅极电极GE1和上部栅极电极GE2也可以被供应相互不同的栅极信号。或者,也可以仅上部栅极电极GE2作为栅极电极发挥功能,下部栅极电极GE1为电浮动状态或被固定为固定电位(例如共用电位)。

[0332] 在上述记载中,作为栅极配线GL,具备下部栅极配线GL1和上部栅极配线GL2,但是也可以仅为任意一方。在仅具备上部栅极配线GL2作为栅极配线的情况下,像素TFT可以具有顶栅结构。在仅具备下部栅极配线GL1作为栅极配线的情况下,像素TFT可以具有底栅结构。各像素TFT20的氧化物半导体层4的位置和形状也不限于图示的例子。另外,在该例子中,源极配线SL与下部栅极配线GL1及上部栅极配线GL2相比为上层,但是源极配线SL也可以与下部栅极配线GL1相比设置在下层。

[0333] 如图22A和图22B所示,也可以代替上述的第1杂质除去区域ERd,而具备至少具有共用电极CE的开口部ht和电介质层17的贯通孔h1的杂质除去区域800d。开口部ht和贯通孔

h1以使有机绝缘层RL的一部分露出的方式配置。在杂质除去区域800d中，也可以在有机绝缘层RL不形成有底孔h2。在从基板1的法线方向观看时，开口部ht和贯通孔h1的侧面可以是相互对齐的(图22A)，开口部ht也可以与贯通孔h1的外缘相比位于内侧(图22B)。虽然未图示，但是贯通孔h1也可以与开口部ht的外缘相比位于内侧。

[0334] <电路TFT>

[0335] 有源矩阵基板100A也可以在非显示区域FR还具备栅极驱动器GD、多路分配电路DMX等周边电路。这些周边电路包含多个电路TFT。各电路TFT可以是以与像素TFT20的氧化物半导体层4同层的氧化物半导体层为活性层的氧化物半导体TFT。电路TFT也可以是具有顶栅结构、底栅结构或双栅结构的氧化物半导体TFT。或者，也可以是以结晶质硅半导体层或非晶质硅层为活性层的硅半导体TFT。

[0336] 以下，说明具有以结晶质硅半导体层为活性层的结晶质硅TFT作为电路TFT的构成。

[0337] 图8是示出非显示区域FR中的周边电路的一部分和显示区域DR的像素区域PIX的一部分的放大截面图。像素区域的构成是与参照图6A～图6C前述的构成同样的，因此省略说明。

[0338] 周边电路包含至少1个电路TFT30。电路TFT30例如是具有顶栅结构的结晶质硅TFT。

[0339] 电路TFT30具有位于基板1上的遮光层31、包含沟道区域33c的结晶质硅半导体层33、栅极电极35、以及源极电极和漏极电极36。在遮光层31与结晶质硅半导体层33之间，延伸设置有第1下部绝缘层2作为下部栅极绝缘层。在结晶质硅半导体层33与栅极电极35之间，延伸设置有第2下部绝缘层3作为下部栅极绝缘层。在从基板1的法线方向观看时，遮光层31和栅极电极35分别配置为与结晶质硅半导体层33的沟道区域33c至少部分地重叠。遮光层31例如可以是电浮动状态。此外，也可以通过将遮光层31与栅极电极35电连接来使遮光层31作为下部栅极发挥功能(双栅结构)。

[0340] 栅极电极35是与下部栅极配线GL1和像素TFT20的下部栅极电极GE1形成在同层的。“形成在同层”是指由相同的导电膜形成。在栅极电极35的上方，延伸设置有像素TFT20的下部栅极绝缘层5和上部栅极绝缘层7，进而在其上方延伸设置有第1层间绝缘层9。

[0341] 源极电极和漏极电极36配置在第1层间绝缘层9上。在此，源极电极和漏极电极36是与源极配线SL和像素TFT20的源极电极SE形成在同层的。在第2下部绝缘层3、下部栅极绝缘层5、上部栅极绝缘层7以及第1层间绝缘层9，设置有使结晶质硅半导体层33中的位于沟道区域33c的两侧的部分分别露出的电路接触孔。源极电极和漏极电极36分别在电路接触孔内电连接到结晶质硅半导体层33。源极电极和漏极电极36也可以电连接到与这些电极同层的配线、或与下部栅极电极GE1同层的配线38。

[0342] 电路TFT30由第2层间绝缘层10和第1有机绝缘层11覆盖。在第1有机绝缘层11上也可以配置有电介质层17。

[0343] (变形例1：有源矩阵基板100B)

[0344] 图9是示出变形例1的有源矩阵基板100B中的第2杂质除去区域ERf的配置的示意性的俯视图。变形例1的有源矩阵基板在非显示区域FR设置有第2杂质除去区域Erf，这一点与前述的有源矩阵基板100A不同。

[0345] 如图9所示,在有源矩阵基板100B中,在非显示区域FR相互分隔开地配置有多个第2杂质除去区域ERf。优选各第2杂质除去区域ERf接近于显示区域DR地设置。在从基板1的法线方向观看时,多个第2杂质除去区域ERf沿着显示区域DR与非显示区域FR的边界配置在非显示区域FR。也可以在从基板1的法线方向观看时,多个第2杂质除去区域ERf配置为包围显示区域DR。例如,也可以在列方向的两端(上端和下端)的像素行的外侧和行方向的两侧端(右端和左端)分别配置有多个第2杂质除去区域ERf。由此,能够更有效地抑制从有机绝缘层RL放出的杂质进入到显示区域DR内的像素TFT20的氧化物半导体层4。

[0346] 如图所示,各第2杂质除去区域ERf也可以配置在栅极驱动器GD或多路分配电路DMX等周边电路与显示区域DR之间。在本说明书中,将非显示区域FR中的位于显示区域DR与多路分配电路DMX之间的区域FR1称为“第1非显示区域”,将非显示区域FR中的位于显示区域DR与多路分配电路DMX之间的区域FR2称为“第2非显示区域”。在该例子中,在从基板1的法线方向观看时,第2杂质除去区域ERf包含配置在第1非显示区域FR1的多个第2杂质除去区域ERf1和配置在第2非显示区域FR2的多个第2杂质除去区域ERf2。

[0347] 多个第2杂质除去区域ERf1例如可以沿着行方向相互分隔开地排列在列方向的一端的像素行(位于最靠多路分配电路DMX侧的像素行)的外侧。各第2杂质除去区域ERf1也可以配置在相邻的2个源极配线SL之间。

[0348] 另一方面,多个第2杂质除去区域ERf2也可以沿着列方向相互分隔开地排列在行方向的一侧端或两侧端的像素列(位于最靠栅极驱动器GD侧的像素列)的外侧。各第2杂质除去区域ERf2也可以配置在相邻的2个栅极配线GL之间。在从基板1的法线方向观看时,在栅极驱动器GD与显示区域DR之间形成有向共用电极CE供应信号的共用配线CL的情况下,各第2杂质除去区域ERf2也可以在共用配线CL与显示区域DR之间配置于延伸设置有共用电极CE的区域。

[0349] 此外,第2杂质除去区域ERf1、第2杂质除去区域ERf2的位置、个数不限于图示的例子。第2杂质除去区域ERf1也可以按每2个以上的源极配线SL来配置。同样地,第2杂质除去区域ERf2也可以按每2个以上的栅极配线GL来配置。而且,也可以仅设置有第2杂质除去区域ERf1和第2杂质除去区域ERf2中的一方。另外,在该例子中,在从基板1的法线方向观看时,在与源极配线SL或栅极配线GL不重叠的位置配置有第2杂质除去区域ERf1、ERf2,但是第2杂质除去区域ERf1、ERf2的一部分或整体(有底孔h2的一部分或整体)也可以与源极配线SL或栅极配线GL重叠。

[0350] 图10A示出位于有源矩阵基板100B的列方向的一端(上端)的像素行的1个像素区域PIX、以及第1非显示区域FR1的一部分。图10A与图9所示的区域Rb对应。图10B~图10D分别是沿着图10A所示的Xb-Xb线、Xc-Xc线以及Xd-Xd线的截面图。图11A示出位于有源矩阵基板100B的行方向的一侧端(左端)的像素列的1个像素区域PIX、以及第2非显示区域FR2的一部分。图11A与图9所示的区域Rc对应。图11B是沿着图11A所示的XIb-XIb线的截面图。

[0351] 有源矩阵基板100B中的各像素区域PIX的结构除了未配置有第1杂质除去区域ERd这一点以外是与前述的有源矩阵基板100A同样的。

[0352] 如图10A和图10B所示,在有源矩阵基板100B的第1非显示区域FR1中,在相邻的2个源极配线SL之间配置有第2杂质除去区域ERf1。

[0353] 在该例子中,第1非显示区域FR1与共用电极CE的端部18e相比位于多路分配电路

DMX侧。即，共用电极CE未延伸设置至第1非显示区域FR1。因此，第2杂质除去区域ERf1具有第1结构(与图2A和图2B所示的杂质除去区域ER1同样的结构)。电介质层17相当于杂质除去区域ER1中的无机绝缘层IL。

[0354] 如图11A和图11B所示，在第2非显示区域FR2，在相邻的2个栅极配线GL之间配置有第2杂质除去区域ERf2。在该例子中，在显示区域DR与栅极驱动器GD之间，共用配线CL在列方向上延伸。共用配线CL例如是与源极配线SL、上部栅极配线GL2或下部栅极配线GL1形成在同层的配线。共用电极CE从显示区域DR延伸设置到共用配线CL上，通过位于共用配线CL上或其附近的连接部电连接到共用配线CL。各第2杂质除去区域ERf2配置在第2非显示区域FR2中的延伸设置有共用电极CE的区域内。

[0355] 在图示的例子中，各第2杂质除去区域ERf2具有第3结构(图4A和图4B)。电介质层17和共用电极CE分别相当于图4A和图4B所示的杂质除去区域ER3中的无机绝缘层IL和透明导电层TL。即，在两层孔结构部HS上，在共用电极CE设置有开口部ht。在开口部ht内，配置有与共用电极CE形成在同层的岛状透明导电部Ta。岛状透明导电部Ta是与有底孔h2的内表面s2的一部分接触的。此外，各第2杂质除去区域ERf2也可以具有第2结构(图3A和图3B)。

[0356] 在有源矩阵基板100B中，在第1非显示区域FR1和第2非显示区域FR2未形成第2有机绝缘层12。因此，在各第2杂质除去区域ERf1、ERf2中，构成两层孔结构部HS的有底孔h2仅设置于第1有机绝缘层11。第1有机绝缘层11包含有在有底孔h2内露出的部分，但是第2有机绝缘层12未在有底孔h2内露出。然而，从图10B和图10C可知，第2有机绝缘层12的一部分是与第1有机绝缘层11直接接触的，因此第2有机绝缘层12内的杂质能经过与第1有机绝缘层11的界面移动至任意的第2杂质除去区域ERf1、ERf2的两层孔结构部HS，并被放出到外部。

[0357] 在图示的例子中，在从基板1的法线方向观看时，各第2杂质除去区域ERf1、ERf2中的两层孔结构部HS的有底孔h2的外缘大致为矩形，贯通孔h1的外缘是比有底孔h2小一圈的矩形。此外，有底孔h2和贯通孔h1的形状不限于此，也可以是圆形或椭圆形。第2杂质除去区域ERf1、ERf2中的贯通孔h1和有底孔h2的尺寸不作特别限定，能根据形成第2杂质除去区域ERf1、ERf2的区域的尺寸而适当选择。有底孔h2的深度d、贯通孔h1、有底孔h2以及开口部ht的尺寸的大小关系、电介质层17(无机绝缘层IL)的檐部分的宽度v等也可以是与上述的有源矩阵基板100A同样的。

[0358] 而且，如图18所例示的那样，在第1非显示区域FR1，也可以设置有在从基板1的法线方向观看时以横穿多个源极配线SL的方式配置的两层孔结构部HS。同样地，在第2非显示区域FR2，也可以设置有以横穿多个栅极配线GL的方式配置的两层孔结构部HS。由此，能够使杂质放出面的表面积增加，因此能够进一步高效地将杂质放出到外部。

[0359] 如图23所示，也可以代替上述的第2杂质除去区域ERf1，而具备至少具有电介质层17的贯通孔h1的杂质除去区域800f1。贯通孔h1以使有机绝缘层RL的一部分露出的方式设置。在杂质除去区域800f1中，也可以在有机绝缘层RL不形成有底孔h2。同样地，如图24A和图24B所示，也可以代替上述的第2杂质除去区域ERf2，而具备至少具有共用电极CE的开口部ht和电介质层17的贯通孔h1的杂质除去区域800f2。开口部ht和贯通孔h1以使有机绝缘层RL的一部分露出的方式配置。在杂质除去区域800f2中，也可以在有机绝缘层RL不形成有底孔h2。在从基板1的法线方向观看时，开口部ht和贯通孔h1的侧面可以是相互对齐的(图24A)，开口部ht也可以与贯通孔h1的外缘相比位于内侧(图24B)。虽然未图示，但是贯通孔

h1也可以与开口部ht的外缘相比位于内侧。另外,如图18所例示的那样,杂质除去区域800f1、800f2的贯通孔h1也可以是以横穿多个源极配线SL或栅极配线GL的方式配置。

[0360] (变形例2:有源矩阵基板100C)

[0361] 图12是示出变形例2的有源矩阵基板100C中的杂质除去区域ER的配置的示意性的俯视图。变形例2的有源矩阵基板在显示区域DR和非显示区域FR双方配置有杂质除去区域ER,这一点与前述的有源矩阵基板100A、100B不同。

[0362] 如图12所示,在有源矩阵基板100C中,在显示区域DR设置有多个第1杂质除去区域ERd,并且在非显示区域FR设置有多个第2杂质除去区域ERf1、ERf2。各第1杂质除去区域ERd的结构和配置可以是与有源矩阵基板100A同样的。另外,各第2杂质除去区域ERf1、ERf2的结构、配置可以是与有源矩阵基板100B同样的。

[0363] 根据本变形例,能够配置更多的两层孔结构部HS,因此能够进一步效率良好地将杂质从有机绝缘层RL放出到外部。另外,通过在非显示区域FR配置第2杂质除去区域ERf,能够使配置在显示区域DR内的第1杂质除去区域ERd的数量比例如图5所示的有源矩阵基板100A少。例如可以对25个以上、10000个以下的像素区域PIX配置1个第1杂质除去区域ERd。或者,在从基板1的法线方向观看时,在显示区域DR中,也可以对 $0.1\text{mm} \sim 2\text{mm} \times 0.1\text{mm} \sim 2\text{mm}$ 的矩形的区域(或者,每 0.01mm^2 以上、 4mm^2 以下的面积)配置1个第1杂质除去区域ERd。

[0364] 在本变形例中,也可以代替上述的第1杂质除去区域ERd和第2杂质除去区域ERf,而形成杂质除去区域800d、800f1、800f2(图22A~图24B)。

[0365] (变形例3:有源矩阵基板100D、100E)

[0366] 图13A是例示变形例3的有源矩阵基板100D中的1个像素区域PIX的俯视图。图13B和图13C分别是沿着图13A所示的XIIIb-XIIIb线和XIIIc-XIIIc线的截面图。有源矩阵基板100D在显示区域DR具有多个第1杂质除去区域ERd。有源矩阵基板100D中的第1杂质除去区域ERd的配置例如是与图5同样的。图13A与图5所示的区域Ra对应。

[0367] 在有源矩阵基板100D中,第2有机绝缘层12与电介质层17相比配置在上层,这一点与有源矩阵基板100A不同。在本说明书中,为了与相比于电介质层17(无机绝缘层IL)处于下层的有机绝缘层RL区别开来,有时将与电介质层17相比位于上层的有机绝缘层称为“其它有机绝缘层RL”。在有源矩阵基板100D中,第1有机绝缘层11是“有机绝缘层RL”,第2有机绝缘层12是“其它有机绝缘层RL”。

[0368] 另外,有源矩阵基板100D不具有第3电极层PL3,这一点与有源矩阵基板100A不同。有源矩阵基板100D的像素电极PE包括:第1电极层PL1,其在第1像素接触孔CHp1内与氧化物半导体层4的漏极接触区域4d接触;以及第2电极层PL2,其在设置于第1有机绝缘层11的第2像素接触孔CHp2内与第1电极层PL1接触。第1电极层PL1和第2电极层PL2的配置、形状可以是与有源矩阵基板100A同样的。

[0369] 在设置于第1有机绝缘层11的第2像素接触孔CHp2内和第1有机绝缘层11上,电介质层17和共用电极CE按该顺序配置在第2电极层PL2之上。第2有机绝缘层12以填埋由第2像素接触孔CHp2引起的凹部的方式配置在共用电极CE的上方。即,电介质层17和共用电极CE位于第1有机绝缘层11与第2有机绝缘层12之间。在从基板1的法线方向观看时,第2有机绝缘层12与有源矩阵基板100A同样,可以在下部栅极配线GL1和上部栅极配线GL2上在行方向上连续地延伸。

[0370] 第1杂质除去区域ERd例如与有源矩阵基板100A中的第1杂质除去区域ERd同样，配置于栅极-源极交叉部。如图13C所示，第1杂质除去区域ERd包含形成于第1有机绝缘层11(有机绝缘层RL)和电介质层17的两层孔结构部HS。在该例子中，第1杂质除去区域ERd具有第3结构。在电介质层17上配置有共用电极CE，在两层孔结构部HS的有底孔h2内，配置有与共用电极CE形成在同层的岛状透明导电部Ta。

[0371] 第1杂质除去区域ERd由第2有机绝缘层12(其它有机绝缘层RL')覆盖。如图所示，第2有机绝缘层12可以是以填埋两层孔结构部HS的贯通孔h1和有底孔h2的方式配置。在有底孔h2内，第2有机绝缘层12可以是与内表面s2中的从岛状透明导电部Ta露出的部分直接接触。

[0372] 在本变形例中，第2有机绝缘层12的上表面未由无机绝缘膜或透明导电膜覆盖，因此第2有机绝缘层12内的杂质能从第2有机绝缘层12的上表面被放出到外部。另一方面，如图13C中箭头所示，第1有机绝缘层11内的杂质能在移动到第2有机绝缘层12中的位于有底孔h2的内部的部分后经过贯通孔h1从第2有机绝缘层12的上表面放出。

[0373] 在图13A～图13C中，示出了在显示区域DR配置有第1杂质除去区域ERd的例子，但是也可以在此基础上，或者取而代之，在非显示区域FR配置有第2杂质除去区域ERf1、ERf2。

[0374] 图14A是例示变形例3的其它有源矩阵基板100E中的非显示区域(在此为第2非显示区域FR2)的一部分的俯视图。图14B是沿着图14A所示的XIVb-XIVb线的截面图。有源矩阵基板100E中的第2杂质除去区域ERf的配置例如与图9是同样的。图14A与图9所示的区域Rb对应。

[0375] 如图14B所示，第2杂质除去区域ERf2例如具有第3结构。在第2杂质除去区域ERf2上，以填埋两层孔结构部HS的方式配置有第2有机绝缘层12f(其它有机绝缘层RL')。第2有机绝缘层12f也可以是以填埋两层孔结构部HS的贯通孔h1和有底孔h2的方式配置。第2有机绝缘层12f是与位于显示区域DR的第2有机绝缘层12同层的。在该例子中，第2有机绝缘层12f是与第2有机绝缘层12分隔开地配置。在第2非显示区域FR2中，可以按每个两层孔结构部HS配置有1个岛状的第2有机绝缘层12f。或者，第2有机绝缘层12f也可以是以填埋2个以上的两层孔结构部HS的方式在列方向上延伸。此外，第2有机绝缘层12f也可以是与第2有机绝缘层12相连(一体地形成)的。

[0376] 虽然未图示，但是也可以在第1非显示区域FR1设置有具有第1结构的第2杂质除去区域ERf1。在第2杂质除去区域ERf1上，也可以以填埋两层孔结构部HS的方式配置有其它有机绝缘层RL'。

[0377] 如图25和图26所示，也可以代替上述的第1杂质除去区域ERd、第2杂质除去区域ERf2，而具备至少具有共用电极CE的开口部ht和电介质层17的贯通孔h1的杂质除去区域800d、800f2。开口部ht和贯通孔h1使有机绝缘层RL的一部分露出的方式配置。在杂质除去区域800d、800f2中，也可以在有机绝缘层RL不形成有底孔h2。在图25和图26中，在从基板1的法线方向观看时，开口部ht和贯通孔h1的侧面是相互对齐的，但是开口部ht也可以与贯通孔h1的外缘相比位于内侧(参照图22B、图24B)，贯通孔h1也可以与开口部ht的外缘相比位于内侧。此外，虽然未图示，但是在第1非显示区域R1，也可以配置有具有与杂质除去区域800f2同样的结构的杂质除去区域。

[0378] (变形例4：有源矩阵基板100F)

[0379] 图15A是例示变形例4的有源矩阵基板100F中的在行方向上相邻的2个像素区域PIX的俯视图。图15B和图15C分别是沿着图15A所示的XVb-XVb线和XVc-XVc线的截面图。有源矩阵基板100F在显示区域DR具有多个第1杂质除去区域ERd。有源矩阵基板100F中的第1杂质除去区域ERd的配置例如是与图5同样的。

[0380] 有源矩阵基板100F在各第1杂质除去区域ERd的基板1侧设置有遮光层LS,这一点与变形例1的有源矩阵基板100A不同。

[0381] 遮光层LS配置在比各像素TFT20靠基板1侧(在此是配置在比下部栅极电极GE1靠基板1侧)。在图示的例子中,遮光层LS隔着下部绝缘层3、2配置在像素TFT20的下部栅极电极GE1的基板1侧。遮光层LS例如是金属层。

[0382] 如图8所示,在同一基板1上形成电路TFT30的情况下,遮光层LS可以与电路TFT30的遮光层31形成在同层(即,使用相同的导电膜形成)。由此,能不增加制造工序数量地形成遮光层LS。

[0383] 在液晶显示装置中,若在有源矩阵基板的显示区域的表面设置有凹凸,则有可能起因于表面的凹凸而液晶取向部分地紊乱。液晶取向的紊乱可能成为显示对比度的下降的主要原因。在本变形例中,在配置于显示区域DR的第1杂质除去区域ERd中,有时会在两层孔结构部HS及其附近产生表面凹凸。在该情况下,第1杂质除去区域ERd也由遮光层LS遮光,包含第1杂质除去区域ERd的区域无助于显示,因此能够抑制由两层孔结构部HS产生的表面凹凸所引起的显示对比度的下降。

[0384] 遮光层LS也可以配置为在从基板1的法线方向观看时与位于栅极-源极交叉部的第1杂质除去区域ERd和接近于第1杂质除去区域ERd地配置的其它接触孔重叠。

[0385] 在此,将构成配置有第1杂质除去区域ERd的栅极-源极交叉部的栅极配线GL和源极配线SL分别设为栅极配线GLa和源极配线SLa,将在栅极配线GLa上具有沟道区域4c的2个像素TFT20分别设为像素TFT20a、20b。像素TFT20a、20b夹着源极配线SLa相邻。在图示的例子中,在从基板1的法线方向观看时,在栅极配线GLa上,以在行方向上夹着第1杂质除去区域ERd的方式配置有像素TFT20a、20b的第2像素接触孔CHp2a、CHp2b。另外,像素TFT20a、20b的第1像素接触孔CHp1a、CHp1b分别配置在对应的像素区域PIX内的栅极配线GLa的附近。而且,一方像素TFT20a的源极接触孔CHsa以与源极配线SLa重叠的方式配置。遮光层LS配置为除了对第1杂质除去区域ERd的两层孔结构部HS进行遮光以外,还对这些第2像素接触孔CHp2a、CHp2b、第1像素接触孔CHp1a、CHp1b以及源极接触孔CHsa全部进行遮光。由此,在有源矩阵基板100F的包含各第1杂质除去区域ERd的规定的区域中,能够更有效地抑制由表面凹凸引起的显示对比度的下降。

[0386] 本变形例中说明的遮光层LS也能应用于具有第1杂质除去区域ERd的其它有源矩阵基板100C、100D。

[0387] 此外,遮光层LS只要至少与两层孔结构部HS重叠即可,遮光层LS的尺寸、平面形状不限于图示的例子。

[0388] 如图27所示,也可以代替上述的第1杂质除去区域ERd,而具备至少具有共用电极CE的开口部ht和电介质层17的贯通孔h1的杂质除去区域800d。开口部ht和贯通孔h1以使有机绝缘层RL的一部分露出的方式配置。在杂质除去区域800d中,也可以在有机绝缘层RL不形成有底孔h2。在从基板1的法线方向观看时,开口部ht也可以与贯通孔h1的外缘相比位于

内侧(参照图22B),贯通孔h1也可以与开口部ht的外缘相比位于内侧。

[0389] (液晶显示装置)

[0390] 本发明的实施方式的有源矩阵基板100A~100F能够适合用于液晶显示装置。

[0391] 以下,以使用变形例4的有源矩阵基板100F的FFS模式的液晶显示装置为例来说明本实施方式的液晶显示装置的一个例子。

[0392] 图16是示出液晶显示装置500的一部分的示意性的截面图。

[0393] 液晶显示装置500具备:有源矩阵基板100F;相对基板200,其以与有源矩阵基板100F相对的方式设置;以及液晶层300,其设置在有源矩阵基板100F与相对基板200之间。

[0394] 在有源矩阵基板100F的液晶层300侧的最表面,设置有取向膜190。取向膜190例如在进行有源矩阵基板100F的杂质除去工序(后述)后形成,因此可以是覆盖各杂质除去区域ER中的两层孔结构部HS的。

[0395] 取向膜190例如能通过在用印刷橡胶版或喷墨将包含树脂材料和溶剂的取向膜材料涂布到有源矩阵基板100F的表面后进行烧制而形成。通过取向膜190,能够将有源矩阵基板100F的两层孔结构部HS(有底孔h2和贯通孔h1)填埋,因此能够更有效地抑制由两层孔结构部HS引起的显示对比度的下降。如图所示,取向膜190中的位于两层孔结构部HS的上方的部分的表面也可以是大致平坦的。

[0396] 相对基板200具有基板201以及支撑于基板201的彩色滤光片层210及黑矩阵220。在相对基板200的液晶层300侧的最表面,设置有取向膜290。在彩色滤光片层210及黑矩阵220与取向膜290之间也可以配置有覆层230。

[0397] 液晶层300的厚度(单元间隙)例如由设置于相对基板200的液晶层300侧的柱状间隔物310规定。

[0398] 在液晶显示装置500中,有源矩阵基板100F的遮光层LS也可以是以对柱状间隔物310和两层孔结构部HS进行遮光的方式配置。

[0399] 图17A和图17B分别是例示液晶显示装置500中的第1杂质除去区域ERd、柱状间隔物310以及遮光层LS的配置关系的俯视图。

[0400] 如图17A所示,各第1杂质除去区域ERd中的两层孔结构部HS也可以是以与柱状间隔物310之一相互重叠的方式配置。在图17A中,在从基板1的法线方向观看时,第1杂质除去区域ERd的两层孔结构部HS与柱状间隔物310的外缘相比位于内侧,但是柱状间隔物310与两层孔结构部HS也可以部分地重叠。或者,如图17B所示,各第1杂质除去区域ERd的两层孔结构部HS也可以在从基板1的法线方向观看时接近于柱状间隔物310之一地配置。

[0401] 有源矩阵基板100F中的各遮光层LS配置为在从基板1的法线方向观看时,与相互重叠或相互接近的柱状间隔物310和两层孔结构部HS重叠。由此,能够抑制柱状间隔物310和第1杂质除去区域ERd对显示特性的影响。另外,不需要另行设置对第1杂质除去区域ERd进行遮光的遮光层,因此能够抑制遮光面积的增加而提高像素开口率。

[0402] 液晶显示装置500适合用于高清晰的(例如1000ppi以上的)液晶显示装置,例如适合用于头戴式显示器用的液晶显示装置。

[0403] 此外,在此以有源矩阵基板100F为例进行了说明,但是也可以取而代之,而使用有源矩阵基板100A~100E。在如有源矩阵基板100A、100C、100D那样在显示区域DR设置第1杂质除去区域ERd的构成中,可以如上所述,将第1杂质除去区域ERd中的至少1个配置为在从

基板1的法线方向观看时与柱状间隔物310重叠(或接近),并设置对它们进行遮光的遮光层LS。

[0404] 另外,在此例示了作为横向电场模式的一种的FFS模式的液晶显示装置500,但是本发明的实施方式的有源矩阵基板也可以用于其它显示模式的液晶显示装置。在如TN(Twisted Nematic:扭曲向列)模式、VA(Vertical Alignment:垂直取向)模式这样的纵向电场模式的液晶显示装置中,共用电极被设置于相对基板侧。

[0405] (有源矩阵基板的制造方法)

[0406] 以下,参照附图来说明本实施方式的有源矩阵基板的制造方法的例子。图19A~图19I和图20A~图20I是示出有源矩阵基板100A的显示区域DR的一部分的工序截面图。这些图均示出沿着图15A所示的XVc-XVc线的截面结构。

[0407] 首先,如图19A所示,在基板1上形成遮光层LS。例如,在通过溅射法沉积了遮光层用导电膜后,通过光刻工艺将遮光层用导电膜图案化,从而能够形成遮光层LS。

[0408] 作为基板1,例如,能够使用玻璃基板、硅基板、具有耐热性的塑料基板(树脂基板)等。作为遮光层用导电膜,能够适当使用包含铝(A1)、钨(W)、钼(Mo)、钽(Ta)、铬(Cr)、钛(Ti)、铜(Cu)等金属或其合金、或者其金属氮化物的膜。另外,也可以使用将这多个膜层叠而成的层叠膜。在此,使用钼钨合金膜作为遮光层用导电膜。遮光层用导电膜的厚度例如为30nm以上、100nm以下。

[0409] 接下来,如图19B所示,以覆盖遮光层LS的方式按顺序形成第1下部绝缘层2和第2下部绝缘层3。例如能够通过CVD法形成第1下部绝缘层2和第2下部绝缘层3。作为第1下部绝缘层2和第2下部绝缘层3,能够以层叠或单层的方式适当使用氧化硅(SiO₂)层、氮化硅(SiNx)层、氧氮化硅(Si₀xNy; x>y)层、氮氧化硅(SiNx0y; x>y)层等。

[0410] 如图8所示,在形成硅半导体TFT作为电路TFT30的情况下,例如,也可以形成氧化硅与氮化硅的层叠膜作为第1下部绝缘层2,接下来,在通过硅半导体膜的成膜(厚度:例如30nm~100nm)、激光结晶化等公知的方法形成结晶质硅半导体层后,形成氧化硅膜作为第2下部绝缘层3。

[0411] 在形成与像素TFT20同样的氧化物半导体TFT作为电路TFT的情况下,也可以形成用于防止来自基板1的杂质等的扩散的SiNx层作为覆盖遮光层LS的第1下部绝缘层2,在其上形成用于确保绝缘性的SiO₂层作为第2下部绝缘层3。下部绝缘层的厚度(在具有层叠结构的情况下为合计厚度)例如为100nm以上、600nm以下。此外,在形成与像素TFT20同样的氧化物半导体TFT作为电路TFT的情况下,也可以代替设置第1下部绝缘层2和第2下部绝缘层3这两层,而设置单层的下部绝缘层(例如能作为底涂层发挥功能的层)。

[0412] 接着,如图19C所示,在第2下部绝缘层3上形成下部栅极配线GL1。下部栅极配线GL1包含作为下部栅极电极GE1发挥功能的部分。在此,例如在通过溅射法形成第1导电膜(厚度:例如50nm以上、500nm以下)后,通过公知的光刻工序进行第1导电膜的图案化(例如湿式蚀刻),从而能够形成下部栅极电极GE1和下部栅极配线GL1。

[0413] 作为第1导电膜,可以使用与遮光层用导电膜同样的(作为遮光性用导电膜示出的)导电膜。在此,作为第1导电膜,使用包含钼钨合金、钨、钽、钼、铜(Cu)以及Al的单层或层叠的金属膜。

[0414] 接下来,为了控制结晶质硅半导体层的导电性来制作硅半导体TFT,使用公知的方

法,将抗蚀剂图案膜等作为掩模,多次进行对结晶质硅半导体层添加硼、磷等杂质的离子掺杂,在硅膜形成源极区域和漏极区域(省略图示)。

[0415] 接下来,如图19D所示,以覆盖下部栅极配线GL1的方式形成下部栅极绝缘层5(厚度:例如200nm以上、600nm以下)。

[0416] 下部栅极绝缘层5例如通过CVD法形成。作为下部栅极绝缘层5,例如,能够适当使用氧化硅(SiO_2)层、氮化硅(SiN_x)层、氧氮化硅($\text{SiO}_{x\text{Ny}}$; $x > y$)层、氮氧化硅($\text{SiN}_{x\text{Oy}}$; $x > y$)层等。在此,作为下部栅极绝缘层5,例如,使用CVD法形成氧化硅(SiO_2)层(厚度:例如100~500nm)。或者,作为下部栅极绝缘层5,也可以形成以氮化硅(SiN_x)层(厚度:50~600nm)为下层、以氧化硅(SiO_2)层(厚度:50~600nm)为上层的层叠膜。

[0417] 接着,如图19E所示,在下部栅极绝缘层5上形成氧化物半导体层4。例如,在通过溅射法沉积了氧化物半导体膜后,通过光刻工艺将氧化物半导体膜图案化,从而能够形成岛状的氧化物半导体层4。在此,作为氧化物半导体层4,例如形成具有 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 的组成比的In-Ga-Zn-O系的半导体层。氧化物半导体层4的厚度例如为5nm以上、60nm以下。

[0418] 接下来,如图19F所示,以覆盖氧化物半导体层4的方式沉积上部栅极绝缘层7。上部栅极绝缘层7的沉积例如通过CVD法来进行。作为上部栅极绝缘层7,例如,能够使用与下部栅极绝缘层5同样的(作为下部栅极绝缘层5例示的)绝缘层。在此,形成氧化硅(SiO_2)层作为上部栅极绝缘层7。上部栅极绝缘层7的厚度例如为50nm以上、150nm以下。此外,在氧化物半导体层4以后的至此为止的各阶段,也可以进行用于控制氧化物半导体层4的电特性的恰当的热退火处理等。

[0419] 接着,如图19G所示,在下部栅极绝缘层5上形成上部栅极配线GL2。上部栅极配线GL2包含作为上部栅极电极GE2发挥功能的部分。在此,例如在通过溅射法沉积了第2导电膜后,通过公知的光刻工艺将第2导电膜图案化,从而能够形成上部栅极配线GL2。

[0420] 作为第2导电膜,例如,能够使用与第1导电膜相同的(作为第1导电膜示出的)导电膜。第2导电膜的厚度例如为50nm以上、500nm以下。

[0421] 之后,也可以将上部栅极电极GE2作为掩模,隔着上部栅极绝缘层7进行氧化物半导体层4的低电阻化处理。作为低电阻化处理,例如能够使用等离子体处理等。通过低电阻化处理,氧化物半导体层4中的与上部栅极电极GE2不重叠的区域(成为源极接触区域4s和漏极接触区域4d的区域)成为电阻率比氧化物半导体层4中的与上部栅极电极GE2重叠的区域(成为沟道区域4c的区域)低的低电阻区域。低电阻区域也可以是导电体区域(例如片电阻:200 Ω/\square 以下)。

[0422] 此外,也可以在形成第2导电膜前或者与第2导电膜一并进行上部栅极绝缘层7的图案化。由此,也可以仅在上部栅极电极GE2和上部栅极配线GL2的下方配置上部栅极绝缘层7。之后,也可以将上部栅极电极GE2作为掩模,进行氧化物半导体层4的低电阻化处理。

[0423] 低电阻化处理的方法不限于等离子体处理。例如,也能通过使氧化物半导体层4的露出区域与能还原氧化物半导体的还原性的绝缘膜接触来进行低电阻化。或者,也能够通过对氧化物半导体层4的例如离子掺杂等的离子注入处理来进行低电阻化。在该情况下,也能够隔着上部栅极绝缘层7进行离子注入处理,因此能进行工艺缩短。

[0424] 接下来,如图19H所示,形成覆盖氧化物半导体层4和上部栅极电极GE2的第一层间绝缘层9。例如能够通过CVD法形成第一层间绝缘层9。之后,通过第一层间绝缘层9和上部栅极

绝缘层7的图案化,以使氧化物半导体层4的源极接触区域4s的一部分露出的方式形成源极接触孔CHs(图15B)。

[0425] 作为第1层间绝缘层9,能够以单层或层叠的方式使用氧化硅(SiO_2)层、氮化硅(SiN_x)层、氧氮化硅(SiO_xNy ; $x>y$)层、氮氧化硅(SiN_xO_y ; $x>y$)层等无机绝缘层。第1层间绝缘层9的厚度例如为200nm以上、1000nm以下。在此,使用氧化硅层作为第1层间绝缘层9。

[0426] 接着,如图19I所示,在第1层间绝缘层9上形成源极电极SE和源极配线SL。例如,在通过溅射法沉积了源极用导电膜后,通过光刻工艺将源极用导电膜图案化,从而能够形成源极配线SL。这样,得到像素TFT20。

[0427] 作为源极用导电膜,能够适当使用包含铝(A1)、钨(W)、钼(Mo)、钽(Ta)、铜(Cu)、铬(Cr)、钛(Ti)等金属或其合金、或者其金属氮化物的膜。另外,也可以使用将这多个膜层叠而成的层叠膜。在此,使用将Ti膜、A1膜以及Ti膜按该顺序层叠而成的膜作为源极用导电膜。源极用导电膜的厚度例如为200nm以上、700nm以下。

[0428] 接着,如图20A所示,形成覆盖像素TFT20的第2层间绝缘层10。例如能够通过CVD法形成第2层间绝缘层10。之后,进行第1层间绝缘层9和第2层间绝缘层10的图案化,以使氧化物半导体层4的漏极接触区域4d的一部分露出的方式形成第1像素接触孔CHp1(图15B)。第1像素接触孔CHp1例如形成为直径为 $1.5\mu\text{m}\sim 2.5\mu\text{m}$ 的圆形。

[0429] 作为第2层间绝缘层10,能够以单层或层叠的方式使用氧化硅(SiO_2)层、氮化硅(SiN_x)层、氧氮化硅(SiO_xNy ; $x>y$)层、氮氧化硅(SiN_xO_y ; $x>y$)层等无机绝缘层。第2层间绝缘层10的厚度例如为100nm以上、800nm以下。在此,使用氮化硅层作为第2层间绝缘层10。

[0430] 接下来,如图20B所示,在第2层间绝缘层10上和第1像素接触孔CHp1内,形成第1电极层PL1。例如,在通过溅射法沉积了透明导电膜后,通过光刻工艺将透明导电膜图案化,从而能够形成第1电极层PL1。作为用于形成第1电极层PL1的透明导电材料,例如,能够使用铟锡氧化物(ITO)、铟锌氧化物(IZO)。在此,使用铟锡氧化物。第1电极层PL1的厚度例如为30nm以上、100nm以下。

[0431] 接下来,如图20C所示,形成覆盖第2层间绝缘层10和第1电极层PL1的第1有机绝缘层11。第1有机绝缘层11的厚度例如为 $2\mu\text{m}$ 以上、 $6\mu\text{m}$ 以下。例如,通过涂布感光性树脂材料并进行曝光和显影,能得到以使第1电极层PL1的一部分露出的方式形成有第2像素接触孔CHp2的第1有机绝缘层11。作为感光性树脂材料,例如,能够使用感光性丙烯酸树脂。第2像素接触孔CHp2例如形成为直径为 $2.5\mu\text{m}\sim 3.5\mu\text{m}$ 的圆形。

[0432] 接着,如图20D所示,在第1有机绝缘层11上和第2像素接触孔CHp2内形成第2电极层PL2。例如,在通过溅射法沉积了透明导电膜后,通过光刻工艺将透明导电膜图案化,从而能够形成第2电极层PL2。作为用于形成第2电极层PL2的透明导电材料,例如,能够使用铟锡氧化物、铟锌氧化物。在此,使用铟锡氧化物。第2电极层PL2的厚度例如为30nm以上、100nm以下。

[0433] 接下来,如图20E所示,形成填埋第2像素接触孔CHp2的第2有机绝缘层12。例如,通过涂布感光性树脂材料并进行曝光和显影,能得到第2有机绝缘层12。由此,得到包含第1有机绝缘层11和第2有机绝缘层12的有机绝缘层RL。

[0434] 作为感光性树脂材料,例如,能够使用感光性丙烯酸树脂。在曝光时,通过使用多灰度级掩模作为掩模,能够由第2有机绝缘层12精度良好地将第2像素接触孔CHp2内填埋。

作为多灰度级掩模,具体地说,能够使用灰色调掩模、半色调掩模。在灰色调掩模形成有曝光机的分辨率以下的狭缝,通过由该狭缝遮挡光的一部分而实现中间曝光。另一方面,在半色调掩模中,通过使用半透射膜而实现中间曝光。

[0435] 接着,如图20F所示,在第1有机绝缘层11上、第2电极层PL2上以及第2有机绝缘层12上形成第3电极层PL3。例如,在通过溅射法沉积了透明导电膜后,通过光刻工艺将透明导电膜图案化,从而能够形成第3电极层PL3。作为用于形成第3电极层PL3的透明导电材料,例如,能够使用铟锡氧化物、铟锌氧化物。在此,使用铟锡氧化物。第3电极层PL3的厚度例如为30nm以上、100nm以下。

[0436] 接下来,如图20G所示,形成覆盖第3电极层PL3的电介质层17。例如能够通过CVD法形成电介质层17。作为电介质层17,例如,能够使用与第1层间绝缘层9和第2层间绝缘层10同样的无机绝缘层。在此,使用氮化硅层作为电介质层17。电介质层17的厚度例如为50nm以上、300nm以下。

[0437] 之后,如图20H所示,在电介质层17和有机绝缘层RL形成两层孔结构部HS。通过光刻工艺将电介质层17和有机绝缘层RL图案化,从而能够形成两层孔结构部HS。例如,可以在电介质层17上形成抗蚀剂层后,将抗蚀剂层作为掩模,进行电介质层17和有机绝缘层RL的干式蚀刻。干式蚀刻以如下条件进行:在电介质层17形成贯通孔,在有机绝缘层RL形成有底孔,并且使第2有机绝缘层12与电介质层17相比更向横向被蚀刻(侧蚀刻)。由此,在电介质层17形成贯通孔h1,并且将有机绝缘层RL中的由贯通孔h1露出的部分和在从基板1的法线方向观看时与贯通孔h1相比位于外侧的部分除去,从而在有机绝缘层RL形成有底孔h2。作为一个例子,通过以4:1~2:1的流量比使用四氟化碳(CF_4)气体和氧(O_2)气体作为蚀刻气体,能在第2有机绝缘层12产生底切(undercut)。在从基板1的法线方向观看时,电介质层17中的与第2有机绝缘层12的外缘相比位于内侧的部分的宽度v(电介质层17的底切量)例如能通过调整蚀刻时间、蚀刻腔内压力、高频电力、气体流量比来控制。此外,蚀刻方法不限于上述记载。例如也可以使六氟化硫(SF_6)与氧、或者四氟化碳(CF_4)、六氟化硫(SF_6)、氧、氩等气体组合,调整各自的流量比以使得在第2有机绝缘层12产生底切,由此进行电介质层17和有机绝缘层RL的蚀刻。

[0438] 之后,如图20I所示,在电介质层17上形成共用电极CE,并且在有底孔h2内形成岛状透明导电部Ta。

[0439] 首先,例如通过溅射法沉积透明导电膜。此时,利用电介质层17的上表面与有机绝缘层RL的有底孔h2的底面的台阶,使透明导电膜中的位于电介质层17的上表面的部分和位于有底孔h2的内部的部分相互分隔开。由此,在有底孔h2内形成岛状透明导电部Ta。之后,通过进行透明导电膜中的除了岛状透明导电部Ta以外的部分的图案化,能够形成共用电极CE。这样,能得到有源矩阵基板100F。

[0440] 作为用于形成共用电极CE的透明导电材料,例如,能够使用铟锡氧化物、铟锌氧化物。在此,使用铟锡氧化物。共用电极CE的厚度例如为30nm以上、100nm以下。

[0441] 接着,进行所得到的有源矩阵基板100F的加热处理,从而使有机绝缘层RL内的杂质经由第1杂质除去区域ERd放出到外部。加热处理例如在100℃以上、300℃以下的温度进行。在此,以200~220℃的温度进行1~2小时的加热处理。

[0442] 虽然未图示,但是也可以在进行用于使杂质放出的加热工序后,在有源矩阵基板

100F的最表面形成取向膜。

[0443] 此外,有源矩阵基板100A~100E也能通过与上述记载同样的方法形成。例如第2杂质除去区域ERf能够通过与形成上述的第1杂质除去区域ERd的工序同样的工序来形成。

[0444] (制造方法的变形例)

[0445] 作为第1杂质除去区域ERd或第2杂质除去区域ERf,也可以形成具有第2结构的杂质除去区域ER2(图3A和图3B)。杂质除去区域ER2例如能够在通过透明导电膜的图案化形成了透明导电层TL(在此为共用电极CE)后,通过进行用于形成两层孔结构部HS的蚀刻而形成。以下,说明形成具有第2结构的第1杂质除去区域ERd的工序。

[0446] 图21A和图21B分别是用于说明第1杂质除去区域ERd的其它制造方法的工序截面图。

[0447] 首先,如图21A所示,在形成了有机绝缘层RL后,按顺序沉积电介质层17和透明导电膜,通过光刻工艺进行透明导电膜的图案化。由此,由透明导电膜形成共用电极CE。共用电极CE在形成第1杂质除去区域ERd的区域具有开口部ht,在各像素区域PIX具有狭缝(未图示)。

[0448] 接着,如图21B所示,将共用电极CE作为蚀刻掩模,进行电介质层17和有机绝缘层RL的干式蚀刻,在电介质层17和有机绝缘层RL形成两层孔结构部HS。该干式蚀刻也可以是以覆盖电介质层17中的由共用电极CE的狭缝露出的部分的方式形成抗蚀剂层(未图示),在该状态下来进行。这样,形成具有第2结构的第1杂质除去区域ERd。

[0449] 蚀刻方法和条件是与参照图20H前述的方法和条件同样的。在本工序中,在从基板1的法线方向观看时,电介质层17的贯通孔h1与共用电极CE的开口部ht大致对齐,有机绝缘层RL的有底孔h2与开口部ht的外缘相比位于内部。

[0450] 此外,也可以在形成了共用电极CE后,在共用电极CE上设置其它抗蚀剂层,将其它抗蚀剂层作为蚀刻掩模,对共用电极CE、电介质层17以及有机绝缘层RL一并进行蚀刻,从而形成开口部ht、贯通孔h1以及有底孔h2。根据该方法,与将共用电极CE用作掩模的方法相比,能够降低干式蚀刻对共用电极CE的损伤。

[0451] [关于氧化物半导体]

[0452] 氧化物半导体层4所包含的氧化物半导体可以是非晶质氧化物半导体,也可以是具有结晶质部分的结晶质氧化物半导体。作为结晶质氧化物半导体,可列举多晶氧化物半导体、微晶氧化物半导体、c轴与层面大致垂直地取向的结晶质氧化物半导体等。

[0453] 氧化物半导体层4也可以具有两层以上的层叠结构。具有层叠结构的氧化物半导体层4可以包含非晶质氧化物半导体层和结晶质氧化物半导体层,也可以包含结晶结构不同的多个结晶质氧化物半导体层。另外,具有层叠结构的氧化物半导体层4也可以包含多个非晶质氧化物半导体层。在氧化物半导体层4具有层叠结构的情况下,各层的能隙能相互不同。

[0454] 非晶质氧化物半导体和上述的各结晶质氧化物半导体的材料、结构、成膜方法、具有层叠结构的氧化物半导体层的构成等记载于例如特开2014-007399号公报。为了参考,将特开2014-007399号公报的全部公开内容引用到本说明书中。

[0455] 氧化物半导体层4例如可以包含In、Ga以及Zn中的至少1种金属元素。在上述的实施方式中,氧化物半导体层4例如包含In-Ga-Zn-O系半导体(例如氧化铟镓锌)。在此,In-

Ga-Zn-O系半导体是In(铟)、Ga(镓)、Zn(锌)的三元系氧化物，并且In、Ga以及Zn的比例(组成比)没有特别限定，例如包含In:Ga:Zn=2:2:1、In:Ga:Zn=1:1:1、In:Ga:Zn=1:1:2等。这种氧化物半导体层4能由包含In-Ga-Zn-O系半导体的氧化物半导体膜形成。

[0456] In-Ga-Zn-O系半导体可以是非晶质，也可以是结晶质。作为结晶质In-Ga-Zn-O系半导体，优选c轴与层面大致垂直地取向的结晶质In-Ga-Zn-O系半导体。

[0457] 此外，结晶质In-Ga-Zn-O系半导体的结晶结构例如公开于上述的特开2014-007399号公报、特开2012-134475号公报、特开2014-209727号公报等中。为了参考，将特开2012-134475号公报和特开2014-209727号公报的全部公开内容引用到本说明书中。具有In-Ga-Zn-O系半导体层的TFT具有高迁移率(与a-SiTFT相比超过20倍)和低漏电流(与a-SiTFT相比不到百分之一)，因此，适合用作驱动TFT(例如，在包含多个像素的显示区域的周边设置于与显示区域相同的基板上的驱动电路所包含的TFT)和像素TFT(设置于像素的TFT)。

[0458] 氧化物半导体层4也可以包含其它氧化物半导体来代替In-Ga-Zn-O系半导体。例如可以包含In-Sn-Zn-O系半导体(例如 $In_2O_3-SnO_2-ZnO$ ；InSnZnO)。In-Sn-Zn-O系半导体是In(铟)、Sn(锡)以及Zn(锌)的三元系氧化物。或者，氧化物半导体层4也可以包含含有W(钨)的In-W-Zn-O系半导体、In-W-Sn-Zn-O系半导体、In-Al-Zn-O系半导体、In-Al-Sn-Zn-O系半导体、Zn-O系半导体、In-Zn-O系半导体、Zn-Ti-O系半导体、Cd-Ge-O系半导体、Cd-Pb-O系半导体、CdO(氧化镉)、Mg-Zn-O系半导体、In-Ga-Sn-O系半导体、In-Ga-O系半导体、Zr-In-Zn-O系半导体、Hf-In-Zn-O系半导体、Al-Ga-Zn-O系半导体、Ga-Zn-O系半导体、In-Ga-Zn-Sn-O系半导体等。

[0459] 工业上的可利用性

[0460] 根据本发明的实施方式，能够提供抑制了由水分等杂质引起的氧化物半导体TFT的特性的变动并且抑制了由形成于有机绝缘层的接触孔引起的透射率的下降的有源矩阵基板。本发明的实施方式的有源矩阵基板适合用于如头戴式显示器用的液晶显示装置这样的高清晰的(例如1000ppi以上的)液晶显示装置。

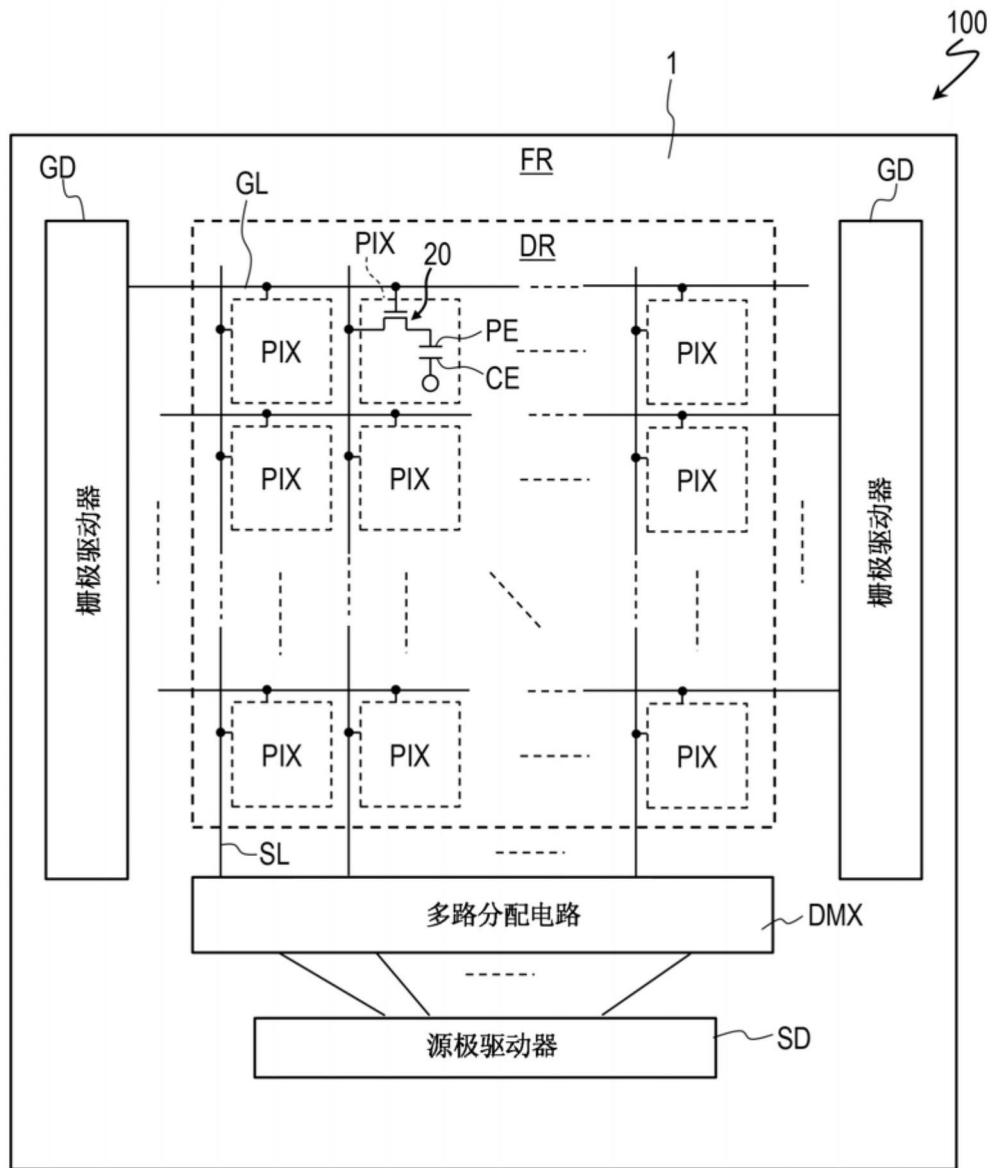


图1

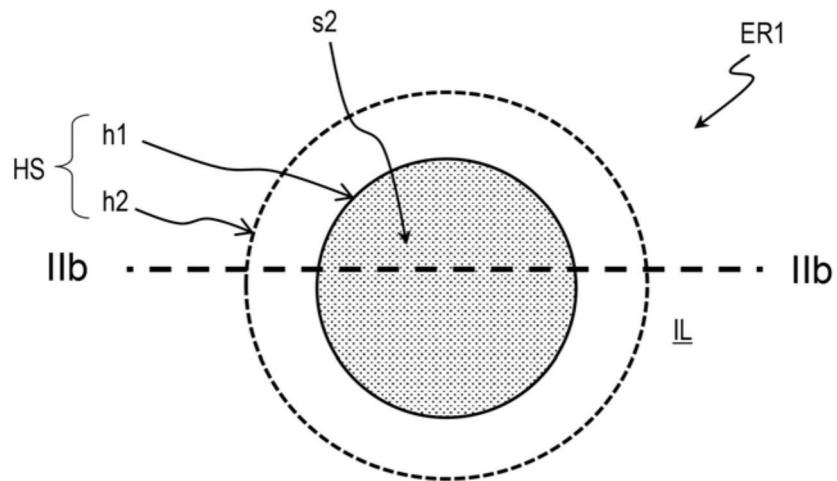


图2A

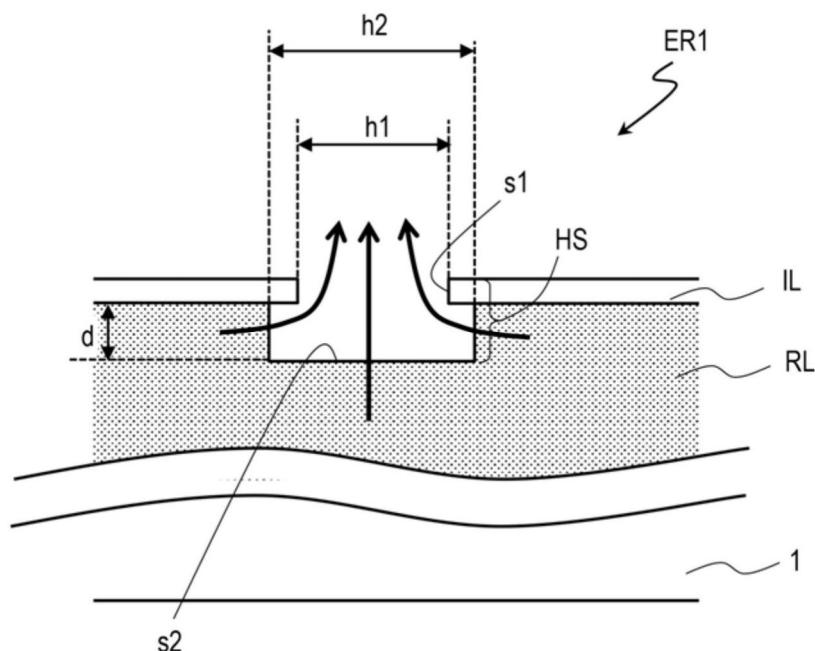


图2B

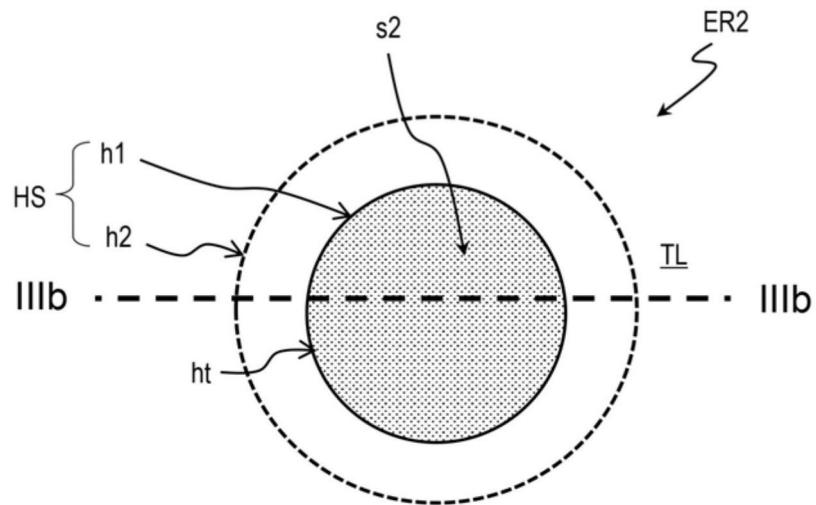


图3A

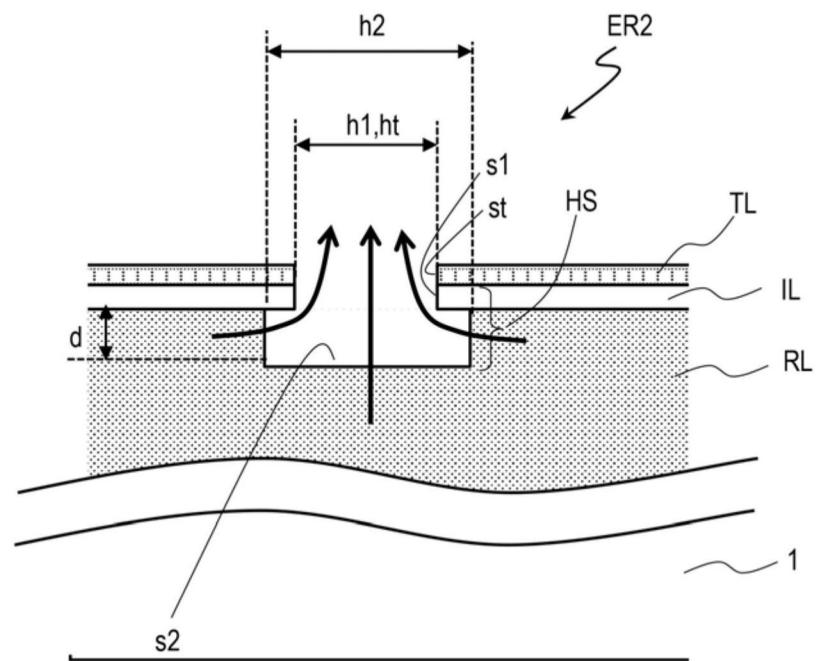


图3B

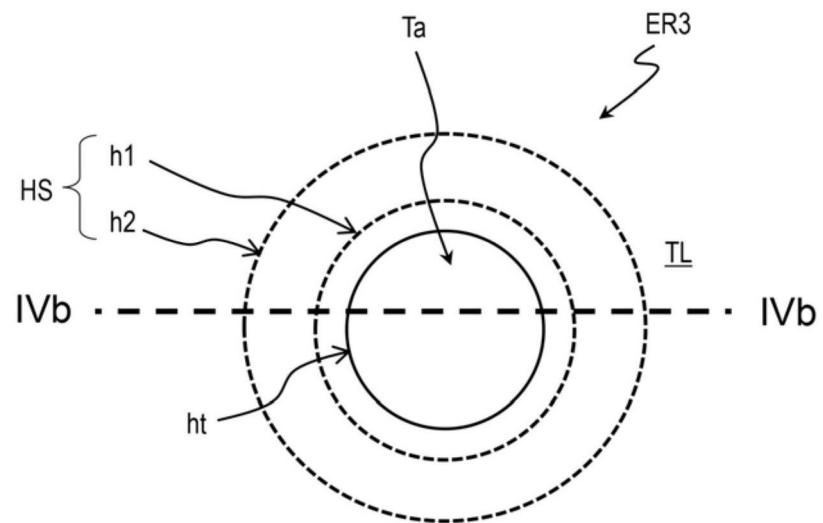


图4A

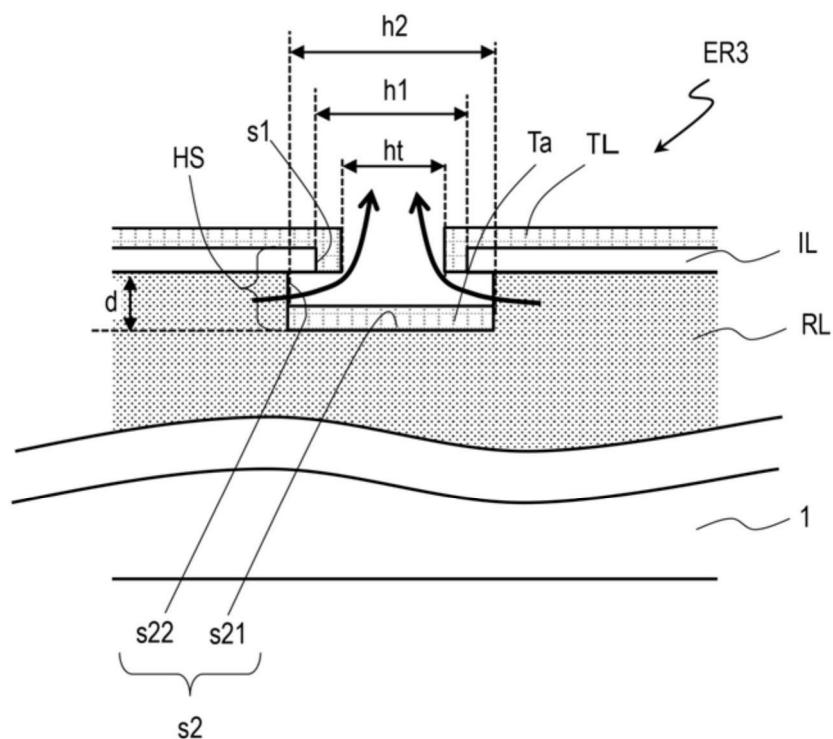


图4B

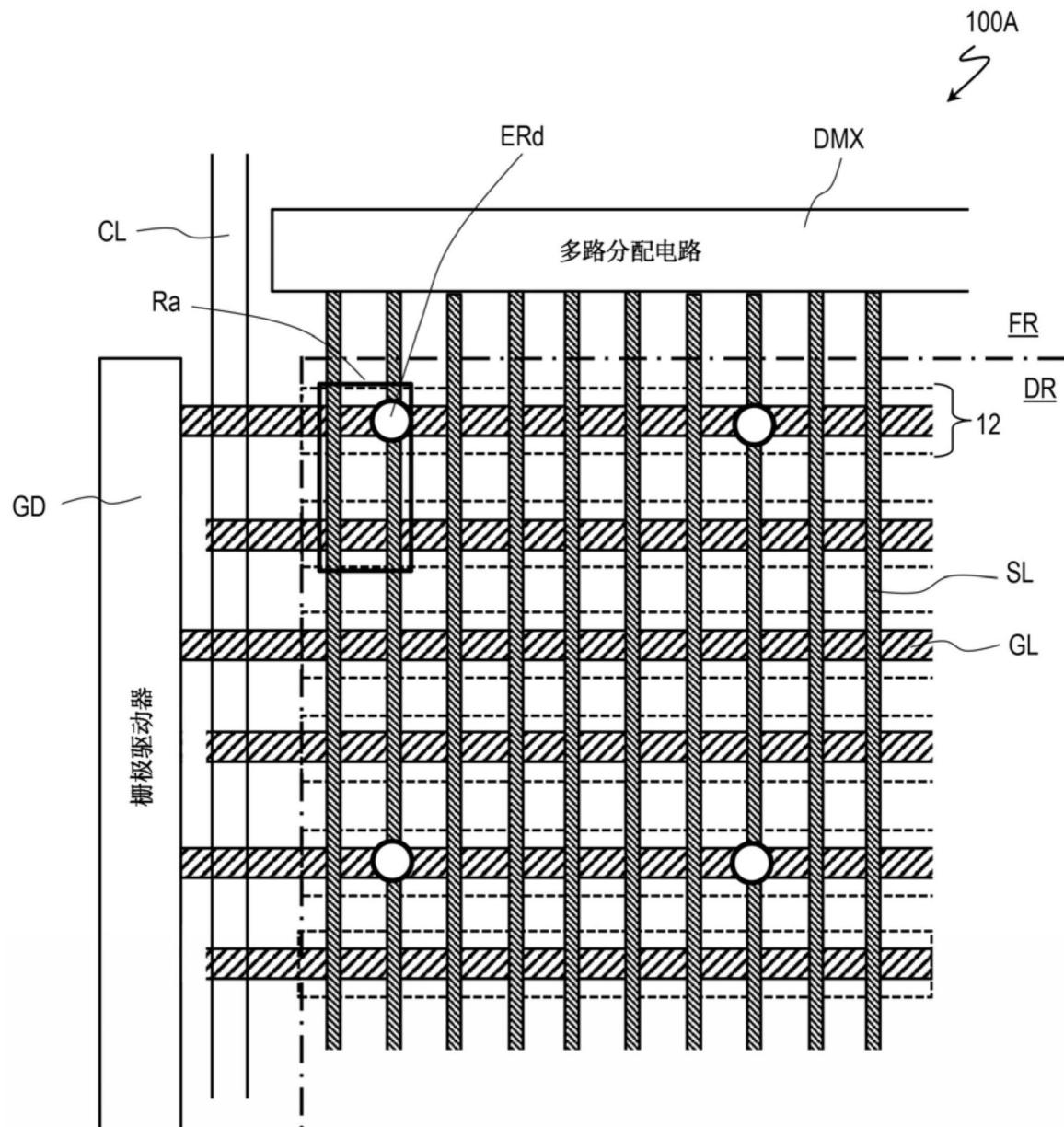


图5

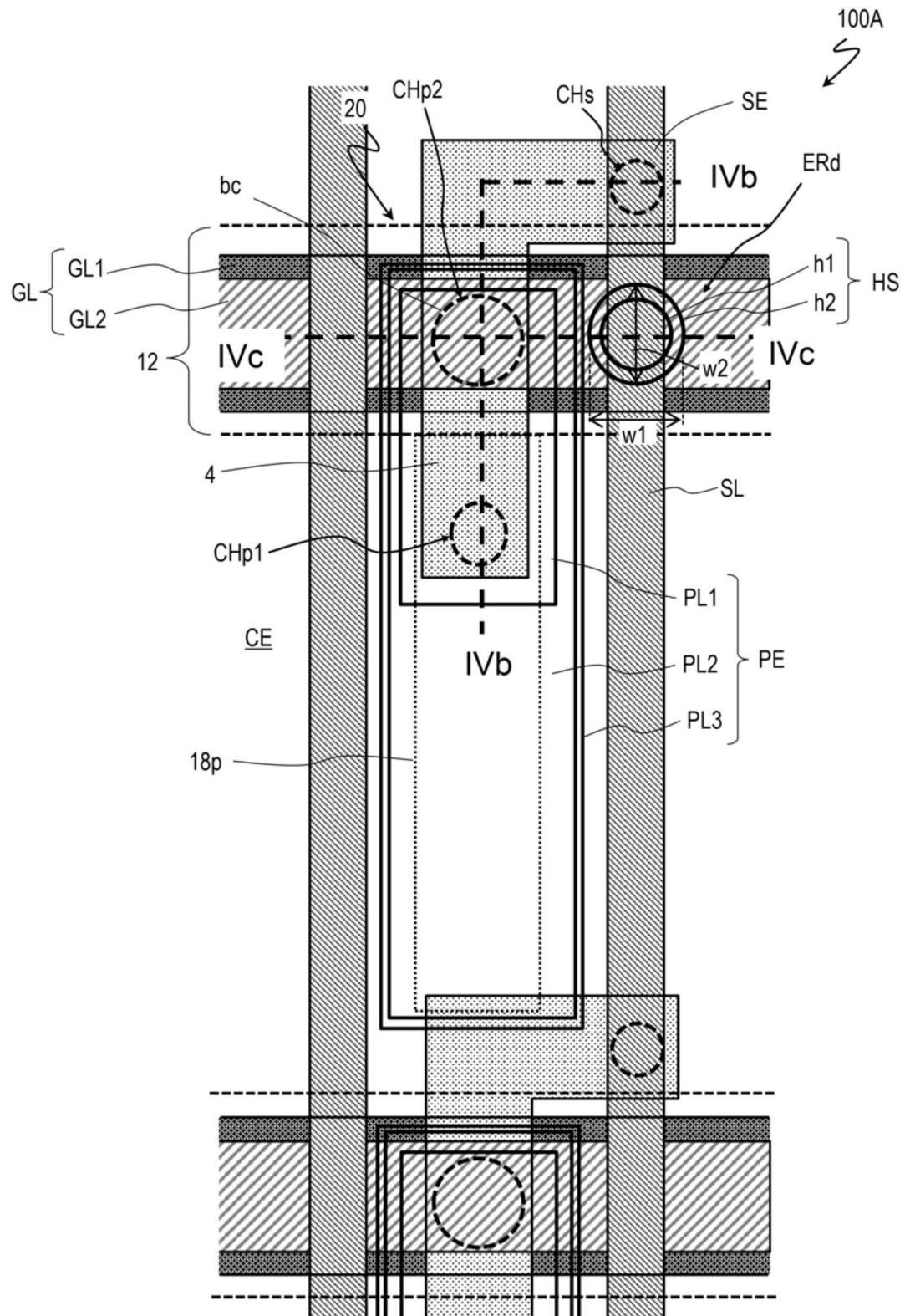


图6A

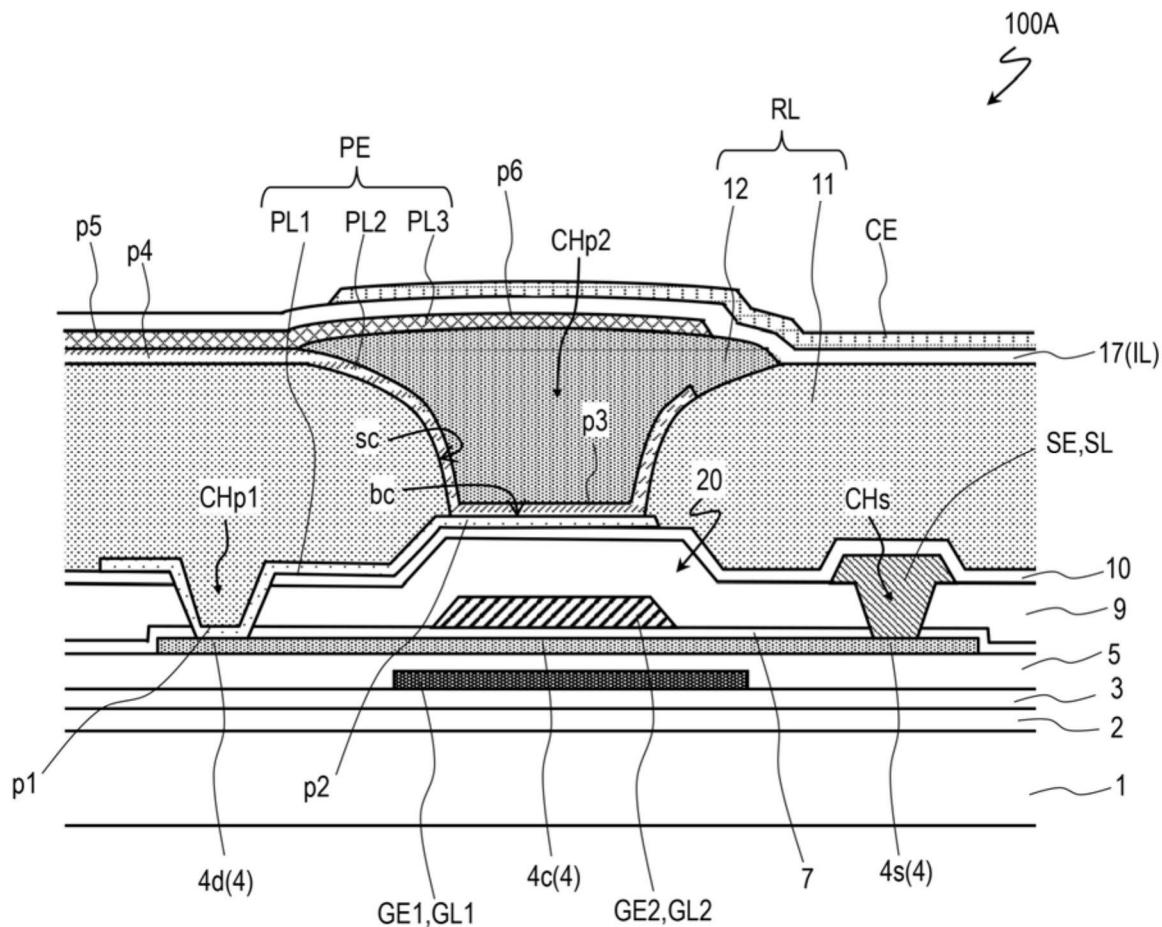


图6B

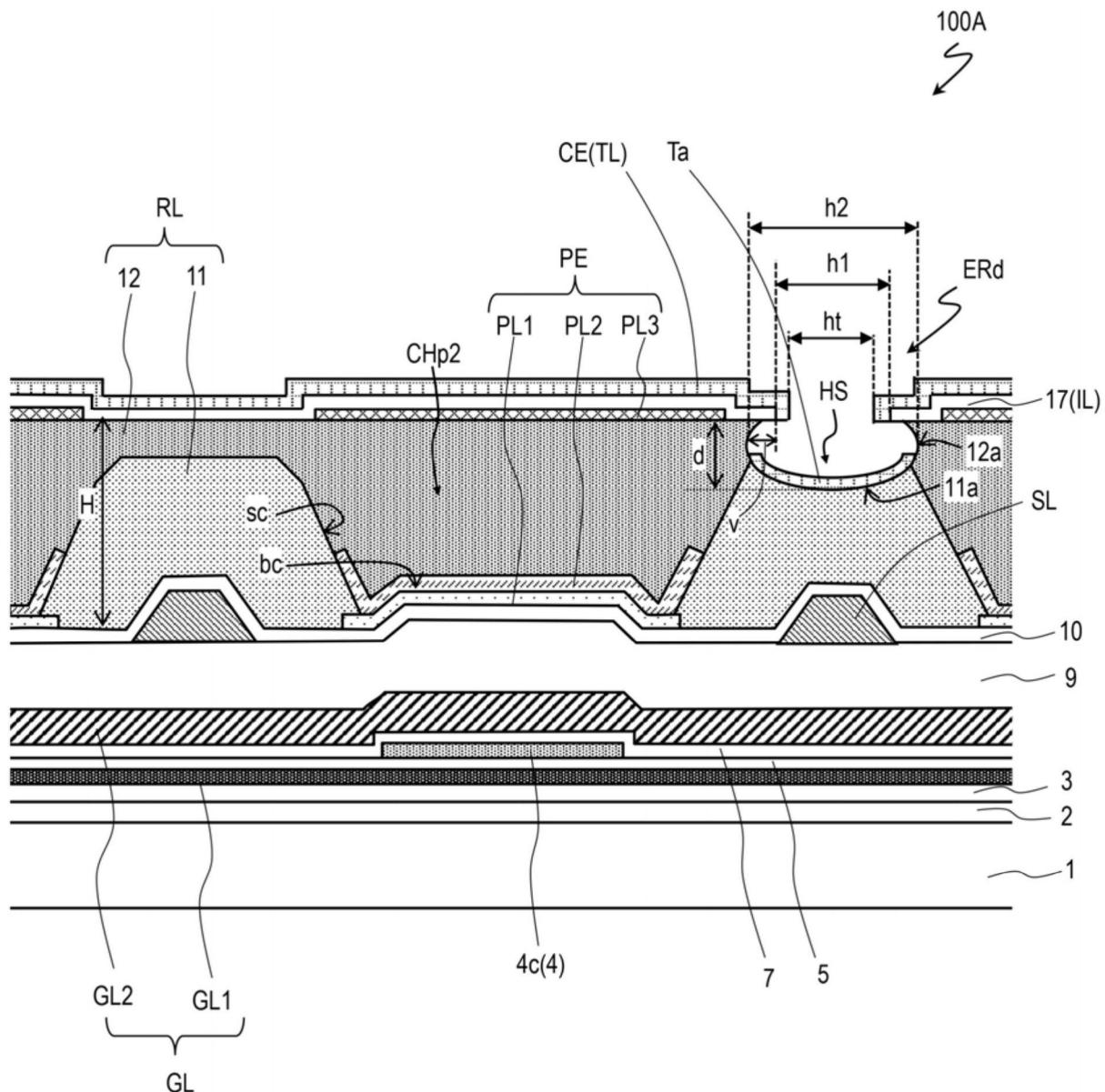


图6C

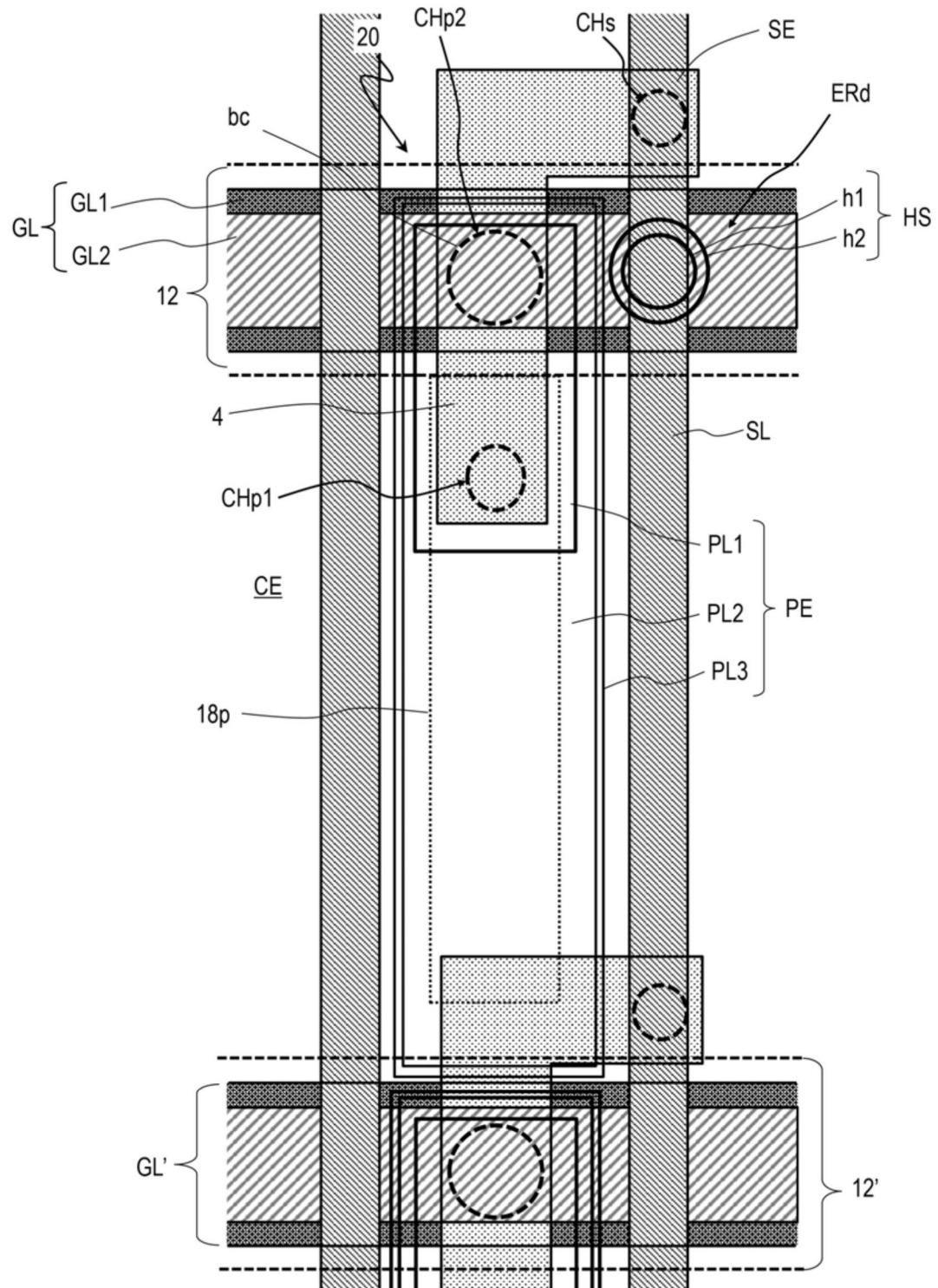


图7

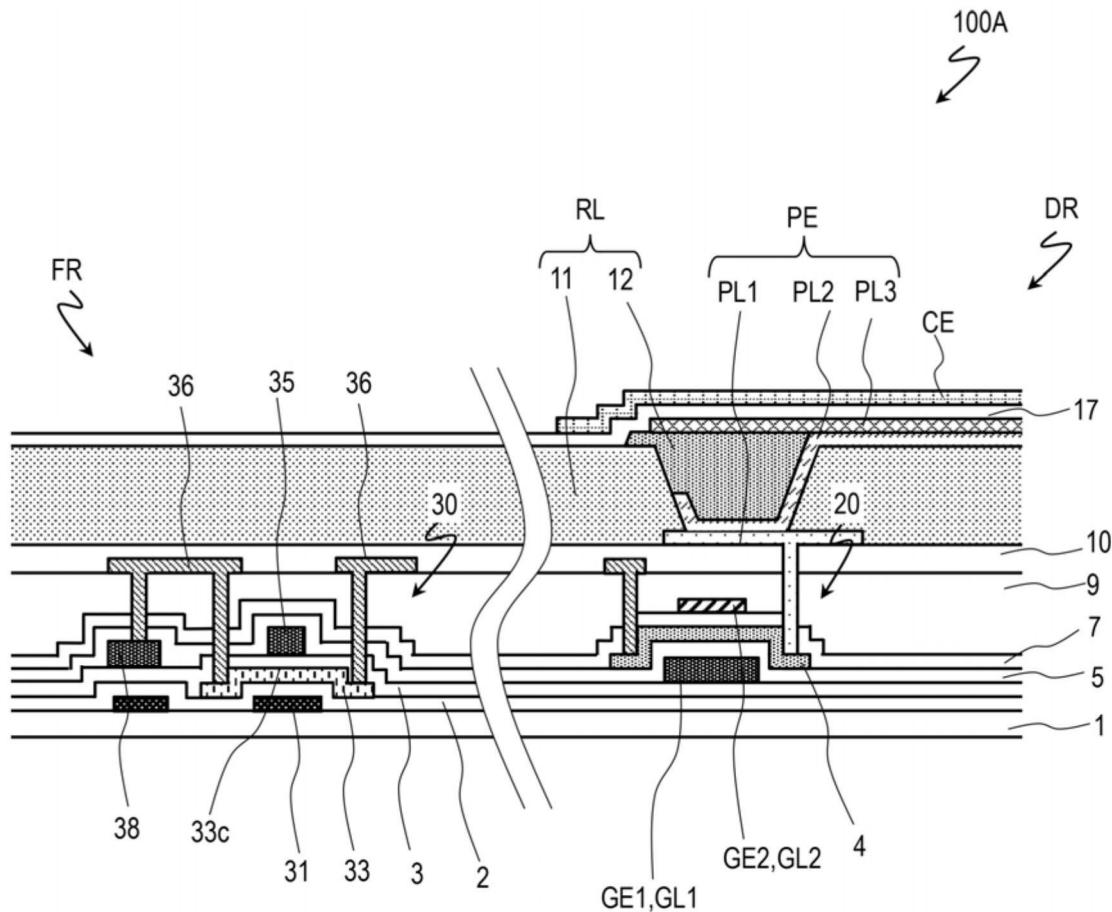


图8

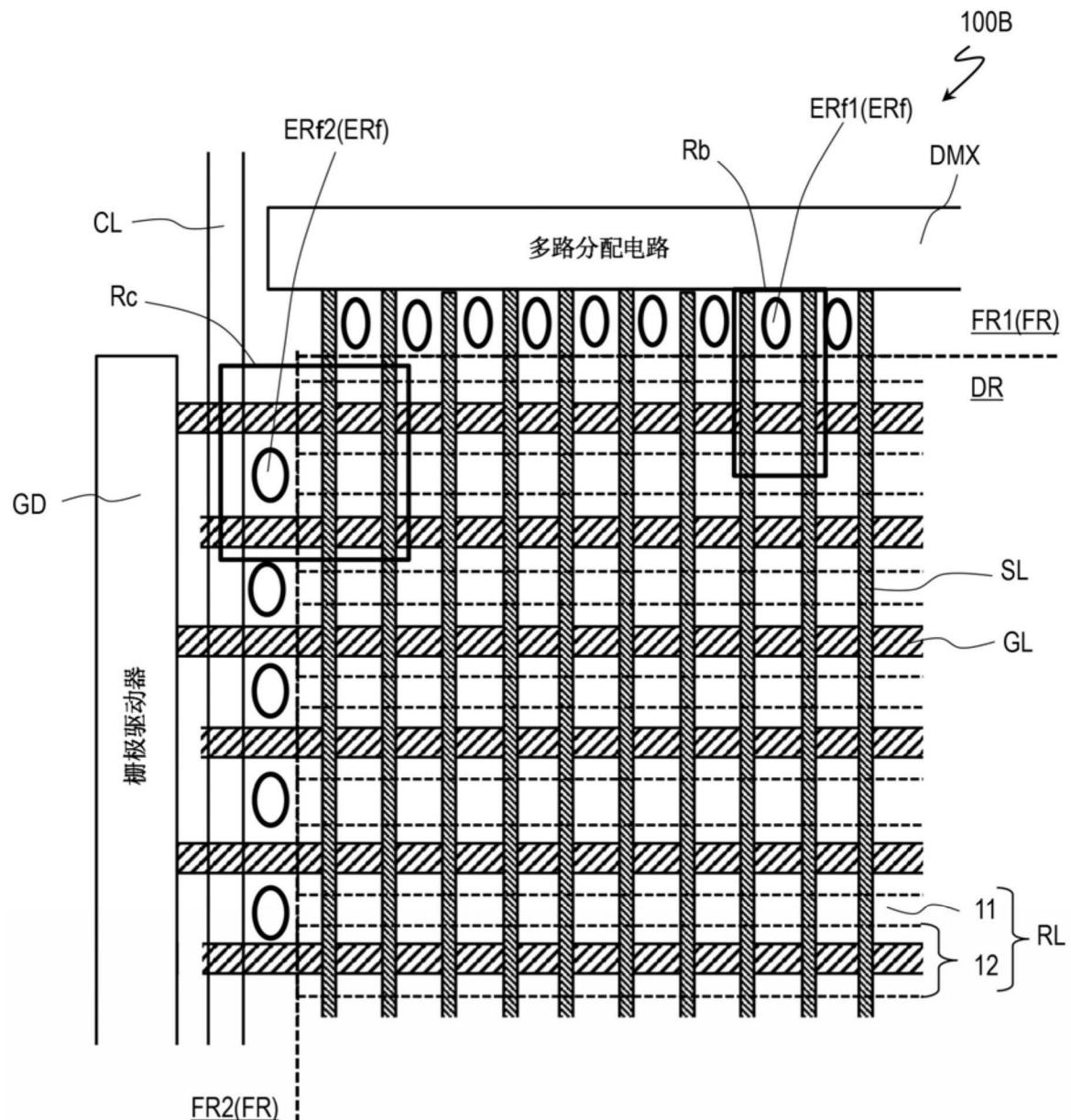


图9

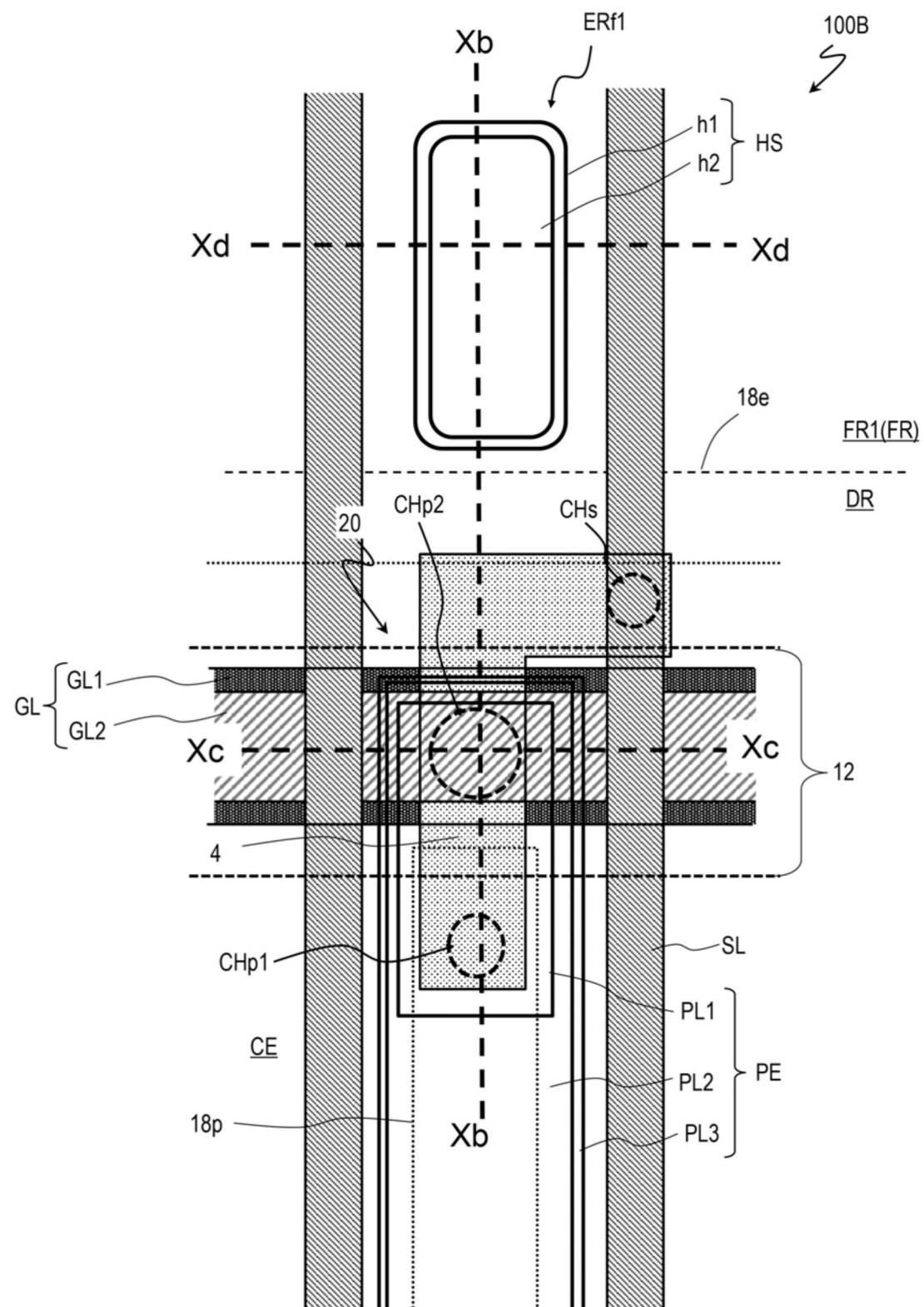


图10A

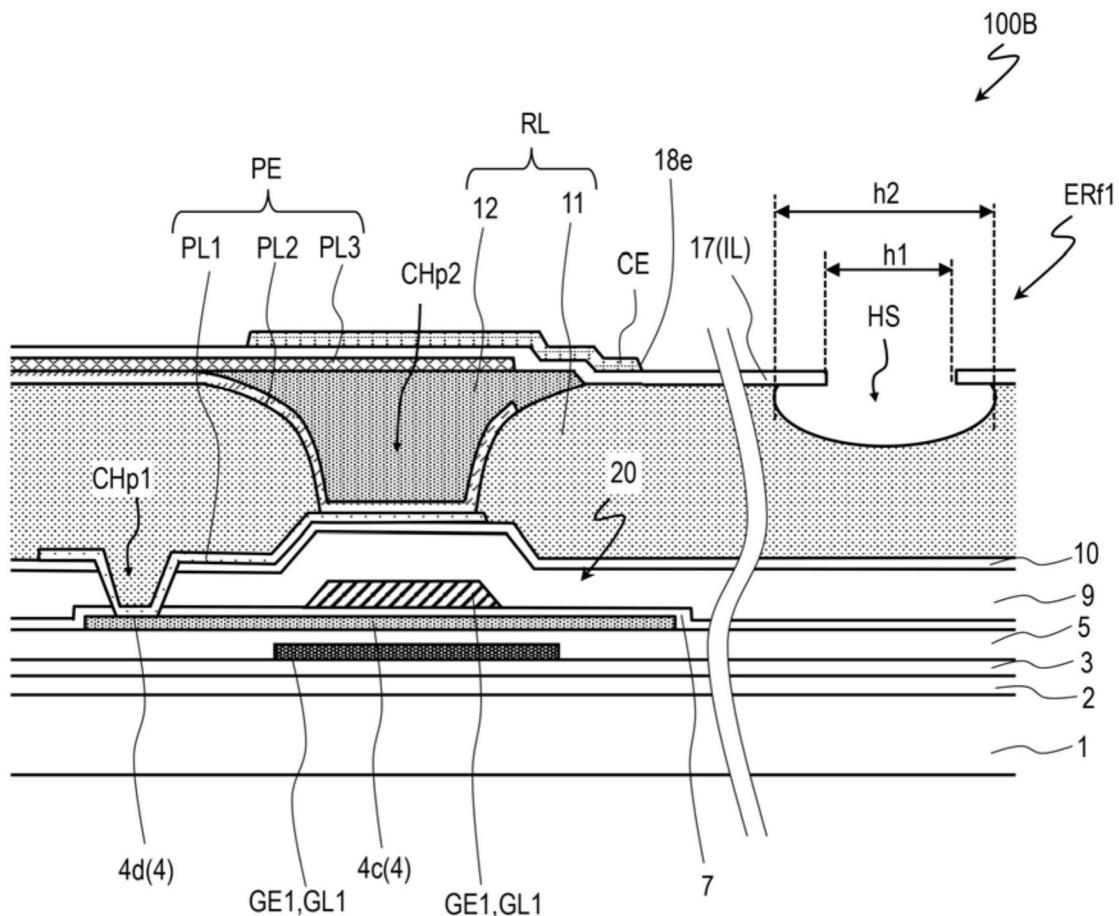


图10B

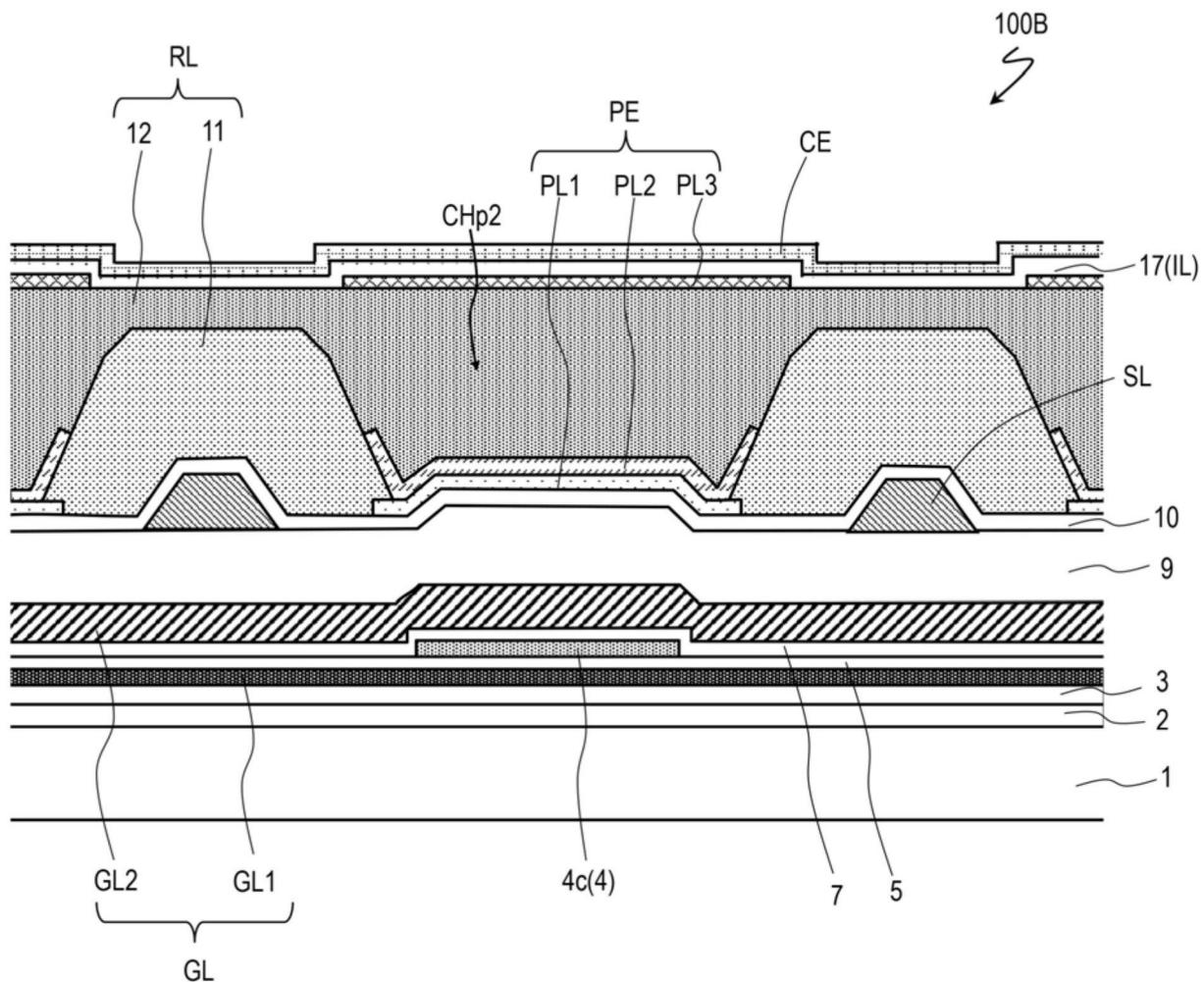


图10C

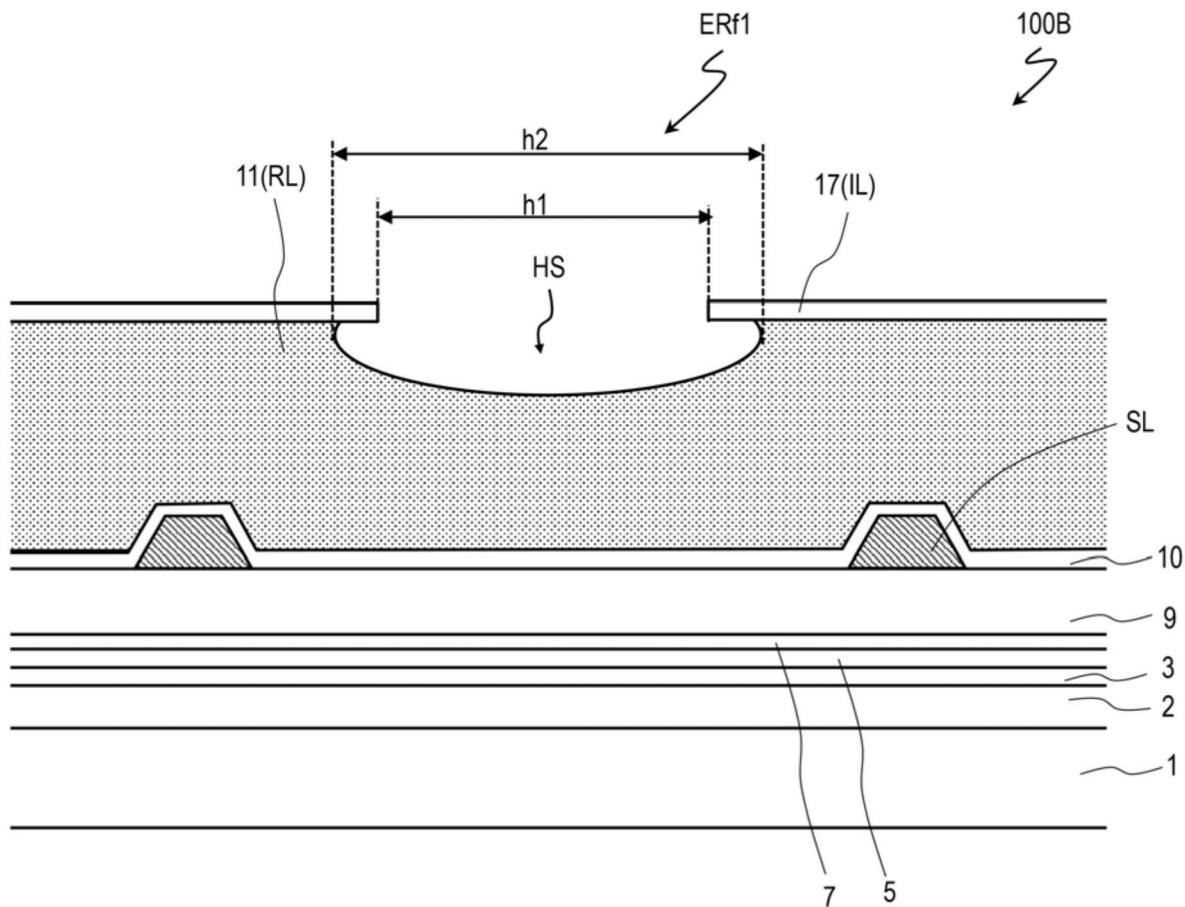


图10D

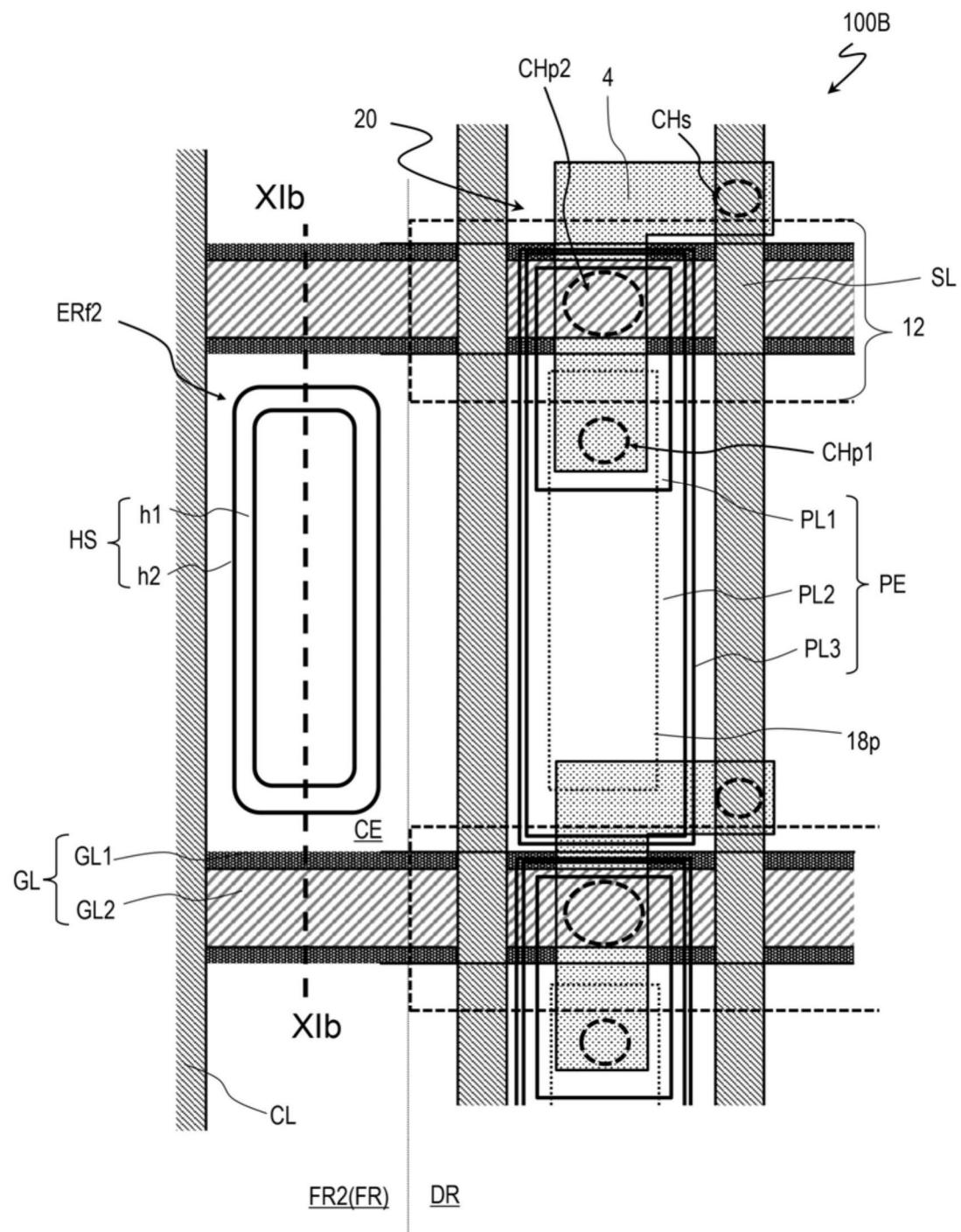


图11A

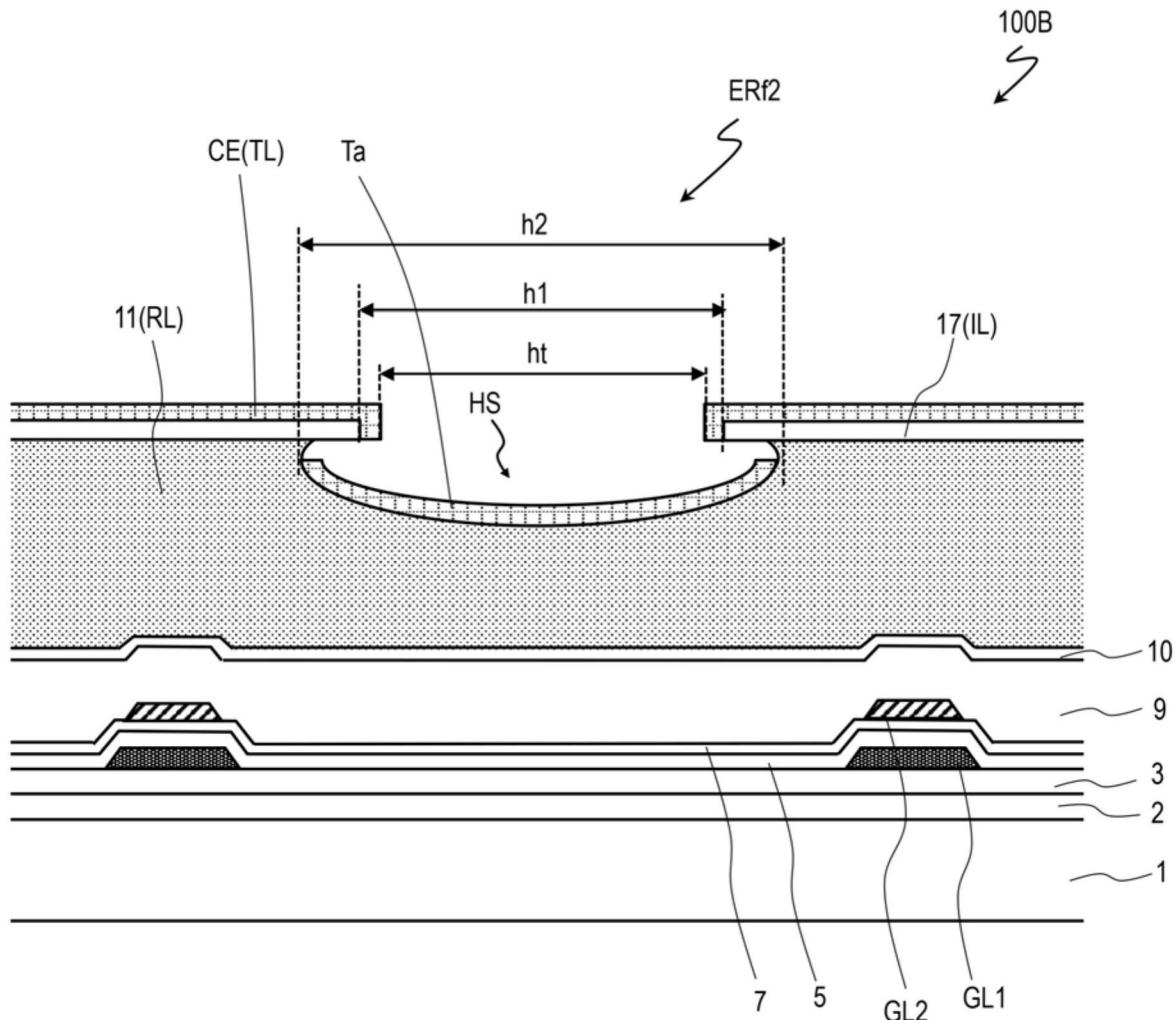


图11B

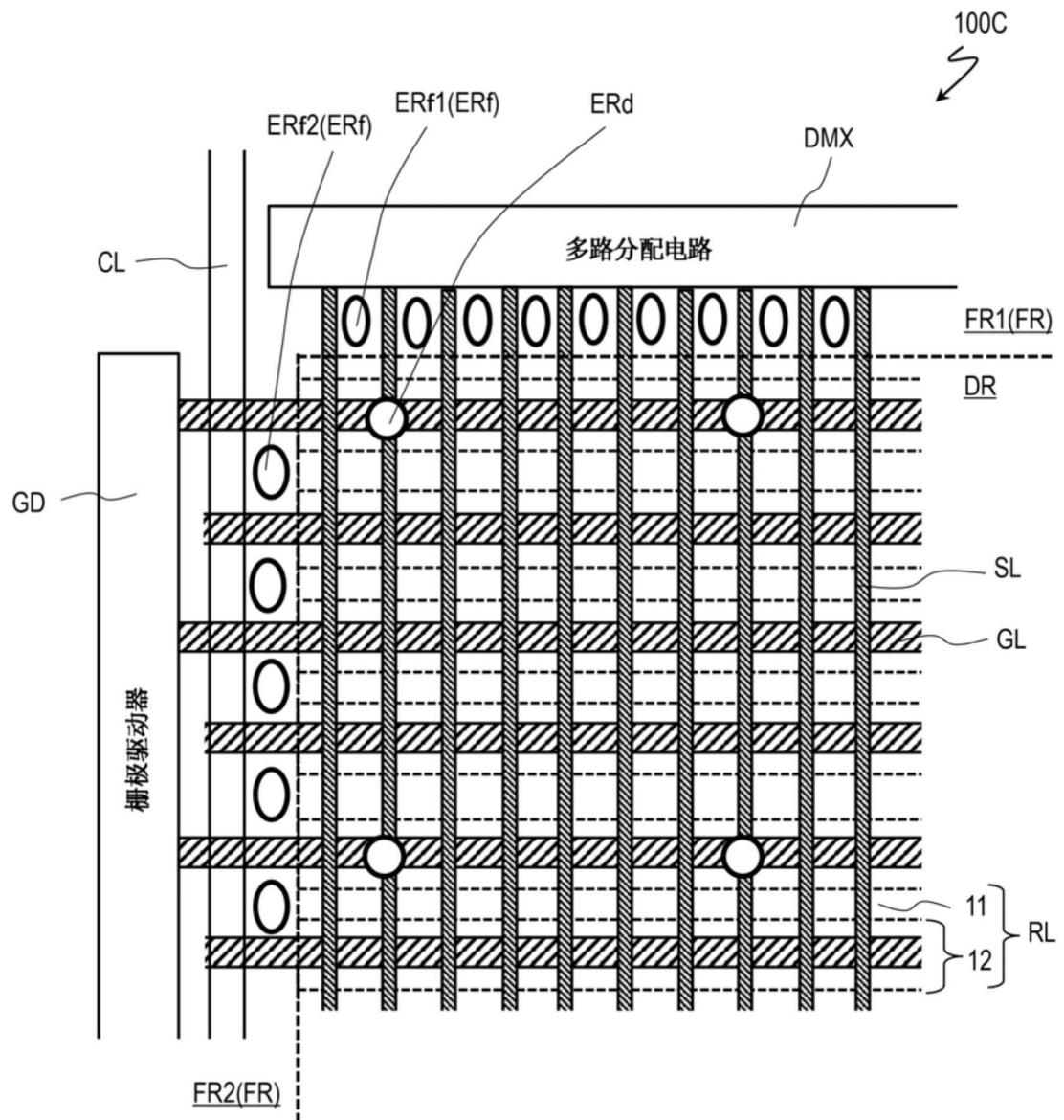


图12

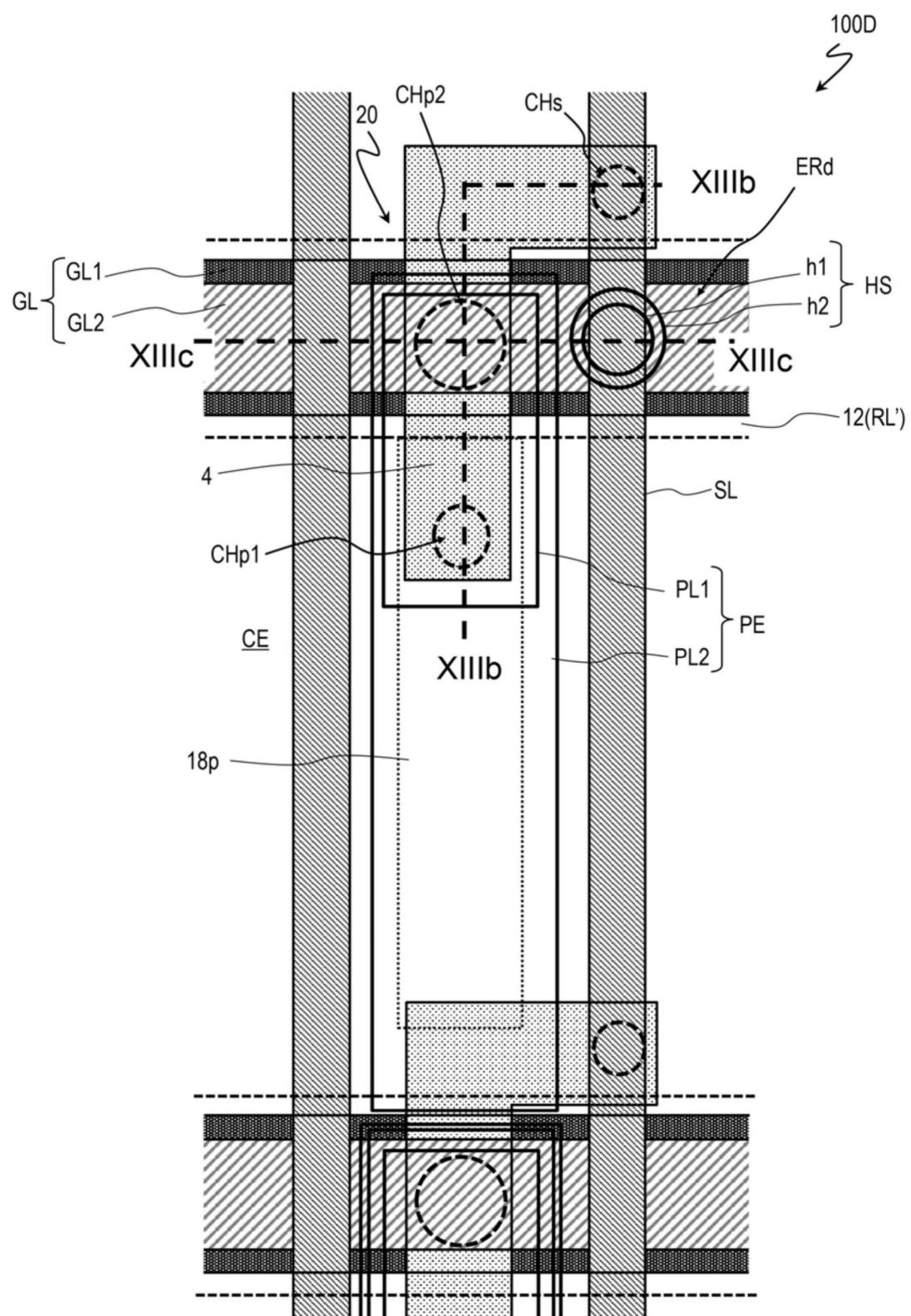


图13A

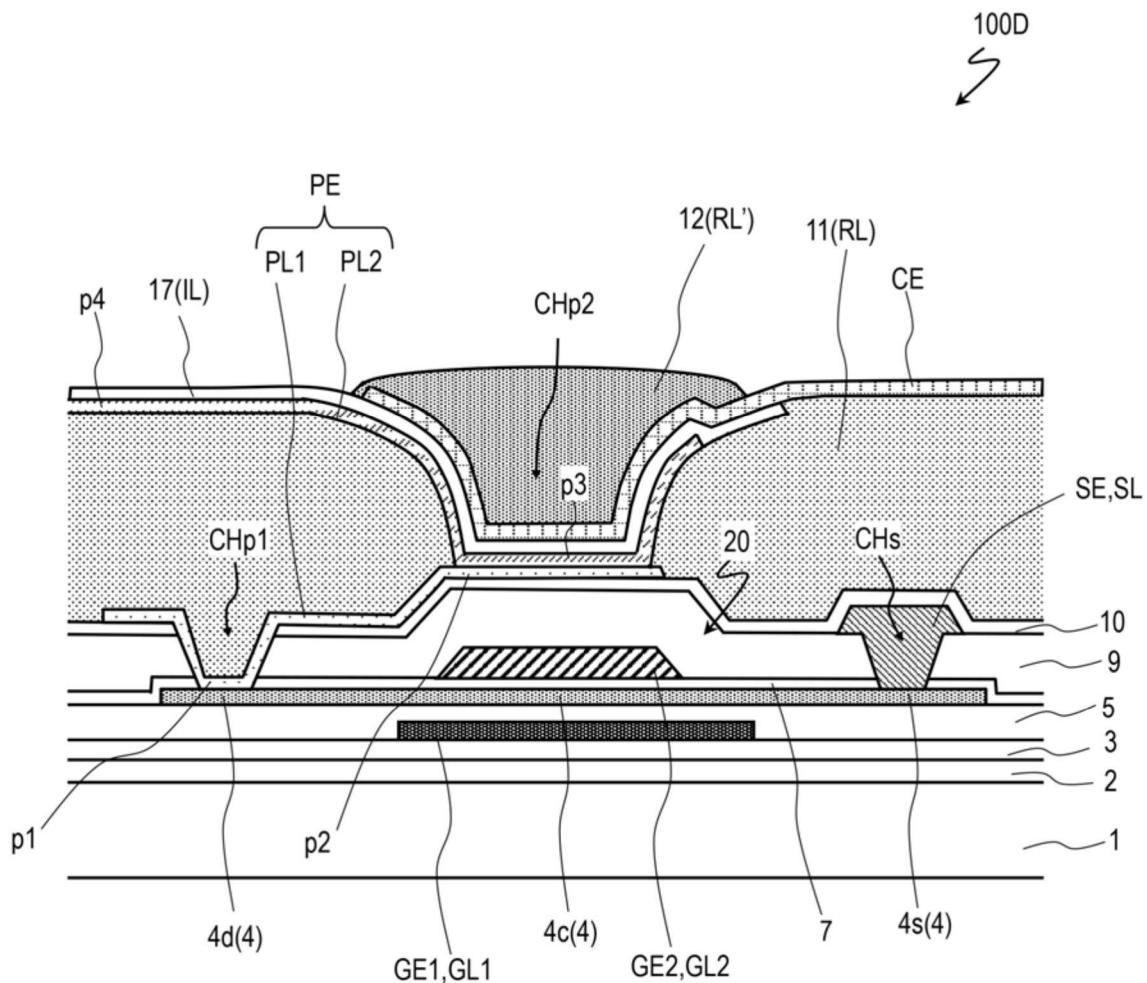


图13B

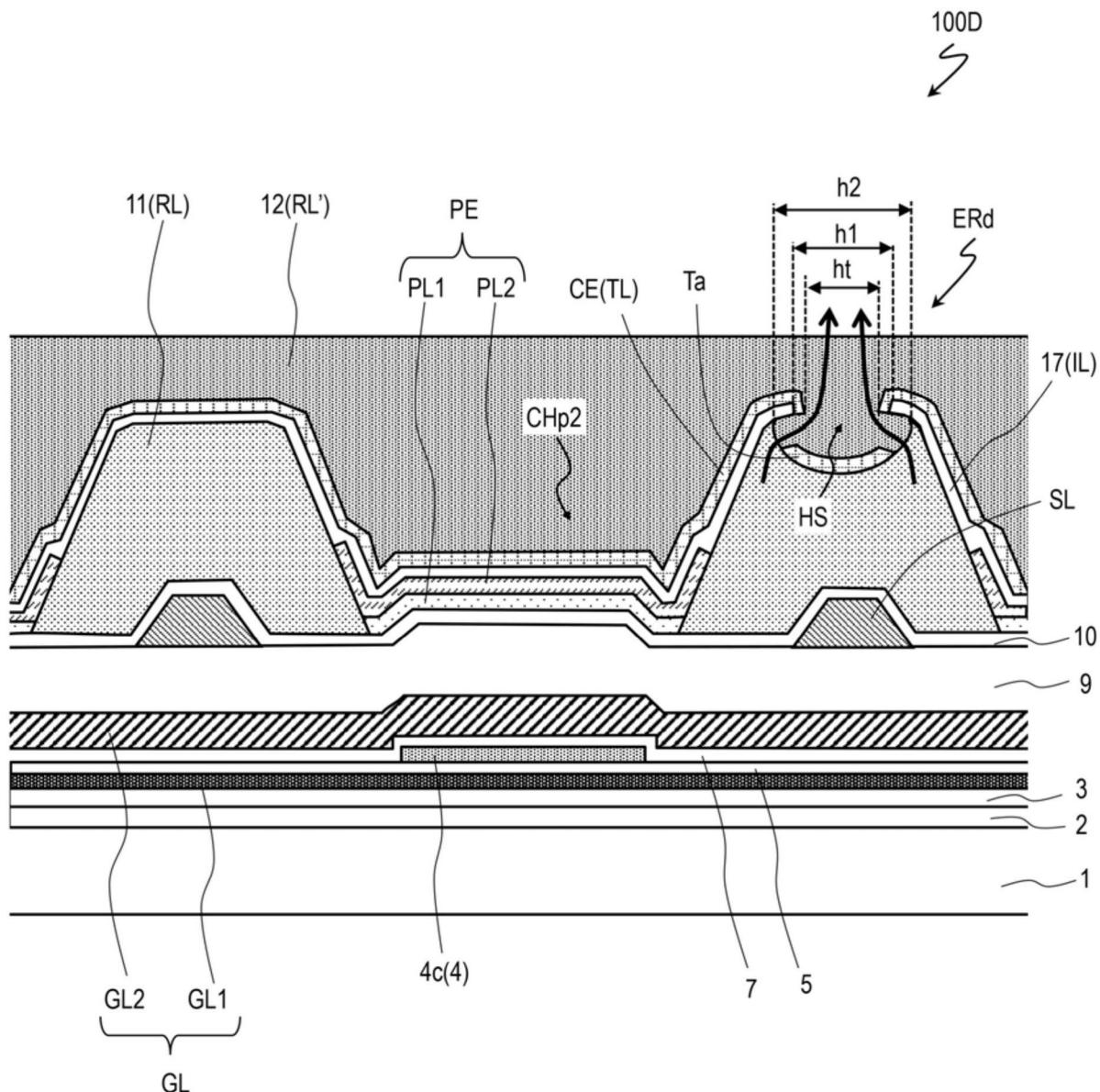


图13C

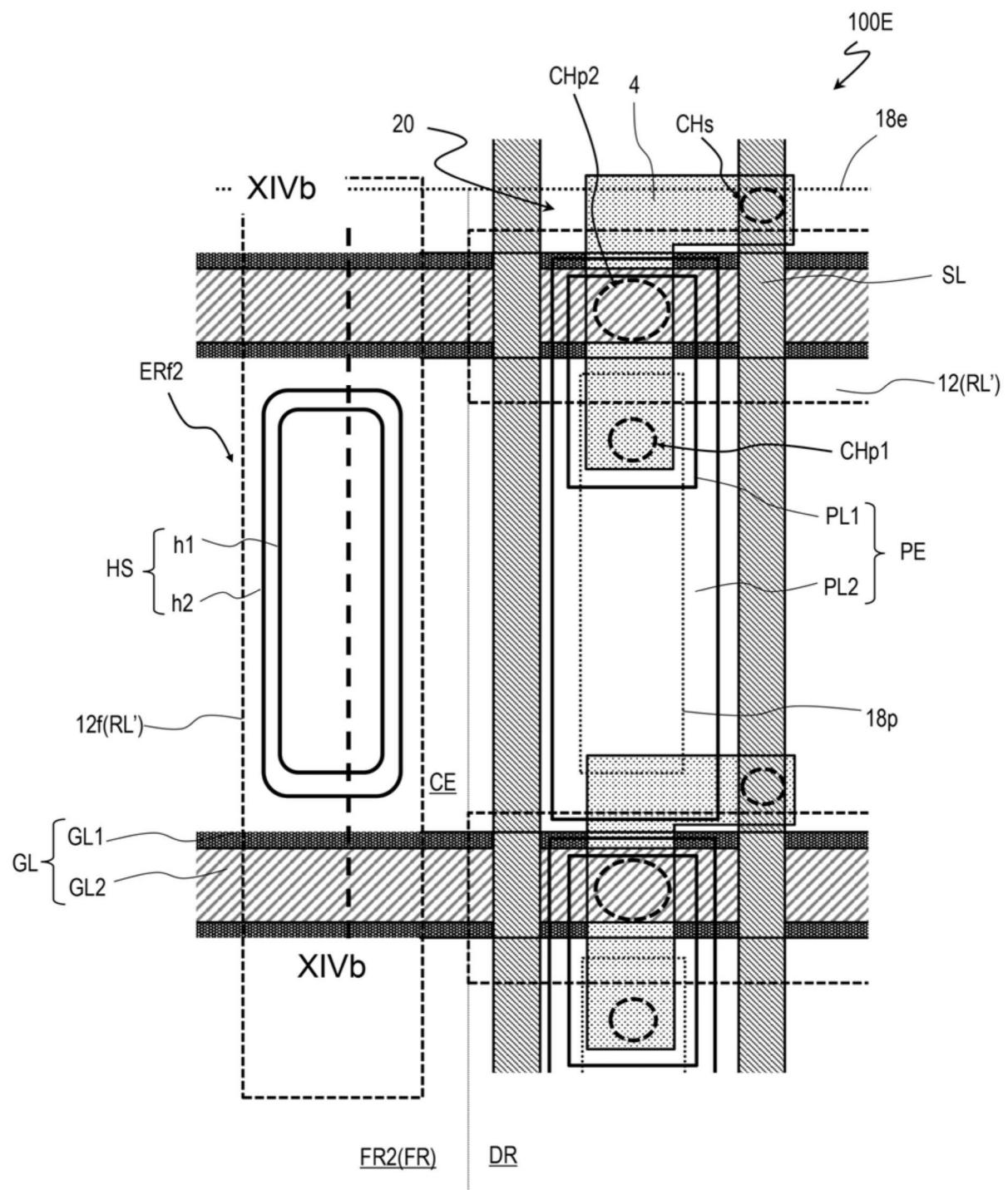


图14A

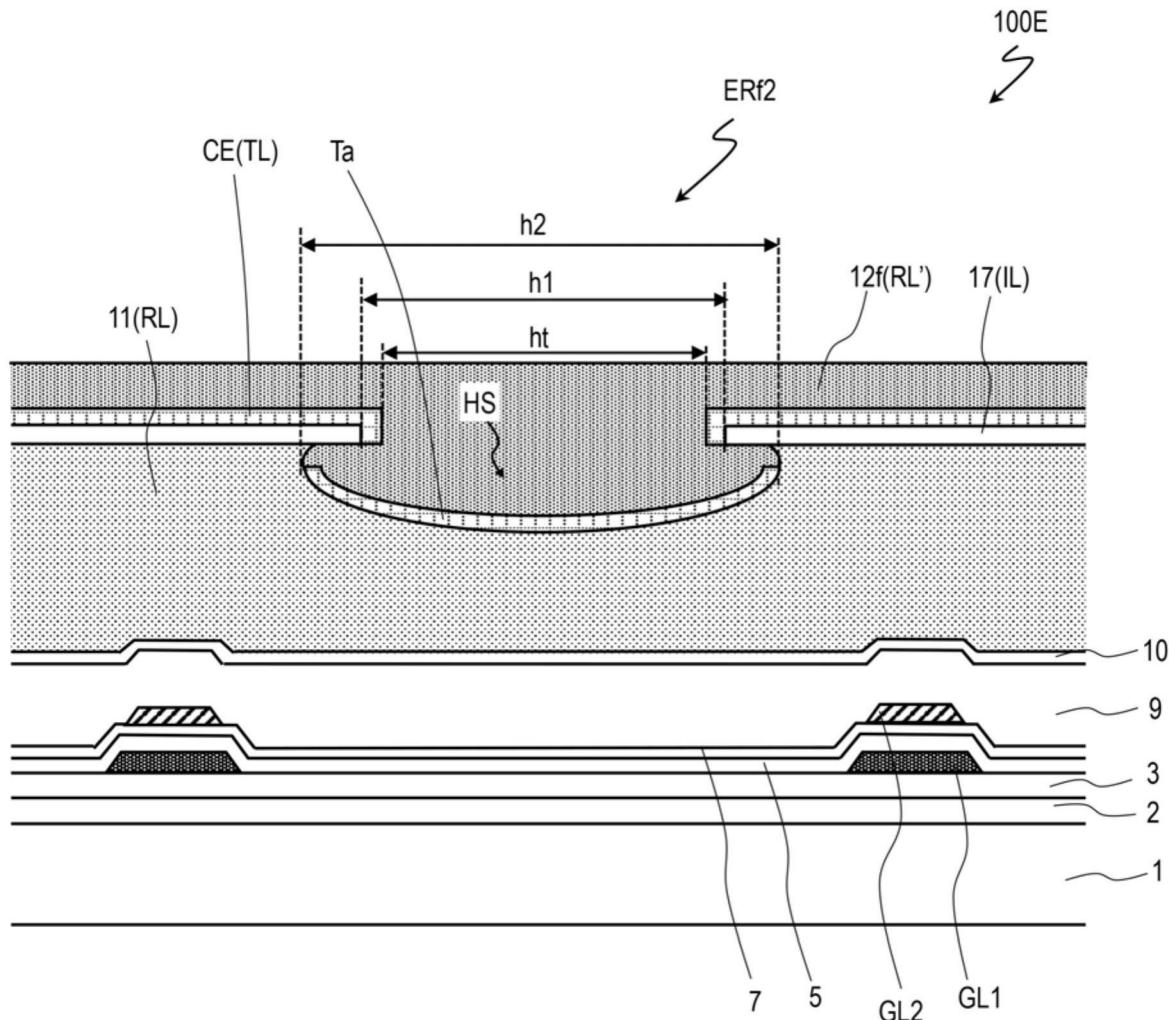


图14B

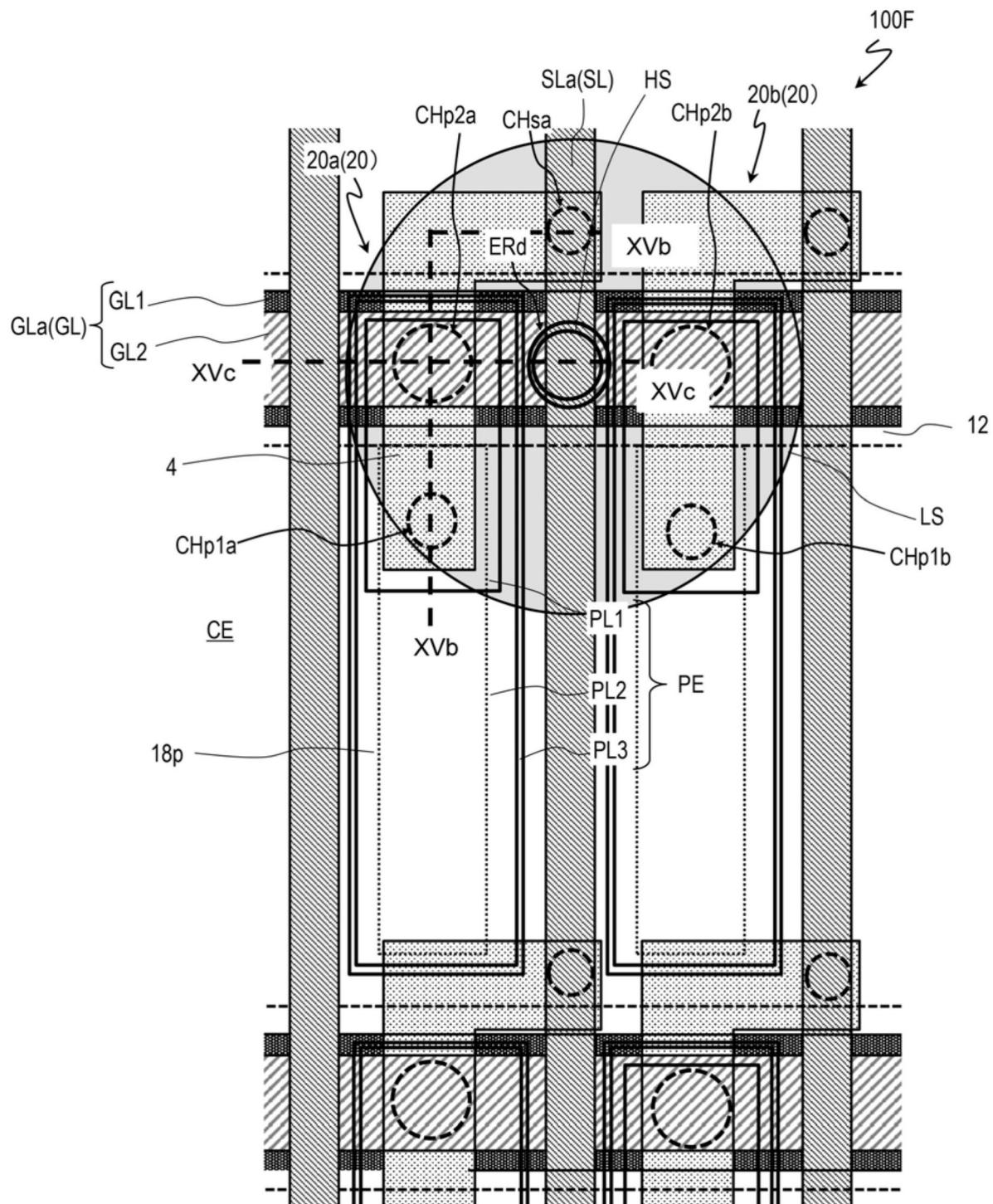


图15A

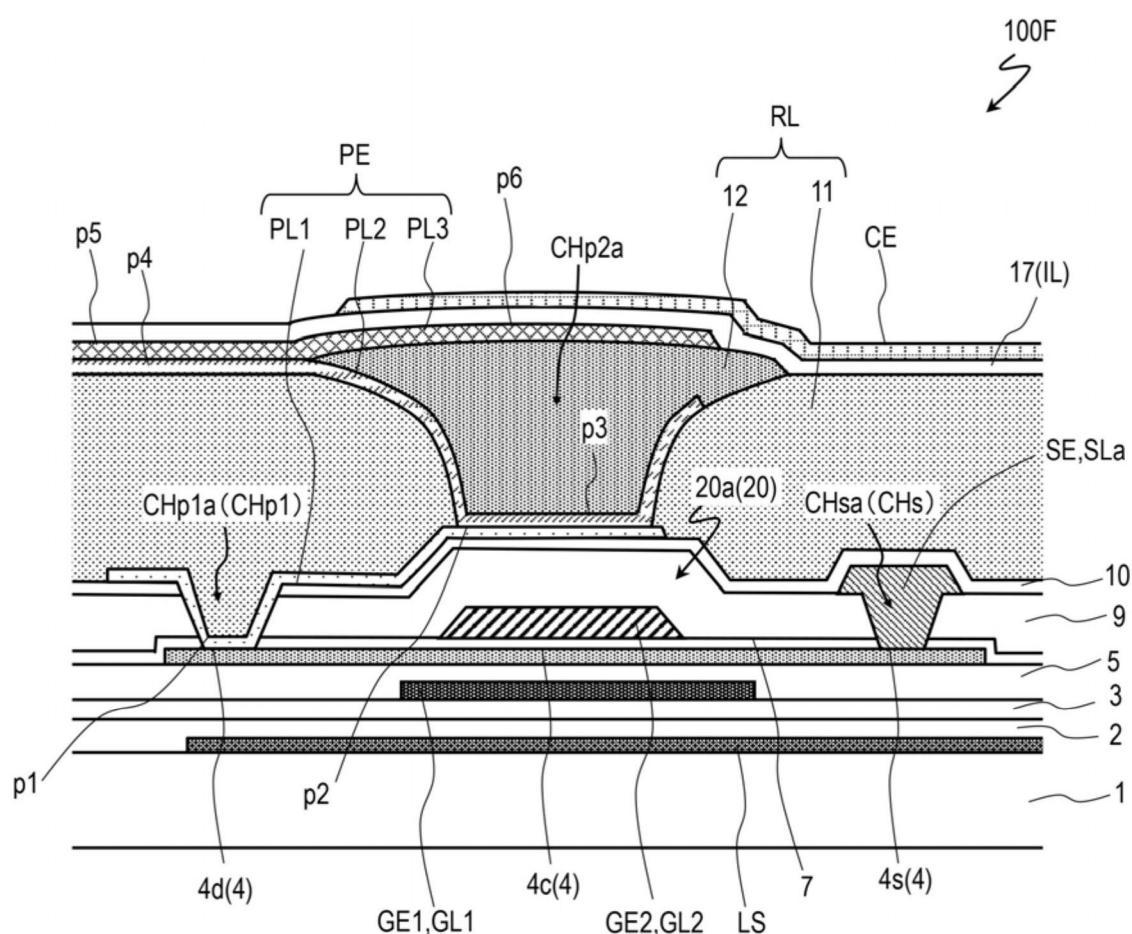


图15B

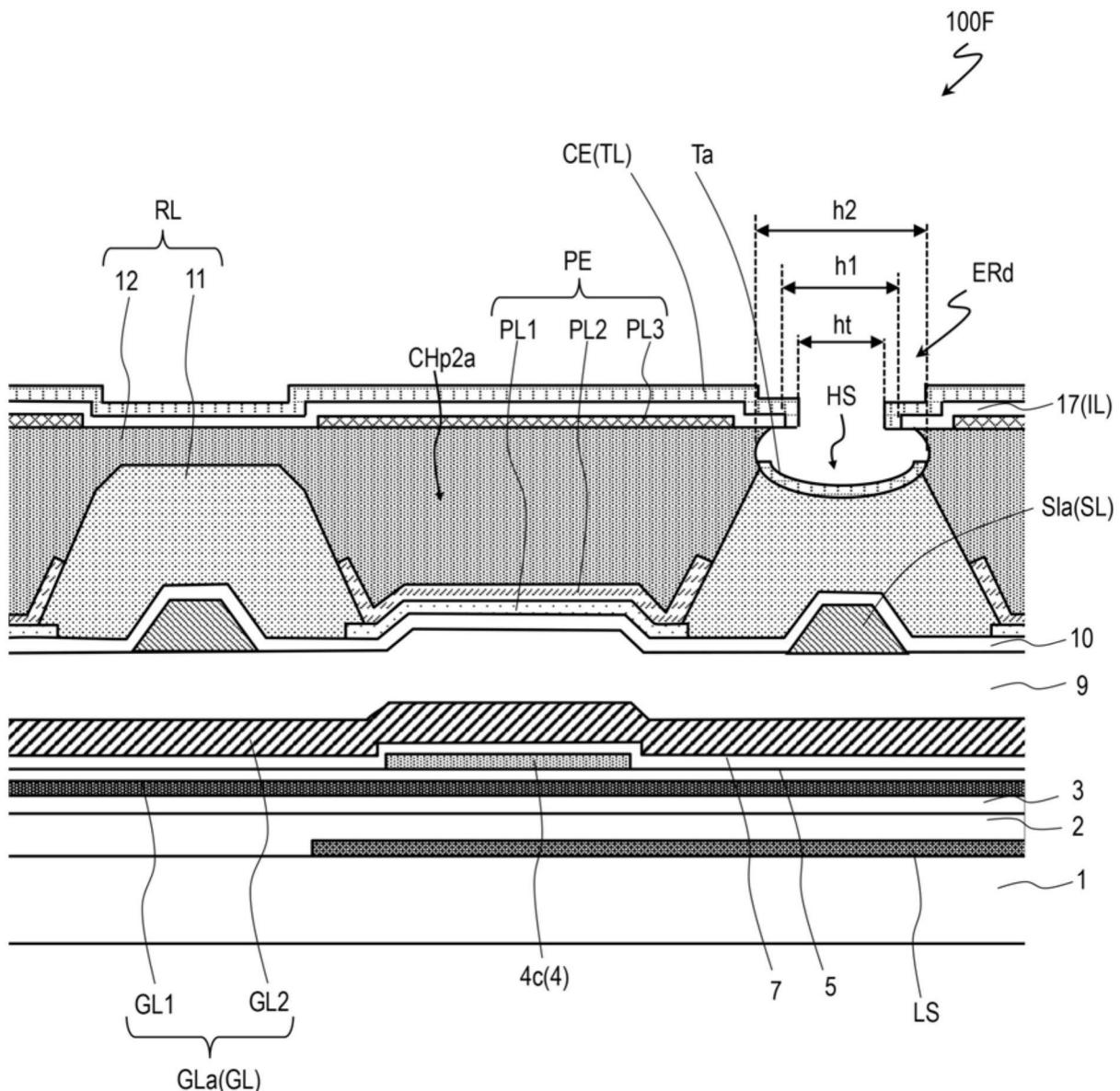


图15C

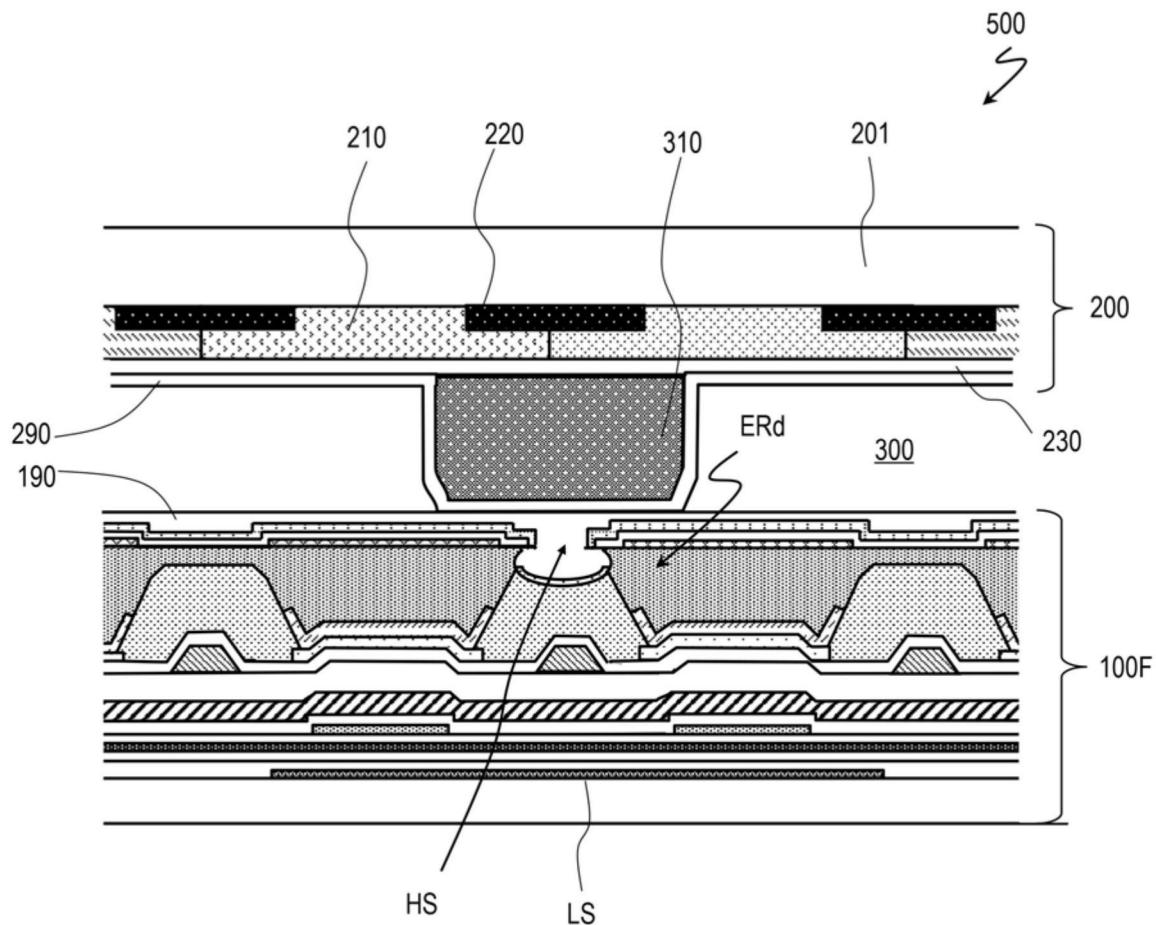


图16

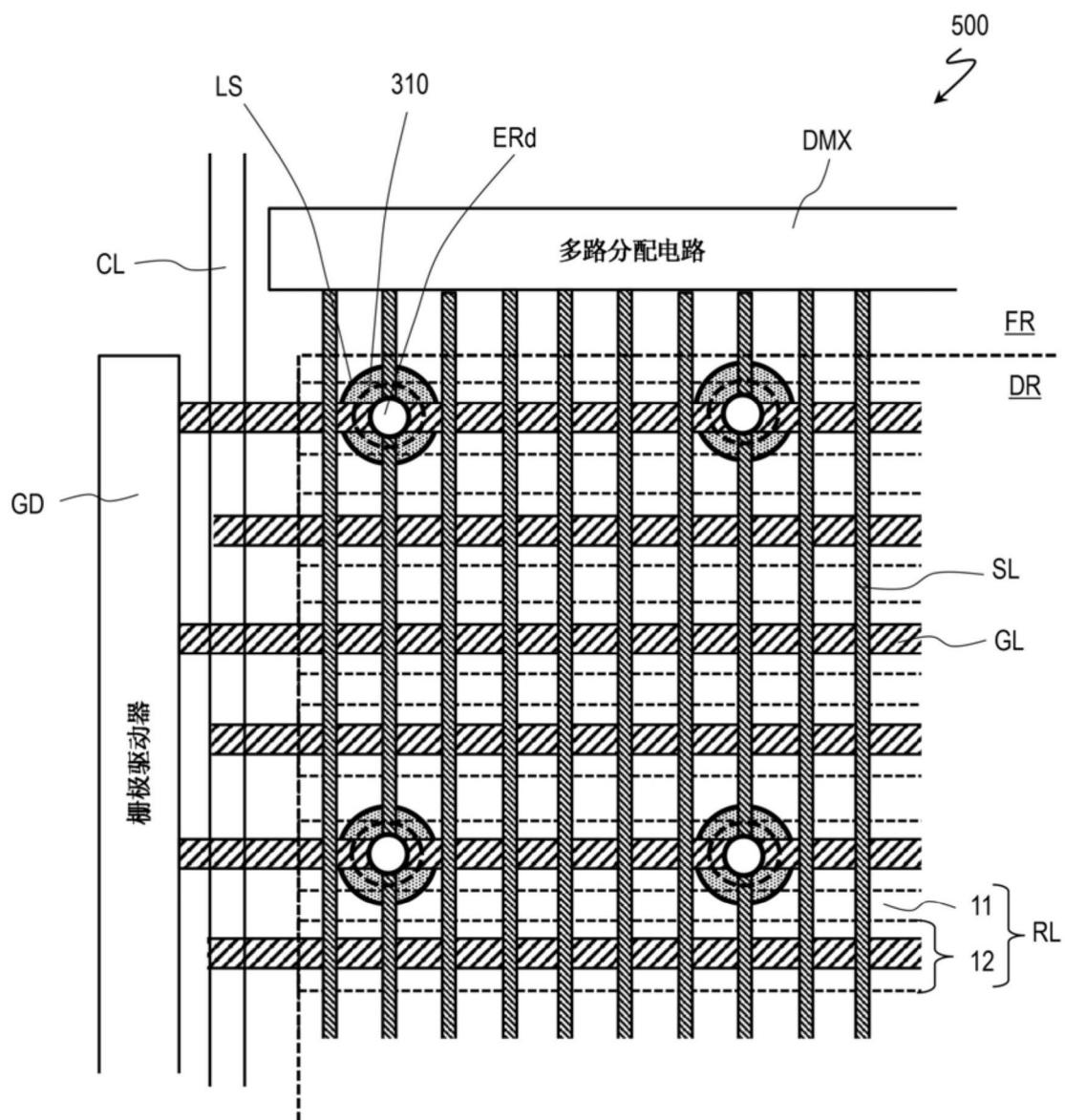


图17A

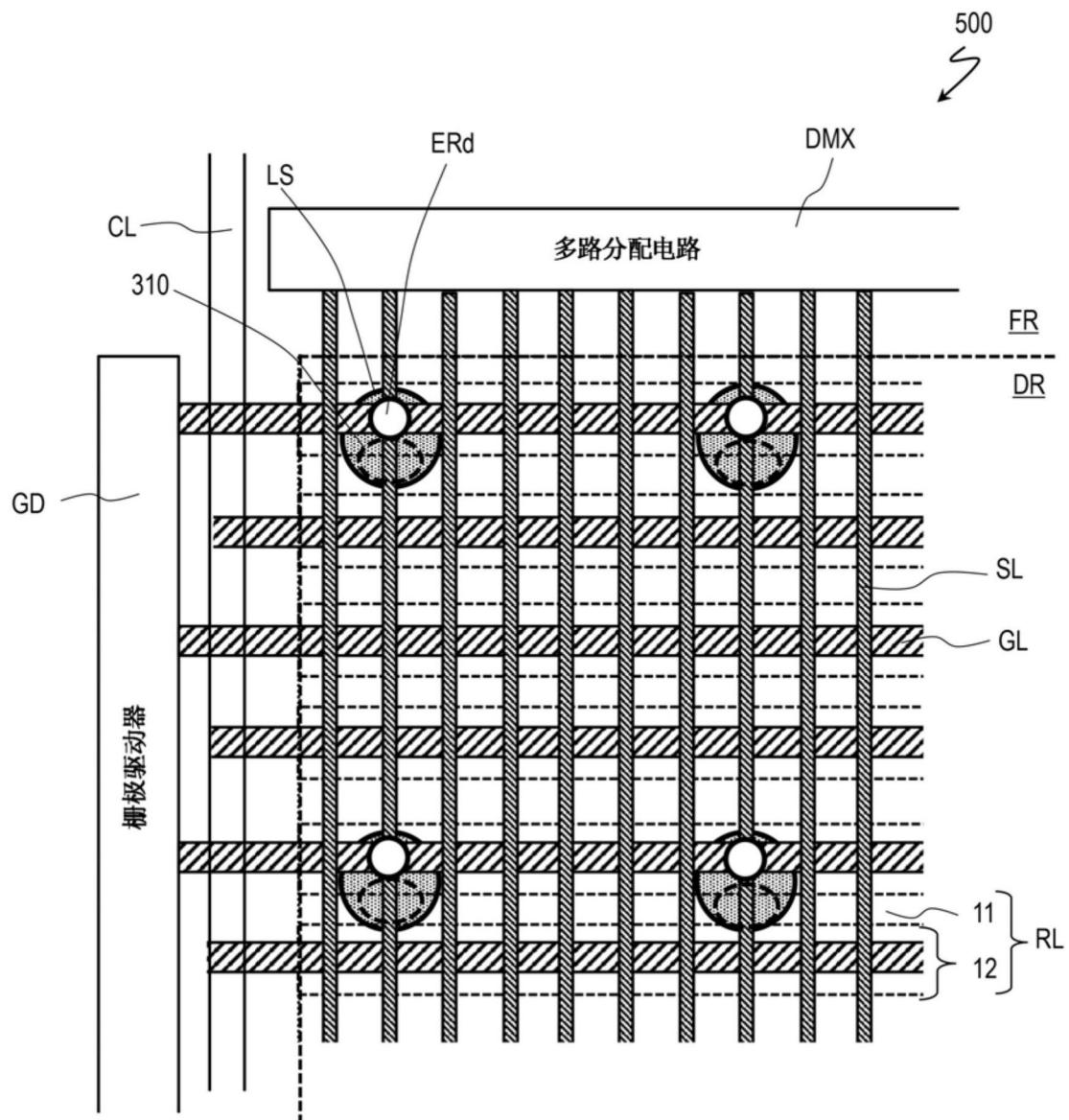


图17B

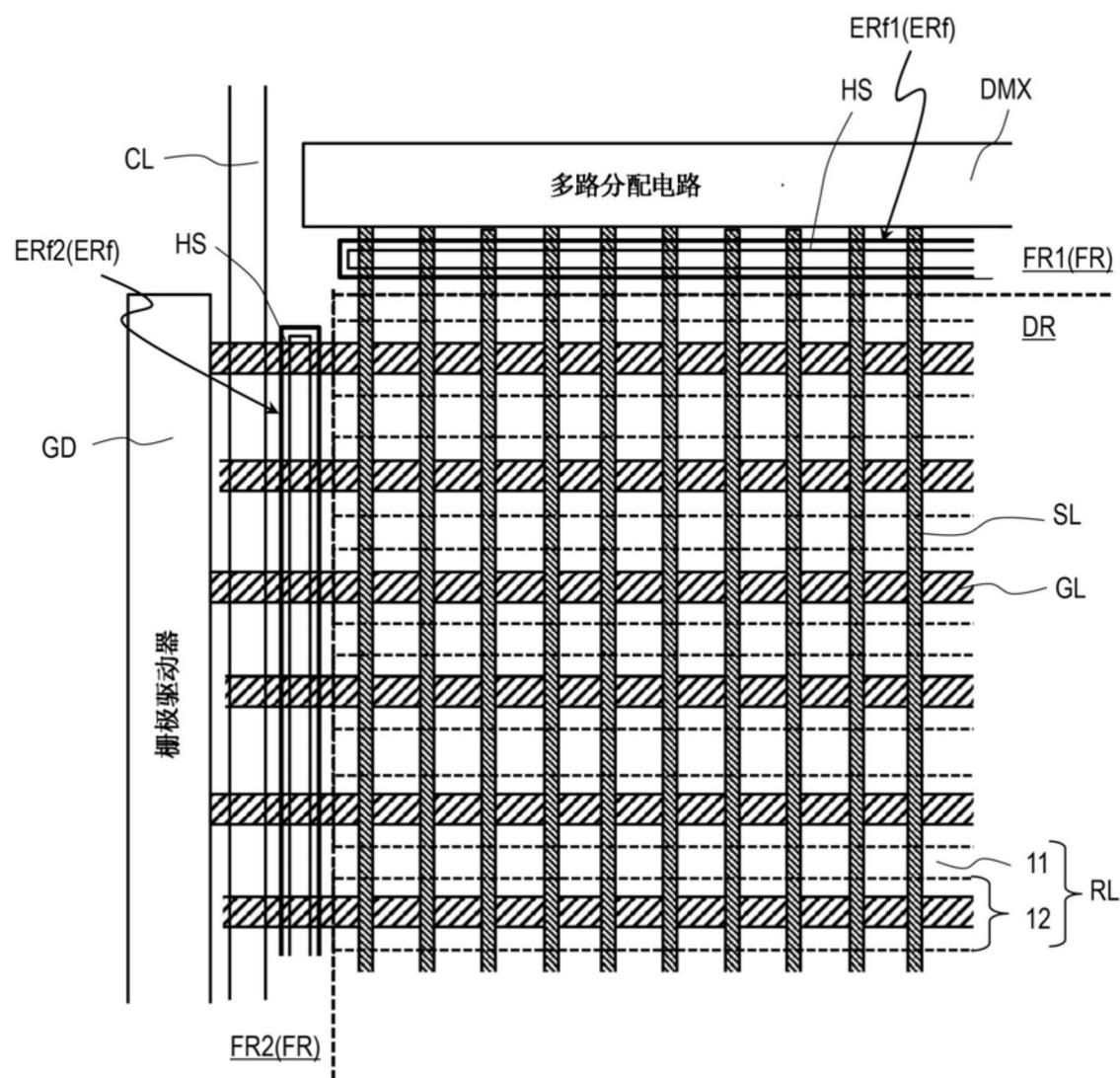


图18

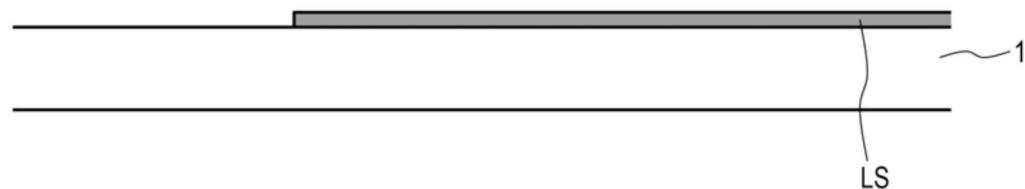


图19A

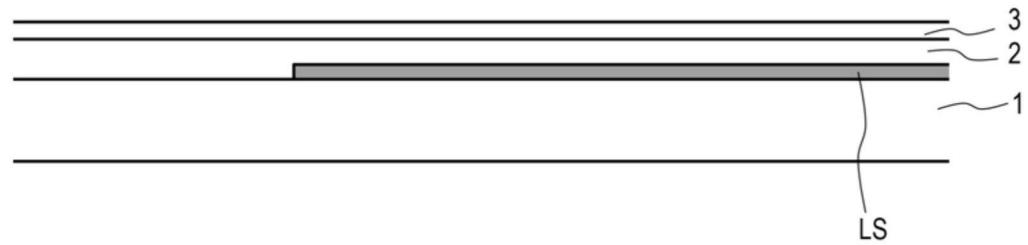


图19B

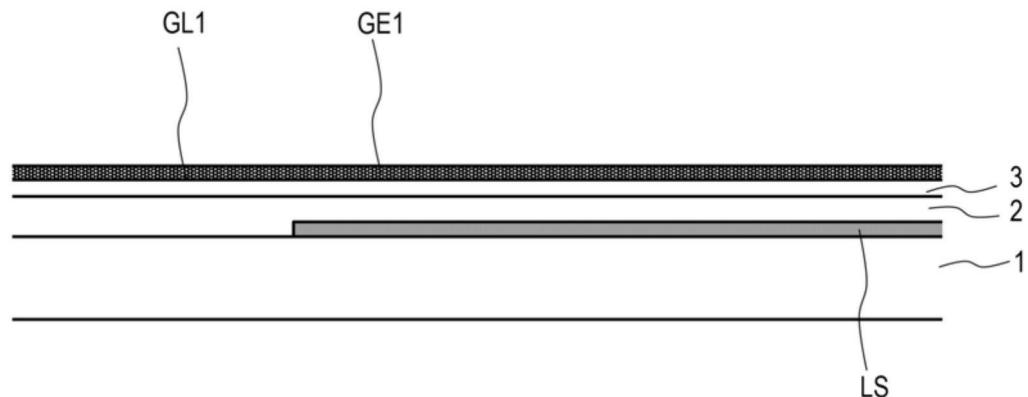


图19C

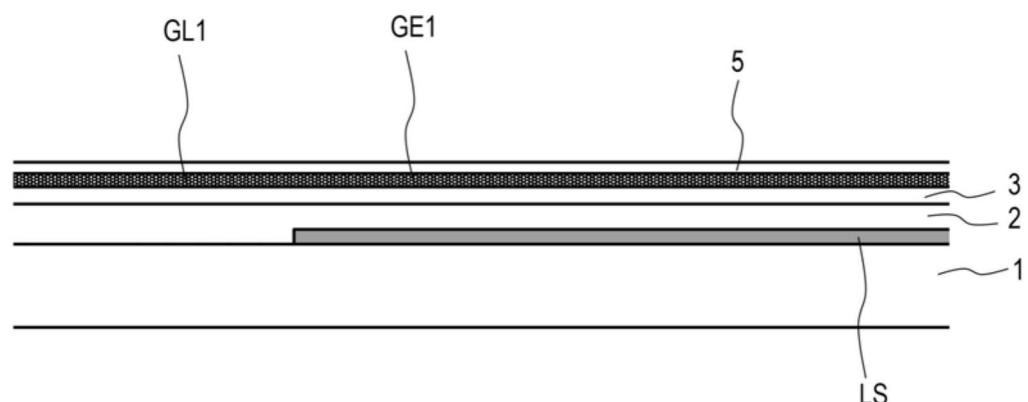


图19D

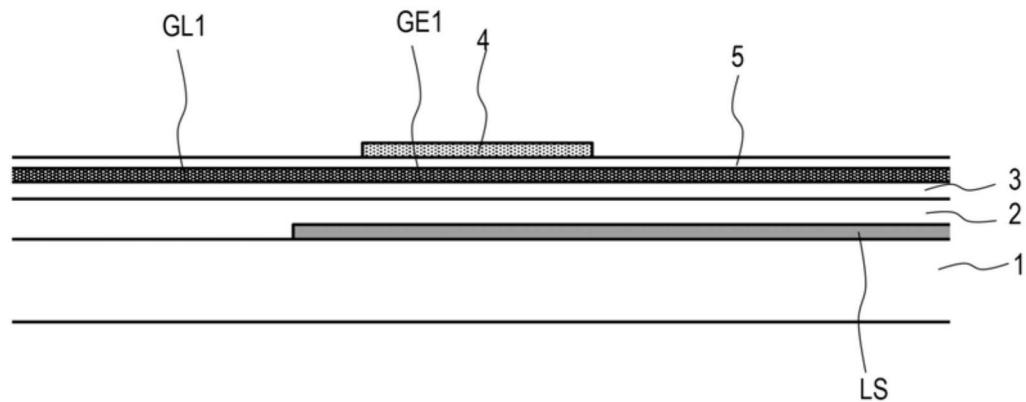


图19E

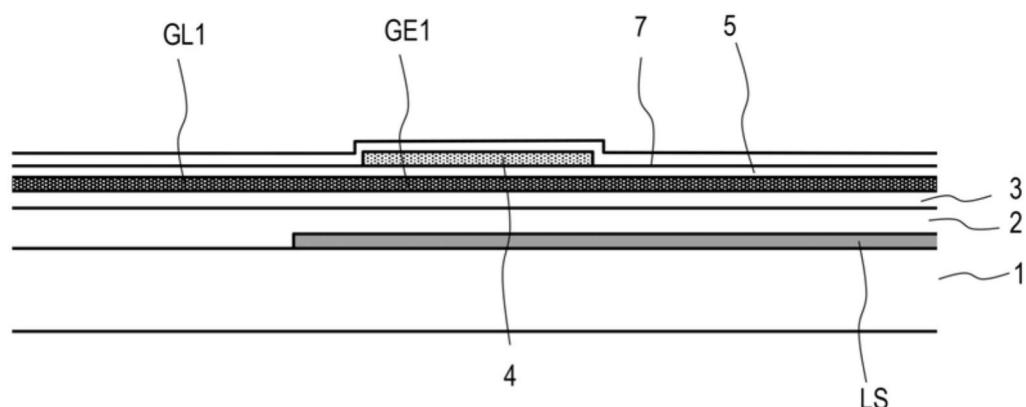


图19F

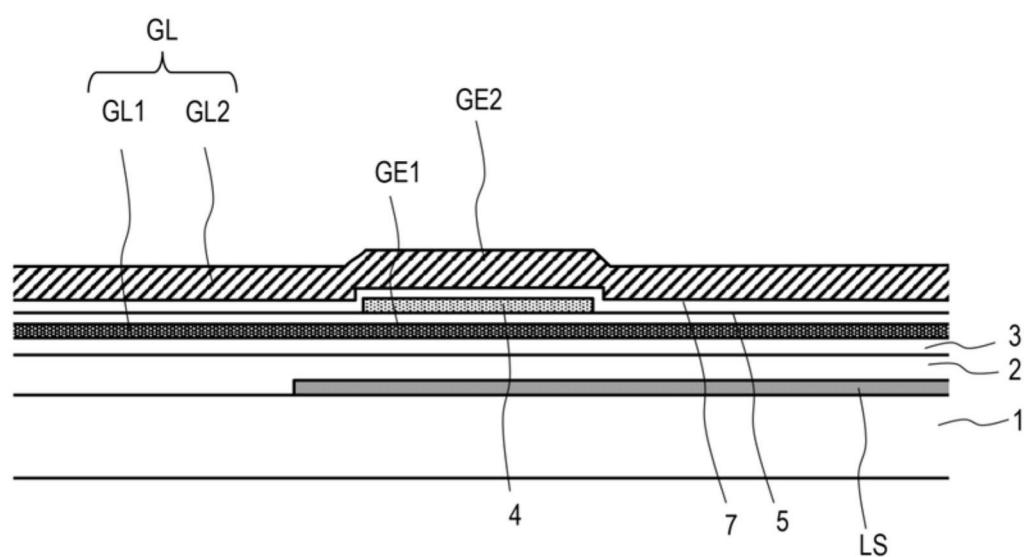


图19G

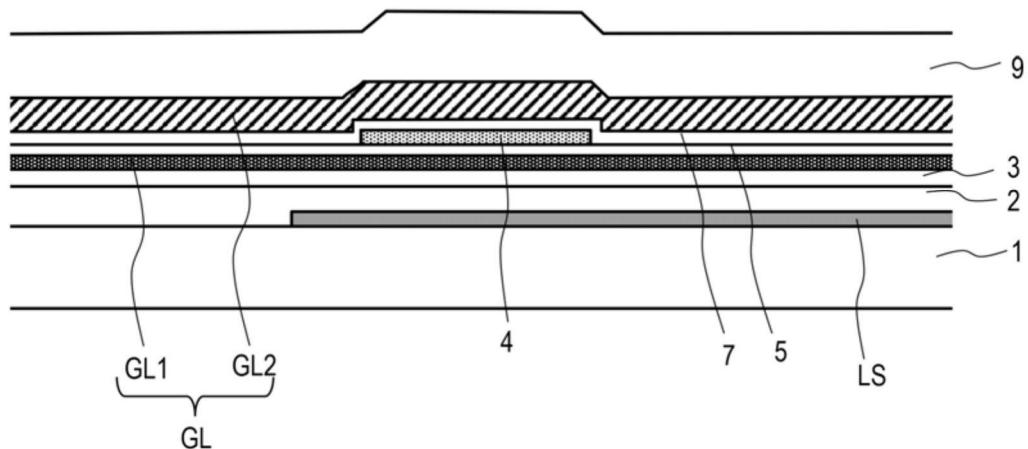


图19H

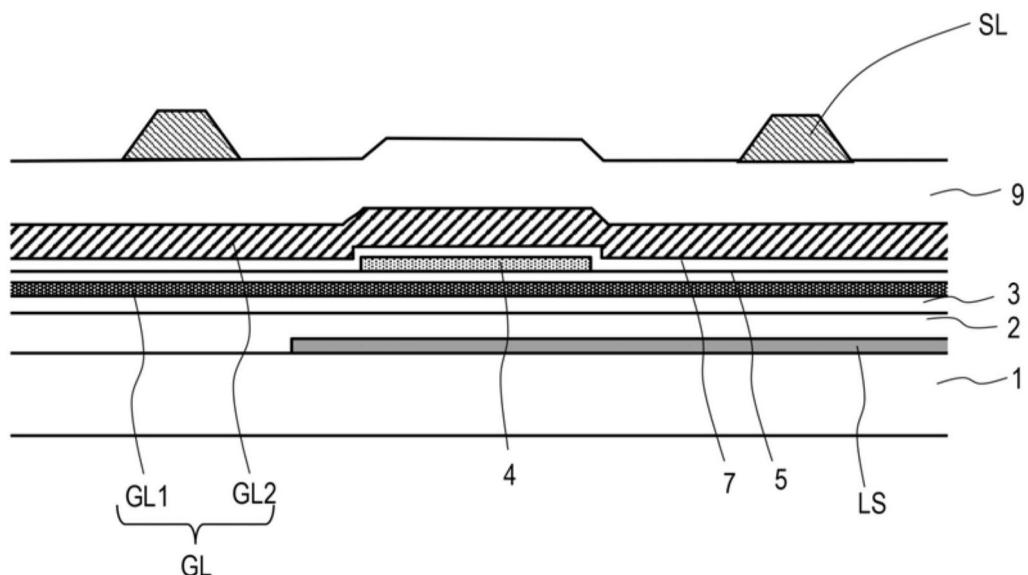


图19I

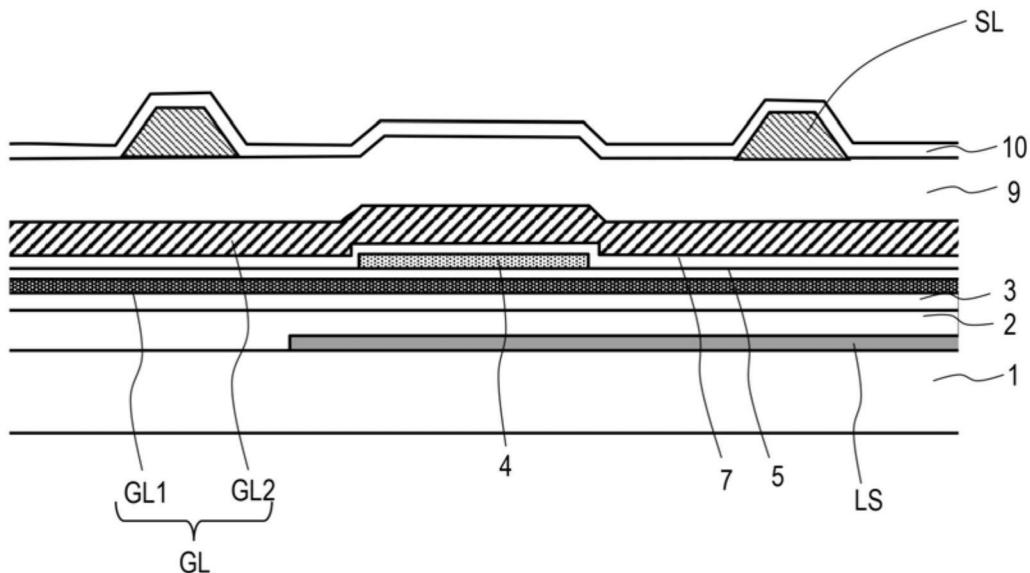


图20A

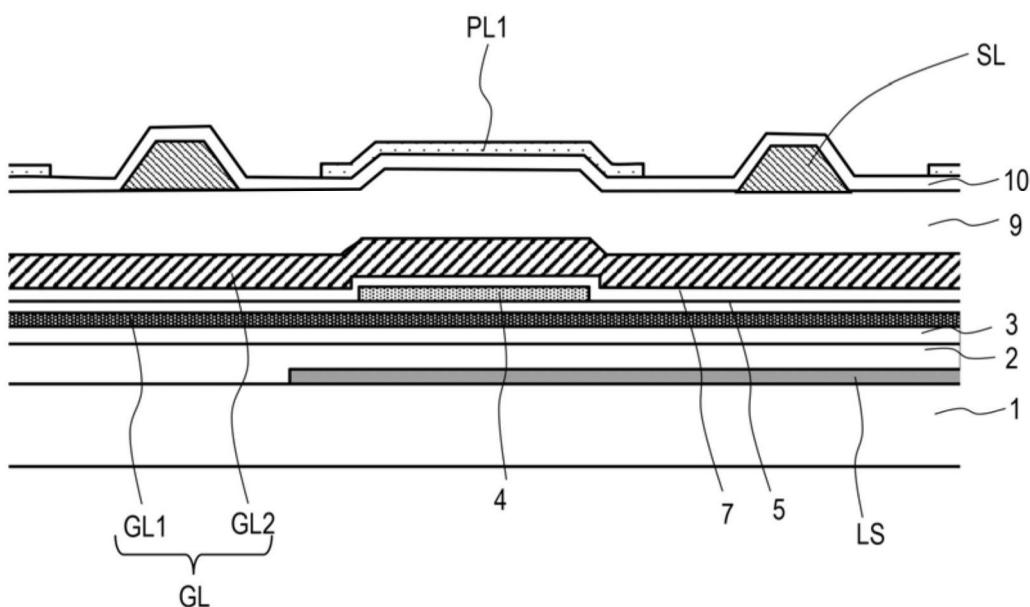


图20B

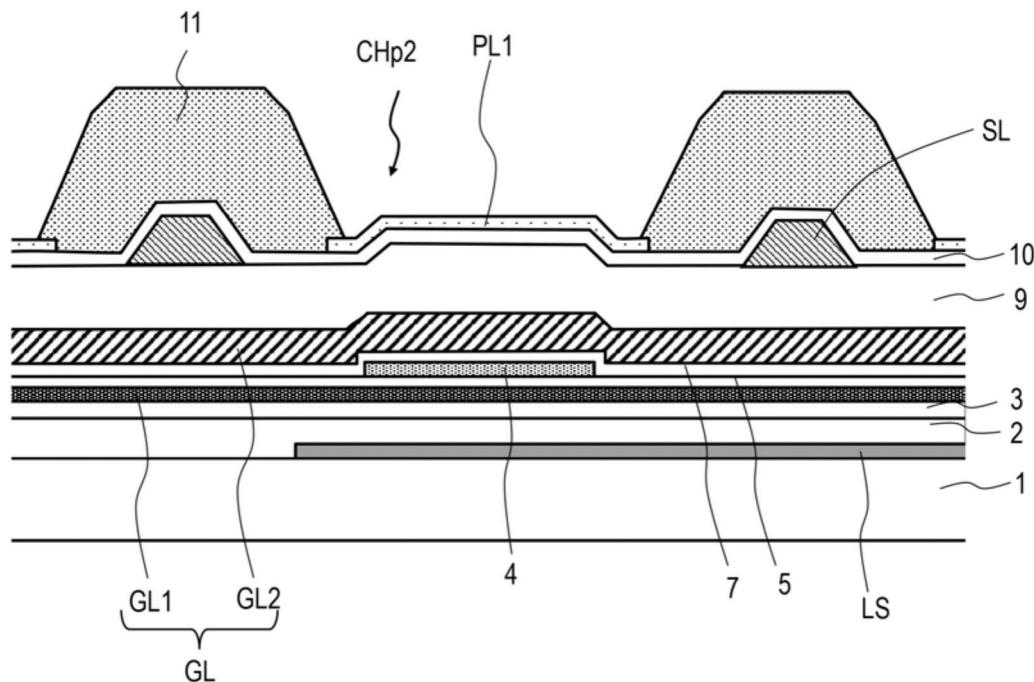


图20C

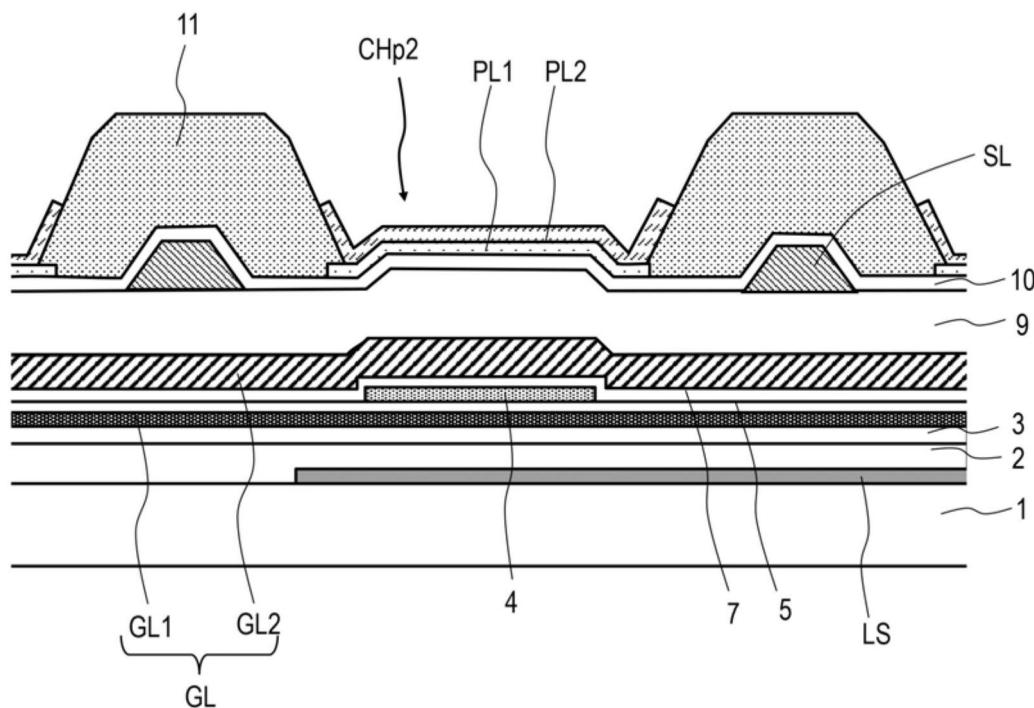


图20D

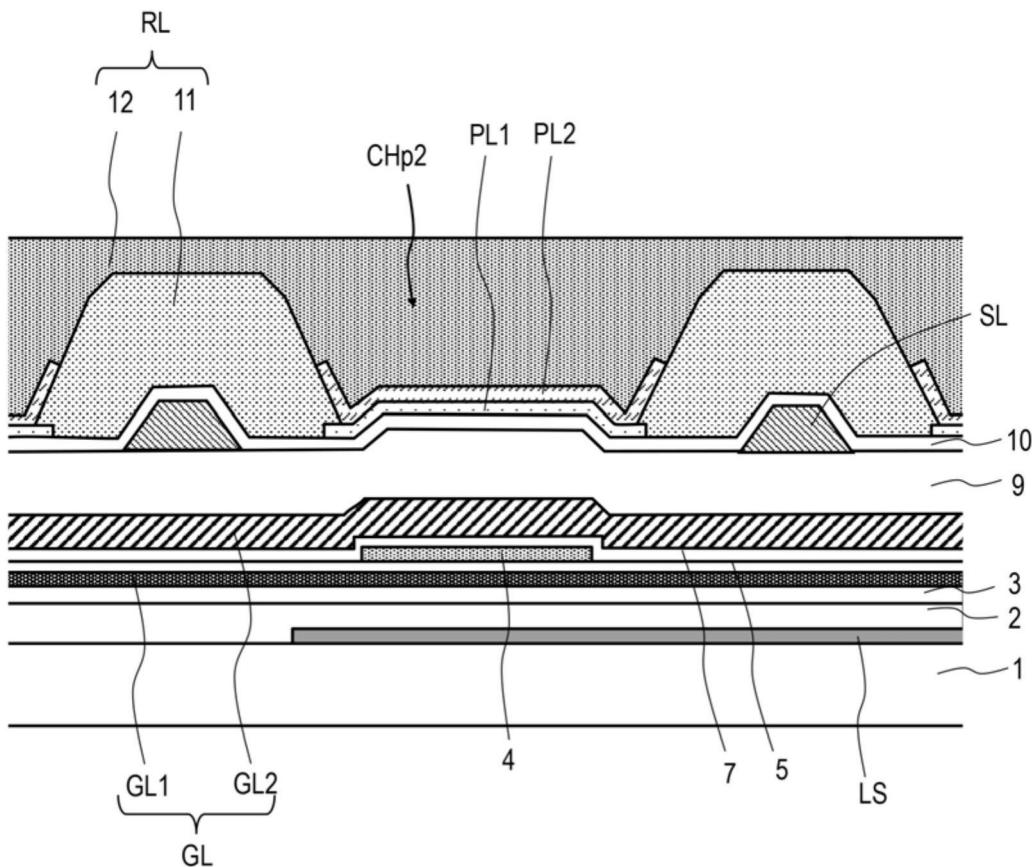


图20E

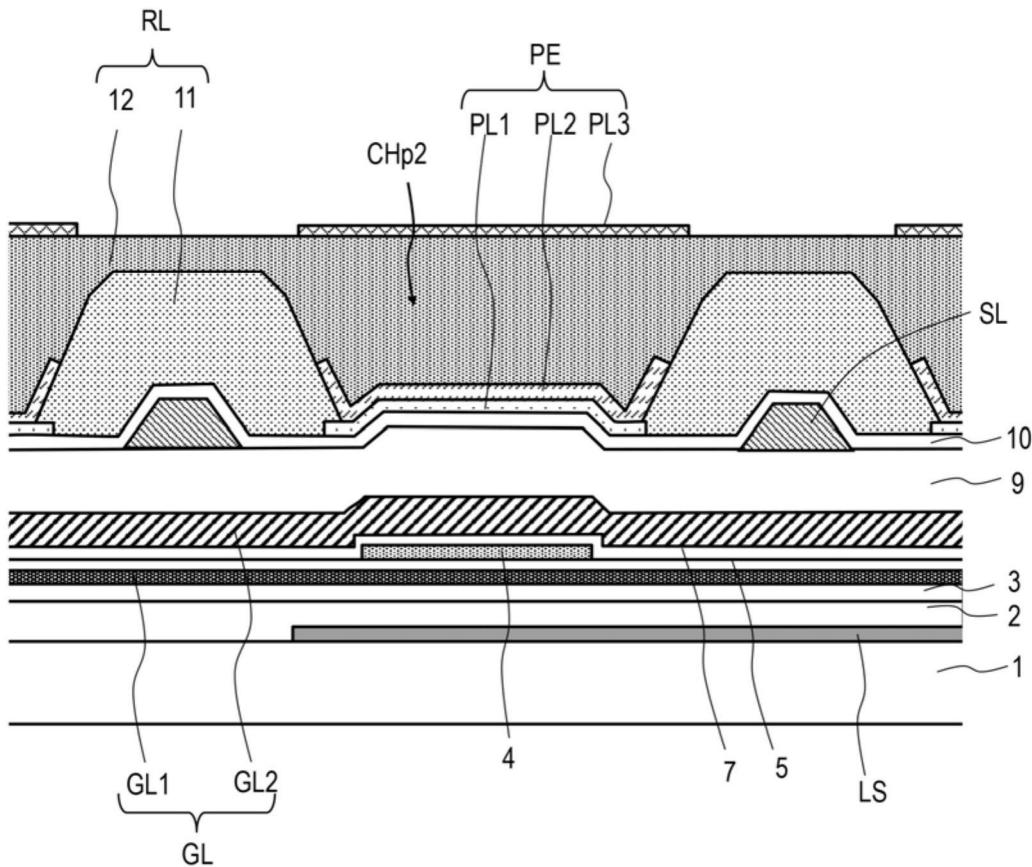


图20F

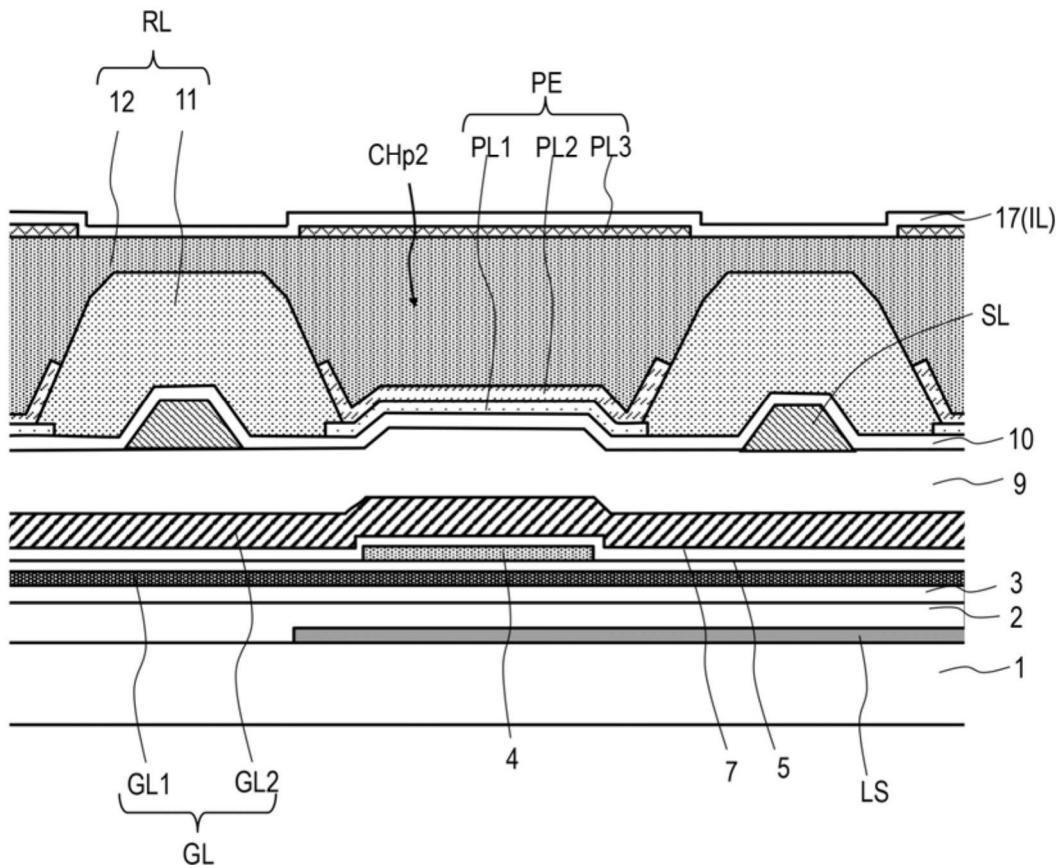


图20G

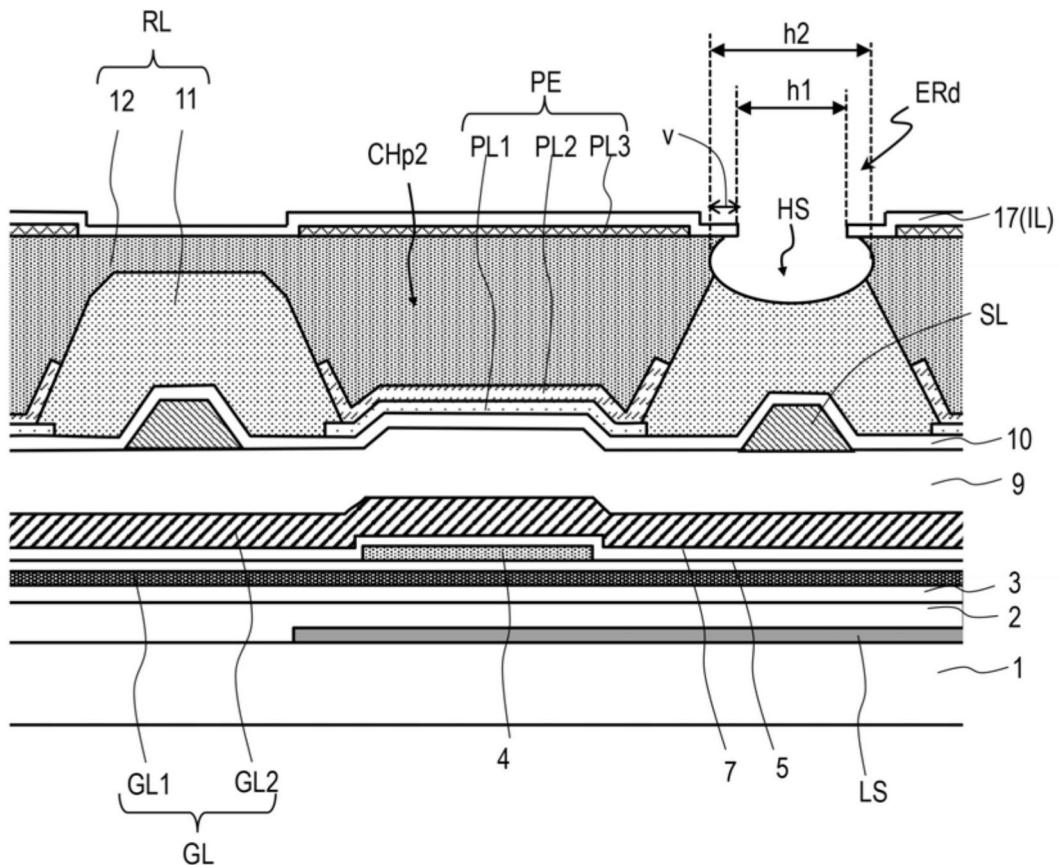


图20H

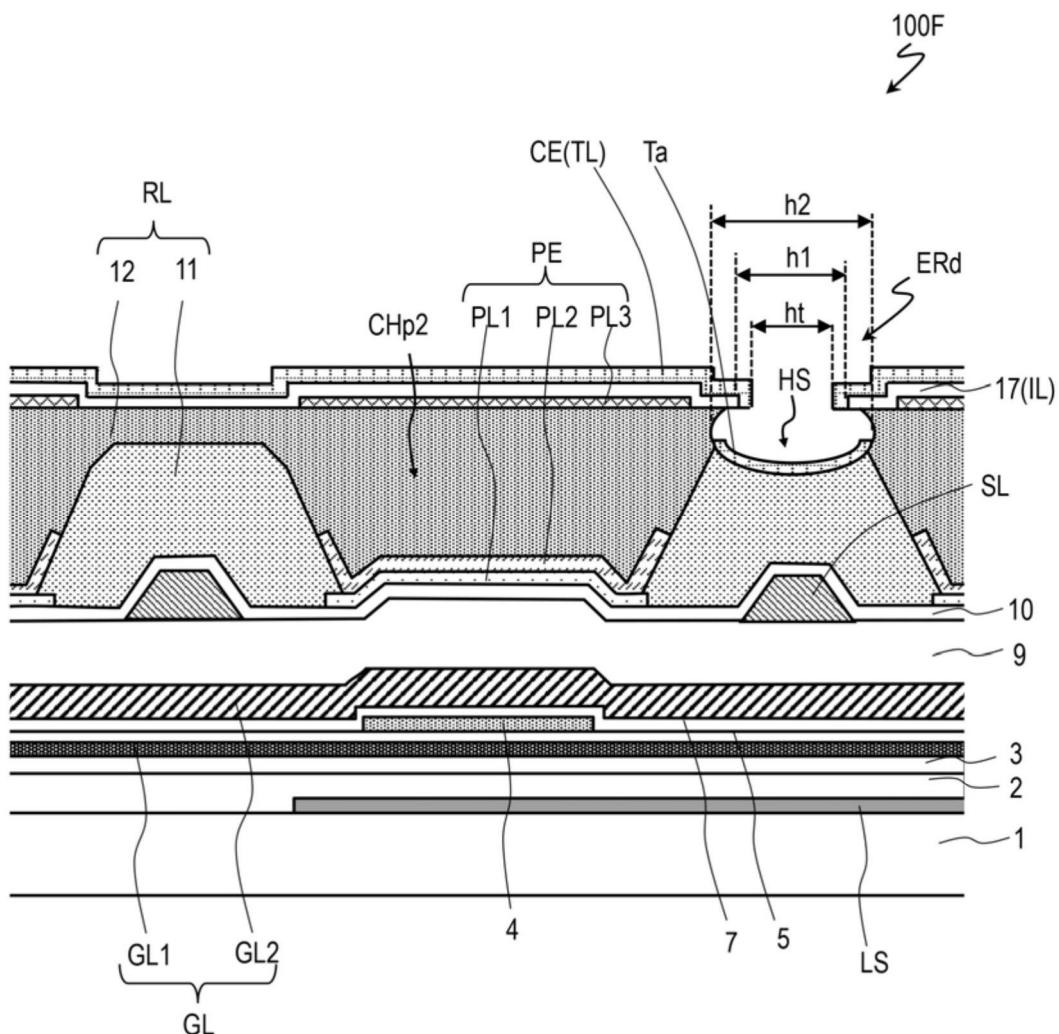


图20I

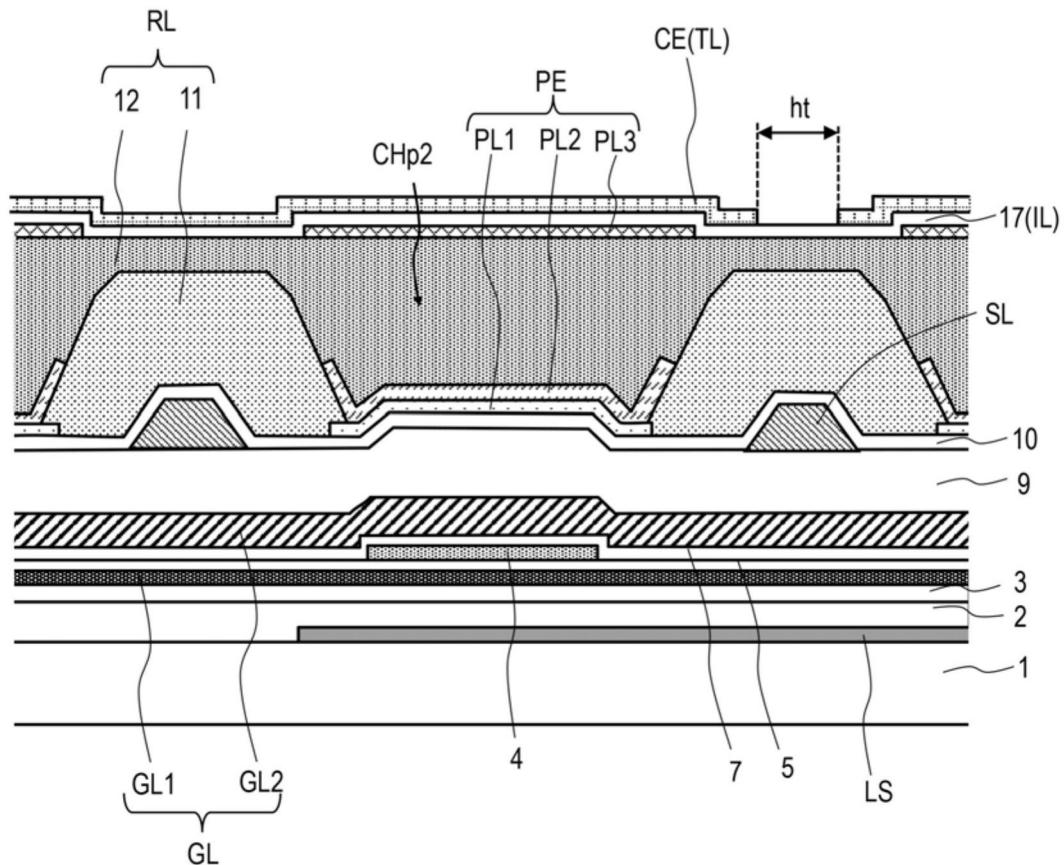


图21A

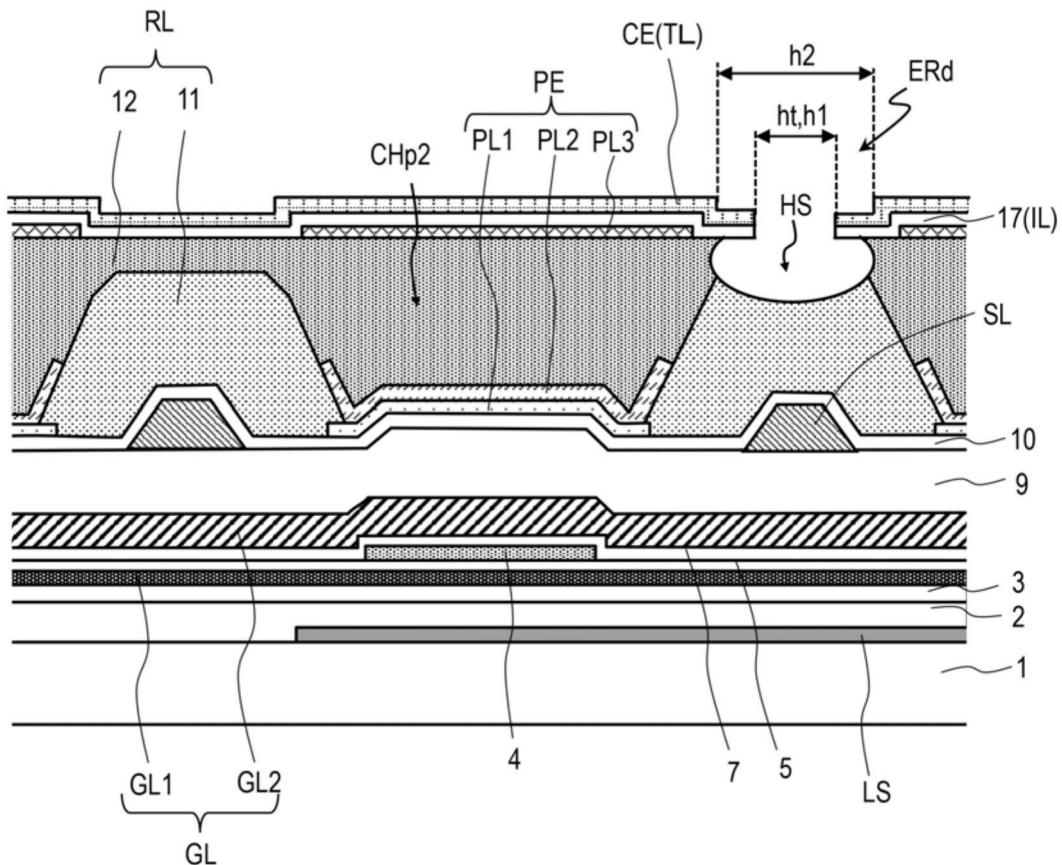


图21B

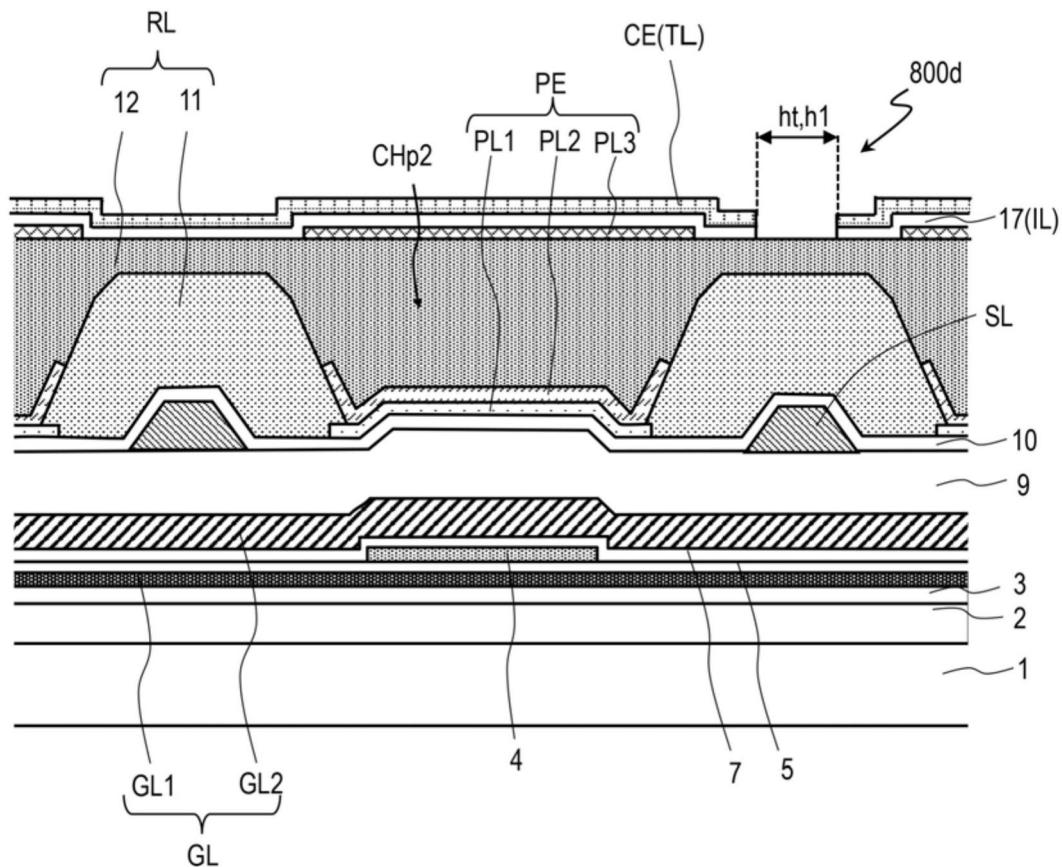


图22A

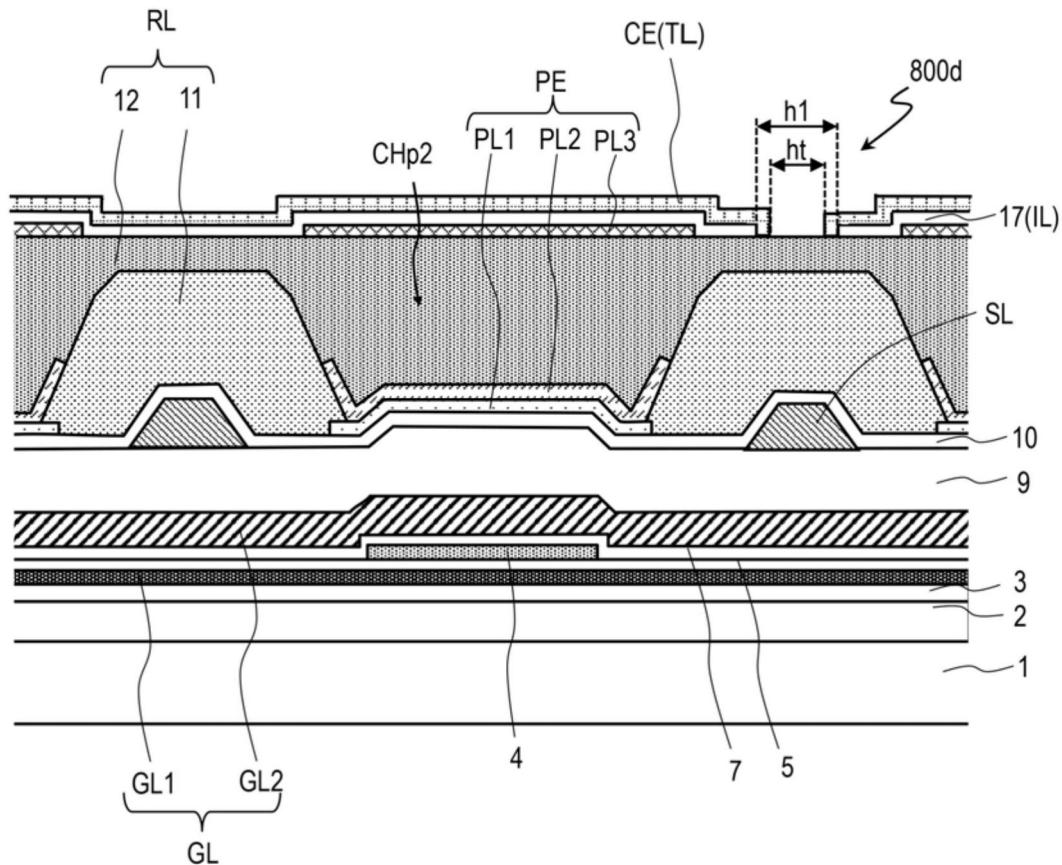


图22B

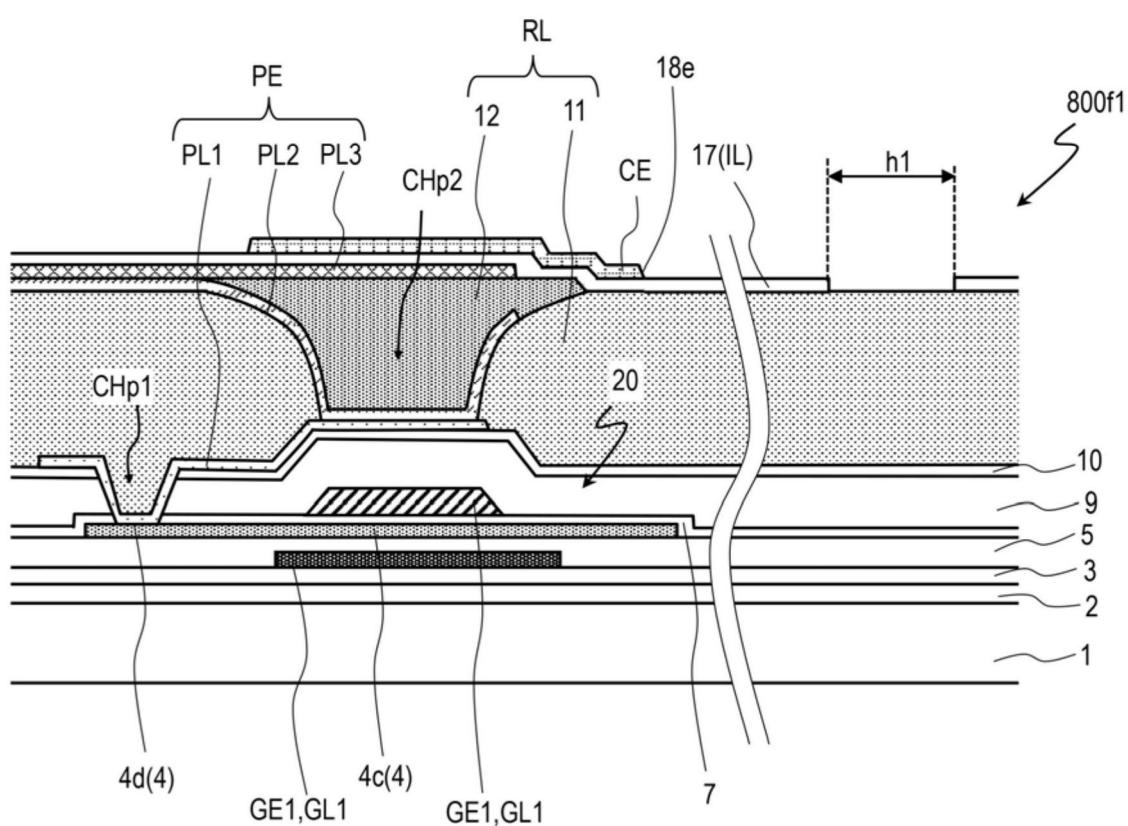


图23

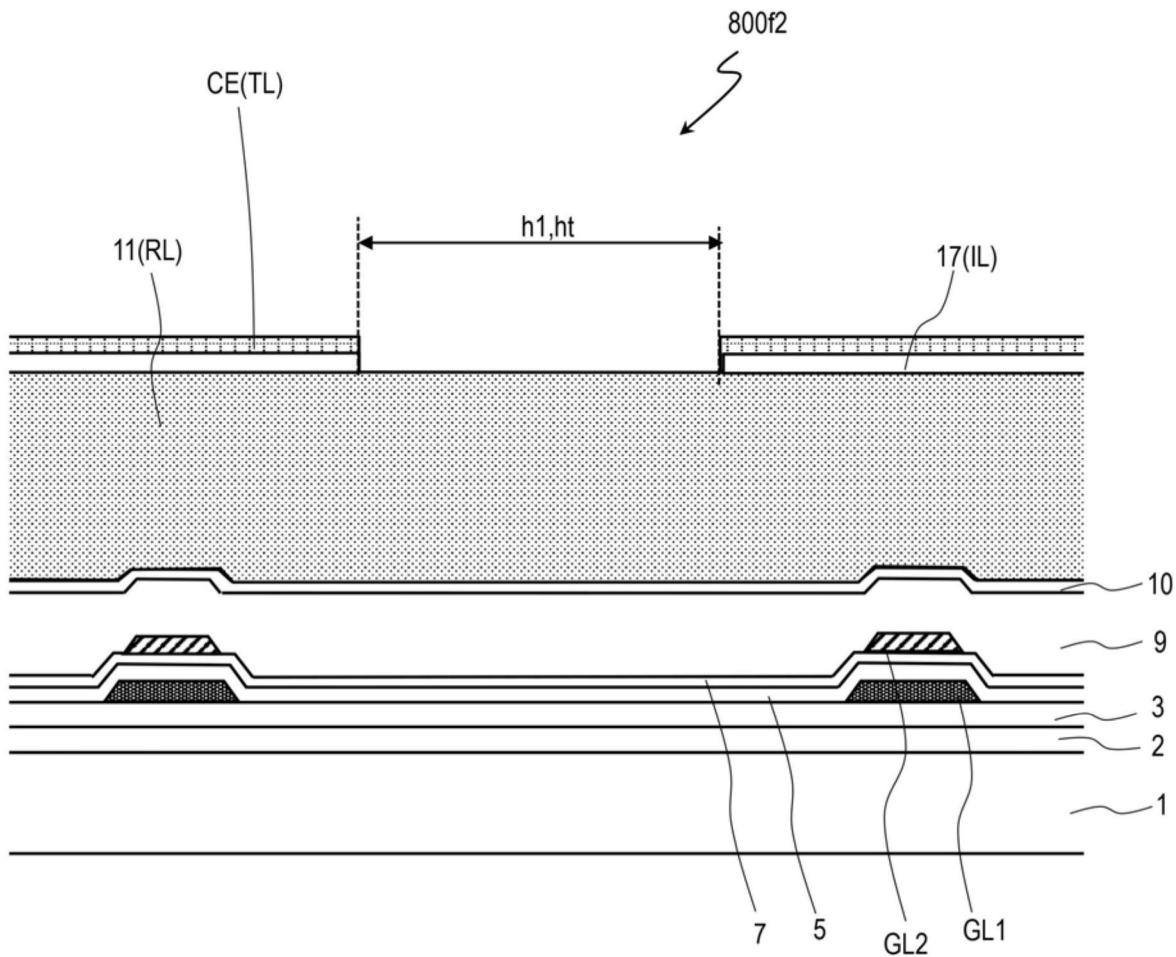


图24A

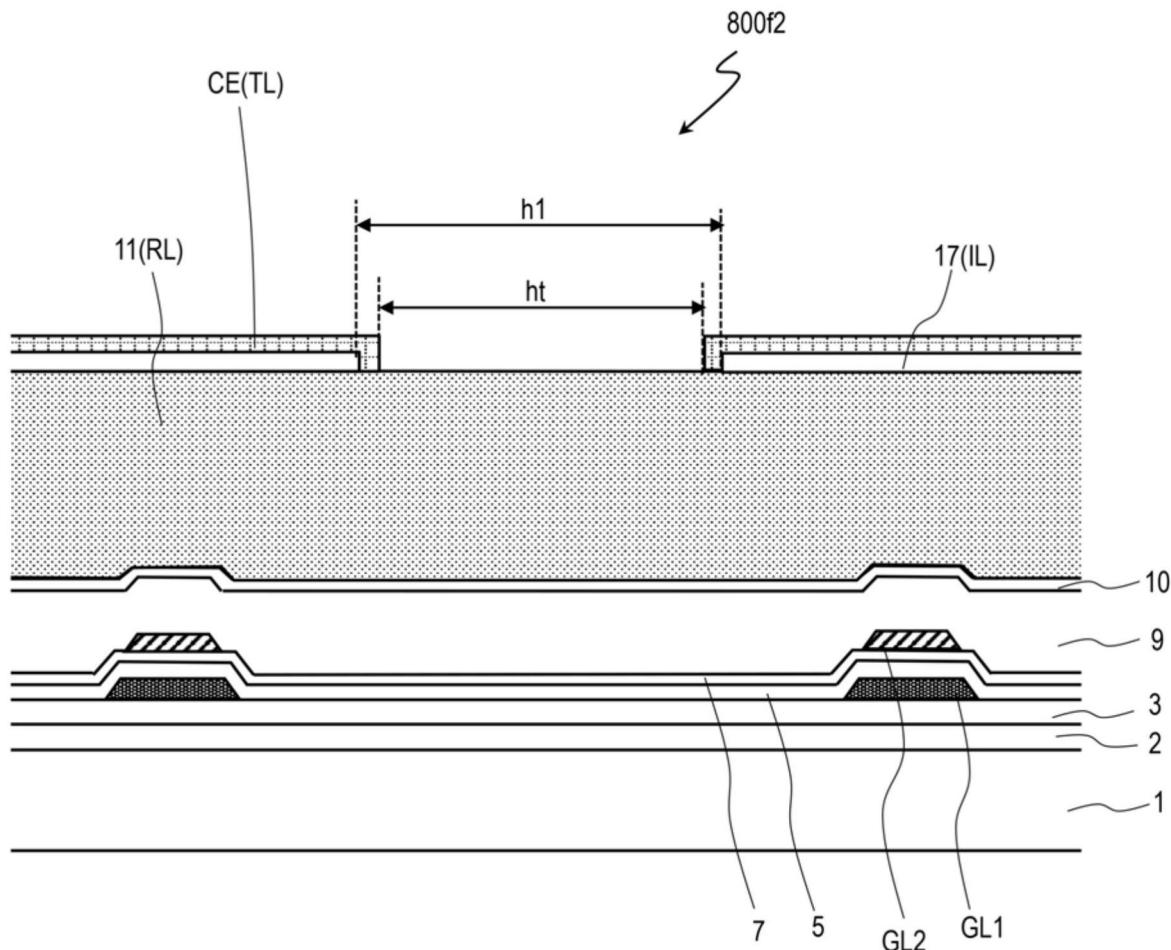


图24B

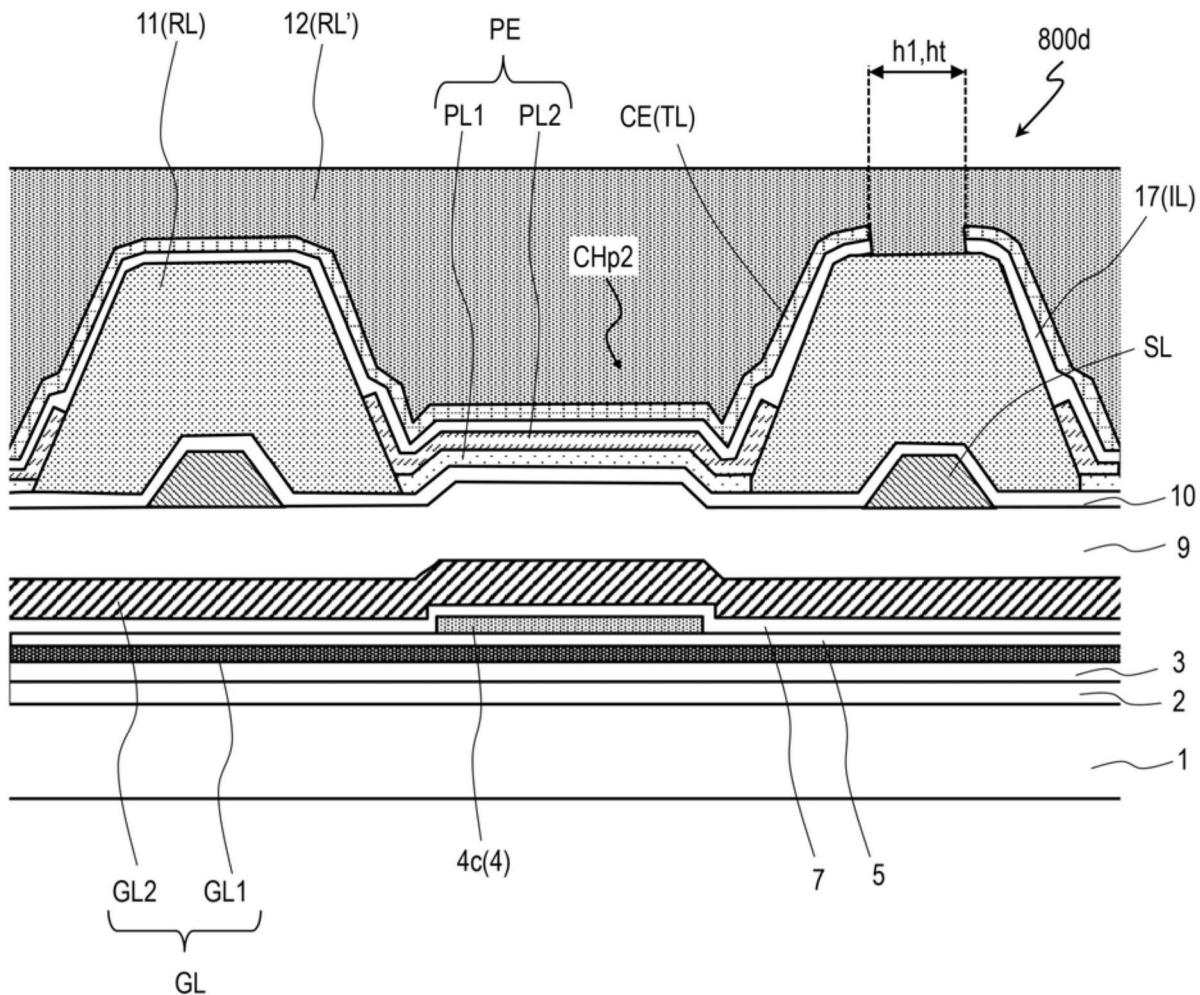


图25

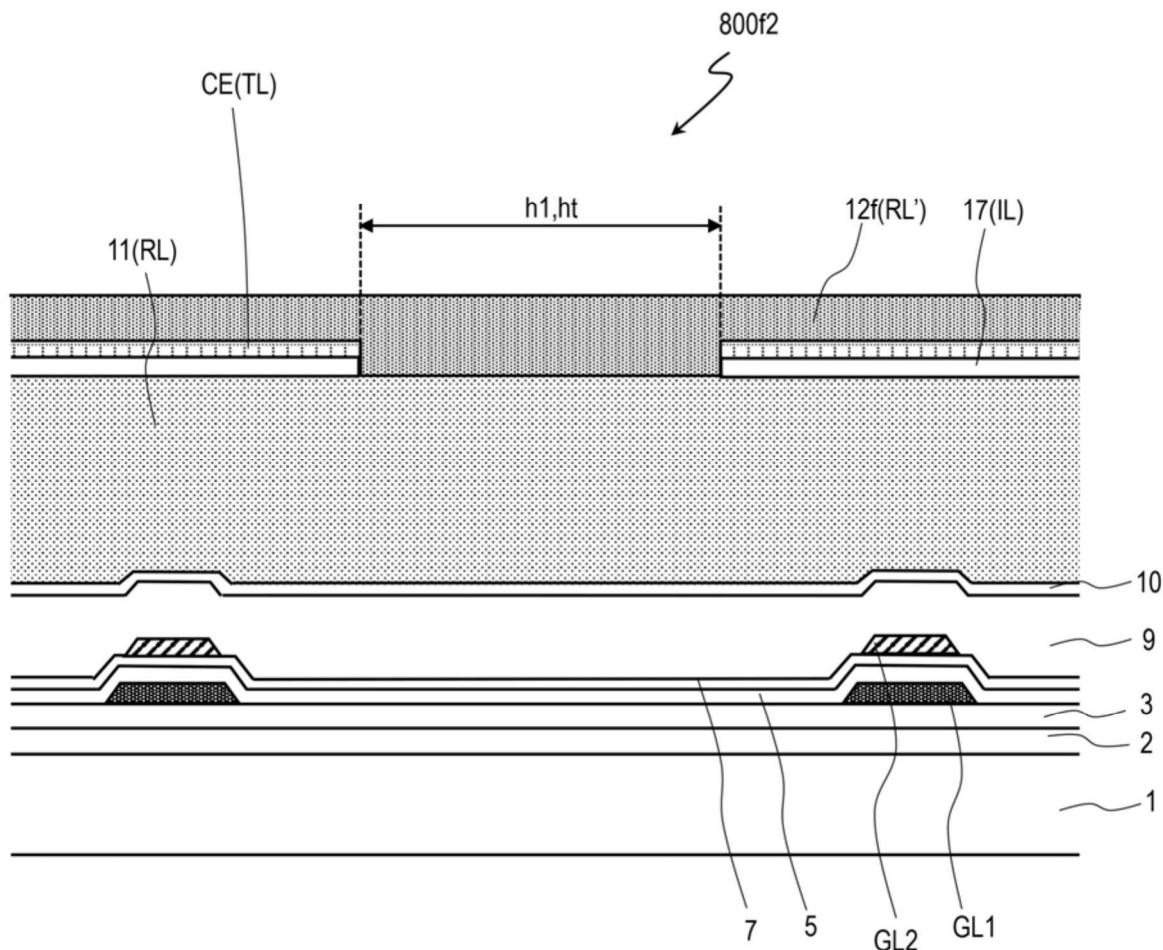


图26

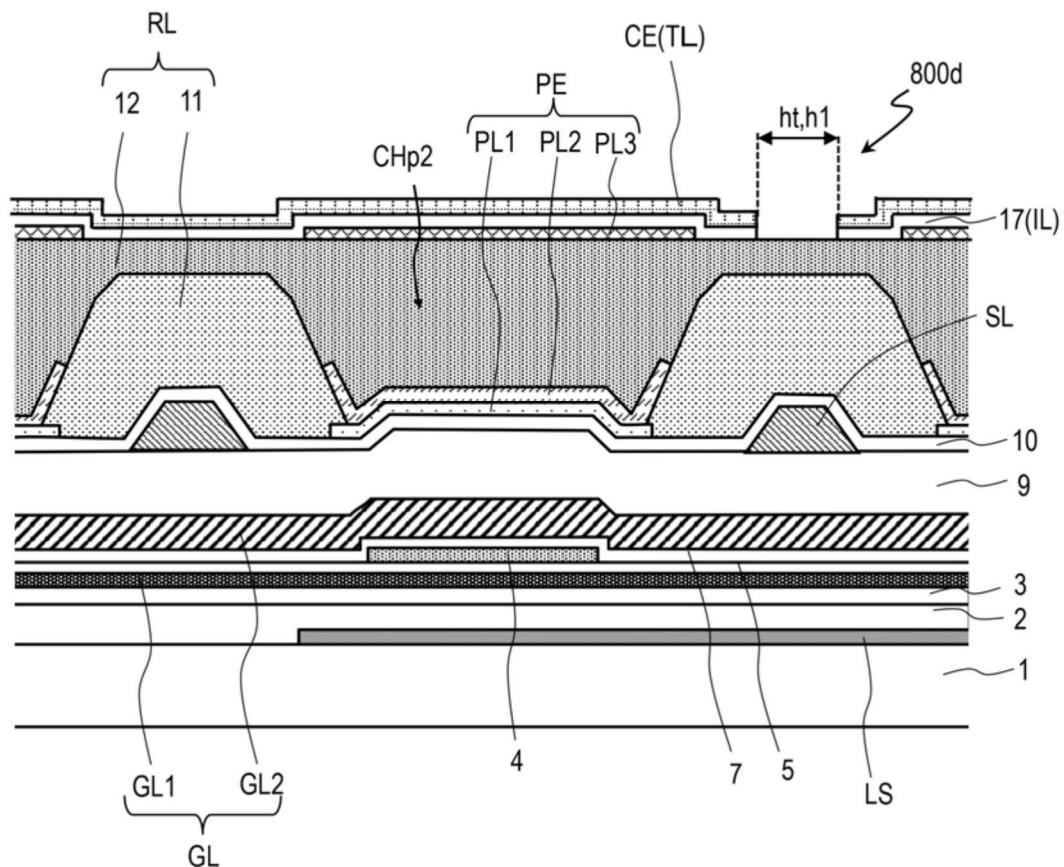


图27

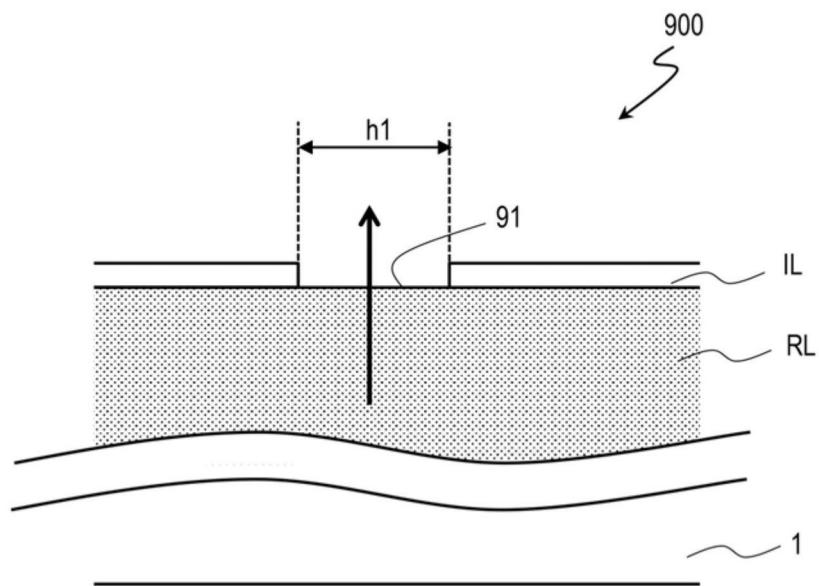


图28