(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G06T 1/00
G09G 5/36

(45) 공고일자 2004년05월20일
(11) 등록번호 10-0422265
(24) 등록일자 2004년02월27일

(21) 출원번호	10-1997-0707011	(65) 공개번호	10-1998-0703612
(22) 출원일자	1997년10월06일	(43) 공개일자	1998년12월05일
번역문제출일자	1997년10월06일		
(86) 국제출원번호	PCT/JP1997/000296	(87) 국제공개번호	WO 1997/29456
(86) 국제출원일자	1997년02월06일	(87) 국제공개일자	1997년08월14일
(81) 지정국	국내특허 : 캐나다 중국 대한민국 멕시코 싱가포르 미국 EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 사이프러스 독일 덴마크 스페인 핀랜드 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투칼 스웨덴		

(30) 우선권주장 96-20331 1996년02월06일 일본(JP)

(73) 특허권자 소니 컴퓨터 엔터테인먼트 인코포레이티드
일본국 도쿄도 미나도구 미나미아오야마 2쵸메 6반 21고
(72) 발명자 히로이, 도시유키
일본 도쿄도 아카사카 8-1-22 소니 컴퓨터 엔터테인먼트 인코포 레이티드 내
오카, 마사아키
일본 도쿄도 아카사카 8-1-22 소니 컴퓨터 엔터테인먼트 인코포 레이티드 내
(74) 대리인 이병호

심사관 : 조광현

(54) 화상생성장치

명세서

기술분야

<1> 본 발명은 화상 생성 장치에 관한 것으로, 특히 컴퓨터를 이용한 영상기기인 그래픽 컴퓨터, 특수 효과 장치, 비디오 게임기 등에 사용되는 화상 생성 장치에 관한 것이다.

배경기술

<2> 예를 들면, 비디오 게임기나 퍼스널 컴퓨터 장치 혹은 그래픽 컴퓨터 장치 등의 컴퓨터 그래픽을 응용한 기기에 있어서, 텔레비전 수상기나 모니터 수상기 혹은 음극선관(CRT: Cathode Ray Tube) 디스플레이 장치 등에 출력하여 표시하는 화상 데이터(표시출력 화상 데이터)를 생성 혹은 생성할 때에는 기하학적인 처리나 렌더링 처리가 행해진다. 기하학적 처리부에서는 좌표변환, 클리핑, 광원계산 등이 행해지며, 렌더링 처리부에서는, 정점(頂点)의 색데이터와 깊이를 나타내는 Z치로부터, 다각형을 구성하는 모든 화소의 색과 Z치를 고려하여, 화소 데이터를 화상 메모리에 기록한다.

<3> 이와 같은 처리, 특히 상기 렌더링 처리를 주로 행하기 위해서, 묘화 처리회로 혹은 묘화 엔진이 설치된다. 이 묘화 엔진에 있어서는 생성된 화소를 직접 화상 메모리에 기록하는 방법이 일반적으로 채용되고 있다.

<4> 그런데, 화상의 묘화 속도는 묘화 엔진으로부터 화상 메모리로의 기록속도에 영향을 받아, 화상 메모리의 액세스 속도가 늦으면 묘화 속도가 저하하게 된다. 따라서, 묘화 속도를 높이기 위해서 고가의 고속 메모리를 대용량의 화상 메모리에 사용하는 것은 시스템의 가격의 앙등으로 연결되며, 또한, 염가인 다이내믹 랜덤 액세스 메모리(DRAM: Dynamic Random Access Memory) 등의 메모리를 사용하면 시스템의 묘화 속도가 떨어진다고 하는 결점이 있다.

<5> 여기에서, 묘화 엔진과 화상 메모리 사이에 DRAM의 페이지에 상당하는 버퍼 메모리를 설치하여, 화상 메모리의 액세스를 고속의 버스트 전송으로만 행하는 방법이 고려되지만, 버퍼 메모리 용량의 범위내에서 묘화 데이터가 페이지 경계를 걸치도록 한 순서로 생기는 경우에는 효율이 저하된다.

<6> 본 발명은 상술한 바와 같은 실정을 감안하여 이루어진 것으로서, 염가의 DRAM 등의 메모리를 화상 메모리로서 사용하여도, 묘화 속도를 고속으로 유지할 수 있도록 한 화상 생성장치를 제공하는 것이다.

발명의 상세한 설명

<7> 본 발명은 화상정보에 따라서 화상표시를 위한 화소 데이터를 묘화 처리수단에 의해 생성하고,

생성된 화소를 표시화면에 대응하는 화상 메모리에 기록하는 화상 생성 장치에 있어서, 상기 묘화 처리 수단으로부터의 데이터를 일시적으로 저장하는 메모리와, 상기 메모리와 상기 화상 메모리 사이에 설치된 캐시 메모리와, 상기 메모리의 내용에 따라서 상기 캐시 메모리의 판독 기록의 제어를 행하는 캐시 제어 수단을 갖는 것을 특징으로 한다.

<8> 본 발명과 관계되는 화상 생성 장치에 있어서, 상기 캐시 제어 수단은 예를 들면, 상기 메모리의 내용에 따라서 화상 메모리중의 동일 페이지내의 데이터를 정리하여 상기 캐시 메모리에 로드하는 것으로 할 수 있다.

<9> 본 발명과 관계되는 화상 생성 장치에서는 예를 들면, 상기 메모리와 상기 캐시 메모리 사이에 연산장치를 설치하고, 상기 묘화 처리 수단으로부터의 출력에 따라서 연산을 행할 수 있다.

<10> 또한, 본 발명과 관계되는 화상 생성 장치에 있어서, 상기 메모리는 FIFO 메모리로 할 수 있다.

<11> 또한, 본 발명과 관계되는 화상 생성 장치에 있어서, 상기 화상 메모리는 프레임 메모리로 할 수 있다.

<12> 또한, 본 발명과 관계되는 화상 생성 장치에 있어서, 상기 연산장치는 예를 들면, 상기 묘화 처리 수단으로부터의 출력에 따라서 Z 버퍼 처리를 행하는 것으로 할 수 있다.

<13> 또한, 본 발명과 관계되는 화상 생성 장치에 있어서, 상기 연산장치는 예를 들면, 상기 묘화 처리 수단으로부터의 출력에 따라서 앤티에일리어싱 처리를 행하는 것으로 할 수 있다.

<14> 또한, 본 발명과 관계되는 화상 생성 장치에 있어서, 상기 연산장치는 예를 들면, 상기 묘화 처리 수단으로부터의 출력에 따라서 필터링 처리를 행하는 것으로 할 수 있다.

<15> 또한, 본 발명과 관계되는 화상 생성 장치에 있어서, 상기 연산장치는 예를 들면, 상기 묘화 처리 수단으로부터의 출력에 따라서 α 블렌딩 처리를 행하는 것으로 할 수 있다.

<16> 또한, 본 발명과 관계되는 화상 생성 장치에 있어서, 예를 들면, 상기 연산 장치는 상기 묘화 처리 수단으로부터의 출력에 따라서 반투명 처리를 행하는 것으로 할 수 있다.

<17> 또한, 본 발명에 관계되는 화상 생성 장치에 있어서, 상기연산장치는 예를 들면, 상기 묘화 처리 수단으로부터의 출력에 따라서 픽셀 및 교환 처리를 행하는 것으로 할 수 있다.

<18> 이와 같은 본 발명과 관계되는 화상 생성 장치에 의하면, 묘화 엔진 등의 묘화 처리 수단에 의해 생성된 화소 데이터를 일시적으로 FIFO 등의 메모리에 일시적으로 저장하여, 상기 FIFO 메모리와 프레임 버퍼 사이에 고속의 캐시 메모리를 설치하고, 캐시 제어 수단에 의해 상기 FIFO 메모리의 내용을 선판독하여 상기 캐시 메모리의 판독 기록의 제어를 행하고 있기 때문에, 프레임 버퍼에 통상의 DRAM 등의 염가의 메모리를 사용하여도 캐시 메모리를 통해 고속의 액세스를 실현할 수 있으며, 묘화 효율을 높일 수 있다. 이 때, 프레임 버퍼의 1페이지분의 데이터를 효율성 있게 정리하여 판독 기록할 수 있고, 또한 고속 액세스를 실현할 수 있다. 또한, FIFO 메모리와 캐시 메모리 사이에 연산장치를 설치하여, 상기 묘화 처리 수단으로부터의 커맨드에 따라서, Z 버퍼 처리, 앤티에일리어싱 처리, 각종 필터 연산처리, α 블렌딩 처리, 반투명 처리, 픽셀 및 전환 처리 등을 행하게 할 수 있다.

도면의 간단한 설명

<19> 도 1은 본 발명과 관계되는 화상 생성 장치를 비디오 게임 장치에 적용한 실시예의 개략적인 구성을 도시한 블럭도.

<20> 도 2는 본 발명과 관계되는 화상 생성 장치의 화상 처리 장치가 되는 그래픽 프로세서의 구체적인 구성례를 도시한 블럭도.

<21> 도 3은 본 발명과 관계되는 화상 생성 장치의 묘화 엔진 주요부와 프레임 버퍼 사이의 구성의 구체예를 도시한 블럭도.

<22> 도 4는 FIFO 메모리내의 데이터 구조의 일례를 도시한 도면.

<23> 도 5는 캐시 메모리내의 데이터 구조의 일례를 도시한 도면.

<24> 도 6은 묘화 엔진과 프레임 버퍼 사이에 버퍼 메모리를 설치한 경우의 동작을 설명하기 위한 도면.

<25> 도 7은 통상의 캐시 메모리내의 데이터 구조를 도시한 도면.

<26> 도 8은 묘화 엔진 주요부와 프레임 버퍼 사이에 통상의 캐시 메모리를 설치하는 경우의 개략 구성을 도시한 블럭도.

<27> 도 9는 도 8의 구성의 동작을 설명하기 위한 플로우챠트.

<28> 도 10은 프레임 버퍼에 대하여 묘화 데이터 열을 기록할 때의 동작을 설명하기 위한 도면.

<29> 도 11은 도 3의 구성에 있어서의 캐시 콘트롤러에 의한 FIFO 메모리의 선판독 동작을 설명하기 위한 플로우챠트.

<30> 도 12는 도 3의 구성에 있어서의 캐시 콘트롤러에 의한 캐시 메모리의 판독 기록 동작을 설명하기 위한 플로우챠트.

<31> 도 13은 도 3의 연산장치의 구체예를 도시한 블럭회로도.

<32> 도 14는 도 13의 연산부의 구체예를 도시한 회로도.

<33> 도 15는 본 발명을 적용한 비디오 게임 장치의 평면도.

<34> 도 16은 상기 비디오 게임 장치의 배면도.

<35> 도 17은 상기 비디오 게임 장치의 측면도.

<36> 도 18은 상기 비디오 게임장치에 장착되는 CD-ROM의 평면도.

실시예

<37> 이하, 본 발명의 바람직한 실시예에 대하여, 도면을 참조하면서 설명한다. 도 1에는 본 발명과 관계되는 화상 생성 장치의 실시예가 적용되는 비디오 게임 장치의 개략적인 구성을 도시하고 있다.

<38> 이 도 1에 도시된 비디오 게임 장치는 예를 들면 광학 디스크 등의 보조 기억 장치에 기억되어 있는 게임 프로그램을 판독하여 실행함으로써, 사용자로부터의 지시에 따라서 게임을 행하는 것이다.

<39> 즉, 이 비디오 게임장치는 2종류의 버스 즉, 메인버스(1)와 서브버스(2)를 구비한다. 상기 메인 버스(1)와 서브버스(2)는 버스콘트롤러(16)를 통해 접속되어 있다.

<40> 그리고 상기 메인버스(1)에는 마이크로 프로세서 등으로 이루어진 주(主)중앙 연산 처리 장치(메인 CPU: Central Processing Unit)(11), 랜덤 액세스 메모리(RAM: Random Access Memory)로 이루어진 주 기억장치(메인 메모리)(12), 주직접 메모리 액세스 콘트롤러(메인 DMAC= Direct Memory Access Controller)(13), MPEG 디코더(MDEC: MPEG Decorder)(14) 및 화상 처리 장치(GPU: Graphic Processing Unit)(15)가 접속되어 있다. 또한, 상기 서브버스(2)에는 마이크로 프로세서 등으로 이루어진 부(副)중앙 연산 처리 장치(서브 CPU: Central Processing Unit)(21), 랜덤 액세스 메모리(RAM: Random Access Memory)로 이루어진 부기억장치(서브 메모리)(22), 부직접 메모리 액세스 콘트롤러(서브 DMAC: Direct Memory Access Controller)(23), 오퍼레이팅 시스템 등의 프로그램이 저장된 판독 전용 메모리(ROM : Read Only Memory)(24), 음성 처리 장치(SPU:Sound Processing Unit) (25), 통신 제어부(ATM: Asynchronous Transmission Mode)(26), 보조 기억 장치(27), 입력 디바이스(28) 및 CD-ROM 드라이버(30)가 접속되어 있다.

<41> 상기 버스 콘트롤러(16)는 메인버스(1)와 서브버스(2) 사이의 스위칭을 행하는 상기 메인버스(1)상의 디바이스로서, 초기 상태에서는 오픈되어 있다.

<42> 또한, 상기 메인 CPU(11)는 상기 메인 메모리(12)상의 프로그램으로 동작하는 상기 메인버스(1)상의 디바이스이다. 이 메인 CPU(11)는 기동시에는 상기 버스 콘트롤러(16)가 오픈됨으로써, 상기 서브버스(2)상의 CPU(11)로부터 부트프로그램을 판독하여 실행하고, CD-ROM 드라이버(30)에 의해 CD-ROM에서 애플리케이션 프로그램 및 필요한 데이터를 재생하여 상기 메인메모리(12)나 상기 서브버스(2)상의 디바이스에 로드한다. 이 메인 CPU(11)에는 좌표 변환 등의 처리를 행하는 기하학적 트랜스퍼 엔진(GTE: Geometry Transfer Engine)(17)이 탑재되어 있다. 상기 GTE(17)는 예를 들면 복수의 연산을 병렬로 실행하는 병렬연산 기구를 구비하며, 상기 메인 CPU(11)로부터의 연산요구에 따라서 좌표변환, 광원계산, 행렬 혹은 벡터 등의 연산을 고속으로 행한다. 그리고, 상기 메인 CPU(11)는 상기 GTE(17)에 의한 감산결과에 근거하여 3각형이나 4각형 등의 기본적인 단위도형(다각형)의 조합으로서 3차원 모델을 정의하여 3차원 화상을 묘화하기 위한 각 다각형에 대응하는 묘화명령을 작성하여, 이 묘화명령을 패킷화하여 커맨드 패킷으로서 상기 GPU(15)에 보낸다.

<43> 또한, 상기 메인 DMAC(13)는 메인버스(1)상의 디바이스를 대상으로 하는 DMA 전송의 제어 등을 행하는 상기 메인버스(1)상의 디바이스이다. 이 메인 DMAC(13)는 상기 버스 콘트롤러(16)가 오픈되어 있을 때에는 서브버스(2)상의 디바이스도 대상으로 한다.

<44> 또한, 상기 GPU(15)는 렌더링 프로세서로서 기능하는 상기 메인버스(1)상의 디바이스이다. 이 GPU(15)는 메인 CPU(11) 또는 메인 DMAC(13)로부터 커맨드 패킷으로서 이송되어온 묘화명령을 해석하여, 정점의 색데이터와 깊이를 나타내는 Z치로부터, 다각형을 구성하는 모든 화소의 색과 Z치를 고려하여, 화소 데이터를 화상 메모리인 프레임 버퍼(18)에 기록하는 렌더링 처리를 행한다.

<45> 또한, 상기 MDEC(14)는 CPU와 병렬로 동작 가능한 I/O 접속 디바이스로서, 화상 신장 엔진으로서 기능하는 상기 메인버스(1)상의 디바이스이다. 이 MDEC(14)는 이산코사인 변환 등의 직행 변환에 의해 압축되어 부호화된 화상 데이터를 복호화한다. 또한, 상기 서브 CPU(21)는 상기 서브 메모리(22)상의 프로그램으로 동작하는 상기 서브버스(2)상의 디바이스이다.

<46> 또한, 상기 서브 DMAC(23)는 서브버스(2)상의 디바이스를 대상으로 하는 DMA 전송의 제어 등을 행하는 상기 서브버스(2)상의 디바이스이다. 이 서브 DMAC(23)는 상기 버스 콘트롤러(16)가 클로즈되어 있을 때에만 버스 권리를 획득할 수 있다.

<47> 또한, 상기 SPU(25)는 사운드 프로세서로서 기능하는 상기 서브버스(2)상의 디바이스이다. 이 SPU(25)는 상기 서브 CPU(21) 또는 서브 DMAC(23)로부터 커맨드 패킷으로서 보내온 사운드 커맨드에 따라서, 사운드 메모리(29)로부터 음원 데이터를 판독하여 출력한다.

<48> 또한, 상기 ATM(26)는 서브버스(2)상의 통신용 디바이스이다.

<49> 또한, 상기 보조 기억 장치(27)는 서브버스(2)상의 데이터 입출력 디바이스로서 플래시 메모리 등의 불휘발성 메모리 등으로 이루어진다. 이 보조 기억 장치(27)는 게임의 진행경과나 득점 등의 데이터를 일시 기억한다.

<50> 또한, 상기 입력 디바이스(28)는 서브버스(2)상의 컨트롤 패드, 마우스 등의 맨 머신 인터페이스나, 화상입력, 음성입력 등의 다른 기기로부터의 입력용 디바이스이다.

<51> 또한, 상기 CD-ROM 드라이버(30)는 서브버스(2)상의 데이터 입력 디바이스로서 CD-ROM에서 애플

리케이션 프로그램 및 필요한 데이터를 재생한다.

<52> 즉, 이 비디오 게임 장치에서는 좌표 변환이나 클리핑, 광원계산 등의 기하학적 처리를 행하여, 3각형이나 4각형 등의 기본적인 단위도형(다각형)의 조합으로서 3차원 모델을 정의하여 3차원 화상을 묘화하기 위한 묘화명령을 작성하고, 각 다각형에 대응하는 묘화명령을 커맨드 패킷으로서 메인버스(1)에 송출하는 기하학적 처리 시스템이 상기 메인버스(1)상의 메인 CPU(11) 및 GTE(17) 등에 의해 구성되며, 상기 기하학적 처리 시스템으로부터의 묘화명령에 근거하여 각 다각형의 화소 데이터를 생성하여 프레임 버퍼(18)에 기록하는 렌더링 처리를 행하며, 프레임 버퍼(18)에 도형을 묘화하는 렌더링 처리 시스템이 상기 GPU(15)에 의해 구성되어 있다.

<53> 상기 GPU(15)는 그 구체적인 구성을 도 2에 도시된 바와 같이, 상기 메인버스(1)에 접속된 패킷 엔진(31)을 구비하며, 상기 메인 CPU(11) 또는 메인 DMAC(13)로부터 상기 메인버스(1)를 통해 상기 패킷 엔진(31)에 커맨드 패킷으로서 보내온 묘화명령에 따라서, 프리프로세서(32)와 묘화엔진(33)에 의해 각 다각형의 화소 데이터를 상기 프레임 버퍼(18)에 기록하는 렌더링 처리를 행하여, 상기 프레임 버퍼(18)에 묘화된 화상의 화소 데이터를 판독하여 표시제어부(CRTC: CRT Controller)(34)를 통해 비디오 신호로서 도시하지 않은 텔레비전 수상기나 모니터 수상기로 공급하게 되어 있다.

<54> 상기 패킷 엔진(31)은 상기 메인 CPU(11) 또는 메인 DMAC(13)로부터 상기 메인버스(1)를 통해 보내온 커맨드 패킷을 상기 패킷 엔진(31)에 의해 도시하지 않은 레지스터상에 전개한다.

<55> 또한, 상기 프리프로세서(32)는 상기 패킷 엔진(31)에 커맨드 패킷으로서 이송되어온 묘화명령에 따라서 다각형 데이터를 생성하고 후술하는 다각형의 분할처리 등의 소정의 전처리를 다각형 데이터에 실시하고, 상기 묘화 엔진(33)이 필요로 하는 각 다각형의 정점 좌표 정보, 텍스쳐나 밉맵텍스쳐의 어드레스 정보, 픽셀 인터리브의 제어정보 등의 각종 데이터를 생성한다.

<56> 또한, 상기 묘화 엔진(33)은 상기 프리프로세서(32)에 접속된 N개의 다각형 엔진(33A1, 33A2···33AN)과, 각 다각형 엔진(33A1, 33A2···33AN)에 접속된 N개의 텍스쳐 엔진(33B1, 33B2···33BN)과, 각 텍스쳐 엔진(33B1, 33B2···33BN)에 접속된 제1의 버스 스위치(33C)와, 이 제1의 버스 스위치(33C)에 접속된 M개의 픽셀엔진(33D1, 33D2···33DM)과, 각 픽셀 엔진(33D1, 33D2···33DM)에 접속된 제2의 버스 스위쳐(33E)와, 이 제2의 버스 스위쳐(33E)에 접속된 텍스쳐 캐시(33F)와, 이 텍스쳐 캐시(33F)에 접속된 CLUT 캐시(33G)를 구비한다.

<57> 이 묘화 엔진(33)에 있어서, 상기 N개의 다각형 엔진(33A1, 33A2···33AN)은 상기 프리프로세서(32)에 의해 전처리가 실시된 다각형 데이터에 근거하여, 상기 N개의 다각형 엔진(33A1, 33A2···33AN)은 묘화명령에 따른 다각형을 순차 생성하여 다각형마다 쉐이딩 처리 등을 병렬처리에 의해 행한다.

<58> 또한, 상기 N개의 텍스쳐 엔진(33B1, 33B2···33BN)은 상기 다각형 엔진(33A1, 33A2···33AN)에 의해 생성된 다각형마다, 상기 텍스쳐 캐시(33F)에서 컬러 룩 업 테이블(CLUT: Color Look Up Table) 캐시(33G)를 통해 주어지는 텍스쳐 데이터에 근거하여, 텍스쳐 맵핑처리나 밉맵처리를 병렬처리에 의해 행한다.

<59> 여기에서, 상기 텍스쳐 캐시(33F)에는 상기 N개의 텍스쳐 엔진(33B1, 33B2···33BN)이 처리하는 다각형에 장착하는 텍스쳐나 밉맵 텍스쳐의 어드레스 정보가 상기 프리프로세서(32)로부터 사전에 주어지며, 상기 어드레스 정보에 근거하여 상기 프레임 버퍼(18)상의 텍스쳐 영역에서 필요한 텍스쳐 데이터가 전송된다. 또한, 상기 CLUT 캐시(33G)에는 상기 텍스쳐의 묘화를 행할 때에 참조해야 할 CLUT 데이터가 상기 프레임 버퍼(18)상의 CLUT 영역에서 전송된다.

<60> 상기 N개의 텍스쳐 엔진(33B1, 33B2···33BN)에 의해 텍스쳐 맵핑 처리나 밉맵처리가 행해진 다각형 데이터는 상기 제1의 밉맵(33C)을 통해 M개의 픽셀 엔진(33D1, 33D2···33DM)으로 전송된다.

<61> 상기 M개의 픽셀 엔진(33D1, 33D2···33DM)은 Z버퍼처리나 앤티에일리어싱처리 등의 각종 화상처리를 병렬처리에 의해 행하여, M개의 화소 데이터를 생성한다.

<62> 그리고, 상기 M개의 픽셀엔진(33D1, 33D2···33DM)에서 생성된 M개의 화소데이터는 이 제2의 버스 스위쳐(33E)를 통해 상기 프레임 버퍼(18)에 기록된다.

<63> 여기에서, 상기 제2의 버스 스위치(33E)는 상기 프리프로세서(32)로부터 픽셀 인터리브의 제어정보가 공급되어 있고, 상기M개의 픽셀엔진(33D1, 33D2···33DM)에서 생성된 M개의 화소 데이터 중의 L개의 화소 데이터를 상기 제어정보에 근거하여 선택함으로써, 상기 프레임 버퍼(18)상에 묘화하는 다각형의 형상에 따른 M개의 기억장소를 액세스 단위로서 화소 데이터를 M개씩 기록하는 픽셀 인터리브 처리를 행하는 기능을 갖고 있다.

<64> 상기 묘화 엔진(33)은 상기 프리프로세서(32)에 의해 전처리가 행해진 다각형 데이터에 근거하여, 각 다각형의 모든 화소데이터를 생성하여 상기 프레임 버퍼(18)에 기록함으로써, 상기 묘화명령에 의해 다각형의 편성으로서 정의된 화상을 상기 프레임 버퍼(18)상에 묘화된다. 그리고, 상기 프레임 버퍼(18)에 묘화된 화상의 화소 데이터를 판독하여 CRTC(34)를 통해 비디오 신호로서 도시하지 않은 텔레비전 수상기나 모니터 수상기에 공급한다.

<65> 다음에, 이와 같은 묘화 엔진(33)과 프레임 버퍼(18)간의 구체적인 구성예에 대하여, 도 3을 참조하면서 설명한다.

<66> 이 도 3에 있어서, 상기 묘화 엔진(33)의 주요부(101)는 상기 도 2의 픽셀 엔진(33D1, 33D2, ···33DM)보다 앞의 구성에 상당하는 것이다. 그리고, 픽셀 엔진(33D1, 33D2, ···33DM)은 도 3의 FIFO(First In First Out) 메모리(102), 연산장치(103), 캐시 메모리(104) 및 캐시 콘트롤러(106)를 갖고 있다. 이 묘화 엔진 주요부(101)는 묘화하는 화소 데이터를 출력하여, 상기 FIFO 메모리(102)에 보내어 일시적으로 저장한다. 이 FIFO 메모리(102)는 후술하는 바와 같이 메모리 내용을 선판독 가능한 것으로, 캐시 콘트롤러(106)에 의해 선판독 제어가 행해진다.

<67> FIFO 메모리(102)내에는 예를 들면 도 4에 도시된 바와 같은 구조의 데이터 혹은 커맨드가 기록된다. 이 도 4에 있어서, OPR은 오퍼레이션(조작) 코드를 나타내고, X, Y, Z가 좌표치를, R, G, B 및 α가 컬러치를, 또한 W가 판독허가(라이트이네블) 플래그를 각각 나타내고 있다. 오퍼레이션 코드 OPR은 예를 들면 6비트(b0 내지 b5)로 구성되고, 비트(b0)는 α 블렌딩을 할 것인지 여부를 1, 0으로 나타내며, 비트(b2)는 Z 버퍼를 사용하는 지의 여부를 1, 0으로 나타낸다. 비트(b2, b3)는 종, 횡의 배율을 나타내고, 0일 때 1배, 1일 때 2배로 되어 있고, b2가 1일 때에는 Y를 2배의 배율로 하여 세로 2화소분의 픽셀로서 묘사되고, b3가 1일 때에는 X를 2배의 배율로 하여 횡2 화소분의 픽셀로서 묘사된다. 비트(b5, b4)는 필터나 앤티에일리어싱 처리의 선택을 행하기 위해서 사용되며, 00일 때는 그대로 묘사되고, 01일 때는 앤티에일리어싱을, 10일 때에는 타입 1의 필터처리를, 11일 때에는 타입 2의 필터 처리를 각각 행한다.

<68> 도 3의 연산장치(103)는 뒤에서 상세하게 설명하는 것과 같이 비교기나 에펙터 등으로 이루어지며, FIFO 메모리(102)로부터 화소를 판독하여, 각각의 화소가 요구하는 연산이나 Z치의 비교를 행하며, 다음단계의 캐시 메모리(104)에 대하여 기록처리나, Z 버퍼처리, α 블렌딩 처리, 반투명처리, 앤티에일리어싱 처리, 각종 필터처리, 픽셀 및 전환 처리 등을 행한다. 캐시 메모리(104)는 다음단계의 통상의 다이내믹 랜덤 액세스 메모리(DRAM : Dynamic Random Access Memory) 등의 염가의 메모리를 사용한 프레임 버퍼(105)와 버스트 전송을 행하기 위해서 마련되어 있다.

<69> 이 캐시 메모리내의 데이터 구조의 예를 도 5에 도시한다. 상기의 도 5에 있어서, Tag는 페이지 어드레스 page 및 칼럼 어드레스 col로 이루어진 태그영역 혹은 태그 필드이고, DT는 데이터 영역을 나타내고, S, V는 각각 태그, 데이터가 유효(Valid)한지의 여부를 나타내는 플래그의 영역이며, RC는 데이터의 액세스 요구 계수치를 나타내는 요구 카운트 영역이다. 프레임 버퍼(105)는 상기 도 1, 도 2의 프레임 버퍼(18)에 상당한다. 이 1행분을 1라인이라고 하여, 캐시 메모리(104)는 통상 2라인 이상 메모리 용량을 갖고 있다. 또 일반적으로, 상기 태그영역의 페이지 어드레스 page는 프레임 버퍼(105)의 행 어드레스를, 칼럼 어드레스 col는 프레임 버퍼(105)의 열 어드레스 혹은 그 상위 어드레스를 나타내고 있다.

<70> 캐시 콘트롤러(106)는 캐시 메모리(104)를 제어하는 수단으로, 특히, FIFO 메모리(102)의 내용을 미리 조사함으로써, 필요하게 되는 데이터 영역을 알고, 캐시 메모리(104)에 충분한 빈 영역이 있으면, 그 데이터 영역이 나타나는 순서를 바꾸어 나열하며, DRAM 등의 프레임 버퍼(105)의 동일 페이지내에의 액세스를 정리하여 행하도록, 되도록이면 DRAM의 워드경계 및 페이지경계를 걸치지 않도록 하여, 액세스 회수 및 액세스 시간이 짧게되도록 그 부분의 데이터를 정리하여 캐시 메모리(104)로부터 프레임 버퍼(105)로 전송하도록 지시한다. 이 캐시 콘트롤러(106)의 동작에 대하여도 나중에 상세하게 설명한다.

<71> 상기와 같은 화상 생성장치에 의하면, 묘화 엔진에 의한 묘화 효율을 높힐 수 있고, 또한 효율성 있게 Z 버퍼처리, 앤티에일리어싱 처리, 각종 필터 연산처리, α 블렌딩 처리, 반투명처리, 픽셀열 교환처리 등의 각종 처리를 행할 수 있다.

<72> 다음에, 상술한 실시예의 보다 구체적인 설명에 앞서서, 묘화 엔진에 의해 프레임 버퍼에 화소 데이터를 기록하는 관련기술 및 비교예에 대하여 설명한다.

<73> 우선, 묘화 엔진이 프레임 버퍼를 직접 액세스하는 경우에는 프레임 버퍼의 액세스 속도에 의해 묘화 속도가 결정되기 때문에, 비싼 고속 대용량의 메모리를 필요로 하여, 염가인 통상의 DRAM을 프레임 버퍼에 사용하면 묘화 속도가 느려지는 것은 상술과 같다.

<74> 여기에서, 묘화 엔진과 프레임 버퍼 사이에, 고속의 버스트 전송이 가능한 버퍼 메모리를 설치하는 것을 고려한다. 예를 들면, 도 6의 프레임 버퍼(105)의 횡1행분 즉 1페이지분의 절반의 용량을 갖는 버퍼 메모리(107)를 사용하여, 묘화엔진에 의해 순서대로 묘화 데이터열 L1, L2, L3, L4를 묘화하는 경우를 고려한다. 상기의 경우, 프레임 버퍼(105)내에서는 영역(105a)내에 묘화 데이터열 L1, L3이 묘화되고, 다른 페이지의 영역(105b)내에 묘화 데이터열 L2, L4이 묘화되는 것으로 하고 있다.

<75> 우선, 묘화 엔진이 버퍼 메모리(107)에 묘화 데이터열 L1을 기록하기에 앞서, 프레임 버퍼(105) 영역(105a)의 데이터를 버스트 전송에 의해 버퍼 메모리(107)에서 판독 기록한다(로드한다). 이 버퍼 메모리(107)에 기록된 영역(105a)의 데이터에 대하여, 묘화 데이터열 L1을 기록한다. 다음에 묘화 데이터열 L2를 묘화하고자 할 때에는 버퍼 메모리(107)의 내용을 프레임 버퍼(105)에 버스트 전송하여 영역(105a)에 기록한 후, 프레임 버퍼(105)의 영역(105b)의 데이터를 버퍼 메모리(107)에서 판독 기록한 후(로드한 후), 묘화 데이터열 L2를 버퍼 메모리(107)에 기록한다. 다음에 묘화 데이터열 L3을 묘화하고자 할 때에는 버퍼 메모리(107)의 내용을 프레임 버퍼(105)의 영역(105b)에 기록한 후, 영역(105a)의 내용을 버스트 전송에 의해 프레임 버퍼(107)에 판독 기록하며, 묘화 데이터열L1에 계속되는 위치에 묘화 데이터열 L3을 기록한다. 다음에 묘화 데이터열 L4를 묘화하고자 할 때에는 버퍼 메모리(107)의 내용의 묘화 데이터열 L1, L3을 프레임 버퍼(105)의 영역(105a)에 기록한 후, 영역(105b)의 내용을 프레임 버퍼(107)에서 판독 기록하여, 묘화 데이터열 L2에 계속되는 위치에 묘화 데이터열 L4을 기록한다.

<76> 이와 같이, 버퍼 메모리(107)를 사용하는 구성으로서는 프레임 버퍼(105)에 대한 액세스가 빈번히 발생되고, 버스트 전송에 의한 고속 액세스를 행하여도, 그 효과를 충분히 발휘할 수 없는 경우가 있다.

<77> 그리하여, 도 7에 도시된 바와 같은 구성의 캐시 메모리(108)를, 도 8에 도시된 바와 같이, 묘화 엔진 주요부(101)와 프레임 버퍼(105) 사이에 설치하는 것을 제안하고 있다. 이 캐시 메모리(108)는 캐시 콘트롤러(109)에 의해 데이터의 판독기록이 제어된다. 도 7의 메모리 구성은 상술한 도 5와 거의 같지만, 통상의 캐시 메모리 구성으로서, V(유효: Valid) 플래그만을 사용하는 구성을 나타내고 있다.

<78> 이와 같은 캐시 메모리(108)를 이용할 때, 묘화 엔진(101)에 의해 순서대로 묘화 데이터열 L1, L2, L3, L4을 묘화할 때에, 캐시 메모리(108)의 데이터 DT(0)의 내용으로서 프레임 버퍼(105)의 영역(105a)의 데이터를 판독 기록한(로드된) 후, 이 데이터 DT(0)에 대하여 묘화 데이터열 L1, L3을 기록하고, 또한, 데이터 DT(1)의 내용으로서 프레임 버퍼(105)의 영역(105b)의 데이터를 판독 기록한 후, 묘화 데이터열 L2, L4를 기록함으로써, 데이터 DT(0)인 묘화 데이터열 L1, L3을 프레임 버퍼(105)의 영역

(105a)에 정리하여 판독 기록하거나, 데이터 DT(1)인 묘화 데이터열 L2, L4을 프레임 버퍼(105)의 영역(105b)에 정리하여 판독 기록할 수 있어, 프레임 버퍼(105)에 대한 액세스 회수가 감소하여 고속 묘화가 가능하게 된다.

<79> 이 도 8의 캐시 콘트롤러(109)의 제어 동작의 알고리즘의 일례에 대하여, 도 9을 참조하면서 설명한다.

<80> 도 9에 있어서, 최초의 스텝 S201에서 캐시 메모리(108)의 모든 라인의 V 플래그를 0으로 하고, 다음 스텝 S202로 진행하여, 묘화 엔진(101)이 메모리 액세스를 요청할 때까지 대기하고 있다. 메모리에의 액세스가 요청되었을 때에는 스텝 S203으로 진행하여, 캐시 메모리(108)의 모든 라인 중에서, V 플래그가 1이고, 또한 요청 어드레스의 상위가 태그 Tag와 일치하고 있는 라인을 찾는다. 다음 스텝 S204에서는 발견되었는지 여부를 판별하여, NO일 때에는 스텝 S205로, YES일 때에는 스텝 S209로 진행한다. 스텝 S205에서는 V 플래그가 0의 라인을 찾고, 스텝 S206에서 이것이 발견되었는지 여부를 판별하여, NO일 때는 스텝 S207에, YES일 때는 스텝 S208로 진행한다. 스텝 S207에서는 캐시 메모리(108)로부터 라인을 1개 선택하여, 그 데이터 영역의 내용 DT를 태그 Tag가 나타내는 프레임 버퍼의 어드레스 위치에 기록하고, 그 라인의 V 플래그를 0으로 한 후, 스텝 S208로 진행한다. 스텝 S208에서는 캐시 메모리(108)의 해당 라인, 즉 상기 스텝 S206에서 발견된 V 플래그가 0의 라인 혹은 스텝 S207에서 V 플래그를 0으로 된 라인에 대하여, 상기 묘화 엔진(101)으로부터의 메모리 액세스 요청의 어드레스에 대응하는 데이터를 프레임 버퍼(105)로부터 카피하여, 그 라인의 V 플래그를 1로 하고, 또한 어드레스의 상위를 그 라인의 태그 영역에 카피한 후, 스텝 S209로 진행한다. 스텝 S209에서는 상기 묘화 엔진(101)이 캐시 메모리(108)의 그 라인에 대하여 액세스한 후, 상기 스텝 S202로 되돌아간다.

<81> 이상의 도 7 내지 도 9와 동시에 설명한 바와 같은 예에 의하면, 묘화 엔진(101)으로부터 고속의 캐시 메모리(108)에 대한 액세스가 유효하게 행해지며, 또한 프레임 버퍼(105)에 대한 액세스 회수도 적어지며, 고속묘화가 가능하게 된다.

<82> 그런데, 이와 같은 구성에 있어서, 예를 들면 도 10에 도시된바와 같이, 캐시 메모리의 각각 1라인분 크기의 각 묘화 데이터열 L1 내지 L4를 순서대로 묘화하고자 하는 경우에는 프레임 버퍼(105)에 대하여, 묘화 데이터열 L1의 다음에 묘화 데이터열 L2를 기록할 때에 페이지 전환이 필요하게 되고, 또한 묘화 데이터열 L2의 다음에 묘화 데이터열 L3을 기록할 때, 또한 묘화 데이터열 L3의 다음에 묘화 데이터열 L4를 기록할 때에 각각 페이지 전환이 필요하게 되며, 최초의 묘화 데이터열 L1을 기록할 때의 페이지 액세스와 맞추어 합계 4회의 페이지 액세스가 필요하게 된다. 통상의 DRAM을 사용한 프레임 버퍼(105)에 있어서는 동일 페이지내에서 연속적으로 데이터를 판독 기록하는 이른바 고속 페이지 모드에서는 고속으로 데이터 전송을 행할 수 있지만, 페이지를 지정한 액세스에는 시간이 걸리는 것으로 알려져 있다. 이 때문에, 도 10에 도시된 바와 같은 묘화 데이터열 L1 내지 L4를 순서대료 묘화하고자 하면, 페이지를 지정한 액세스가 4회 필요하게 되고, 이것이 묘화 속도의 저하의 원인이 되는 것으로 생각된다.

<83> 그리하여, 상술한 도 3의 실시예에 있어서는 캐시 메모리(104)를 설치할 뿐만 아니라 또한 FIFO 메모리(102)를 설치하며, 상기 FIFO 메모리(102)의 내용을 캐시 콘트롤러(106)에 의해 선판독하여, 프레임 버퍼(105)내의 동일 페이지로의 액세스를 정리하여 행하도록 제어함으로써, 묘화 속도를 더욱 높이도록 하고 있다.

<84> 이 캐시 콘트롤러(106)에 의한 선판독 제어의 알고리즘의 일례를 도 11에 도시하고, 캐시 메모리(104)의 판독, 기록제어의 일례를 도 12에 도시하고 있다.

<85> 우선, 도 11의 최초의 스텝 S211에 있어서는 캐시 메모리(104)의 모든 라인의 S 플래그 및 V 플래그를 0으로 하고, 상기 FIFO 메모리(102) 내의 커맨드를 나타내는 포인터 P를 선두 위치로 설정하고 있다. 상기의 도 11, 도 12에 있어서는 캐시 메모리(104)의 각 라인을 나타내는 인덱스 변수를 i 혹은 j로 하며, i라인의 S 플래그의 내용을 S(i), V 플래그의 내용을 V(i)로 하고 있고, 스텝 S211에서는 모든 i에 대하여 S(i)에 0을, V(i)에 0을 세트하고 있다.

<86> 다음의 스텝 S212에 있어서는 FIFO 메모리(102)의 포인터 P의 위치에 커맨드가 기록되어 있는지의 여부를 판별하여, NO일 때는 스텝 S212로 복귀되고, YES일 때는 다음 스텝 S213으로 진행하고 있다.

<87> 스텝 S213에서는 태그변수 tag_in에 대하여, 포인터 P의 위치인 커맨드의 오퍼레이션 코드 OPR, 및 좌표 X, Y에 의해 생성되는 어드레스로부터, 태그로 되는 어드레스, 예를 들면 페이지어드레스 및 칼럼 어드레스를 생성하여 기록한다.

<88> 다음 스텝 S214에서는 캐시 메모리(104)내의 모든 i에 대하여, 태그 tag(i)가 상기 태그 변수 tag_in의 내용이고, 또한 S 플래그 S(i)가 1로 되도록 한 i가 존재하는지의 여부를 판별하고 있다. 이것은 모든 대응하는 어드레스의 데이터가 캐시 메모리(104)내에 있거나, 동일 태그로 액세스 요청 등록되어 있는 라인이 있는가를 판별하는 것에 상당한다. 이 스텝 S214에서 NO로 되었을 때에는 스텝 S215로 진행하고, YES로 되었을 때에는 스텝 S220으로 진행한다.

<89> 스텝 S215에서는 S 플래그 S(i)가 0으로 되도록 한 i가 존재하는지의 여부를 판별하여, NO일 때는 스텝 S216으로 진행하고, YES 일 때는 스텝 S218로 진행한다. 이 스텝 S215에서는 캐시 메모리(104)내에 미사용의 라인 즉 캐시 엔트리가 존재하는지의 여부를 판별하고 있다.

<90> 스텝 S216에서는 캐시 메모리(104)내에 S 플래그 S(i)가 1이고, 또한 V 플래그 V(i)가 1이고, 또한 요청 카운트 RC(i)가 1이 되는 1가 존재하는지의 여부를 판별하고 있다. 이것은 데이터는 유효(Valid)이지만, 이미 묘화되어 있고, 요청이 없어진 라인 즉, 캐시 엔트리가 존재하는지의 여부를 판별하는 것에 상당한다. 스텝 S216에서 YES로 되었을 때에는 스텝 S217로 진행하고, NO로 되었을 때에는 스텝 S221로 진행하고 있다.

<91> 스텝 S217에서는 프레임 버퍼(105)내의 상기 태그 tag(i)로 나타나는 어드레스 위치의 메모리 내용 MEM(tag(i))에, 캐시 메모리(104)의 상기 i의 데이터 DT(i)를 전송하여 기록하고 있다.

<92> 다음 스텝 S218에서는 캐시 메모리(104)의 상기 i의 라인에 대하여, 태그 tag(i)에 상기 태그 변수 tag_in을 기록하고, S 플래그 S(i)를 1에, V 플래그 V(i)를 0에, 요청 카운트 RC(i)를 1에 각각 설정한다. 이것은 액세스 요청의 신규 등록에 상당한다.

<93> 다음의 스텝 S219에서는 FIFO 메모리(102)의 포인터 P를 다음 커맨드 위치에 인클리멘트하고, 상기 스텝 S212로 복귀된다.

<94> 상기 스텝 S214에서 YES로 판별되었을 때에는 스텝 S2 20에 의해, 캐시 메모리(104)의 i의 라인 혹은 캐시 엔트리의 액세스 요청 카운트 RC(i)를 인클리멘트(RC(i)+1)하여, 스텝 S219로 진행하고 있다.

<95> 상기 스텝 S216에서 NO로 되었을 때에는 캐시 메모리(104)내에 간격이 없기 때문에, 스텝 S221에서 대기(WAIT)하고, 후술하는 캐시 판독, 기록제어에 의한 처리에 의해 간격이 생기는 것을 대비하여, 상기 스텝 S213으로 복귀된다.

<96> 다음에, 도 12의 캐시 메모리(104)의 판독, 기록(리드 라이트) 제어에 있어서, 최초의 스텝 S231에서는 상기 FIFO 메모리(102)로부터 커맨드를 꺼내어, 다음 스텝 S232에서, 그 커맨드가 이미 캐시 콘트롤러(106)에서 상기 도 11에 도시된 바와 같은 선판독 제어처리가 행해지고 있는지의 여부를 판별하고 있다. 이 스텝 S232에서 NO로 되었을 때에는 스텝 S233으로 진행하며, WAIT, 즉 상기 도 11의 선판독 제어처리를 대비하여, 스텝 S232 로 복귀된다. 스텝 S232에서 YES라고 되었을 때에는 스텝 S234로 진행한다.

<97> 스텝 S234에서는, 태그 변수 tag_A에, FIFO 메모리(102)로부터 판독된 커맨드의 오퍼레이션 코드 OPR, 및 좌표 X, Y에 의해 생성되는 어드레스로부터, 태그로 되는 어드레스, 예를 들면 페이지 어드레스 및 칼럼 어드레스를 생성하여 기록한다.

<98> 다음 스텝 S235에서는, 캐시 메모리(104)내의, tag(i)= tag_ A 또한 S(i)=1로 되는 i를 찾는다. 이와 같은 i의 라인 혹은 캐시 엔트리는 이미 선판독 처리되어 있으므로, 반드시 발견된다.

<99> 다음 스텝 S236에서는, V 플래그 V(i)가 0인지의 여부를 판별하여, YES일 때에는 스텝 S237에, NO일 때에는 스텝 S238에 각각 진행하고 있다. 여기에서 V(i)가 0으로 되는 것은 액세스 요청되어 있지만, 데이터는 무효(invalid)일 때이다.

<100> 스텝 S237에서는, 캐시 메모리(104)내의 모든 라인에 대하여, 인덱스 변수를 j로 했을 때, 태그 tag(j)의 페이지 어드레스 page(j)가 상기 태그 변수 tag_A의 페이지 어드레스 부분 tag_A. page와 같고, 또한 S 플래그 S(j)가 1이고, 또한 V 플래그 V(j)가 0으로 되는 라인을 찾고, 이 조건을 만족하는 모든 j 라인의 데이터 영역에 대하여, 프레임 버퍼(105)내의 상기 태그 tag(i)로 나타나는 어드레스 위치의 메모리 내용 MEM(tag(j))을 데이터 DT (j)로서 기록한다. 이것은 프레임 버퍼(105)의, 동일한 페이지내의 모든 요청된 데이터를 고속으로 판독하는(로드한다)것에 상당한다.

<101> 다음 스텝 S238에서는, 연산장치(103)가 캐시 메모리(104)의 상기 i 라인의 데이터 DT(i)에 대하여 판독 기록(read, write)을 행한다.

<102> 다음 스텝 S239에서는, 액세스 요청 카운트 RC(i)를 디클리멘트(RC(i)-1)하여, 상기 스텝 S231로 복귀된다.

<103> 상술한 바와 같이, 상기 캐시 콘트롤러(106)가, FIFO 메모리(102)내의 커맨드를 선판독하여, 상기 프레임 버퍼(105)내의 동일 페이지의 데이터를 정리하고, 페이지 전환을 행하지 않고서 고속으로 캐시 메모리(104)에 로드할 수 있다. 예를 들면 상기 도 10의 동일 페이지내의 묘화 데이터열 L1, L3을 정리하고, 또한 묘화 데이터열 L2, L4를 정리하여 고속으로 캐시 메모리(104) 사이에서 데이터 전송을 행할 수 있어, 페이지 지정 액세스는 2회에 종료되고, 도 8과 같은 캐시 메모리만을 사용하는 구성(페이지 지정 액세스가 4회)과 비교하여 또한 고속 액세스를 실현할 수 있어, 묘화 속도를 높일 수 있다.

<104> 그런데, 상기 도 3의 연산장치(103)에 있어서는 묘화 엔진으로부터 받는 커맨드에 따라서, 이른바 Z버퍼처리, 앤티에일리어싱 처리, 각종 필터 연산처리, α 블렌딩처리, 반투명처리, 픽셀 열교환 처리 등을 행하고 있지만, 이 연산장치(103)의 구체예에 대하여, 도 13을 참조하면서 설명한다.

<105> 이 도 13에 있어서, 상기 도 3의 묘화 엔진 주요부(101)로부터 FIFO 메모리(102)를 통해 추출된 커맨드는 예를 들면, 도 4와 동시에 설명한 바와 같은 구조를 갖고 있다. 좌표 데이터의 X는 그대로 전환 스위치(122)의 피선택 단자(a)에, 또한 2배의 승산기(121)를 통해 전환스위치(122)의 피선택 단자(b)에 각각 공급되어 있고, 좌표 데이터 Y는 그대로 전환 스위치(124)의 피선택단자(a)에, 또한 2배의 승산기(123)를 통해 전환 스위치(124)의 피선택 단자(b)에 각각 공급되어 있다. 이들의 전환 스위치(122, 124)는 커맨드의 오퍼레이션 코드 OPR의 비트(b3, b2)에 의해 각각 전환 제어된다. 각 전환 스위치(122, 124)로부터의 출력신호는 X, Y 좌표 즉 프레임 버퍼(105)상에서의 X, Y 어드레스로서, 캐시 메모리(104)의 상기 태그 영역으로 이송된다. 상기 커맨드의 좌표 데이터 Z는 시점으로부터의 깊이방향의 거리를 나타내고, 비교기(125)의 한쪽의 입력단자(A)로 이송된다. 이 비교기(125)의 다른쪽 입력단자(B)에는 캐시 메모리(104)로부터의 Z치가 입력되며, 이 들이 비교됨으로써, 이른바 은면 처리로서의 Z 버퍼 처리가 행해진다. 즉, 비교기(125)로부터의 비교결과 출력은 래치(126)를 통해, AND 게이트(127)를 거쳐서, 전환 스위치(129)의 피선택 단자(a)를 통해, 기록제어신호 Write로서 캐시 메모리(104)로 이송되고, 이것에 의해서 가장 앞에 상당하는 Z치를 갖는 화소를 캐시 메모리(104)에 기록하도록 한 제어를 행하고 있다. 이 Z 버퍼처리를 행하는지의 여부의 제어는 상기 커맨드의 오퍼레이션 코드 OPR의 비트(b1)에 의해 전환스위치(129)를 전환함으로써 행하고 있고, 기록 타이밍은 도 13의 제어신호를 NOT 게이트(128)에서 꺼내어 AND 게이트(127) 및 전환 스위치(129)의 피선택(b)에 보내는 것으로 동기를 갖고 있다.

<106> 캐시 메모리(104)로부터의 데이터 출력 Data out는 연산부(130)에 이송되어 있다. 연산부(130)에는 상기 커맨드의 컬러치(R, G, B) 및 α블렌딩 처리용 계수(α)가 공급되어 있고, 커맨드의 오퍼레이션 코드 OPR에 의해 제어된다. 연산부(130)로부터의 출력은 래치(131)를 통해 캐시 메모리(104)에 데이터 입력Data in으로서 이송된다. 그리고, 캐시 메모리(104)에 입력된 데이터는 프레임 버퍼(105)에 기록된다.

<107> 다음에, 연산부(130)의 구체적 구성예에 대하여, 도 14를 참조하면서 설명한다. 이 도 4에 있어서는 R(빨강) 데이터 처리를 위한 R 연산부(132R)의 내부 구성을 도시하고 있지만, G(초록) 데이터 처리용 G연산부(132G)나, B(파랑) 데이터 처리용 B 연산부(132B)의 내부 구성도 같기 때문에, 도시하지 않고 설명을 생략한다.

<108> 도 14의 R 연산부(132R)에는 데이터로서, 도 13의 FIFO 메모리(102)로부터 추출된 커맨드의 R 데이터, 계수(α) 및 캐시 메모리(104)로부터의 데이터 출력 Data out의 R 데이터 성분(R) 및 그 부근 데이터가 공급되고, 제어신호로서, 상기 커맨드의 오퍼레이션 코드 OPR의 비트(b0, b2 내지 b5)가 공급되어 있다. 상기 커맨드의 R 데이터는 승산기(133)에 이송되어 상기 계수(α)와 승산되며, 상기 데이터출력 Data out의 R 데이터 성분(R)은 승산기(134)에 이송되어 상기 계수(α)의 1로부터의 감산치 1-α와 승산된다. 이 감산치 1-α는 감산기(135)에 의해 얻어진다. 승산기(133, 134)로부터의 각 출력은 가산기(136)에 이송되어 가산되며, 전환 스위치(137)의 피선택단자(b)에 이송된다, 전환스위치(137)의 피선택단자(a)에는 상기 커맨드의 R 데이터가 공급되어 있고, 상기 오퍼레이션 코드 OPR의 비트(b0)에 의해 전환스위치(137)가 전환 제어됨으로, α 블렌딩 처리의 온/ 오프가 제어된다. 전환 스위치(137)로부터의 출력은 화소 확대 회로(138)에 이송되어 있고, 이 화소 확대회로(138)는 상기 오퍼레이션 코드OPR의 비트(b3, b2)에 의해 제어된다. 화소 확대 회로(138)로부터의 출력은 전환 스위치(139)의 피선택단자(a), 앤티에일리어싱 회로(140), 타입 1의 필터회로(141) 및 타입 2의 필터회로(142)에 각각 이송되어 있고, 앤티에일리어싱 회로(140), 필터회로(141, 142)로부터의 각 출력은 전환 스위치(139)의 각 피선택단자(b, c, d)에 각각 이송되어 있다. 이 전환스위치(139)는 상기 오퍼레이션 코드OPR의 비트(b5, b4)에 의해 전환 제어된다. 전환스위치(139)로부터의 출력은 R 연산부(132R)에서의 출력으로 추출되고, 다른 G 연산부(132G), B 연산부(132B)에서의 각 출력과 동시에, 상기 도 13의 연산부(131)로부터의 출력으로서 다음단계의 래치(131)에 이송된다.

<109> 이와 같은 본 발명을 적용한 비디오 게임장치는 예를 들면, 도 15의 평면도, 도 16의 정면도 및 도 17의 측면도에 도시된 바와 같은 구성으로 되어 있다.

<110> 즉, 이 비디오 게임장치(201)는 도 15에 도시된 바와 같이, 기본적으로, 장치본체(202)와, 이 장치본체(202)에 대하여 케이블(227)을 통해 접속되는 조작장치(217)에 의해 구성되어 있다. 장치본체(202)의 상면의 중앙부에는 디스크 장착부(203)가 설치되고, 그 내부에 도 18에 도시된 바와 같은 CD-ROM(251)이 장착되도록 이루어져 있다. 디스크 장착부(203)의 좌측에는 장치의 전원을 온 또는 오프할 때에 조작되는 전원스위치(205)와, 게임을 일단 리셋할 때에 조작되는 리셋 스위치(204)가 마련되어 있다. 또한, 디스크 장착부(203)의 우측에는 디스크 장착부(203)에 대하여 CD-ROM(251)을 착탈할 때에 조작되는 디스크 조작 스위치(206)가 마련되어 있다.

<111> 또한, 장치본체(202)의 정면에는 도 16에 도시된 바와 같이, 접속부(207A, 207B)가 마련되어 있다. 이들의 접속부(207A, 207B)에는 조작장치(217)로부터 도출된 케이블(227)의 선단에 마련되어 있는 접속단자부(226)와, 메모리 카드 등으로 구성되는 기록 장치(228)를 접속하기 위해 접속단자 삽입부(212)와 기록삽입부(208)가 각각 마련되어 있다. 즉, 이 장치본체(202)에는 조작장치(217)와 기록 장치(228)가 각각 2개 접속할 수 있도록 이루어져 있다.

<112> 여기에서, 도 16의 정면도에는, 우측의 접속부(207B)에 접속단자부(226)와 기록장치(228)가 장착되며, 좌측의 접속부(207A)에는 접속단자부(226)와 기록 장치(228) 모두 장착되지 않은 상태가 도시되어 있다. 이 도 16에 도시된 바와 같이, 기록 장치(228)를 장착하는 기록삽입부(208)에는 셔터(209)가 설치되어 있고, 기록 장치(228)를 장치본체(202)에 대하여 장착할 때에, 기록 장치(228)의 선단에서, 상기 셔터(209)를 압입하도록 하여, 장착을 행하게 되어 있다.

<113> 또한, 접속단자부(226)의 파지(把持)부(231A)와 기록 장치(228)에는 파지부(242A)에는 각각 예를 들면 널리드 가공 등에 의한 미끄러짐 방지 가공이 이루어지고 있다. 또한, 도 17의 측면도에 도시된 바와 같이, 접속단자부(226)와 기록 장치(228)의 길이 L은 거의 동일한 길이로 되어 있다.

<114> 조작장치(27)에는, 좌우의 손으로 파지되는 지지부(220, 221)가 설치되고, 지지부(220, 221)의 선단에는 조작부(218, 219)가 마련되어 있다. 조작부(224, 225)는 좌우의 집게 손가락으로 조작되고, 조작부(218, 219)는 좌우의 엄지 손가락으로 조작되도록 되어 있다.

<115> 조작부(218, 219) 사이에는, 게임중에 셀렉트 조작을 행할 때에 조작되는 셀렉트 스위치(222)와, 게임을 개시할 때에 조작되는 스타트 스위치(223)가 마련되어 있다.

<116> 이 비디오 게임장치(201)는 상기 디스크 장착부(203)에 장착된 CD-ROM(251)이 상술의 CD-ROM 드라이버(30)에 의해 재생된다. 또한, 상기 조작장치(217)는 상술의 입력 디바이스(28)에 상당하는 것으로, 또한, 상기 기록 장치(228)는 상술의 보조기억장치(27)에 상당하는 것이다.

<117> 또, 본 발명은 상술한 바와 같은 실시예에 한정되지 않고, 예를 들면, 연산장치의 구체적 구성은 도시한 예에 한정되지 않고 여러가지 구성이 가능하고, 또한 연산장치를 없애도 된다.

(57) 청구의 범위

청구항 1

화상정보에 따라서 화상표시를 위한 화소 데이터를 묘화 처리 수단에 의해 생성하고, 생성된 화소를 표시화면에 대응하는 화상 메모리에 기록하는 화상 생성 장치에 있어서,

상기 묘화 처리 수단으로부터의 데이터를 일시적으로 저장하는 메모리와,

상기 메모리와 상기 화상 메모리 사이에 설치된 캐시 메모리와,

상기 메모리의 내용에 따라서 상기 캐시 메모리의 판독 기록의 제어를 행하는 캐시 제어수단을 갖는 것을 특징으로 하는 화상 생성 장치.

청구항 2

제 1 항에 있어서,

상기 캐시 제어수단은 상기 메모리의 내용에 따라서 화상 메모리내의 동일 페이지내의 데이터를 정리하여 상기 캐시 메모리에 로드하는 것을 특징으로 하는 화상 생성 장치.

청구항 3

제 2 항에 있어서,

상기 메모리와 상기 캐시 메모리 사이에 연산장치를 설치하고, 상기 묘화 처리 수단으로부터의 출력에 따라서 연산을 행하는 것을 특징으로 하는 화상 생성 장치.

청구항 4

제 2 항에 있어서,

상기 메모리는 FIFO 메모리인 것을 특징으로 하는 화상 생성 장치.

청구항 5

제 2 항에 있어서,

상기 화상 메모리는 프레임 메모리인 것을 특징으로 하는 화상 생성 장치.

청구항 6

제 3 항에 있어서,

상기 연산 장치는 상기 묘화 처리 수단으로부터의 출력에 따라서 Z버퍼 처리를 행하는 것을 특징으로 하는 화상 생성 장치.

청구항 7

제 3 항에 있어서,

상기 연산장치는 상기 묘화 처리 수단으로부터의 출력에 따라서 앤티에일리어싱(anti-aliasing) 처리를 행하는 것을 특징으로 하는 화상 생성 장치.

청구항 8

제 3 항에 있어서,

상기 연산장치는 상기 묘화 처리 수단으로부터의 출력에 따라서 필터링 처리를 행하는 것을 특징으로 하는 화상 생성 장치.

청구항 9

제 3 항에 있어서,

상기 연산장치는 상기 묘화 처리 수단으로부터의 출력에 따라서 α 블렌딩 처리를 행하는 것을 특징으로 하는 화상 생성 장치.

청구항 10

제 3 항에 있어서,

상기 연산장치는 상기 묘화 처리 수단으로부터의 출력에 따라서 반투명 처리를 행하는 것을 특징으로 하는 화상 생성 장치.

청구항 11

제 3 항에 있어서,

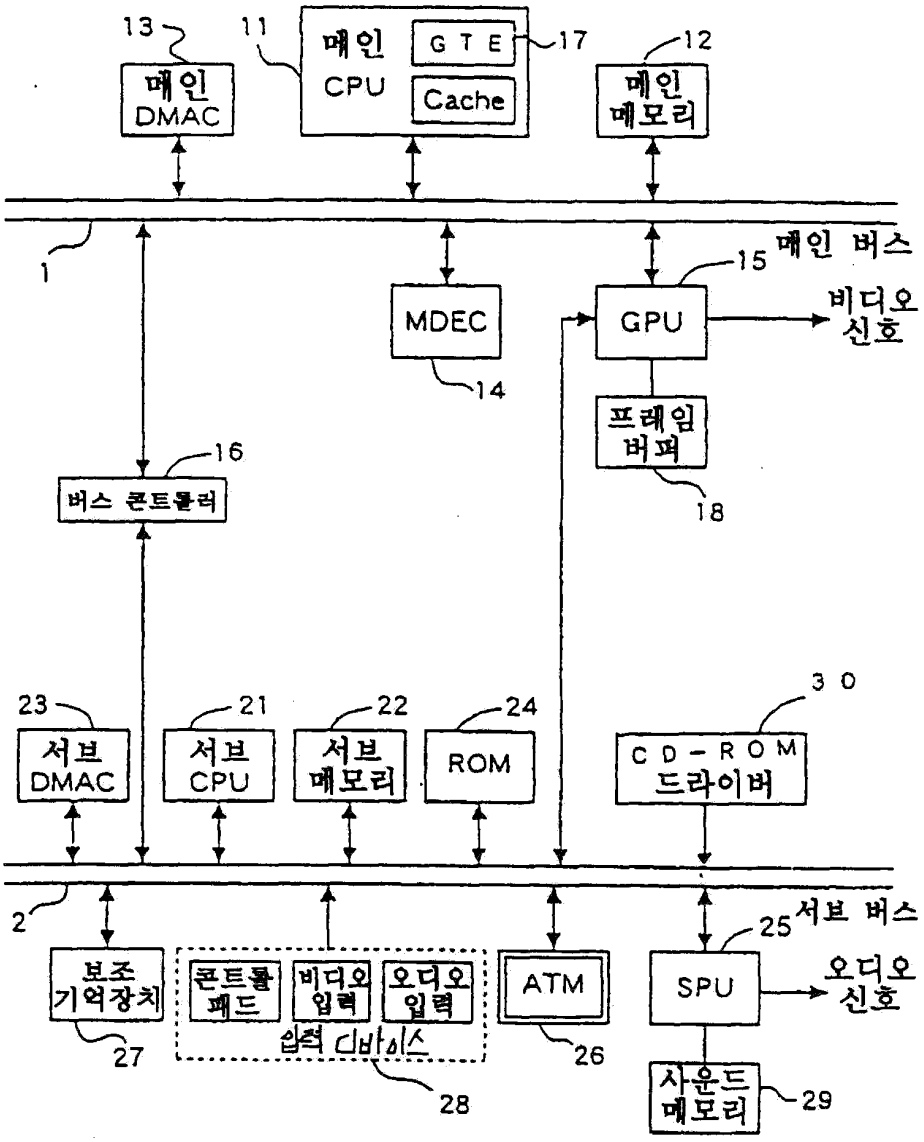
상기 연산장치는 상기 묘화 처리 수단으로부터의 출력에 따라서 픽셀 및 전환 처리를 행하는 것을 특징으로 하는 화상 생성 장치.

요약

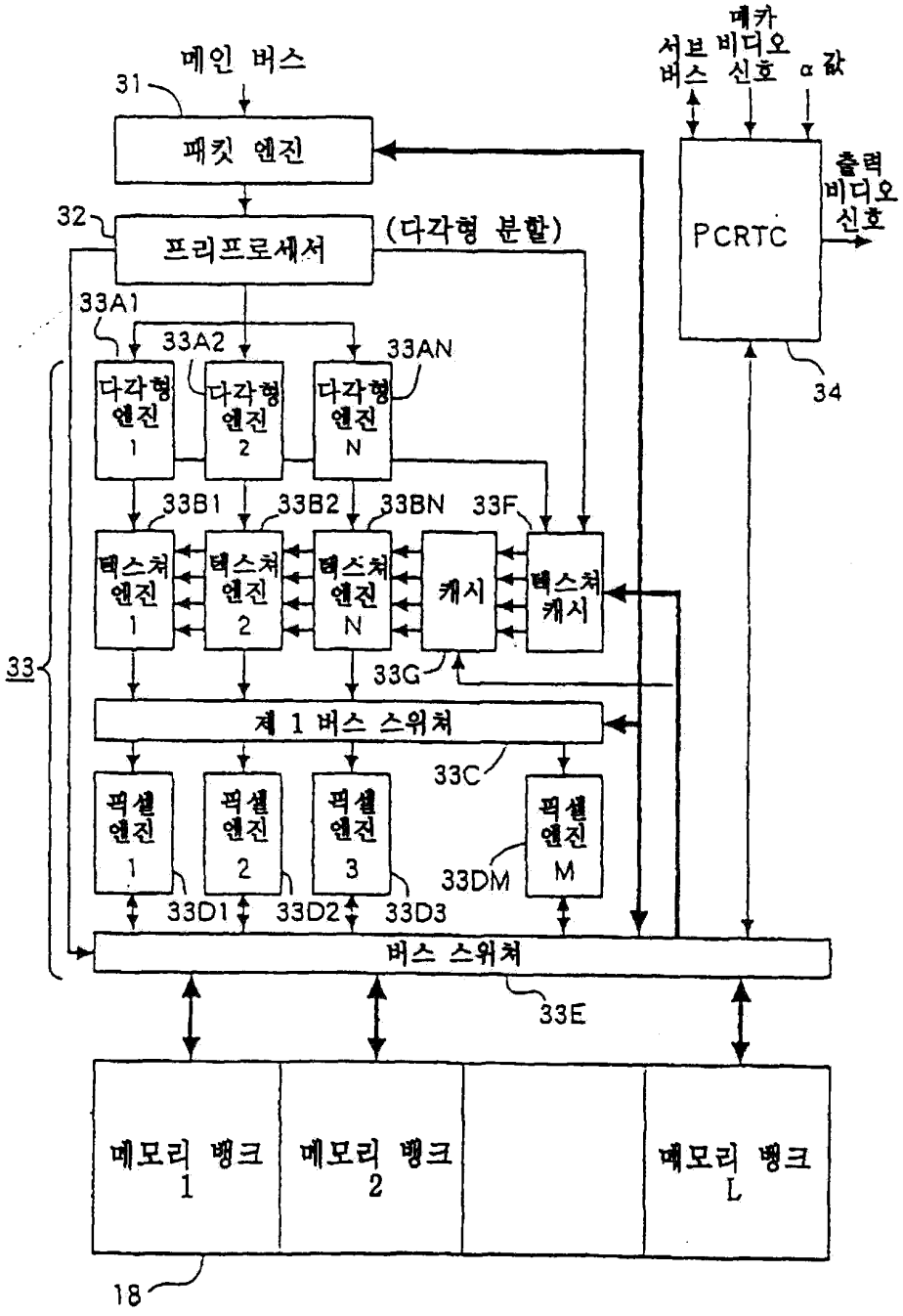
묘화 엔진 주요부(101)로부터의 데이터를 FIFO(First In First Out) 메모리(102)에 보내어 일시적으로 저장하고, 연산장치(103)를 통해 고속의 캐시 메모리(104)에 보낸다. 이 캐시 메모리(104)와 프레임 버퍼(105) 사이에서 데이터의 주고 받기를 행한다. 캐시 콘트롤러(106)는 FIFO 메모리(102)의 내용을 선판독하여, 프레임 버퍼(105)내의 고속 액세스가 가능한 동일 페이지의 데이터를 정리하여 판독 기록하도록 캐시 메모리(104)를 제어한다. 이것에 의해, 염가인 프레임 버퍼를 사용하면서, 고속 액세스를 가능하게 하여, 묘화 속도를 높일 수 있다.

도면

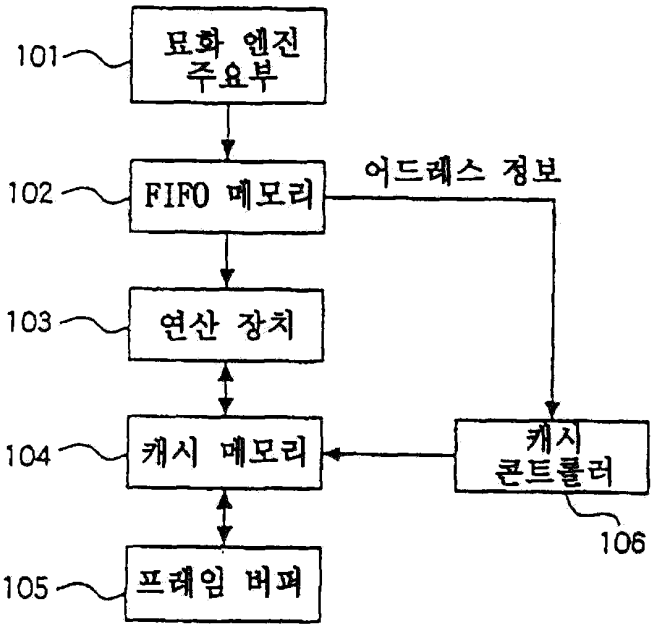
도면1


13
11
메인
CPU
G T E
17
Cache
12
메인
DMAC
메인
메모리
1
메인 버스
15
MDEC
GPU
비디오
신호
14
프레임
버퍼
16
18
버스 콘트롤러
23
21
22
24
30
서브
DMAC
서브
CPU
서브
메모리
ROM
C D - R O M
드라이버
2
서브 버스
25
보조
기억장치
콘트롤
패드
비디오
입력
오디오
입력
ATM
SPU
오디오
신호
입력 디바이스
27
26
28
사운드
메모리
29

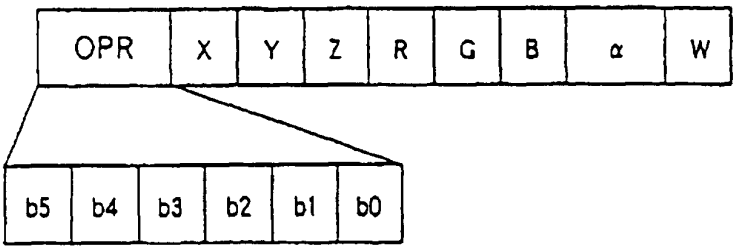
도면2


메인 버스
31
패킷 엔진
32
프리프로세서
(다각형 분할)
33A1
33A2
33AN
다각형 엔진 1
다각형 엔진 2
다각형 엔진 N
33B1
33B2
33BN
33F
텍스쳐 엔진 1
텍스쳐 엔진 2
텍스쳐 엔진 N
캐시
텍스쳐 캐시
33
33G
제 1 버스 스위처
33C
픽셀 엔진 1
픽셀 엔진 2
픽셀 엔진 3
픽셀 엔진 M
33DM
33D1
33D2
33D3
버스 스위처
33E
메모리 뱅크 1
메모리 뱅크 2
메모리 뱅크 L
18
메카 서브 버스
비디오 신호
α 값
PCRTC
출력 비디오 신호
34

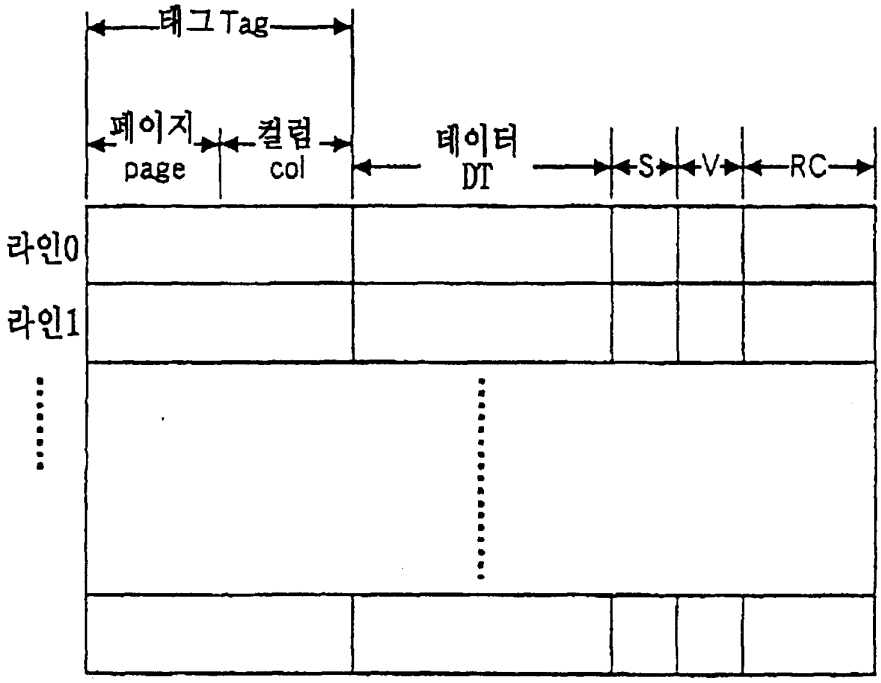
도면3


101
묘화 엔진 주요부
102
FIFO 메모리
어드레스 정보
103
연산 장치
104
캐시 메모리
캐시 콘트롤러
106
105
프레임 버퍼

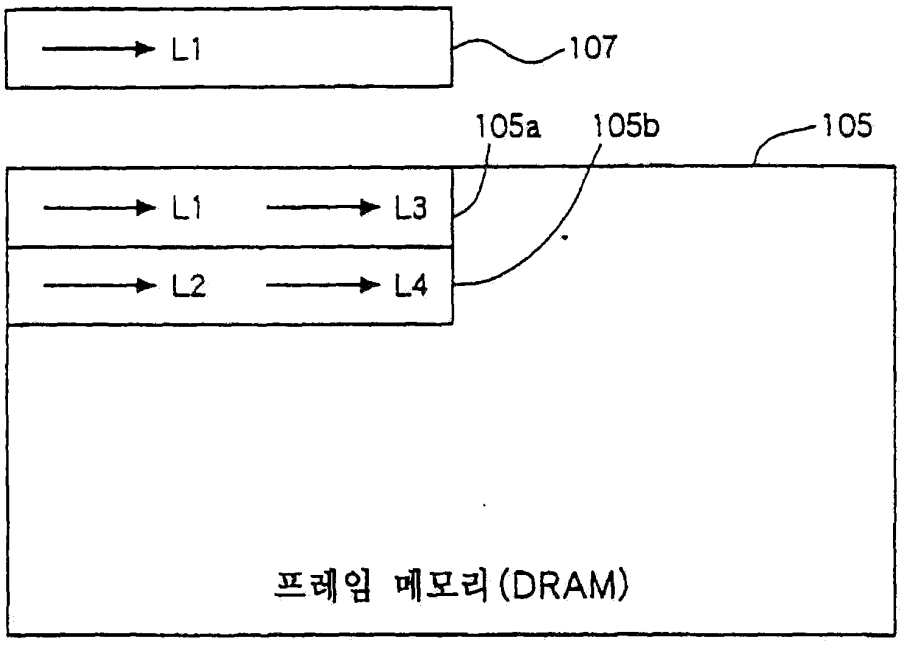
도면4


OPR
X
Y
Z
R
G
B
α
W
b5
b4
b3
b2
b1
b0

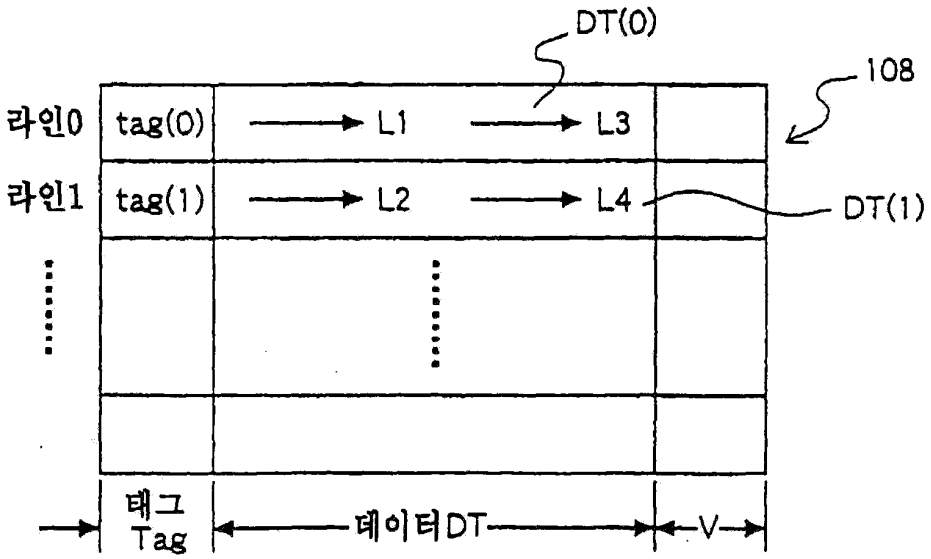
도면5


태그 Tag
페이지
page
컬럼
col
데이터
DT
S
V
RC
라인0
라인1

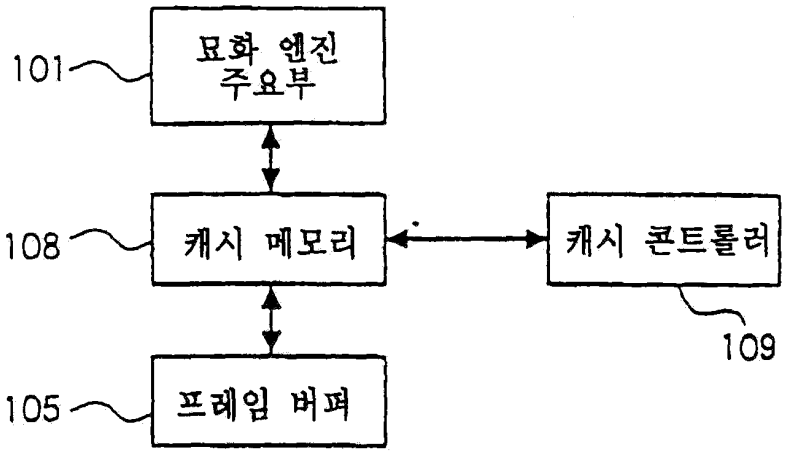
도면6


L1
107
105a
105b
105
L1
L3
L2
L4
프레임 메모리(DRAM)

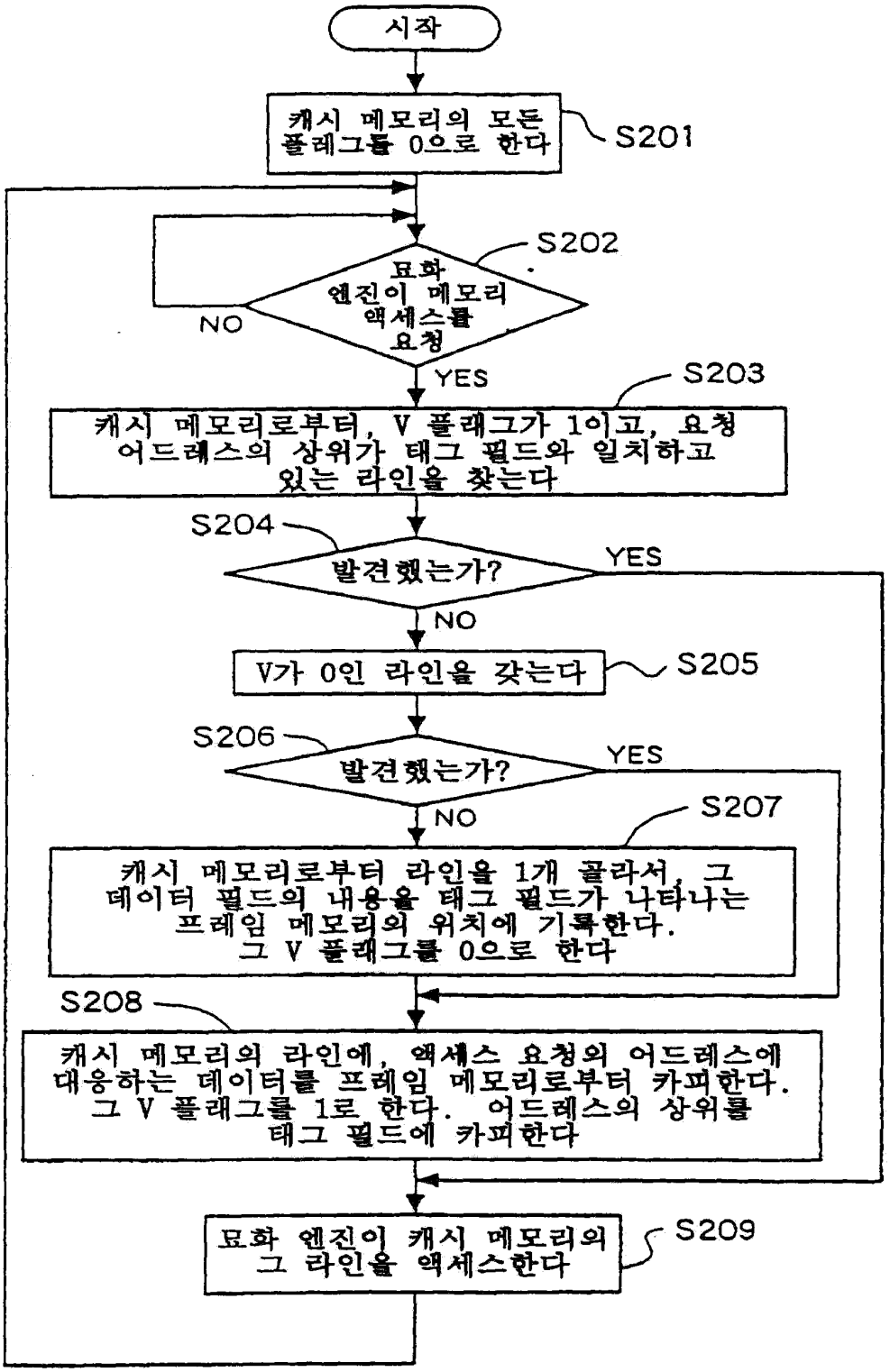
도면7


DT(0)
108
라인0
tag(0)
L1
L3
라인1
tag(1)
L2
L4
DT(1)
태그
Tag
데이터DT
V

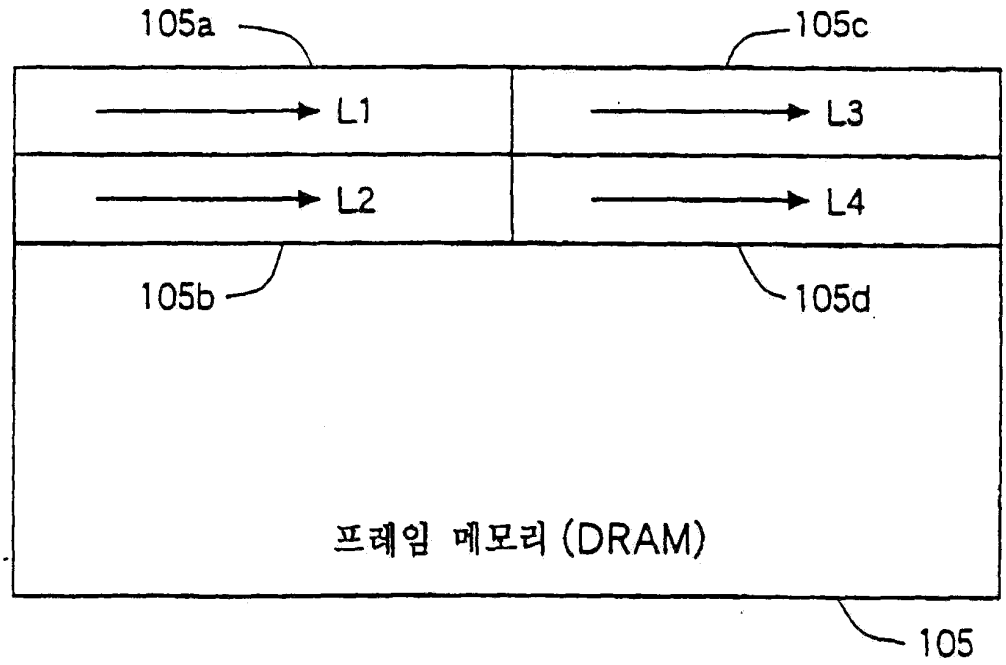
도면8



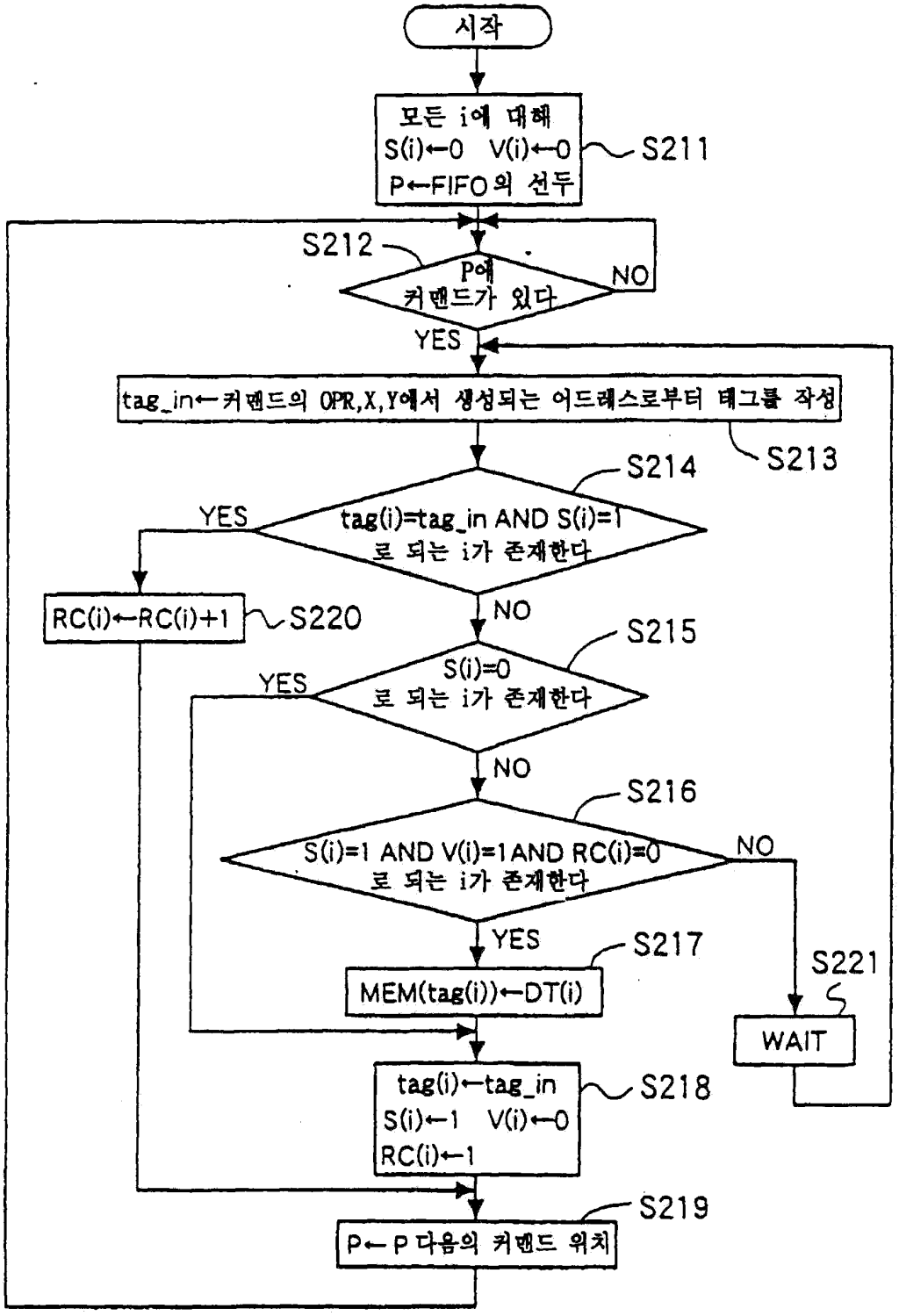
도면9


시작
캐시 메모리의 모든 플래그를 0으로 한다
S201
S202
묘화 엔진이 메모리 액세스를 요청
NO
YES
S203
캐시 메모리로부터, V 플래그가 1이고, 요청 어드레스의 상위가 태그 필드와 일치하고 있는 라인을 찾는다
S204
발견했는가?
YES
NO
V가 0인 라인을 갖는다
S205
S206
발견했는가?
YES
NO
S207
캐시 메모리로부터 라인을 1개 골라서, 그 데이터 필드의 내용을 태그 필드가 나타나는 프레임 메모리의 위치에 기록한다. 그 V 플래그를 0으로 한다
S208
캐시 메모리의 라인에, 액세스 요청의 어드레스에 대응하는 데이터를 프레임 메모리로부터 카피한다. 그 V 플래그를 1로 한다. 어드레스의 상위를 태그 필드에 카피한다
묘화 엔진이 캐시 메모리의 그 라인을 액세스한다
S209

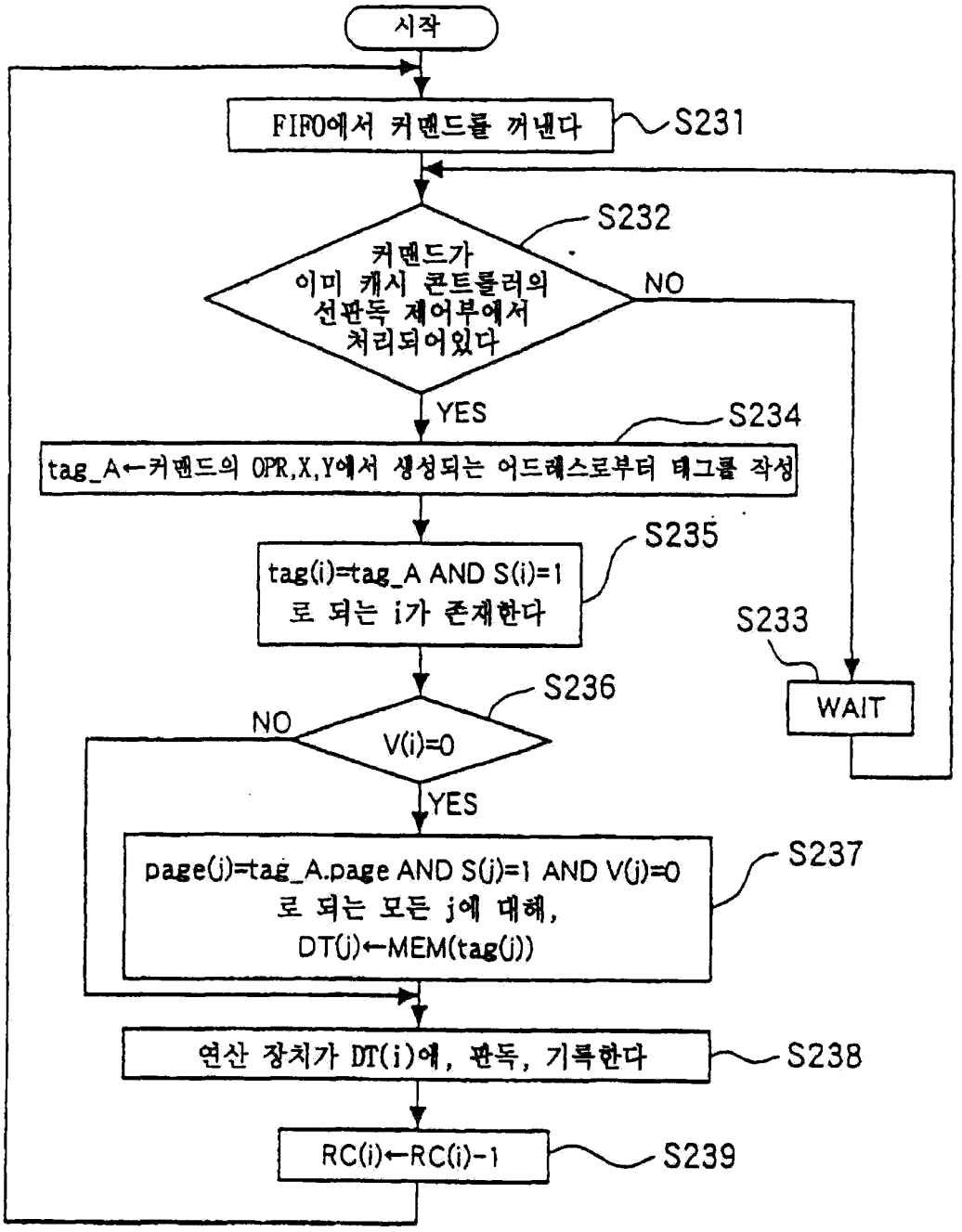
도면10



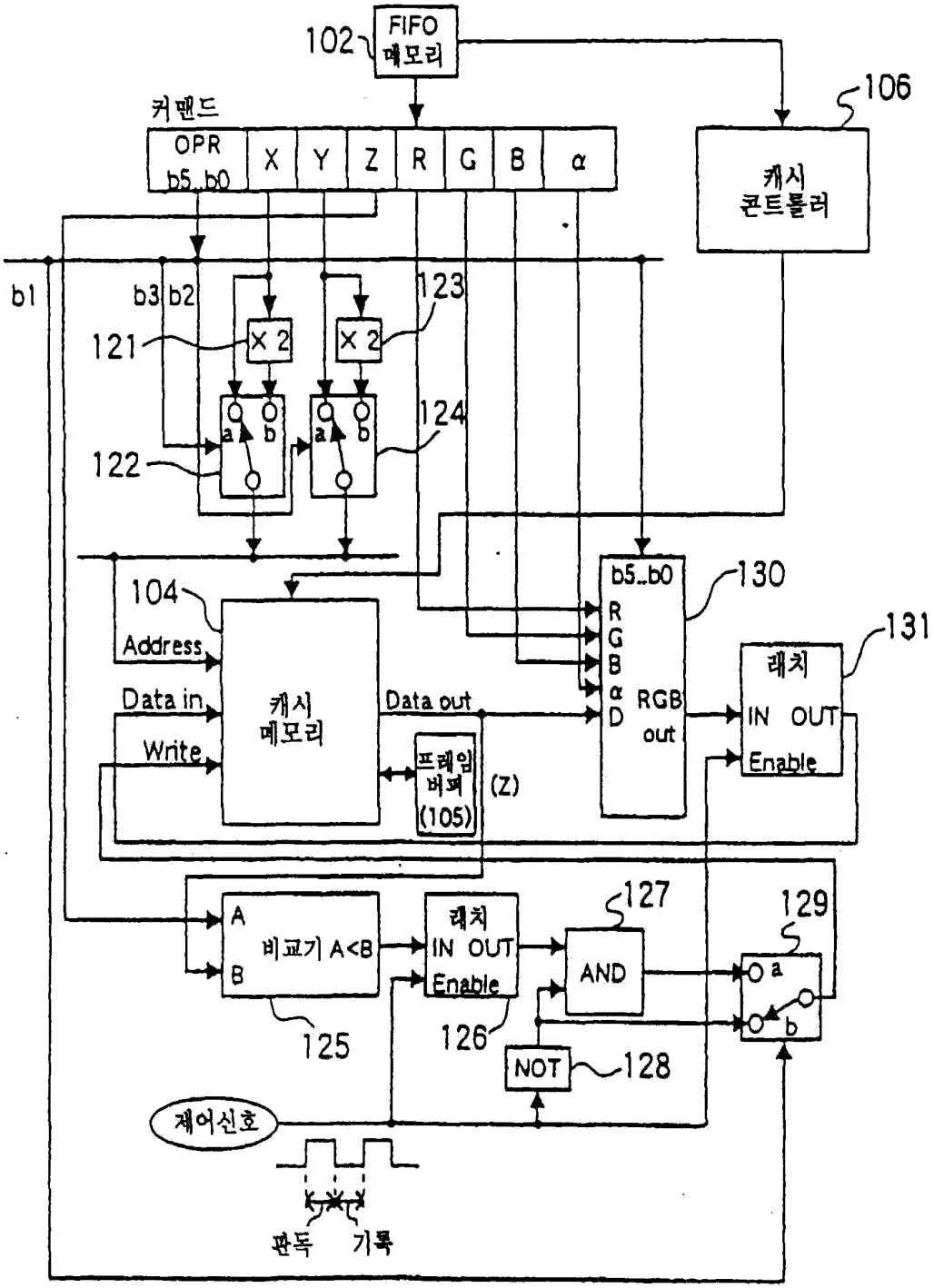
도면11


시작
모든 i에 대해
S(i)←0 V(i)←0
P←FIFO의 선두
S211
S212
P에
커맨드가 있다
NO
YES
tag_in←커맨드의 OPR,X,Y에서 생성되는 어드레스로부터 태그를 작성
S213
S214
YES
tag(i)=tag_in AND S(i)=1
로 되는 i가 존재한다
RC(i)←RC(i)+1
S220
NO
S215
S(i)=0
로 되는 i가 존재한다
YES
NO
S216
S(i)=1 AND V(i)=1AND RC(i)=0
로 되는 i가 존재한다
NO
YES
S217
MEM(tag(i))←DT(i)
S221
WAIT
tag(i)←tag_in
S(i)←1 V(i)←0
RC(i)←1
S218
S219
P←P 다음의 커맨드 위치

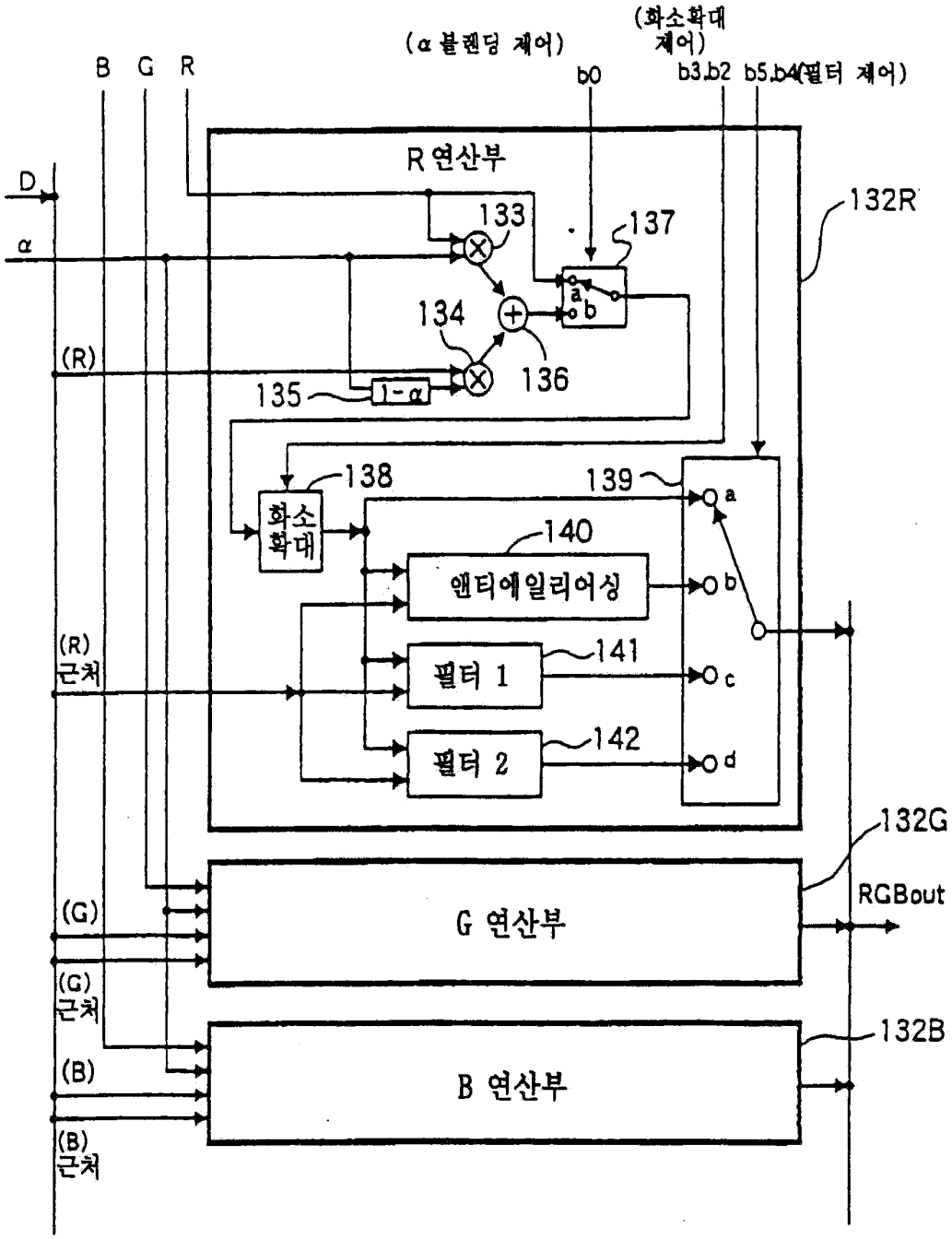
도면12


시작
FIFO에서 커맨드를 꺼낸다
S231
S232
커맨드가
이미 캐시 콘트롤러의
선판독 제어부에서
처리되어있다
NO
YES
S234
tag_A←커맨드의 OPR,X,Y에서 생성되는 어드레스로부터 태그를 작성
S235
tag(i)=tag_A AND S(i)=1
로 되는 i가 존재한다
S233
WAIT
S236
NO
V(i)=0
YES
page(j)=tag_A.page AND S(j)=1 AND V(j)=0
로 되는 모든 j에 대해,
DT(j)←MEM(tag(j))
S237
연산 장치가 DT(i)에, 판독, 기록한다
S238
RC(i)←RC(i)-1
S239

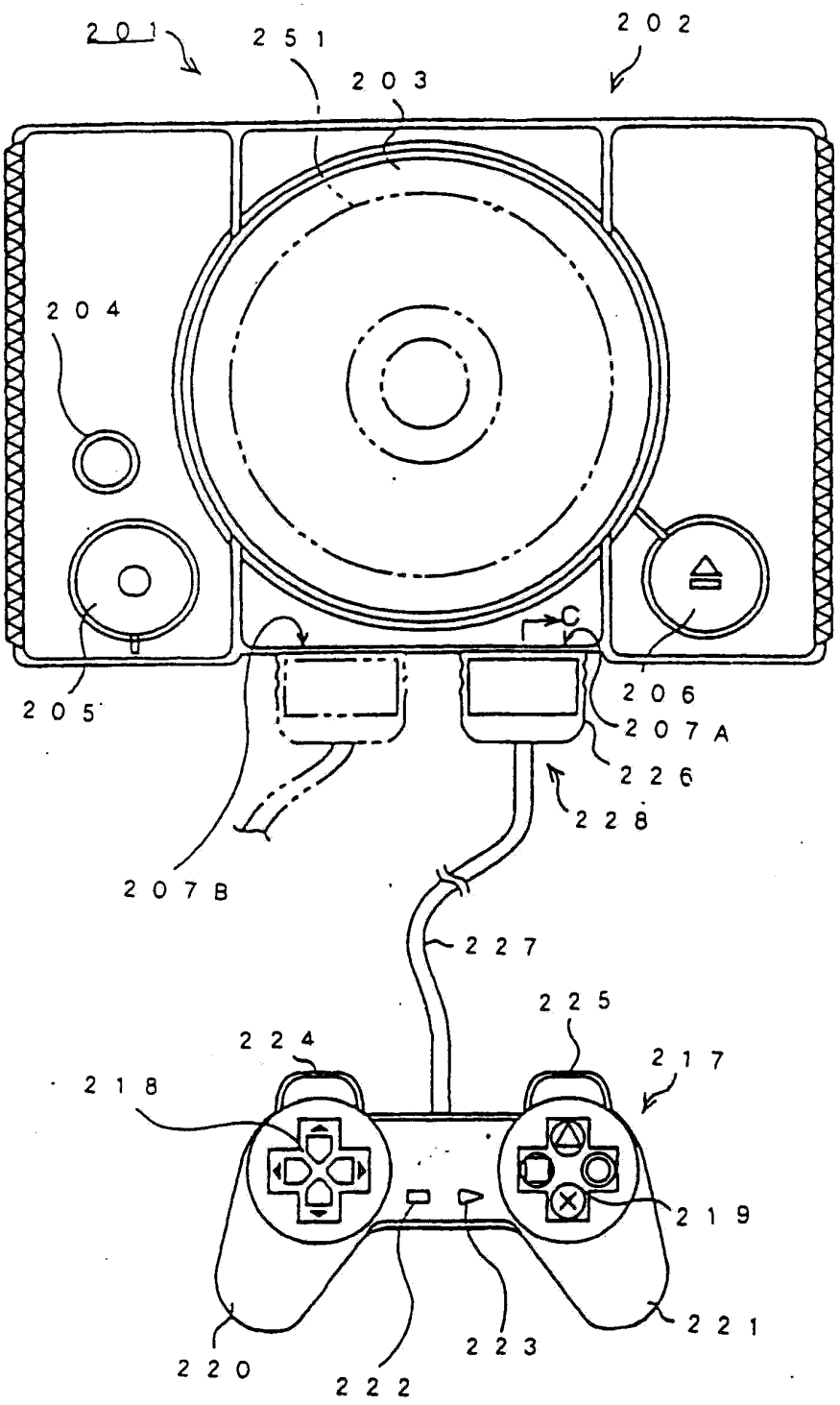
도면13


102
FIFO 메모리
106
캐시 콘트롤러
커맨드
OPR b5..b0
X
Y
Z
R
G
B
α
b1
b3 b2
121
X 2
123
124
122
a
b
104
Address
Data in
Write
캐시 메모리
Data out
프레임 버퍼 (105)
(Z)
b5..b0
R
G
B
α
D
RGB out
130
131
래치
IN OUT
Enable
A
B
비교기 A<B
125
래치
IN OUT
Enable
126
127
AND
129
NOT
128
제어신호
판독
기록

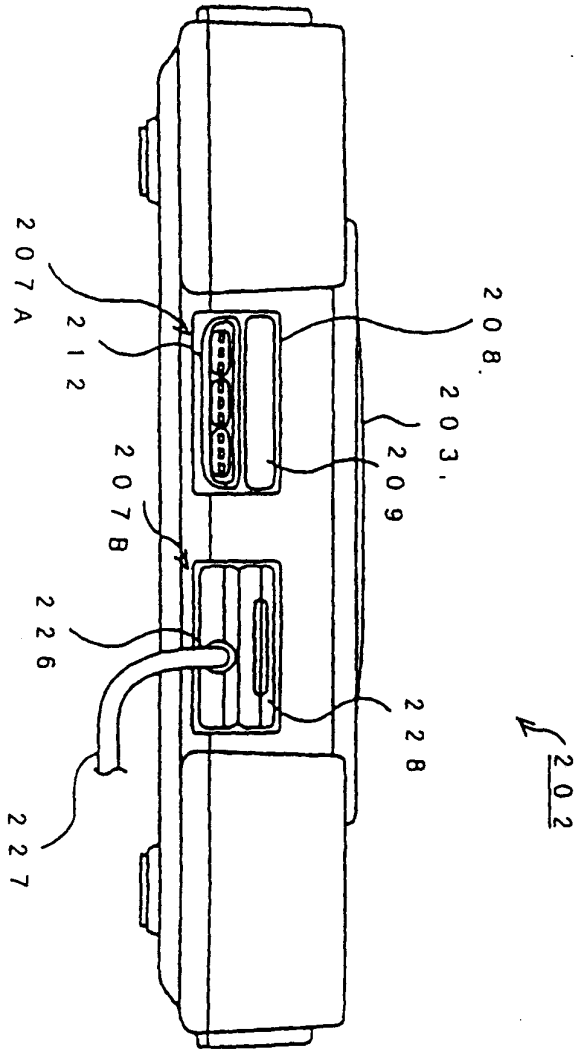
도면14


(α 블렌딩 제어)
(화소확대 제어)
B G R
b0
b3,b2 b5,b4(필터 제어)
R 연산부
132R
D
α
133
137
134
136
(R)
135
1-α
138
139
화소 확대
140
앤티에일리어싱
(R) 근처
필터 1
141
필터 2
142
132G
RGBout
(G)
G 연산부
(G) 근처
132B
(B)
B 연산부
(B) 근처

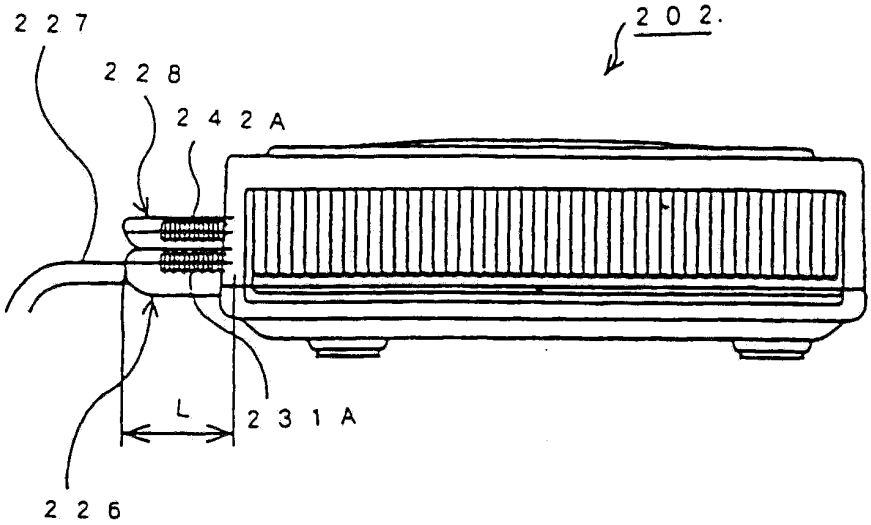
도면15


201
251
203
202
204
205
C
206
207A
226
228
207B
227
225
224
217
218
219
221
220
222
223

도면16


207A
212
208
203
209
207B
226
228
227
202

도면17


227
228
242A
202
L
231A
226

도면18

