

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-200311  
(P2004-200311A)

(43) 公開日 平成16年7月15日(2004.7.15)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 21/82	HO 1 L 21/82 A	2 G 1 3 2
GO 1 R 31/28	GO 6 F 11/22 3 3 O B	5 B O 4 6
GO 6 F 11/22	HO 3 K 19/173 1 O 1	5 B O 4 8
HO 3 K 19/173	GO 1 R 31/28 F	5 F O 6 4
// GO 6 F 17/50	HO 1 L 21/82 T	5 J O 4 2
審査請求 未請求 請求項の数 10 O L (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2002-365569 (P2002-365569)  
(22) 出願日 平成14年12月17日 (2002.12.17)

(71) 出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番1号  
(74) 代理人 100070150  
弁理士 伊東 忠彦  
(72) 発明者 藤本 博昭  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内  
(72) 発明者 藤田 隆司  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内  
Fターム(参考) 2G132 AA01 AC12 AE18 AE23 AL32 AL33  
5B046 AA08 BA03 JA04  
最終頁に続く

(54) 【発明の名称】 論理検証装置

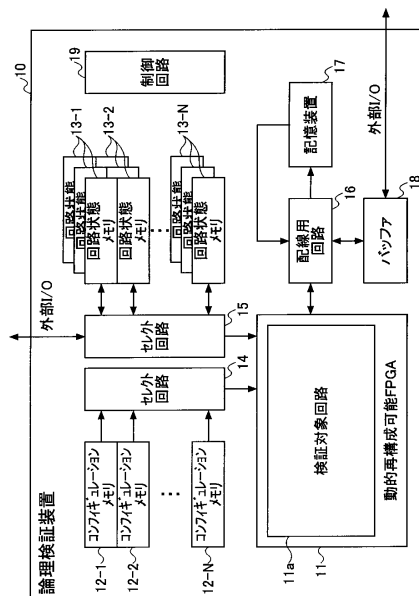
(57) 【要約】

【課題】本発明は、少ない数のFPGAチップで大規模な論理回路の検証が可能な論理検証装置を提供することを目的とする。

【解決手段】論理検証装置は、動的に再構成可能なFPGAと、複数のコンフィギュレーションデータを格納するコンフィギュレーションメモリと、複数のコンフィギュレーションデータを順次選択してFPGAに順次書き込む動作を複数のコンフィギュレーションデータの全てに対して実行するサイクルを複数回繰り返す第1のセレクト回路を含み、コンフィギュレーションデータによってFPGA上に実現される論理は順次書き込む動作毎に入れ替えられることを特徴とする。

【選択図】 図1

本発明による論理検証装置の第1の実施例の構成の一例を示す構成図



**【特許請求の範囲】****【請求項 1】**

動的に再構成可能な F P G A と、  
複数のコンフィギュレーションデータを格納するコンフィギュレーションメモリと、  
該複数のコンフィギュレーションデータを順次選択して該 F P G A に順次書き込む動作を  
該複数のコンフィギュレーションデータの全てに対して実行するサイクルを複数回繰り返す  
第 1 のセレクト回路  
を含み、コンフィギュレーションデータによって該 F P G A 上に実現される論理は該順次  
書き込む動作毎に入れ替えられることを特徴とする論理検証装置。

**【請求項 2】**

該複数のコンフィギュレーションデータに対応する複数の回路を合計した回路規模は該 F  
P G A の容量よりも大きいことを特徴とする請求項 1 記載の論理検証装置。

**【請求項 3】**

コンフィギュレーションデータが書き込まれることで該 F P G A 上に実現された回路の回  
路状態を該複数のコンフィギュレーションデータ毎に格納する回路状態メモリと、  
コンフィギュレーションデータが該 F P G A に書き込まれることで該 F P G A 上に実現さ  
れた回路に対応する該回路状態を該回路状態メモリから読み出して該 F P G A 上の該回路  
に設定する第 2 のセレクト回路  
を更に含むことを特徴とする請求項 1 記載の論理検証装置。

**【請求項 4】**

該 F P G A 上に実現された回路が動作実行した後に該第 2 のセレクト回路は該動作実行し  
た回路の該動作実行後の回路状態を該回路状態メモリに格納することを特徴とする請求項  
3 記載の論理検証装置。

**【請求項 5】**

該第 2 のセレクト回路は該回路状態メモリに格納される該回路状態を該論理検証装置の外  
部に出力する経路を備えることを特徴とする請求項 3 記載の論理検証装置。

**【請求項 6】**

該回路状態メモリは該回路状態を該複数のコンフィギュレーションデータ毎且つ該サイク  
ル毎に格納することを特徴とする請求項 1 記載の論理検証装置。

**【請求項 7】**

記憶装置と、  
該記憶装置と該 F P G A との間の配線接続を自由に構成可能な配線用回路  
を更に含み、第 1 のサイクルで該 F P G A 上に実現される回路から出力される値を該配線  
用回路を介して該記憶装置に格納し、第 2 のサイクルで該 F P G A 上に実現される回路に  
対して該記憶装置に格納されている該値を該配線用回路を介して入力することを特徴とす  
る請求項 1 記載の論理検証装置。

**【請求項 8】**

該論理検証装置の外部と該配線用回路との間に設けられるバッファ回路を更に含み、該配  
線用回路は該 F P G A と該バッファ回路との間の配線接続を自由に構成可能なように構成  
され、該バッファ回路は該 F P G A 上に実現される回路から出力される値を所定期間保持  
することを特徴とする請求項 7 記載の論理検証装置。

**【請求項 9】**

該記憶装置は該サイクル毎にデータをシフトする F I F O メモリであることを特徴とする  
請求項 7 記載の論理検証装置。

**【請求項 10】**

該配線用回路は F P G A により実現されることを特徴とする請求項 7 記載の論理検証装置  
。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

10

20

30

40

50

本発明は一般にLSIの論理検証に関し、詳しくは再構成可能なFPGAを用いてLSIの論理検証を行う装置に関する。

【従来の技術】

FPGA (Field Programmable Gate Array) は、プログラム可能な汎用ロジックLSIであり、メモリに書き込まれたコンフィギュレーションデータに従ってLSI内部の配線接続が制御され、所望のハードウェア構成を実現する。FPGAは、例えば、論理回路の設計において論理検証を実行するエミュレータとして用いられる。

【0002】

論理検証装置は、論理回路をハードウェア上にマッピングし、ハードウェアとして高速に動作する回路を構成して論理検証を行う。このハードウェアエミュレータは、ソフトウェアシミュレータの数千から数万倍の速度で動作するので、大規模な回路を論理検証するには非常に有効である。

10

【0003】

FPGAに論理回路をマッピングして論理検証を行う場合、検証対象回路の回路規模が一つのFPGAチップには搭載できない程大きい場合がある。このような場合、従来の技術では複数のFPGAチップを用意して、検証対象の論理回路を一つのFPGAチップに収まる規模の複数のブロックに分割し、これら複数のブロックをそれぞれのFPGAチップにマッピングしていた。

【0004】

また、異なる時間に異なる論理回路を実現するように処理の途中でFPGA等を再構成することにより、一つのプログラマブル論理回路装置では実現できない規模の回路を実現することができるようになる。このような場合において、再構成回路のレイアウトを予め決められた大きさおよび形状に揃えておくことで、再構成の際に比較的容易に空き領域と再構成回路の形状や大きさをマッチングさせることができる従来技術がある(特許文献1)

20

【0005】

またFPGAに実現したい論理回路の規模が大きい場合に、複数の論理ブロックの機能をいっせいに切り換えるのではなく、論理ブロック間の配線信号の変化を検出して、論理回路部の論理定義情報を自動的にかつ順を追って高速に切り換える従来技術がある(特許文献2)。

30

【0006】

【特許文献1】

特開平11 017524号公報

【特許文献2】

特開平10 173515号公報

【発明が解決しようとする課題】

複数のFPGAチップを用意する構成では、検証対象論理回路の規模が増大してくると、必要なFPGAチップの数が増加し、FPGAチップ間の配線遅延によって動作速度が上がらなくなるといった問題がある。また、FPGAチップの数が増加すると装置構成が複雑となり、実現が難しくなるという問題もある。

40

【0007】

以上を鑑みて、本発明は、少ない数のFPGAチップで大規模な論理回路の検証が可能な論理検証装置を提供することを目的とする。

【課題を解決するための手段】

本発明による論理検証装置は、動的に再構成可能なFPGAと、複数のコンフィギュレーションデータを格納するコンフィギュレーションメモリと、該複数のコンフィギュレーションデータを順次選択して該FPGAに順次書き込む動作を該複数のコンフィギュレーションデータの全てに対して実行するサイクルを複数回繰り返す第1のセレクト回路を含み、コンフィギュレーションデータによって該FPGA上に実現される論理は該順次書き込む動作毎に入れ替えられることを特徴とする。

50

## 【0008】

上記論理検証装置においては、動的に再構成可能なFPGAに対して複数のコンフィギュレーションデータを順次選択して書き込む一連の動作を複数サイクル繰り返すと共に、コンフィギュレーションデータによってFPGA上に実現される論理を順次入れ替える。これにより、検証対象回路を複数の論理ブロックに分割してそれぞれのコンフィギュレーションデータを用意しておけば、検証対象回路の回路規模がFPGAの再構成領域の規模よりも大きい場合であっても、各論理ブロックを逐次的に実行することにより、検証対象回路全体の論理を実現することができる。

## 【0009】

また本発明の更なる側面によれば、上記論理検証装置は、コンフィギュレーションデータが書き込まれることで該FPGA上に実現された回路の回路状態を該複数のコンフィギュレーションデータ毎に格納する回路状態メモリと、コンフィギュレーションデータが該FPGAに書き込まれることで該FPGA上に実現された回路に対応する該回路状態を該回路状態メモリから読み出して該FPGA上の該回路に設定する第2のセレクト回路を更に含むことを特徴とする。

10

## 【0010】

上記構成においては、FPGA上に実現された回路の回路状態を回路状態メモリに格納しておくことで、FPGA上で順次回路を入れ替えて逐次的に実現する場合に、今回動作中絶した回路の回路状態を次回再開するときに復元することができる。

## 【0011】

また本発明の更なる側面によれば上記論理検証装置は、記憶装置と、該記憶装置と該FPGAとの間の配線接続を自由に構成可能な配線用回路とを更に含み、第1のサイクルで該FPGA上に実現される回路から出力される値を該配線用回路を介して該記憶装置に格納し、第2のサイクルで該FPGA上に実現される回路に対して該記憶装置に格納されている該値を該配線用回路を介して入力することを特徴とする。

20

## 【0012】

上記構成においては、複数の論理ブロックが同時に存在することはなく逐次的に1つずつ実現される状態において、各論理ブロック間で時間を超えて信号伝送するために、記憶装置が信号値を記憶することで異なる時刻間の仲介をし、更に自由に構成可能な配線用回路を用いることによって、異なる論理ブロックに対して随時適切な信号経路を提供することができる。

30

## 【0013】

## 【発明の実施の形態】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

## 【0014】

図1は、本発明による論理検証装置の第1の実施例の構成の一例を示す構成図である。

## 【0015】

図1の論理検証装置10は、動的再構成可能FPGA11、コンフィギュレーションメモリ12-1乃至12-N、回路状態メモリ13-1乃至13-N、セレクト回路14、セレクト回路15、配線用回路16、記憶装置17、バッファ18、及び制御回路19を含む。制御回路19が、各メモリ及び各回路に対して制御信号を供給し、各メモリ及び各回路の動作を制御する。

40

## 【0016】

動的再構成可能FPGA11は、コンフィギュレーションメモリ12-1乃至12-Nに格納されるコンフィギュレーションデータに基づいて、再構成可能な形で検証対象回路の論理11aを実現する。コンフィギュレーションメモリ12-1乃至12-Nは、検証対象回路を複数N個の論理ブロックに分割して、各論理ブロックの論理を実現するために必要なコンフィギュレーションデータを格納する。

## 【0017】

セレクト回路14は、コンフィギュレーションメモリ12-1乃至12-Nのうちの一つ

50

を選択して、それが格納するコンフィギュレーションデータを動的再構成可能 F P G A 1 1 に書き込む。これにより、選択されたコンフィギュレーションメモリに対応する検証対象回路の論理ブロックの論理が、論理検証装置 1 0 上での論理 1 1 a として実現される。

【 0 0 1 8 】

例えばコンフィギュレーションメモリ 1 2 - 1 が最初に選択され、これに対応する検証対象回路の第 1 の論理ブロックが動的再構成可能 F P G A 1 1 に実現される。次にコンフィギュレーションメモリ 1 2 - 2 が選択され、これに対応する検証対象回路の第 2 の論理ブロックが動的再構成可能 F P G A 1 1 に実現される。同様の動作が各論理ブロックに対して実行されて、最後にコンフィギュレーションメモリ 1 2 - N が選択され、検証対象回路の第 N の論理ブロックが動的再構成可能 F P G A 1 1 に実現される。以上で 1 サイクルを完了する。このサイクルが繰り返されることで、検証対象回路全体についての各サイクルに応じた動作が実現される。

10

【 0 0 1 9 】

N 個の回路状態メモリ 1 3 - 1 乃至 1 3 - N は、N 個のコンフィギュレーションメモリ 1 2 - 1 乃至 1 2 - N に対応し、動的再構成可能 F P G A 1 1 上に実現された論理ブロックの回路状態（内部フリップフロップの値）を、各サイクルに対して保持するメモリである。即ち例えば、コンフィギュレーションメモリ 1 2 - 1 に対応する第 1 の論理ブロックを動的再構成可能 F P G A 1 1 上で動作させると、次の第 2 の論理ブロックのコンフィギュレーションデータを動的再構成可能 F P G A 1 1 にロードする前に、動的再構成可能 F P G A 1 1 上の第 1 の論理ブロックの回路状態を回路状態メモリ 1 3 - 1 に記憶させる（セーブする）。これにより、次のサイクルで再び第 1 の論理ブロックを動的再構成可能 F P G A 1 1 上で動作させる際に、回路状態メモリ 1 3 - 1 から回路状態を読み出して動的再構成可能 F P G A 1 1 に書き込むことで、前回中断した状態から回路動作を再開することができる。

20

【 0 0 2 0 】

この目的のために、セレクト回路 1 5 は、選択されたコンフィギュレーションメモリに対応する回路状態メモリを選択する。セレクト回路 1 5 は、回路状態メモリ 1 3 - 1 乃至 1 3 - N のうちの選択されたメモリから回路状態を読み出して、動的再構成可能 F P G A 1 1 に書き込む。ここで回路状態メモリ 1 3 - 1 乃至 1 3 - N の各々は、複数（図では模式的に 3 つ）のメモリを含むものとして示されるが、これは過去から現在までの複数サイクルについての回路状態データを格納していることを意味する。また図 1 に示されるようにセレクト回路 1 5 は外部 I / O を備えており、回路状態メモリ 1 3 - 1 乃至 1 3 - N の内容を外部に出力する。これにより、動的再構成可能 F P G A 1 1 上に実現される論理の状態を、必要に応じて外部から観測することができる。

30

【 0 0 2 1 】

図 2 は、動的再構成可能 F P G A 1 1 により複数の論理ブロックを実現する動作を示すタイミングチャートである。

【 0 0 2 2 】

図 2 は、ブロックの個数 N が 3 の場合を示し、外部クロックに対して内部クロックは 6 倍の周波数に設定されている。ここで外部クロックは検証対象回路の動作クロックに対応し、外部クロックの 1 サイクルの間に検証対象回路の 1 サイクル分の動作が実行される。内部クロックは、外部クロックの 1 サイクルの間に複数の論理ブロックの動作を実現するためのクロックであり、N 個の論理ブロックが存在する場合には外部クロックの 2 N 倍の周波数を有する。セレクト回路 1 4 及び 1 5 等はこの内部クロックに同期して動作する。

40

【 0 0 2 3 】

図 2 に示される内部クロックの最初のサイクルにおいて、第 1 の論理ブロックのコンフィギュレーションが実行されると共に、それ以前に実行されていた第 3 の論理ブロックの回路状態がセーブされ、その後第 1 の論理ブロックの回路状態がロードされる。これにより動的再構成可能 F P G A 1 1 上に第 1 の論理ブロックが実現され、前回動作中断した時点の回路状態に復元される。次に内部クロックの第 2 のサイクルにおいて、第 1 の論理ブ

50

ロックの1クロック分の動作が実行される。

【0024】

内部クロックの第3のサイクルにおいて、第2の論理ブロックのコンフィギュレーションが実行されると共に、それ以前に実行されていた第1の論理ブロックの回路状態がセーブされ、その後第2の論理ブロックの回路状態がロードされる。これにより動的再構成可能FPGA11上に第2の論理ブロックが実現され、前回動作中断した時点の回路状態に復元される。内部クロックの第4のサイクルにおいて、第2の論理ブロックの1クロック分の動作が実行される。

【0025】

内部クロックの第5のサイクルにおいて、第3の論理ブロックのコンフィギュレーションが実行されると共に、それ以前に実行されていた第2の論理ブロックの回路状態がセーブされ、その後第3の論理ブロックの回路状態がロードされる。これにより動的再構成可能FPGA11上に第3の論理ブロックが実現され、前回動作中断した時点の回路状態に復元される。内部クロックの第6のサイクルにおいて、第3の論理ブロックの1クロック分の動作が実行される。

10

【0026】

以上により、外部クロック1サイクルの間に、動的再構成可能FPGA11上に検証対象回路の第1乃至第3の論理ブロックが順次実現されて、それぞれについて1サイクル分の動作が実行される。

【0027】

図3は、動的再構成可能FPGAと回路状態メモリとの間で回路状態をロード・セーブする動作を説明するための図である。図3においては、検証対象回路は3つの論理ブロックに分割されているとする。

20

【0028】

図3に模式的に示されるように、動的再構成可能FPGA11が実現する論理11aは、論理値を格納するフリップフロップ21（図では模式的に1つとして示すが複数でよい）と、フリップフロップ21の値を入力とする組み合わせ論理回路22と、組み合わせ論理回路22の出力を格納するフリップフロップ23（図では模式的に1つとして示すが複数でよい）を含む構成として表現される。セレクト回路15は、動的再構成可能FPGA11上に論理11aとして例えば第1の論理ブロックを実現する際に、回路状態メモリ13-1から回路状態を読み出して、フリップフロップ21及び23のセット入力Sから回路状態データを書き込む。これにより、第1の論理ブロックが前回中断時の回路状態を有するように再現される。

30

【0029】

第1の論理ブロックが動的再構成可能FPGA11上で1クロック分動作した後に、セレクト回路15は、フリップフロップ21及び23の出力値Qを回路状態メモリ13-1に格納する。これにより、第1の論理ブロックの現在の回路状態を、回路状態メモリ13-1にセーブすることができる。その後第2及び第3の論理ブロックを実現した後に、次のクロックで第1の論理ブロックを再度実現する際には、回路状態メモリ13-1に格納される回路状態データを読み出すことで、回路状態を元に復元することができる。

40

【0030】

以下に、論理ブロック間の信号転送について説明する。

【0031】

図4は、検証対象回路の論理ブロック分割を模式的に示す図である。

【0032】

図4に示される例において、検証対象回路は、第1の論理ブロック31、第2の論理ブロック32、及び第3の論理ブロック33に分割される。第1の論理ブロック31は、外部I/O34とI/O1及びI/O2で接続される。第1の論理ブロック31は更に、第2の論理ブロック32と信号経路P1及びP2を介して接続され、第3の論理ブロック33と信号経路P3及びP4を介して接続される。また第2の論理ブロック32と第3の論理

50

ブロック 33 とは、信号経路 P5 及び P6 を介して接続される。

【0033】

しかしながら前述の説明のように、本発明においては、各論理ブロックは動的再構成可能 FPG A 11 上に順次 1 つずつ実現されるので、同時に 2 つ以上の論理ブロックが実現されることはない。即ち図 4 に模式的に示す第 1 の論理ブロック 31 乃至第 3 の論理ブロック 33 は、同時に存在することはなく、時間を追って順次 1 つずつ実現される。従って、各論理ブロック間の信号経路 P1 乃至 P6 は、時間を超えて異なるタイミングの領域間で信号転送することが必要になり、そのような機能を実現して各論理ブロック間の信号転送をサポートする機構が必要になる。

【0034】

図 1 において、配線用回路 16 及び記憶装置 17 は、各論理ブロック間の信号転送を実現するために設けられる。

【0035】

配線用回路 16 は、各論理ブロック間の信号配線をエミュレートするためのものであり、例えば再構成可能な FPG A チップにより実現される。配線用回路 16 は、FPG A 上に所望の論理を構成することで所望の信号配線を提供する。記憶装置 17 は、各論理ブロックが動的再構成可能 FPG A 11 上に同時に実現されることはないので、各論理ブロック間の信号転送を実現するために、転送される信号の値を一時的に格納して仲介するためのメモリである。例えば記憶装置 17 は、あるクロックタイミングで信号値を入力して次のクロックタイミングで信号値を出力する F I F O (First In First Out) メモリであって

【0036】

図 5 は、配線用回路 16、記憶装置 17、及びバッファ 18 の具体的な構成を示す図である。

【0037】

図 5 に示されるように、配線用回路 16 は配線用 FPG A として実現され、記憶装置 17 は F I F O として実現される。F I F O 17 は、図 4 の 6 つの信号経路 P1 乃至 P6 に対応して 6 つの値を格納できるメモリ要素 b1 乃至 b6 を含む。例えば外部クロックの第 m 番目のサイクルにおいて、動的再構成可能 FPG A 11 と F I F O 17 との間に適切な配線接続を配線用 FPG A 16 により確立することで、第 1 の論理ブロック 31 乃至第 3 の論理ブロック 33 から各信号経路 P1 乃至 P6 に出力される信号値を、F I F O 17 の各メモリ要素 b1 乃至 b6 に格納する。外部クロックの次の第 m + 1 番目のサイクルにおいて、メモリ要素 b1 乃至 b6 の値はメモリ要素 a1 乃至 a6 に転送される。メモリ要素 a1 乃至 a6 の値は、F I F O 17 と動的再構成可能 FPG A 11 との間に適切な配線接続を配線用 FPG A 16 により確立することで、動的再構成可能 FPG A 11 の対応する信号経路 P1 乃至 P6 に供給される。

【0038】

図 5 に示されるように、例えば第 1 の論理ブロックが実現されている場合には、配線用 FPG A 16 により信号経路 P1 及び P3 をそれぞれメモリ要素 b1 及び b3 に接続し、信号経路 P1 及び P3 に出力される値をそれぞれメモリ要素 b1 及び b3 に格納する。このメモリ要素 b1 及び b3 に格納された値は次のサイクルで使用される。また配線用 FPG A 16 により信号経路 P2 及び P4 をそれぞれメモリ要素 a2 及び a4 に接続し、メモリ要素 a2 及び a4 に格納されている値を信号経路 P2 及び P4 に供給する。このメモリ要素 a2 及び a4 の値は、前のサイクルで b2 及び b4 に格納された値である。

【0039】

また配線用 FPG A 16 は、動的再構成可能 FPG A 11 とバッファ 18 との間に適切な配線回路を確立することで、第 1 の論理ブロック 31 と外部 I/O 34 とを接続するための信号経路 I/O1 及び I/O2 を介しての適切なデータ転送を実現する。ここで外部 I/O 34 は、図 2 に示す外部クロックに同期して、内部クロックの 6 分の 1 の速度で動作している。従って、異なるクロック速度間の信号転送を実現するために、バッファ 18 を

10

20

30

40

50

設けて外部 I / O とやり取りする値を保持している。

【0040】

以下に、本発明による論理検証装置の第2の実施例について説明する。

【0041】

図6において、(a)はチップ外部にコンフィギュレーションデータを備えた動的再構成可能FPGAを示し、(b)はチップ内部にコンフィギュレーションデータを備えた動的再構成可能FPGAを示す。

【0042】

(a)において、論理ブロック47は動的再構成可能FPGA41上に実現されるが、コンフィギュレーションメモリ43乃至45とセレクト回路46とは、動的再構成可能FPGA41の外部にそれぞれ独立した装置として実現される。それに対して(b)に示すチップ内部にコンフィギュレーションデータを備えた動的再構成可能FPGAにおいては、コンフィギュレーションメモリ48乃至50、セレクト回路51、及び論理ブロック52は、全て動的再構成可能FPGA42内部に実現される。この場合、論理構成が再構成されるのは論理ブロック52の部分のみであり、コンフィギュレーションメモリ48乃至50及びセレクト回路51に対応するFPGA部分は所定の配線に固定されている。

10

【0043】

図1に示す第1の実施例では、動的再構成可能FPGA11には検証対象回路の論理ブロックの論理11aのみを実現している。それに対して、図6(b)に示す構成のように、検証対象回路以外の論理構成についても動的再構成可能FPGAに実現することが考えら

20

れる。

【0044】

図7は、本発明による論理検証装置の第2の実施例の構成の一例を示す構成図である。

【0045】

図7の論理検証装置10Aは、動的再構成可能FPGA60、コンフィギュレーションメモリ12-1乃至12-3、回路状態メモリ13-1乃至13-3、セレクト回路14、セレクト回路15、配線用回路16、記憶装置17、バッファ18、及び制御回路19を含む。制御回路19が、各メモリ及び各回路に対して制御信号を供給し、各メモリ及び各回路の動作を制御する。図7において、図1と具体的なハードウェアとしての実現手段はことなっても論理構成で実現されるものは同一の記号で参照されている。

30

【0046】

図7の論理検証装置10Aにおいては、動的再構成可能FPGA60に、論理検証装置10Aを構成する全ての回路を内蔵する構成となっている。これらの回路は、動的再構成可能FPGA60の内部ロジックを使用することで容易に実現することができる。このようにして、第2の実施例2においては、1つの動的再構成可能FPGAチップにより論理検証機能を実現する。

【0047】

なお図7では、論理検証装置10Aを構成する全ての回路を動的再構成可能FPGAに内蔵する構成としたが、特定の回路のみをFPGAに内蔵してそれ以外の回路は独立した装置として設けてもよい。例えば、コンフィギュレーションメモリや回路状態メモリとして容量が大きいものが必要となる場合には、専用のメモリ装置を使用したほうが、FPGAの一部をメモリとして使用するよりも効率が良い。

40

【0048】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【発明の効果】

本発明による論理検証装置においては、動的に再構成可能なFPGAに対して複数のコンフィギュレーションデータを順次選択して書き込む一連の動作を複数サイクル繰り返すと共に、コンフィギュレーションデータによってFPGA上に実現される論理を順次入れ替える。これにより、検証対象回路を複数の論理ブロックに分割してそれぞれのコンフィギ

50



ュレーションデータを用意しておけば、検証対象回路の回路規模がFPGAの再構成領域の規模よりも大きい場合であっても、各論理ブロックを逐次的に実行することにより、検証対象回路全体の論理を実現することができる。

【0049】

またFPGA上に実現された回路の回路状態を回路状態メモリに格納しておくことで、FPGA上で順次回路を入れ替えて逐次的に実現する場合に、動作中断した回路の回路状態を次回再開するときに復元してその回路状態から再開することができる。

【0050】

また、複数の論理ブロックが逐次的に1つずつ実現される状態において各論理ブロック間で時間を越えて信号伝送するために、記憶装置が信号値を記憶することで異なる時刻間の仲介をし、更に自由に構成可能な配線用回路を用いることによって、異なる論理ブロックに対して随時適切な信号経路を提供することができる。

10

【図面の簡単な説明】

【図1】本発明による論理検証装置の第1の実施例の構成の一例を示す構成図である。

【図2】動的再構成可能FPGAにより複数の論理ブロックを実現する動作を示すタイミングチャートである。

【図3】動的再構成可能FPGAと回路状態メモリとの間で回路状態をロード・セーブする動作を説明するための図である。

【図4】検証対象回路の論理ブロック分割を模式的に示す図である。

【図5】図1に示される配線用回路、記憶装置、及びバッファの具体的な構成を示す図である。

20

【図6】(a)はチップ外部にコンフィギュレーションデータを備えた動的再構成可能FPGAを示し、(b)はチップ内部にコンフィギュレーションデータを備えた動的再構成可能FPGAを示す図である。

【図7】本発明による論理検証装置の第2の実施例の構成の一例を示す構成図である。

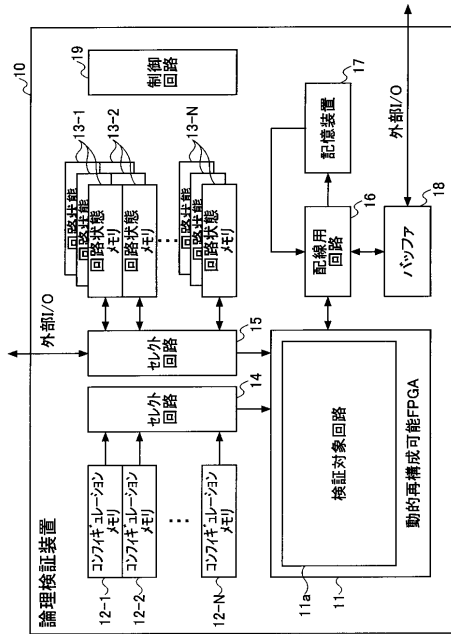
【符号の説明】

- 1 1 動的再構成可能FPGA
- 1 2 - 1 ~ 1 2 - N コンフィギュレーションメモリ
- 1 3 - 1 ~ 1 3 - N 回路状態メモリ
- 1 4 セレクト回路
- 1 5 セレクト回路
- 1 6 配線用回路
- 1 7 記憶装置
- 1 8 バッファ
- 1 9 制御回路

30

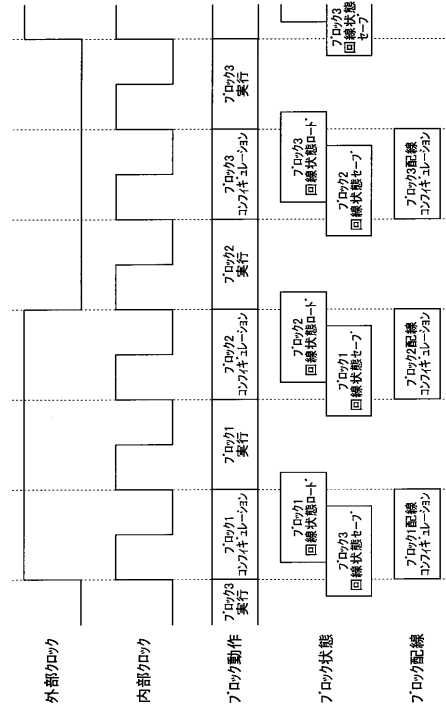
【 図 1 】

本発明による論理検証装置の第1の実施例の構成の一例を示す構成図



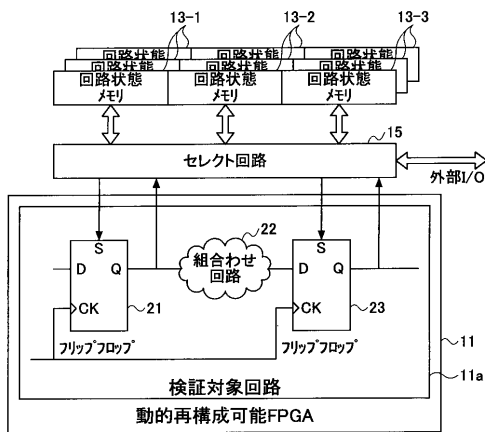
【 図 2 】

動的再構成可能FPGAにより複数の論理ブロックを実現する動作を示すタイミングチャート



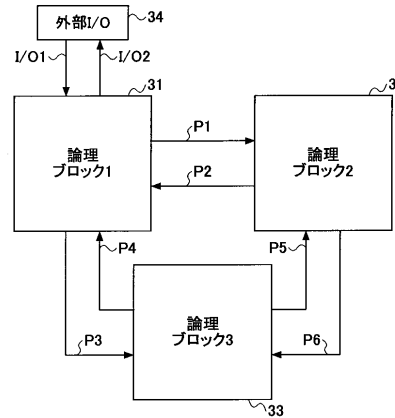
【 図 3 】

動的再構成可能FPGAと回路状態メモリとの間で回路状態をロード・セーブする動作を説明するための図



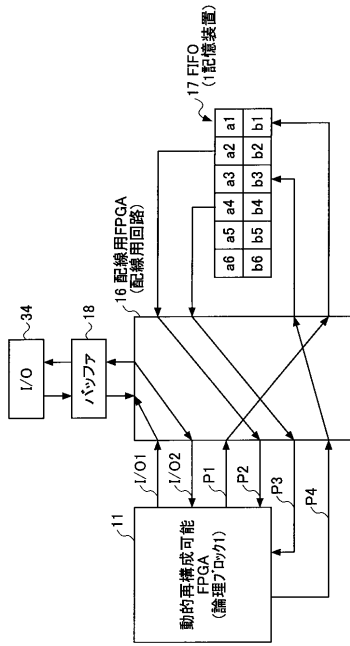
【 図 4 】

検証対象回路の論理ブロック分割を模式的に示す図



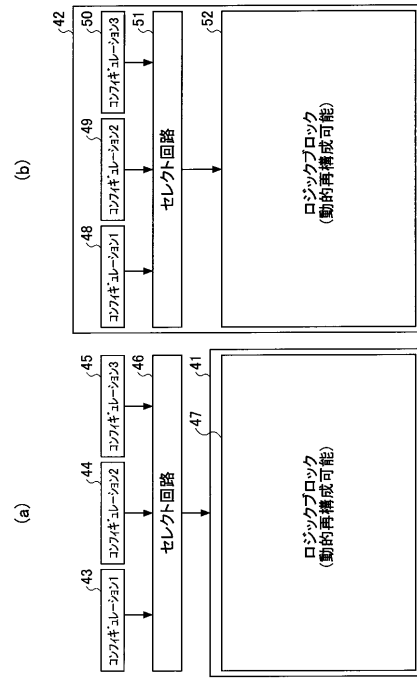
【 図 5 】

図1に示される配線用回路、記憶装置、及びバッファの具体的な構成を示す図



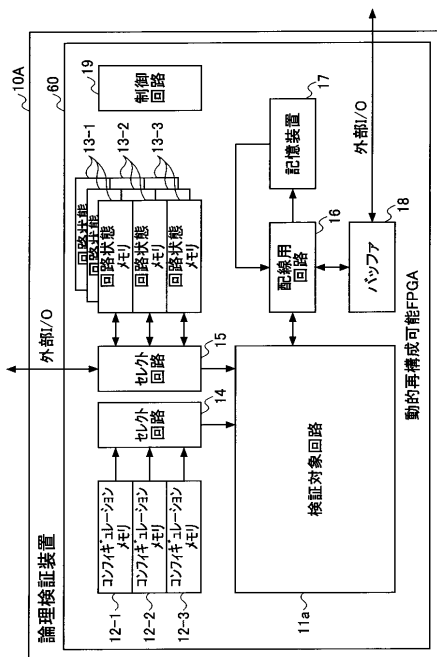
【 図 6 】

(a) はチップ外部にコンフィギュレーションデータを備えた動的再構成可能FPGAを示す図  
 (b) はチップ内部にコンフィギュレーションデータを備えた動的再構成可能FPGAを示す図



【 図 7 】

本発明による論理検証装置の第2の実施例の構成の一例を示す構成図



---

フロントページの続き

(51) Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

G 0 6 F 17/50 6 6 4 P

Fターム(参考) 5B048 AA20 CC13

5F064 AA08 BB02 BB19 FF04 FF36 FF52 HH10

5J042 BA01 BA11 DA05