

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5092008号  
(P5092008)

(45) 発行日 平成24年12月5日(2012.12.5)

(24) 登録日 平成24年9月21日(2012.9.21)

(51) Int.Cl. F I  
**G 1 1 C 13/00 (2006.01)**  
 G 1 1 C 13/00 1 5 0  
 G 1 1 C 13/00 1 4 0  
 G 1 1 C 13/00 1 1 0 P

請求項の数 4 (全 23 頁)

|            |                                     |           |  |
|------------|-------------------------------------|-----------|--|
| (21) 出願番号  | 特願2010-262525 (P2010-262525)        | (73) 特許権者 | 302062931  |
| (22) 出願日   | 平成22年11月25日(2010.11.25)             |           | ルネサスエレクトロニクス株式会社   |
| (62) 分割の表示 | 特願2007-536363 (P2007-536363)<br>の分割 |           | 神奈川県川崎市中原区下沼部1753番地  |
| 原出願日       | 平成17年9月21日(2005.9.21)               | (74) 代理人  | 100080001<br>弁理士 筒井 大和                                     |
| (65) 公開番号  | 特開2011-81899 (P2011-81899A)         | (72) 発明者  | 長田 健一<br>東京都国分寺市東恋ヶ窪一丁目280番地<br>株式会社日立製作所 中央研究所内           |
| (43) 公開日   | 平成23年4月21日(2011.4.21)               | (72) 発明者  | 北井 直樹<br>東京都小平市上水本町五丁目22番1号<br>株式会社日立超エル・エス・アイ・システムズ内      |
| 審査請求日      | 平成22年11月25日(2010.11.25)             | (72) 発明者  | 河原 尊之<br>東京都国分寺市東恋ヶ窪一丁目280番地<br>株式会社日立製作所 中央研究所内<br>最終頁に続く |

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1方向に延在する複数のワード線と、前記複数のワード線と交差する第2方向に延在する複数のビット線と、前記複数のワード線と前記複数のビット線の交点に配置される複数のメモリセルとを含むメモリセルアレイと、

前記複数のワード線に接続される複数のワードドライバ回路と、  
前記複数のビット線に接続される複数の読み出し回路および複数の書き込み回路とを備え、

前記複数のメモリセルの夫々は、  
前記複数のワード線のうち対応する1本に接続される第1ノードと、  
前記複数のビット線のうち対応する1本に接続される第2ノードと、  
前記第2ノードに対応して設けられる第3ノードと、  
セット動作によって低抵抗となる結晶状態が形成され、リセット動作によって高抵抗となるアモルファス状態が形成される記憶素子と、

前記第1ノードの制御を受けて、前記第2ノードから前記記憶素子を経て前記第3ノードに至るまでの電流経路を形成するスイッチ素子とを有し、

前記リセット動作後には、判定基準レベルが供給される前記読み出し回路を用い、前記記憶素子から生成したレベルと前記判定基準レベルとを比較することで、前記記憶素子の抵抗値を判定するペリファイ動作が行われ、前記判定基準レベルを、外気の温度に応じて変化させることを特徴とする半導体装置。

## 【請求項 2】

請求項 1 記載の半導体装置において、  
 前記セット動作時には、はじめに前記記憶素子に第 1 パルスが入力され、その後連続して第 2 パルスが入力され、  
 前記リセット動作時には、前記記憶素子に第 3 パルスが入力され、  
 前記リセット動作時の第 3 パルスを、外気の温度によらず一定とし、前記セット動作時の第 2 パルスの大きさと前記判定基準レベルとを、外気の温度に応じて変化させることを特徴とする半導体装置。

## 【請求項 3】

請求項 1 記載の半導体装置において、  
 前記読み出し回路は、読み出し動作時および前記ベリファイ動作時に、前記ビット線に対して電圧を供給し、その後、一定時間経過後の前記ビット線の電圧を前記判定基準レベルとなる判定基準電圧と比較する方式となっており、  
 前記ベリファイ動作時の判定基準電圧を外気の温度に応じて変化させ、  
 前記読み出し動作時の判定基準電圧を外気の温度によらず一定とすることを特徴とする半導体装置。

10

## 【請求項 4】

請求項 3 記載の半導体装置において、  
 前記読み出し動作時および前記ベリファイ動作時に前記ビット線に対して供給する電圧を、外気の温度に応じて変化させることを特徴とする半導体装置。

20

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置に関し、特にオンチップメモリを有するシステム L S I (マイクロコンピュータ等) や単体の不揮発メモリといった半導体装置に関するものである。

## 【背景技術】

## 【0002】

高速で高集積な不揮発性メモリを目指して、相変化メモリの開発が進められている。相変化メモリについては、非特許文献 1 や特許文献 1、2 で述べられている。

## 【0003】

例えば非特許文献 1 に示されるように、相変化メモリでは、カルコゲナイド材料と呼ばれる相変化素子が状態により抵抗が異なることを利用して情報を記憶する。相変化素子の書き換えは、相変化素子に電流を流して発熱させることで行われる。このような書き換え動作には、リセット ( R E S E T ) 動作と呼ばれるものと、セット ( S E T ) 動作と呼ばれるものが存在する。リセット動作は、相変化素子を比較的高温に保つことで高抵抗状態 ( アモルファス状態 ) にする動作である。セット動作は、相変化素子を十分な期間で比較的低温に保つことにより低抵抗状態 ( 結晶状態 ) にする動作である。なお、相変化素子の読み出しは、相変化素子の状態を変化させない範囲で電流を流し、その高抵抗 / 低抵抗を識別することで行われる。

30

## 【0004】

また、特許文献 1 では、はじめに相変化素子を比較的高温に保ち、その後、段階的に比較的低温な状態に下げることによりセット動作を行なう方法が記載されている。また、特許文献 2 では、外気温度によって書き込み条件および読み出し条件を変える方法が記載されている。この特許文献 2 では、必要なセット電流やリセット電流が外気温度によって変化するため、セット電流を最大値に固定すると、外気温度によってはセット電流によって誤動作のリセットが行われ、動作マージンがなくなることが指摘されている。また、リセット電流を最大値に固定すると、外気温度によってはオーバーリセットが生じることが指摘されている。さらに、リセット状態の抵抗値が外気温度によって変化するため、読み出し判定時の動作マージンがなくなることが指摘されている。

40

## 【0005】

50

そこで、これらを解決するため、メモリセル材料と同じカルコゲナイド抵抗を用いて温度センサを構成し、これによって、温度補正を行う手段が示されている。すなわち、この手段では、メモリアレイの近くに置かれた温度センサによってメモリセルの温度変化を検出し、これを反映した基準電圧を生成し、この基準電圧を用いて温度に依存する（逆比例する）セット電流、リセット電流および読み出し判定電流を生成している。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許第6487113号明細書

【特許文献2】米国特許出願公開第2004/0151023号明細書

10

【非特許文献】

【0007】

【非特許文献1】「2002年・アイ・イー・イー・イー、インターナショナル・ソリッドステート・サーキット・コンファレンス、ダイジェスト・オブ・テクニカル・ペーパーズ(2002 IEEE International Solid-State Circuits Conference, Digest of Technical Papers)」、p. 202 - 203

【発明の概要】

【発明が解決しようとする課題】

【0008】

ところで、前記のような相変化メモリの書き込み技術について本発明者等が検討した結果、以下のようなことが明らかとなった。

20

【0009】

まず、本発明者等は、本願に先立って相変化素子の特性評価を行った結果、素子等のばらつきを考えた場合、温度補正だけでは動作マージンを確保できないことを見出した。そこで、はじめに相変化素子を比較的高温に保ちその後比較的低温に保つことによりセット動作を行う方法を検討し、外気の温度を変えて相変化素子の特性評価を行った。

【0010】

この結果、相変化素子を比較的高温に保つ条件は、ほぼリセット時と同一書き込み条件で問題なく、印加する電流も外気の影響をほとんど受けず、動作マージンが広がることを見出した。しかしながら、比較的低温に保つ時に、外気温度によって最適な電圧・電流条件が変わることが判明した。そこで、この時に着目して温度補正を行うと動作マージンを広げることが可能となる。

30

【0011】

一方、温度補正を行う方式としては、例えば、特許文献2に示されるような、相変化素子を温度センサとして利用した方式が考えられる。そうすると、相変化素子は、温度に依存して抵抗値が変化することが要求されるため、アモルファス状態であることが望ましい。しかしながら、この状態は安定した状態ではないため、時間の経過と共に温度センサ自体の特性が変化し、この誤差によって動作マージンが低下する可能性が懸念される。

【0012】

本発明は、このような問題等を鑑みてなされたものである。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

40

【課題を解決するための手段】

【0013】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0014】

本発明による半導体装置は、セット動作により結晶状態となり、リセット動作によりアモルファス状態となる記憶素子と、この記憶素子に対してセット動作、リセット動作および読み出し動作を行うための各種入出力回路を有するものとなっている。そして、セット動作時に、記憶素子に対して第1パルスを印加後、連続して第2パルスを印加し、この第

50

2パルスを外気の温度に依存して変化させるものとなっている。この2段階パルスを用いることで、セット動作に伴う書き込み電流値（電圧値）とリセット動作に伴う書き込み電流値（電圧値）の差となる動作マージンが向上し、更に、この動作マージンの温度依存に伴う低下を、第2パルスに温度補正を加えることで抑制することが可能となる。

【0015】

なお、リセット動作に対しては、温度依存性が動作マージンに及ぼす影響が小さく、このような温度補正を加えない方が望ましい。これによって、MOSトランジスタの耐压確保や回路面積の低減などの点でメリットが得られる。

【0016】

また、前述したような構成は、より具体的には、第1および第2パルスを電圧パルスとした場合、第2パルスの電圧値が温度に対して負の温度特性を備えるものとなっている。また、電圧パルスの代わりに電流パルスを用いた場合も同様である。更に、第2パルスの電圧値を変化させる代わりに、パルス幅を変化させたり、または第1パルスの立ち上がり速度（傾き）を変化させることも可能である。

【0017】

ここで、例えば電圧パルスの電圧値を変化させる方式とした場合、この電圧値を生成する回路は、温度依存性を備えた抵抗素子などを利用した方式ではなく、MOSトランジスタの温度特性を利用した方式などとした方がよい。これによって、温度に依存した電圧値を、高精度で経時的にも安定して供給することが可能となる。

【0018】

また、本発明による半導体装置は、前述したようなセット動作、リセット動作および読み出し動作を備えた構成に対して、更にペリファイ動作を備えたものとなっている。このペリファイ動作は、リセット動作後に行われ、リセット動作に伴う記憶素子の抵抗値を判定するために行われる。このペリファイ動作は、例えば、記憶素子に電圧や電流を印加するなど記憶素子の抵抗値に応じた電圧レベルや電流レベルを得て、このレベルと判定基準レベルとを比較することで行われる。ここで、本発明においては、この判定基準レベルに対して、前述したような温度補正を加える。

【0019】

すなわち、リセット動作に伴う記憶素子の抵抗値は、温度依存性を備えているため、前述したような温度補正を備えたペリファイ動作を行うことで、各温度毎に異なる抵抗値を判定基準とすることが可能となる。これによって、リセット時の記憶素子の抵抗値が、リセットとして規定する抵抗値を、いかなる温度においても下回らないように制御できるため、リセット動作に伴う動作マージンが向上する。

【0020】

一方、読み出し動作は、このペリファイ動作と同様にして行われるが、この読み出し動作における判定基準レベルには、温度補正を加えない方が望ましい。すなわち、リセット時の記憶素子の抵抗値は、時間と共に変化（低下）する可能性があると考えられるため、リセット側を判定する際の判定動作マージンを大きく確保しておくことが望ましい。読み出し動作における判定基準レベルを温度によらず一定にすると、この判定動作マージンの確保が実現可能となる。

【発明の効果】

【0021】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、相変化素子に対する動作マージンを向上させることが可能となる。

【図面の簡単な説明】

【0022】

【図1】本発明の一実施の形態による半導体装置において、そのメモリアレイの構成の一例を示す概略図である。

【図2】図1の半導体装置において、そのメモリアレイの構成の一例を示す回路図であり、(a)、(b)は、それぞれ異なる構成例を示すものである。

10

20

30

40

50

【図3】図2の記憶素子に対する書き込み動作方式の一例を説明する波形図である。

【図4】図1の半導体装置において、その動作の一例を示す波形図である。

【図5】図1の半導体装置で用いる各種電圧の生成回路の一例を示す回路図である。

【図6】図5の回路例において、その制御信号の生成回路の一例を示す回路図である。

【図7】図5で使用されるトランジスタの特性を示す図である。

【図8】図5の電源回路で生成される電圧を示す図である。

【図9】本発明の一実施の形態による半導体装置において、外気温度に依存して徐冷モードを制御する際の各種方式を示すものであり、(a)~(e)は、それぞれ異なる方式での動作波形の一例を示す波形図である。

【図10】本発明の一実施の形態による半導体装置において、記憶素子の各状態での抵抗値と、その温度特性の一例を示すグラフである。

10

【図11】本発明の一実施の形態による半導体装置において、そのメモリアレイ構成の他の一例を示す概略図である。

【図12】図11の半導体装置において、その動作の一例を示す波形図である。

【図13】図11の半導体装置で用いる各種電圧の生成回路の一例を示す回路図である。

【図14】図13の電源回路において、その各基準電圧発生回路の構成の一例を示す回路図である。

【図15】図14で使用されるトランジスタの特性を示す図である。

【図16】図13の電源回路で生成される電圧を示す図である。

【図17】図11の半導体装置において、その読み出し動作マージンについての説明図である。

20

【図18】本発明の一実施の形態の半導体装置をシステムLSI(SOC)に適用した場合の一例を示す配置図である。

【図19】図9(a)の動作波形を実現するメモリアレイの構成の一例を示す概略図である。

【図20】図9(b)の動作波形を実現するメモリアレイの構成の一例を示す概略図である。

【図21】図9(c)の動作波形を実現するメモリアレイの構成の一例を示す概略図である。

【図22】図9(e)の動作波形を実現するメモリアレイの構成の一例を示す概略図である。

30

【発明を実施するための形態】

【0023】

以下、本発明に係わる半導体装置の好適ないくつかの事例につき、図面を用いて説明する。実施の形態の各機能ブロックを構成する回路素子は、特に制限がないが、公知のCMOS(相補型MOSトランジスタ)等の集積回路技術によって、単結晶シリコンのような一つの半導体基板上に形成される。また、図面において、PMOSトランジスタにはゲートに丸印の記号を付すことで、NMOSトランジスタと区別することとする。なお、図面において、MOSトランジスタの基板電位の接続は特に明記しないが、MOSトランジスタが正常に動作可能な範囲であれば、その接続方法は特に限定しない。また、特に断りのない場合、信号のロウレベルを‘L’または‘0’、ハイレベルを‘H’または‘1’とする。

40

【0024】

<メモリアレイ構成>

図1は、本発明の一実施の形態による半導体装置において、そのメモリアレイの構成の一例を示す概略図である。図2は、図1の半導体装置において、そのメモリアレイの構成の一例を示す回路図であり、(a)、(b)は、それぞれ異なる構成例を示すものである。

図3は、図2の記憶素子に対する書き込み動作方式の一例を説明する波形図である。

【0025】

図1のメモリアレイARRAYは、マイクロコンピュータ等にオンチップメモリとして

50

搭載されるか、または、単体の不揮発メモリに搭載される。メモリセルアレイMEM\_\_ARYは、複数のワード線WLと複数のビット線BLより構成されており、ワード線WLとビット線BLの交点にメモリセルCELLが接続されている。各メモリセルCELLは、メモリセルCELL00で例示されているようにノードN1でワード線WLと、ノードN2でビット線BLと、ノードN3でソース線SL（ここでは接地電圧）と接続されている。

#### 【0026】

メモリセルCELLの夫々は、図2(a), (b)に示すように、Nチャンネル型MOSトランジスタMN00と記憶素子であるPCM00で構成されている。図2(a)は、記憶素子PCM00の一端がノードN3（接地電圧）に接続された構成となっており、図2(b)は、記憶素子PCM00の一端がノードN2（ビット線）に接続された構成となっている。

10

#### 【0027】

記憶素子PCM00は、たとえば相変化素子と呼ばれる素子であり、例えば、結晶状態では10k程度の低い抵抗で、アモルファス状態では100k以上の高い抵抗であることを特徴とする素子である。記憶素子PCM00は、記憶素子に加える温度でその状態を変化させることができる。具体的には図3に示すように、高い温度を記憶素子に加えて溶融させ、急冷するリセット動作(Reset)によってアモルファス状態となり、低い温度を比較的長時間加えるセット動作(Set)によって結晶状態となる(これを電流制御モードと呼ぶ)。一方、はじめに高い温度を記憶素子に加えて溶融させ、その後ゆっくりと冷却するセット動作によって結晶状態を形成することも可能である(これを徐冷モードと呼ぶことにする)。

20

#### 【0028】

電流制御モードでは、セット動作時に電流を流しすぎると誤リセットするのに対し、徐冷モードでは、セット動作、リセット動作とも一旦記憶素子を溶融させるため最大電流量をセット動作、リセット動作で変化させる必要はない。そのため、動作マージンが大きくなるという特徴がある。なお、素子に加える温度は、記憶素子PCM00に流す電流値、及び、電流を流す時間を変更することにより変えることができる。

#### 【0029】

Nチャンネル型MOSトランジスタMN00のゲート電極には、ノードN1を介してワード線WLが接続され、MN00は、WLの選択状態ではオン状態に、非選択状態ではオフ状態となるように制御される。また、本実施の形態のメモリセルは、記憶素子PCM00の抵抗値、言い換えれば、ビット線BLからソース線SLに流れる電流値の大小により情報を読み出す。従って、図2(a)に示すように相変化素子PCM00の一方の端子がノードN3を介して接地電圧に接続されても、図2(b)に示すようにPCM00の一方の端子がノードN2を介してビット線に接続されてもよい。本明細書では、特に言及しない限り、図2(b)に示されるメモリセルを用いる。

30

#### 【0030】

ワード線WLには、図1に示すように、ワードドライバ回路が接続されている。ワードドライバ回路は列状に並べられ、ワードドライバアレイWD\_\_ARYを形成する。デコーダ回路ADECには、X系アドレスXADDが入力され、ワードドライバ回路は、デコーダ回路ADECの出力により、ひとつのワード線WLを選択する。

40

#### 【0031】

ビット線BLには、読み出し用プリチャージ回路PCRが接続されている。読み出し用プリチャージ回路PCRは、行状に配置されプリチャージ回路アレイPC\_\_ARYを構成する。具体的には、例えば、プリチャージ回路PCR0は、Pチャンネル型MOSトランジスタMP20で構成されており、ドレイン電極にはビット線BL0が、ゲート電極にはプリチャージ信号PC0が、ソース電極には読み出し用電源電位線Vreadがそれぞれ接続される。また、読み出し用プリチャージ回路PCRは、一つおきにプリチャージ信号(PC0、PC1)に接続される。

50

## 【 0 0 3 2 】

ビット線 B L には、さらに、カラム選択回路 Y S が接続されている。カラム選択回路 Y S は、行状に配置されカラム選択回路アレイ Y S \_ A R Y を構成する。具体的には、例えば、カラム選択回路 Y S 0 は、Pチャネル型 M O S トランジスタ ( M P 3 0、M P 3 1 ) で構成されており、Pチャネル型 M O S トランジスタ M P 3 0 のドレイン電極にはビット線 B L 0 が、ゲート電極には制御信号 Y S R 0 が、ソース電極には読み出し用アンプ回路 R A M P 0 がそれぞれ接続される。また、Pチャネル型 M O S トランジスタ M P 3 1 のドレイン電極にはビット線 B L 0 が、ゲート電極には制御信号 Y S W 0 が、ソース電極には書き込み用アンプ回路 W A M P 0 がそれぞれ接続される。

## 【 0 0 3 3 】

カラム選択回路 Y S は、一つ置きに制御信号線 ( Y S R 0 または Y S R 1 と、Y S W 0 または Y S W 1 ) に接続される。従って、並列して読み出し、または書き込みされるビット線 B L は、一つ置きに制御される。即ち、読み出し動作又は書き込み動作を行っているメモリセルに隣接するメモリセルは、必ず非選択状態となる。これにより熱を発生するメモリセルは一つ置きとなり、熱が局所的に発生することを防止でき、半導体装置の安定動作の向上を図ることができる。なお、プリチャージ信号 P C および制御信号 Y S R、Y S W は、Y系アドレス Y A D D に基づいて制御回路 C N T L を介して生成される。

## 【 0 0 3 4 】

読み出し用アンプ回路 R A M P は、ビット線 B L のデータを増幅し、その増幅したデータをデータバス R D A T A へ出力する。書き込み用アンプ回路 W A M P は、データバス W D A T A を受け、ビット線 B L に適切な書き込み電圧を供給する。読み出し用アンプ回路 R A M P と書き込み用アンプ回路 W A M P は、行状に並べられアンプアレイ A M P \_ A R Y を形成する。書き込み用アンプ回路 W A M P 0 は、リセット用電圧 V r e s e t をビット線 B L に供給する Pチャネル型 M O S トランジスタ M P 4 0 と、セット用電圧 V s e t をビット線 B L に供給する Pチャネル型 M O S トランジスタ M P 4 1 と、Pチャネル型 M O S トランジスタ ( M P 4 0、M P 4 1 ) のゲート電極 ( C r e s e t、C s e t ) をデータバス W D A T A 0 の値に基づいて制御する制御回路 W C O N より構成される。

## 【 0 0 3 5 】

## &lt; 動作方式 &gt;

図 4 は、図 1 の半導体装置において、その動作の一例を示す波形図である。図 4 においては、ビット線 B L 0 の電圧を見やすいように拡大して示してある。ここでは、メモリセル C E L L 0 0 にデータ ' 1 ' を書き込み、その後読み出しを行い、さらにデータ ' 0 ' を書き込み、読み出す場合を例として説明する。データ ' 1 ' とは、相変化素子をリセットし、抵抗値を 1 0 0 k ~ 1 M とすることである。データ ' 0 ' とは相変化素子をセットし、抵抗値を 1 k ~ 1 0 k とすることである。

## 【 0 0 3 6 】

まず、データ ' 1 ' の書き込みに伴うリセット動作 R E S E T において、アドレス A D D と書き込みデータ W D A T A 0 が入力される。アドレス A D D は、デコーダ回路 A D E C に入力される X系アドレス X A D D と、制御回路 C N T L に入力される Y系アドレス Y A D D に分かれている。X系アドレスはデコーダ回路 A D E C でデコードされ、選択された 1 つのワード線 W L が、' L ' から ' H ' に遷移する。ここでは、ワード線 W L 0 が選択されるものとする。Y系アドレス Y A D D は、制御回路 C N T L でデコードされカラムを選択する信号 ( Y S W、Y S R ) となる。ここでは、書き込み制御信号 Y S W 0 が選択されるものとし、Y S W 0 が ' H ' から ' L ' に遷移する。

## 【 0 0 3 7 】

書き込みデータ W D A T A 0 は、書き込み用アンプ回路 W A M P 0 に入力され、W A M P 0 は、W D A T A 0 が ' 0 ' か ' 1 ' かに応じて対応する電圧をビット線 B L 0 に供給する。データ ' 1 ' を書き込む場合は、M P 4 0 がオンとなり、ビット線 B L 0 に電圧 V r e s e t が供給される。記憶素子 P C M をリセットするのに十分な期間 ( T r e s e t ) で電圧 V r e s e t を印加した後、ワード線 W L 0 をオフし書き込み動作を終了する。

10

20

30

40

50

以上の動作により素子は溶融後急冷されアモルファス化する。

【0038】

続いて、メモリセルCELL00からの読み出し動作READにおいて、アドレスADDによりワード線WL0と制御信号YSR0が選択される。なお、ワード線WL0が選択される前に、プリチャージ制御信号PC0を‘H’から‘L’にし、予めビット線BL0を読み出し用電圧Vreadにプリチャージしておく。Vreadは、記憶素子を破壊せずに読み出しを行なえる電圧であるため、通常はVsetより小さい値である。

【0039】

その後、制御信号PC0を‘L’から‘H’にして、ビット線BL0の電荷をメモリセルCELL00を介してソース線SL（ここでは接地電圧）へ放電させる。ここでは、メモリセルCELL00の記憶素子PCMがリセット状態で、その抵抗が例えば100k ~ 1M と高いため、ビット線BL0の電圧はほとんど変化しない。読み出し用アンプ回路RAMPは、この電圧を増幅し、データバスRDAT0に‘1’を出力する。

10

【0040】

続いて、セット動作SETにおいて、アドレスADDと書き込みデータWDAT0が入力され、ワード線WL0と制御信号YSW0が選択される。ここで、データ‘0’を書き込むため、書き込み用アンプ回路WAMP0が、まず、ビット線BL0に電圧Vresetを供給する。Vresetは記憶素子を溶融させる必要があるため、通常は電圧Vsetより高い電圧である。記憶素子が溶融される十分な期間(Treset)で電圧を印加した後、今度はビット線BL0にVsetを供給する。溶融した記憶素子は、このVsetの電圧によりゆっくりと冷却され結晶化する。結晶化に最適な温度は素子の特性によって異なるが例えば300 程度である。

20

【0041】

ここで、記憶素子の温度は、自身で発生する電力と外気の温度に依存する。例えば外気温度が150 の時には結晶化温度との差が150 となるが、外気温度が-50 の時は差が350 となり、温度差は倍以上となる。従って、結晶化温度にするために必要な電力は倍以上違うことになる。このため、外気温度が高い(TH)ときにはVsetを室温の時(TR)の時のVsetより低くし、外気温度が低い(TL)ときにはVsetを高くすることにより、結晶化に最適な温度を維持する。記憶素子が結晶化される十分な時間(Tset)で電圧Vsetを印加した後、ワード線WL0をオフし書き込み動作を終了する。

30

【0042】

なお、Vresetは、素子を溶融させるための電圧であり、外気温度に比べて溶融温度は非常に高く例えば600 であるので、Vsetのように外気温度に依存して電圧を変える必要はない。また、Vresetは、通常高い電圧となるため、例えば従来技術の特許文献2のようにこの電圧を温度に依存して変動させると、逆にMOSトランジスタの耐圧を強化する必要性などが生じる恐れがある。したがって、Vresetには、温度補正を設けない方が望ましい。

【0043】

続いて、メモリセルCELL00からの読み出し動作READにおいて、アドレスADDによりワード線WL0と制御信号YSR0が選択される。なお、ワード線WL0が選択される前に、プリチャージ制御信号PC0を‘H’から‘L’にすることで、予めビット線BL0を読み出し用電圧Vreadにプリチャージしておく。その後、制御信号PC0を‘L’から‘H’にし、ビット線BL0の電荷をメモリセルCELL00を介して接地電圧へ放電させる。ここでは、メモリセルCELL00の記憶素子がセット状態で、その抵抗が例えば10k ~ 1k と低いため、ビット線BL0の電圧は低下する。読み出し用アンプ回路RAMP0は、この電圧を増幅し、データバスRDAT0に‘0’を出力する。

40

【0044】

なお、図4において、例えば、Vresetは1.5V、Vsetは1.0V、Vre

50

adは0.5Vである。ただしVsetは、外気の温度により電圧を変動させる。また、動作マージンを大きく拡大する為には、図4のような徐冷モードのセット動作に対して前述したような温度補正を適用することが望ましいが、はじめから比較的低温にする図2の電流制御モードのようなセット動作を用いて、これに対して温度補正を適用してもある程度の効果は得られる。

#### 【0045】

##### <電源回路方式>

図5は、図1の半導体装置で用いる各種電圧の生成回路の一例を示す回路図である。本実施の形態では、電圧は $VDD > Vreset > Vset > Vread$ の大小関係がある。ここでは、電源電圧VDDからリセット電圧Vresetおよびセット電圧Vsetを生成する電源回路について詳述する。

10

#### 【0046】

電源回路VGENは、例えば、リセット電源回路REG\_RESET、セット電源回路REG\_SET、リセット基準電圧発生回路VRESET\_REF、セット基準電圧発生回路VSET\_REFより構成される。リセット用電源回路REG\_RESETは、比較器CMP0とPチャンネル型MOSトランジスタMP52で構成される。そして、リセット基準電圧Vreset\_refとリセット電圧Vresetを比較器CMP0で比較し、この結果に基づいて、Pチャンネル型MOSトランジスタMP52のゲート電極をコントロールすることにより安定したリセット電圧Vresetを供給する。セット用電源回路REG\_SETも同様に、セット基準電圧Vset\_refとセット電圧Vsetを比較器CMP1で比較し、この結果に基づいて、Pチャンネル型MOSトランジスタMP54のゲート電極をコントロールすることにより安定したセット電圧Vsetを供給する。

20

#### 【0047】

リセット基準電圧発生回路VRESET\_REFは、温度によらず一定の電流I1を供給するNチャンネル型MOSトランジスタ(MN53、MN54、MN55)およびPチャンネル型MOSトランジスタMP51と、電圧を発生させるNチャンネル型MOSトランジスタ(MN50、MN51、MN52)およびディプリーションMOSトランジスタ(DM10、DM11、DM12)より構成される。ここで、Nチャンネル型MOSトランジスタとディプリーションMOSトランジスタのドレイン電流のゲート電圧依存性を図7に示す。

30

#### 【0048】

ディプリーションMOSトランジスタDMOSは、しきい値がNチャンネル型MOSトランジスタNMOSより低く設定されており、電流I1が流れるときのゲート電圧の差がVr1となっている。この特性を利用して、図5のVRESET\_REFは、このVr1を3倍にする回路となっており、Vreset\_refにはVr1の3倍の電圧が出力される。なお、Nチャンネル型MOSトランジスタ(MN53、MN54、MN55)のゲート電極には電流I1が流れるように制御する信号VNI1が、Pチャンネル型MOSトランジスタMP51のゲート電極には電流I1が流れるように制御する信号VPI1がそれぞれ接続されている。

#### 【0049】

セット基準電圧発生回路VSET\_REFは、VRESET\_REFとほぼ同様の回路構成であるが、Nチャンネル型MOSトランジスタ(MN58、MN59)およびPチャンネル型MOSトランジスタMP53は、温度特性を備えた電流I2を供給するようにそれぞれ制御信号(VNI2、VPI2)により制御される。電流I2は、図7に示すように、高温(TH)で、低温(TL)のときより大きな値となるように設定される。高温(TH)で電流I2がNチャンネル型MOSトランジスタとディプリーションMOSトランジスタとに流れるときのゲート電極の電位差はVr2であるが、低温(TL)の時にはVr1と大きな値となる。この結果、セット基準電圧Vset\_refには、低温(TL)ではVr1の2倍の電圧が出力され、高温(TH)ではVr2の2倍の電圧が出力される。

40

#### 【0050】

50

図6は、図5の回路例において、その制御信号(VNI1、VPI1、VNI2、VPI2)の生成回路の一例を示す回路図である。Nチャンネル型MOSトランジスタMN60は、電流I2が流れるようにゲート長やゲート幅が設定され、ディプリーションMOSトランジスタDM15は、電流I1が流れるようにゲート長やゲート幅が設定される。ここで、I2はオフ電流が主な成分であり、I1はオン電流が主な成分となっている。このため、I2は温度依存性が大きく(正の温度特性を備え)、I1は温度依存性が小さい。

【0051】

そして、図5の回路に対して、このような電流I1を流すための制御信号(ゲート電圧)VNI1およびVPI1が、図6のNチャンネル型MOSトランジスタMN63およびPチャンネル型MOSトランジスタMP63によって生成される。同様に、電流I2を流すための制御信号(ゲート電圧)VNI2およびVPI2が、図6のNチャンネル型MOSトランジスタMN61およびPチャンネル型MOSトランジスタMP61によって生成される。

【0052】

以上のような回路構成により、図8に示すようにVresetは温度に依存せず一定となり、Vsetは高温で小さい値となる。なお、本実施の形態では、安定したVresetを供給するためリセット用電源回路REG\_RESETを設けているが、Vresetは温度補正を行なう必要がないため、電源電圧VDDを使用することも可能である。これによって、Vresetの生成回路が必要なく、回路面積を低減できる。また、Vresetは、Vsetのように温度に依存する高精度な電圧調整を特に必要としないため、例えばバンドギャップリファレンス回路のような一般的な回路で基準電圧を生成してもよい。

【0053】

また、Vsetに関しては、図5および図6で説明したようにMOSトランジスタの特性を利用して温度特性を備えた基準電圧Vset\_ref(およびセット電圧Vset)を生成する方式となっている。この方式を用いると、経時変化による誤差がなく、温度依存性を備えた高精度な電圧を常に安定して生成することが可能となる。そして、これによって、セット動作とリセット動作間の書き込み動作マージンを常に安定して確保できる。一方、例えば従来技術の特許文献2のような相変化素子の抵抗値を利用した方式では、抵抗値に温度依存性が必要なことから、後述する図10に示すようにアモルファス状態(リセット状態)の相変化素子を用いる必要がある。しかしながら、この状態は、時間の経過と共に結晶状態に近づくことが予想され、経時変化によって精度が低下し、動作マージンが低下する恐れがある。

【0054】

<その他の実施の形態>

図1の構成例では、徐冷モードのセット動作を用いて動作マージンの拡大を実現するため、図4に示したように、はじめにVresetを印加後にVsetを印加し、このVsetに温度補正を加える方式を説明した。ここでは、同様に徐冷モードの動作マージンを拡大するための、図1等とは異なる方式について説明する。

【0055】

図9は、本発明の一実施の形態による半導体装置において、外気温度に依存して徐冷モードを制御する際の各種方式を示すものであり、(a)~(e)は、それぞれ異なる方式での動作波形の一例を示す波形図である。

【0056】

図9(a)は、ビット線BLの立ち下げ速度を制御する方式であり、外気温度が高温(TH)の時に比べ低温(TL)の時に立ち下げ速度を遅くすることにより結晶化中の温度を外気温度に依存せず一定とするように制御している。このような方式は、例えば図19に示すような構成を用いて実現できる。図19は、図9(a)の動作波形を実現するメモリアレイの構成の一例を示す概略図である。

【0057】

図19に示すメモリアレイARRAY9aは、その書き込み用アンプ回路WAMP0に

10

20

30

40

50

において、図1の構成と異なっている。図19の構成例では、例えば、初期のリセットによって印加したビット線BLの電圧（電流）を、その後、Pチャネル型MOSトランジスタMP99を介して接地電圧へ接続することで、徐々に低減可能な構成となっている。そして、このMP99のゲート電圧がVsetと同様の温度特性を備えた制御信号C\_Vsetによって制御される。これによって、図9(a)のように、高温（TH）になる程早くビット線BLの電圧（電流）が低減されることになる。

【0058】

図9(b)は、ワード線の電圧を制御する方式であり、外気温度が高温（TH）の時に比べ低温（TL）の時に電圧を高くすることにより結晶化中の温度を外気温度に依存せず一定とするように制御している。このような方式は、例えば図20に示すような構成を用いて実現できる。図20は、図9(b)の動作波形を実現するメモリアレイの構成の一例を示す概略図である。

10

【0059】

図20に示すメモリアレイARRAY9bは、そのワードドライバアレイWD\_ARRAYおよび書き込み用アンプ回路WAMP0において、図1の構成と異なっている。図20の構成例では、例えば、WAMP0内にVsetを印加するMOSトランジスタを備えずに、WD\_ARRAY内のワードドライバWD0が2段階の電圧を発生可能な構成となっている。すなわち、WD0において、初期のリセット段階のワード線WL0の電圧がPチャネル型MOSトランジスタMP100を介して印加され、その後2段階目のWL0の電圧がPチャネル型MOSトランジスタMP101を介して印加される。この際に、MP101のソース電圧は、Vsetと同様の温度特性を備えた電源電圧V\_Vsetとなっており、これによって、図9(b)のように高温になる程低い電圧が印加されることになる。

20

【0060】

図9(c)は、ソース線SLの電圧を制御する方式であり、外気温度が高温（TH）の時に比べ低温（TL）の時に電圧を低くすることにより結晶化中の温度を外気温度に依存せず一定とするように制御している。このような方式は、例えば図21に示すような構成を用いて実現できる。図21は、図9(c)の動作波形を実現するメモリアレイの構成の一例を示す概略図である。

【0061】

図21に示すメモリアレイARRAY9cは、そのワードドライバアレイWD\_ARRAYおよび書き込み用アンプ回路WAMP0において、図1の構成と異なっている。図21の構成例では、例えば、WAMP0内にVsetを印加するMOSトランジスタを備えずに、WD\_ARRAY内に、インバータ回路からなるワードドライバWD0とソースドライバSD0を備えた構成となっている。そして、このSD0は、図8等で述べたVsetと反対の温度特性を備えた電源電圧V\_IVsetをソース線SL0に出力する構成となっている。これによって、図9(c)のように高温になる程高い電圧がソース線SLが印加されることになる。

30

【0062】

図9(d)は素子に流す電流を制御する方式であり、外気温度が高温（TH）の時に比べ低温（TL）の時に制御信号Csetの電圧を低くすることによりビット線に流れる電流IBLを増やし、結晶化中の温度を外気温度に依存せず一定とするように制御している。このような方式は、例えば図1と同様な構成を用いて実現できる。すなわち、図1において、その制御信号Csetの電圧を、図8等で述べたVsetと反対の温度特性を備えた電圧とすればよい。

40

【0063】

図9(e)は、溶融時間を長くして、素子周辺を暖めることにより溶融した素子その余熱により結晶化させる方式であり、外気温度が高温（TH）の時に比べ低温（TL）の時にパルス幅を長くすることにより素子周辺を暖め、パルス印加後に結晶化中の温度を外気温度に依存せず一定とするように制御している。このような方式は、例えば図22に示すような構成を用いて実現できる。図22は、図9(e)の動作波形を実現するメモリア

50

レイの構成の一例を示す概略図である。

【0064】

図22に示すメモリアレイARRAY9eは、その書き込み用アンプ回路WAMP0において、図1の構成と異なっている。図22の構成例では、始めにPチャネル型MOSトランジスタMP40を介して印加したビット線BLの電圧(電流)を、その後、Pチャネル型MOSトランジスタMP99を介して接地電圧へ接続することで、急速に低減する構成となっている。そして、MP99のゲート電圧は、制御回路WCON内のインバータ回路INV100によって駆動される。更に、このINV100の入力が、Pチャネル型MOSトランジスタMP104によって入力され、このMP104のゲートが、Vsetと同様の温度特性を備えた制御電圧C2\_Vsetによって駆動される。これによって、INV100の入力には、正の温度特性を備えた‘H’信号が入力されるため、温度が高い程INV100の‘L’へのスイッチング速度が速くなる。したがって、図9(e)のように、温度が高い程、ビット線BLの電圧(電流)を早く低減させることが可能となる。

10

【0065】

<相変化素子抵抗の温度特性を考慮した読み出し方式>

図10は、本発明の一実施の形態による半導体装置において、記憶素子の各状態での抵抗値と、その温度特性の一例を示すグラフである。記憶素子となる相変化素子の抵抗値は、温度依存性を持っており、図10に示す例ではリセット状態での抵抗値が1桁/100の温度依存性を持っている。一方、セット状態での抵抗値は、ほとんど温度依存性を持たない。ここで、リセット抵抗の目標値を例えば100k以上、セット抵抗の目標値を10k以下とする。

20

【0066】

例えば、低温(TL)(例えば-20)でリセットの書き込みを行なった際、書き込みばらつきにより、ある素子の抵抗値が1M(R3)であり、別の素子の抵抗値が100k(R1)であったとする。いずれの場合でもリセット抵抗の目標値に達しているが、素子の温度特性のため、R1およびR3の素子は、高温(TH)(例えば95)の状態になると抵抗値が低下してしまう。そうすると、R3の素子は、100kに近いR4となるが、これは目標値の範囲内であるため問題は生じない。ところが、R1の素子は、100kより小さいR2となり、目標値の範囲から外れてしまう。

30

【0067】

この問題を解決するためには、いかなる温度でも抵抗がR3、つまり1Mより大きくなるように書き込みを行なえば良い。これにより、高温(TH)の時でも必ず100k以上となり目標を達成できる。しかし、高温(TH)で抵抗が1Mとした素子は低温(TL)では抵抗が10Mとなり、低温(TL)で1Mとする場合に比べてかなり過剰な書き込みをすることになる。

【0068】

そこで新たな方式を考案した。これは、低温(TL)では書き込む抵抗値の目標を1M以上とし、高温(TH)では100kとする方式である。この方式であれば、低温で書き込みを行った素子も、高温で100k以上となり目標の抵抗値となる。高温(TH)で書いた素子も低温(TL)時にさらに抵抗が上がるので100k以上となり目標の抵抗値となる。

40

【0069】

このような書き込みを実現するためには、書き込みができたかベリファイを行なうことが重要となる。ベリファイ時に高温(TH)の場合、抵抗が100k以上かをチェックし、低温(TL)の場合、抵抗が1M以上かをチェックする。目標に達していない場合は再度書き込み条件を変えて書き込む。これを実現するためのメモリアレイを図11に示す。

【0070】

図11は、本発明の一実施の形態による半導体装置において、そのメモリアレイ構成の他の一例を示す概略図である。図11に示すメモリアレイARRAY1は、図1に対して、

50

読み出し用アンプ回路 RAMP の一例を詳述した構成となっている。読み出し用アンプ回路 RAMP 0 は、センスアンプ回路 SA と P チャンネル型 MOS トランジスタ (MP 4 2 , MP 4 3 ) で構成されている。P チャンネル型 MOS トランジスタ MP 4 2 は、通常の読み出し時にセンスアンプ回路 SA にリファレンス電圧  $V_{ref}$  を供給するトランジスタであり制御信号 CR により制御される。P チャンネル型 MOS トランジスタ MP 4 3 は、ベリファイ時にセンスアンプ回路 SA にリファレンス電圧  $V_{ref\_verify}$  を供給するトランジスタであり制御信号 CV により制御される。センスアンプ活性化信号 SA\_EN は、センスアンプ回路 SA に接続される。

#### 【 0 0 7 1 】

< 動作方式 >

図 1 2 は、図 1 1 の半導体装置において、その動作の一例を示す波形図である。リセット動作およびセット動作は図 4 と同一動作のため、ベリファイ動作 VERIFY および読み出し動作 READ について詳細に説明する。図 1 2 では、メモリセル CELL 0 にデータ ' 1 ' を書き込み、その後ベリファイを行い、さらに通常の読み出しを行い、さらにデータ ' 0 ' を書き込み、通常の読み出しを行う場合について説明する。データ ' 1 ' とは相変化素子をリセットし抵抗値を  $100k \sim 1M$  とすることである。データ ' 0 ' とは相変化素子をセットし、抵抗値を  $1k \sim 10k$  とすることである。

#### 【 0 0 7 2 】

まず、アドレス ADD によりワード線 WL 0 と制御信号 YSW 0 が選択されてリセット動作が行われた後、同一のワード線 WL 0 と制御信号 YSR 0 が選択されてメモリセル CELL 0 に書かれた値がベリファイされる。このベリファイを行う際、ワード線 WL 0 が選択される前にプリチャージ制御信号 PC 0 を ' H ' から ' L ' にし、予めビット線 BL 0 を読み出し用電圧  $V_{read}$  にプリチャージしておく。その後、制御信号 PC 0 を ' L ' から ' H ' にし、ビット線 BL 0 の電荷をメモリセル CELL 0 を介して接地電圧へ放電させる。

#### 【 0 0 7 3 】

ここで、メモリセル CELL 0 の記憶素子は、リセット状態となっている。したがって、高温 (TH) の時には  $100k$  以上の抵抗であれば問題なく、この値を検出することができるリファレンス電圧  $V_{ref\_verify}(TH)$  がセンスアンプ回路 SA に供給され、アンプ活性化信号 SA\_EN によりセンスアンプ回路 SA が活性化される。図 1 2 に示すように、ビット線 BL 0 の電位がリファレンス電圧  $V_{ref\_verify}(TH)$  より高ければ、リセットは正しく行なわれていることになる。この場合、SA によって増幅したデータ ' 1 ' が RDATA 0 に出力され、この値によってベリファイが完了と判断される。

#### 【 0 0 7 4 】

一方、低温 (TL) の時には  $1M$  程度の抵抗であることが必要であり、リファレンス電圧として  $V_{ref\_verify}(TH)$  より高い  $V_{ref\_verify}(TL)$  がセンスアンプ回路 SA に供給される。図示していないがビット線 BL 0 の電位がリファレンス電圧  $V_{ref\_verify}(TL)$  より高ければ、リセットは正しく行なわれていることになる。図 1 2 では、ビット線 BL 0 の電位がリファレンス電圧  $V_{ref\_verify}(TL)$  より低く、正しくリセットされていない場合を示している。正しくリセットされない場合は、条件を変えて再度リセットを行なう。

#### 【 0 0 7 5 】

このように低温の時にリファレンス電圧を高く設定することにより、各温度での目標の抵抗値を実現できる。そして、これによって、温度に対する動作マージンを確保することが可能となる。

#### 【 0 0 7 6 】

続いて通常の読み出し動作について説明する。ワード線 WL が選択される前にプリチャージ制御信号 PC 0 を ' H ' から ' L ' にし、予めビット線 BL 0 を読み出し用電圧  $V_{read}$  にプリチャージしておく。その後、制御信号 PC 0 を ' L ' から ' H ' にし、ビッ

10

20

30

40

50

ト線  $B L 0$  の電荷をメモリセル  $C E L L 0 0$  を介して接地電圧へ放電させる。ここで、メモリセル  $C E L L 0 0$  の記憶素子はリセット状態である。また、リファレンス電圧として、外気の温度に依存しない  $V r e f$  をセンスアンプ回路  $S A$  に供給する。この場合、ビット線  $B L 0$  の電位が  $V r e f$  より高くなるため、この電位差を増幅し、データ ' 1 ' を  $R D A R A 0$  へ出力する。なお、この読み出し動作においては、前述したベリファイ動作によって予め抵抗値が調整させているため、温度によらず確実な読み出しデータを得ることが可能である。

#### 【 0 0 7 7 】

次にセット動作  $S E T$  が行われ、その後、読み出し動作が行われる。ここで、ワード線  $W L$  が選択される前にプリチャージ信号  $P C 0$  を ' H ' から ' L ' にし、予めビット線  $B L 0$  を読み出し用電圧  $V r e a d$  にプリチャージしておく。その後、制御信号  $P C 0$  を ' L ' から ' H ' にし、ビット線  $B L 0$  の電荷をメモリセル  $C E L L 0 0$  を介して接地電圧へ放電する。メモリセル  $C E L L 0 0$  の記憶素子はセット状態であり、外気の温度に依存しないリファレンス電圧  $V r e f$  がセンスアンプ回路  $S A$  に供給される。この場合、ビット線  $B L 0$  の電圧が  $V r e f$  より低くなるため、この電位差を増幅し、データ ' 0 ' を  $R D A R A 0$  に出力する。なお、セット状態の抵抗値は、ほとんど温度依存性を備えないため、特にベリファイ動作を行わずとも温度によらず確実な読み出しデータを得ることが可能である。

#### 【 0 0 7 8 】

##### < 電源回路方式 >

図 1 3 は、図 1 1 の半導体装置で用いる各種電圧の生成回路の一例を示す回路図である。本実施の形態では、電圧は  $V D D > V r e s e t > V s e t > V r e a d > V r e f$  の大小関係がある。図 1 3 に示す電源回路  $V G E N 1$  は、図 5 の電源回路  $V G E N$  に対して、読み出し電源回路  $R E G \_ R E A D$ 、リファレンス電源回路  $R E G \_ R E F$ 、ベリファイ時リファレンス電源回路  $R E G \_ R E F \_ V E R I F Y$ 、読み出し基準電圧発生回路  $V R E A D \_ R E F$ 、リファレンス基準電圧発生回路  $V R E F \_ R E F$ 、ベリファイ時のリファレンス基準電圧発生回路  $V R E F \_ V E R I F Y \_ R E F$  を追加した構成となっている。

#### 【 0 0 7 9 】

読み出し用電源回路  $R E G \_ R E A D$  は、比較器  $C M P 2$  と P チャンネル型 MOS トランジスタ  $M P 7 2$  で構成され、読み出し基準電圧  $V r e a d \_ r e f$  を基に読み出し電圧  $V r e a d$  を供給する。リファレンス電源回路  $R E G \_ R E F$  は、比較器  $C M P 3$  と P チャンネル型 MOS トランジスタ  $M P 7 3$  で構成され、リファレンス基準電圧  $V r e f \_ r e f$  を基にリファレンス電圧  $V r e f$  を供給する。ベリファイ時のリファレンス電源回路  $R E G \_ R E F \_ V E R I F Y$  は、比較器  $C M P 4$  と P チャンネル型 MOS トランジスタ  $M P 7 4$  で構成され、ベリファイ時のリファレンス基準電圧  $V r e f \_ v e r i f y \_ r e f$  を基にベリファイ時のリファレンス電圧  $V r e f \_ v e r i f y$  を供給する。

#### 【 0 0 8 0 】

図 1 4 は、図 1 3 の電源回路において、その各基準電圧発生回路の構成の一例を示す回路図である。リセット基準電圧発生回路  $V R E S E T \_ R E F$  は、温度に依存しない電流  $I 1$  を供給する電流源と、電圧を発生させる N チャンネル型 MOS トランジスタ ( $M N 5 0$ 、 $M N 5 1$ 、 $M N 5 2$ ) とディプリーション MOS トランジスタ ( $D M 1 0$ 、 $D M 1 1$ 、 $D M 1 2$ ) より構成される。N チャンネル型 MOS トランジスタとディプリーション MOS トランジスタのドレイン電流のゲート電圧依存性を図 1 5 ( a ) に示す。ディプリーション MOS トランジスタ  $D M O S 1$  はしきい値が N チャンネル型 MOS トランジスタ  $N M O S$  より低く設定されており、電流  $I 1$  が流れるときのゲート電圧の差が  $V r 1$  となっている。 $V R E S E T \_ R E F$  は  $V r 1$  を 3 倍にする回路となっており、 $V r e s e t \_ r e f$  には  $V r 1$  の 3 倍の電圧が出力される。

#### 【 0 0 8 1 】

セット基準電圧発生回路  $V S E T \_ R E F$  は、正の温度特性を備える電流  $I 2$  を供給す

10

20

30

40

50

る電流源と、電圧を発生させるNチャネル型MOSトランジスタ(MN56、MN57)とディプリーションMOSトランジスタ(DM13、DM14)より構成される。Nチャネル型MOSトランジスタとディプリーションMOSトランジスタのドレイン電流のゲート電圧依存性を図15(a)に示す。ディプリーションMOSトランジスタDMOS1は、しきい値がNチャネル型MOSトランジスタNMOSより低く設定されており、電流I2が流れるときのゲート電圧の差が低温(TL)ではVr1、高温(TH)ではVr2となっている。VSET\_REFは、Vr1またはVr2を2倍にする回路となっており、Vset\_refには低温(TL)でVr1の2倍の電圧が出力され、高温(TH)でVr2の2倍の電圧が出力される。

#### 【0082】

読み出し基準電圧発生回路VREAD\_REFは、正の温度特性を備える電流I2を供給する電流源と、電圧を発生させるNチャネル型MOSトランジスタMN70とディプリーションMOSトランジスタDM15より構成される。Nチャネル型MOSトランジスタとディプリーションMOSトランジスタのドレイン電流のゲート電圧依存性を図15(a)に示す。ディプリーションMOSトランジスタDMOS1はしきい値がNチャネル型MOSトランジスタNMOSより低く設定されており、電流I2が流れるときのゲート電圧の差が低温(TL)ではVr1、高温(TH)ではVr2となっている。VREAD\_REFはVr1またはVr2を1倍にする回路となっており、Vread\_refには低温(TL)でVr1の1倍の電圧が出力され、高温(TH)でVr2の1倍の電圧が出力される。

#### 【0083】

リファレンス基準電圧発生回路VREF\_REFは、温度に依存しない電流I3を供給する電流源と、電圧を発生させるNチャネル型MOSトランジスタMN71とディプリーションMOSトランジスタDM21より構成される。Nチャネル型MOSトランジスタとディプリーションMOSトランジスタのドレイン電流のゲート電圧依存性を図15(b)に示す。ディプリーションMOSトランジスタDMOS2はしきい値がNチャネル型MOSトランジスタNMOSより低く設定されており、電流I3が流れるときのゲート電圧の差がVr4となっている。VREF\_REFは、Vr4を1倍にする回路となっており、Vref\_refにはVr4の1倍の電圧が出力される。

#### 【0084】

ベリファイ用リファレンス基準電圧発生回路VREF\_VERIFY\_REFは、正の温度特性を備える電流I2を供給する電流源と、電圧を発生させるNチャネル型MOSトランジスタMN72とディプリーションMOSトランジスタDM22より構成される。Nチャネル型MOSトランジスタとディプリーションMOSトランジスタのドレイン電流のゲート電圧依存性を図15(b)に示す。ディプリーションMOSトランジスタDMOS2は、しきい値がNチャネル型MOSトランジスタNMOSより低く設定されており、電流I2が流れるときのゲート電圧の差が低温(TL)ではVr3、高温(TH)ではVr4となっている。VREF\_VERIFY\_REFは、Vr3またはVr4を1倍にする回路となっており、Vref\_verify\_refには低温(TL)でVr3の1倍の電圧が出力され、高温(TH)でVr4の1倍の電圧が出力される。

#### 【0085】

以上のような回路構成により、図16に示すようにVreset、Vrefは温度に依存せず一定となり、Vset、Vread、Vref\_verifyは高温で小さい値となる。なお、図5の構成と同様に、温度補正を行なう必要がないVresetは、電源電圧VDDを使用することも可能である。

#### 【0086】

また、Vrefに関しては、温度補正を行わない方が望ましく、これによって動作マージンを確保することが可能となる。図17は、図11の半導体装置において、その読み出し動作マージンについての説明図である。図17に示すように、図10で述べた抵抗値の変化に伴い、リセット状態時の読み出し電圧は温度上昇と共に低下し、セット状態時の読

10

20

30

40

50

み出し電圧は温度によらず一定になると考えられる。ここで、例えば従来技術の特許文献2のようにVrefに温度補正を加えると、図17において、読み出し判定レベルがVref\_vのようになり、一見、低温(TL)および高温(TH)共にリセット状態との間の読み出し動作マージンが一定に保たれるように思われる。

【0087】

しかしながら、リセット状態(アモルファス状態)は、前述したように安定状態とは言えないため、経時変化と共にこの読み出し動作マージンが低下することが予想させる。したがって、常にリセット状態との間の読み出し動作マージンを大きく確保できるようにすることが望ましい。そこで、図17のVrefのように読み出し判定レベルを温度によらず一定にすると、このリセット状態との間の読み出し動作マージンを大きく確保でき、また、セット状態との間の読み出し動作マージンは温度によらず一定に保てるため、安定した読み出し動作が可能となる。

10

【0088】

なお、本実施の形態では、Vreadも温度補正を行なっている。これは外気が高温ではリセット素子の抵抗が下がり流れる電流が増大し、また外気も高温のため素子の温度が上昇しやすく素子が結晶化する可能性が高くなるため、高温ほど電圧を低くなるようにしている。

【0089】

図18は、本発明の一実施の形態の半導体装置をシステムLSI(SOC)に適用した場合の一例を示す配置図である。図18は、例えば画像処理を行うシステムLSI(SOC)となっている。その構成は、特に制限はされないものの、中央処理装置CPU、相変化メモリPCM、揮発性メモリRAM、画像処理アクセラレータACC、画像圧縮処理部JPEG、3Dグラフィックアクセラレータ3DG\_ACC、周辺回路PERI、カメラ用デジタル信号処理回路DSPなどを含み、公知の半導体製造技術により1つの半導体基板上に形成される。

20

【0090】

ACCおよび3DG\_ACCは、画像や3Dグラフィックを表示する際の各種計算処理を行う。JPEGは、画像の圧縮および伸長といった処理を行う。DSPは、画像撮影する際の各種デジタル信号処理を行う。なお、このようなアクセラレータおよびDSPは、CPUの処理を補助するものとなっている。PERIは、チップ全体の制御や外部とのデータ入出力などを行う。

30

【0091】

PCMは、これまでの説明で示したような構成を備え、例えば、CPUに隣接して配置される。そして、PCM内には、図5および図6、または図13で前述したような温度補正機能を備えた電源回路VGENが配置される。ここで、VGENは、PCM内で、CPUやアクセラレータなどの演算処理部から最も離れた位置に配置されている。すなわち、これらの演算処理部(特にCPU)が、その電力消費によって高温となる一方、PCM内では、温度補正によって高温になる程セット動作の書き込み電流が低下することになる。そうすると、過剰な温度補正により書き込み電流が不足するという最悪の事態を避けるためには、PCM内のメモリセルアレイの温度を反映できる場所で、その中でもできるだけ低温となる箇所にVGENを配置することが望ましい。

40

【0092】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0093】

例えば、前述したような温度補正機能を利用することにより、リセット素子の抵抗の温度勾配が素子によってばらつきがある場合に、特に低温(TL)で書き込みを行ない、高温(TH)で読むことにより、想定した以上の温度勾配を持つ素子を出荷のテスト時に不良ビットとして選別できる。また、エラー訂正回路を搭載して、温度変化に対してエラー

50

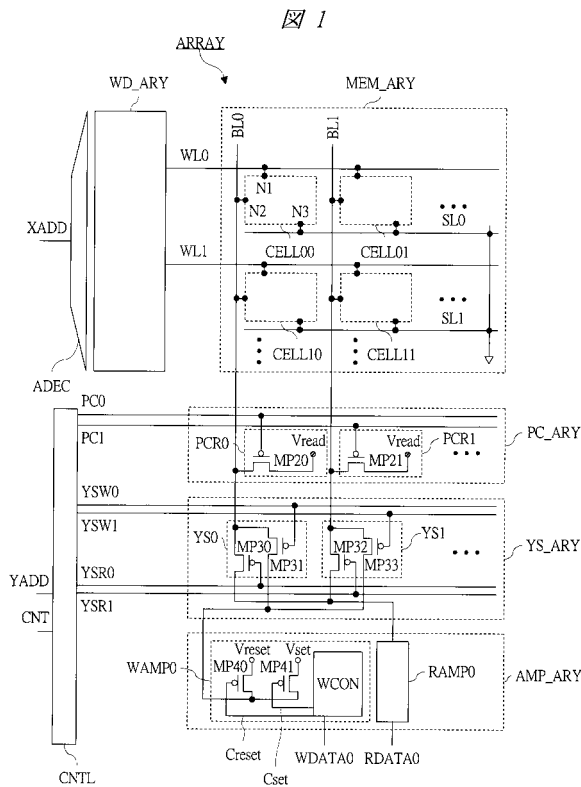
が生じてしまう素子を救済することも効果的である。また、相変化素子を使用する環境温度が常に一定の場合は、特に書き込み動作に温度特性を持たせる必要がないが、本発明を適用しても問題は生じない。

【産業上の利用可能性】

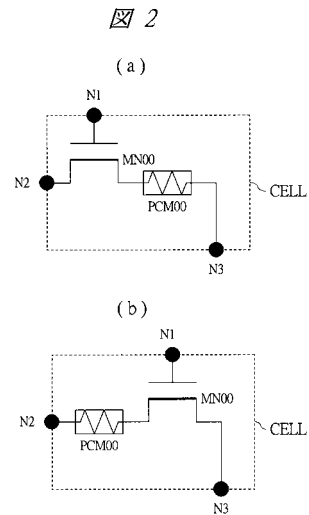
【0094】

本発明の半導体装置は、例えばモバイル機器を代表とする、あらゆる温度条件で使用される可能性がある製品において、それに搭載されるシステムLSI(SOC)のオンチップメモリとして適用して特に有益な技術であり、これに限らず、各分野で使用されるシステムLSIまたはマイクロコンピュータや、単体のメモリ製品等に対しても広く適用可能である。

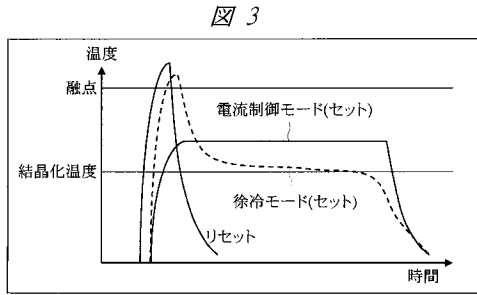
【図1】



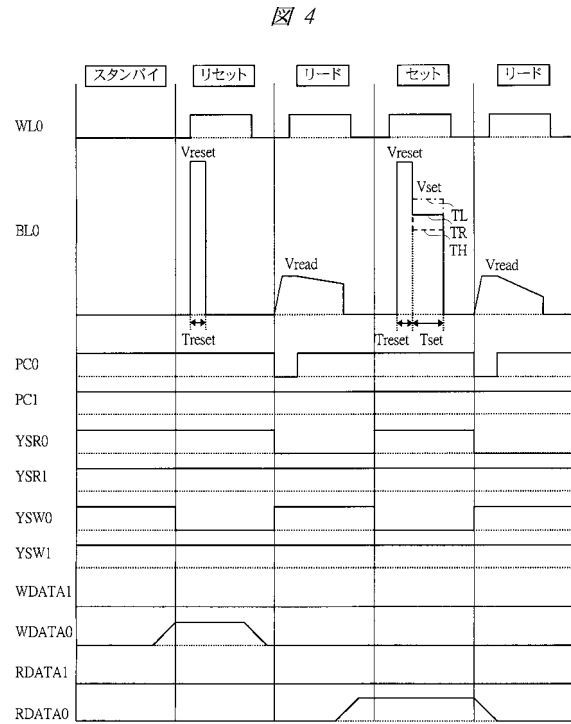
【図2】



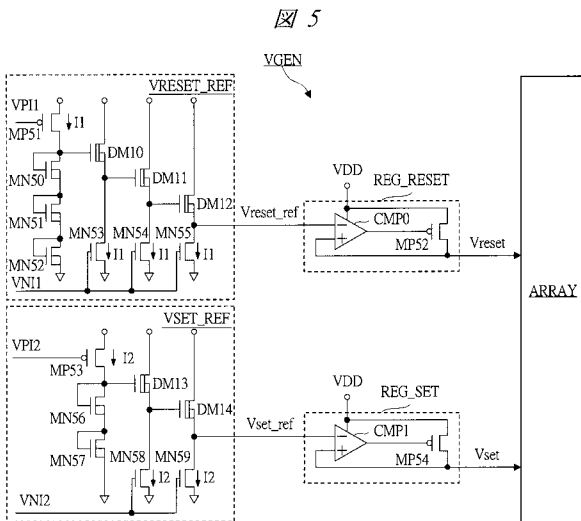
【 図 3 】



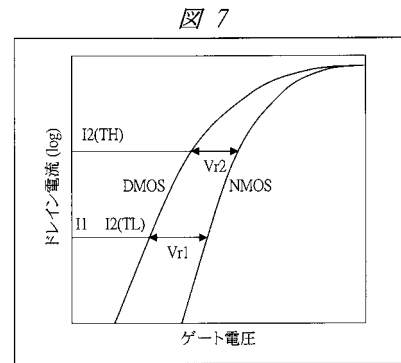
【 図 4 】



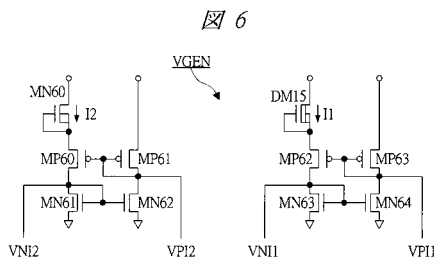
【 図 5 】



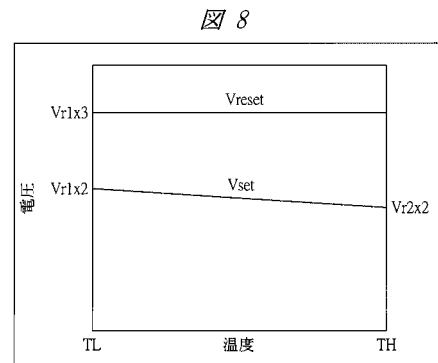
【 図 7 】



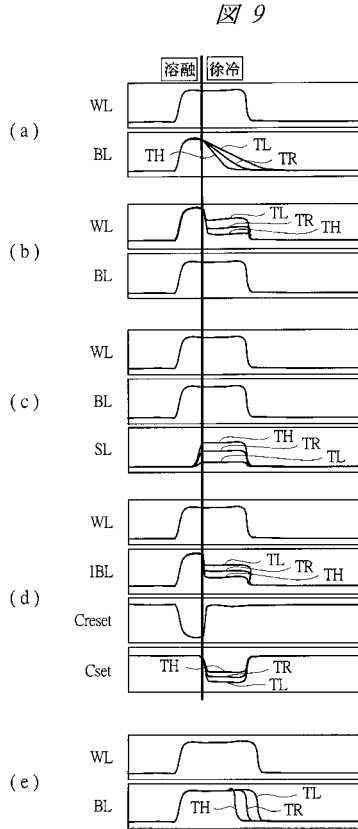
【 図 6 】



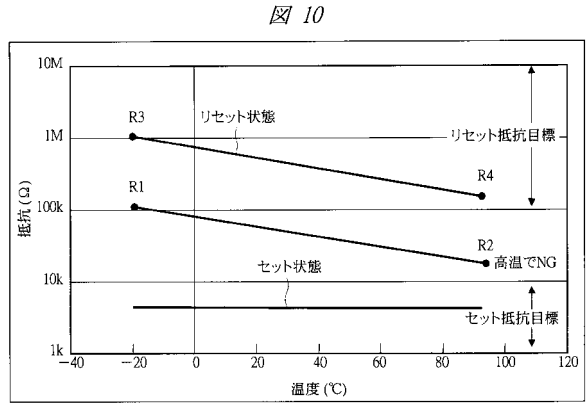
【 図 8 】



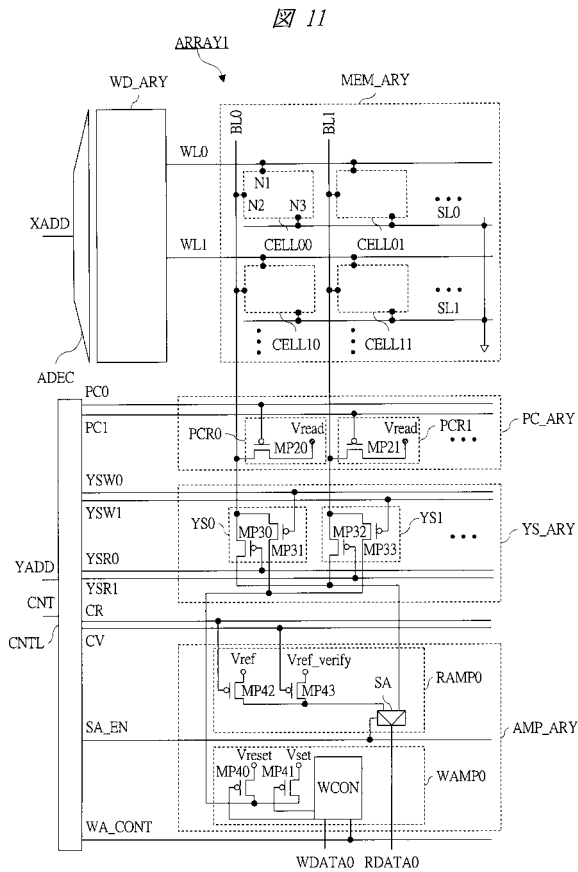
【図9】



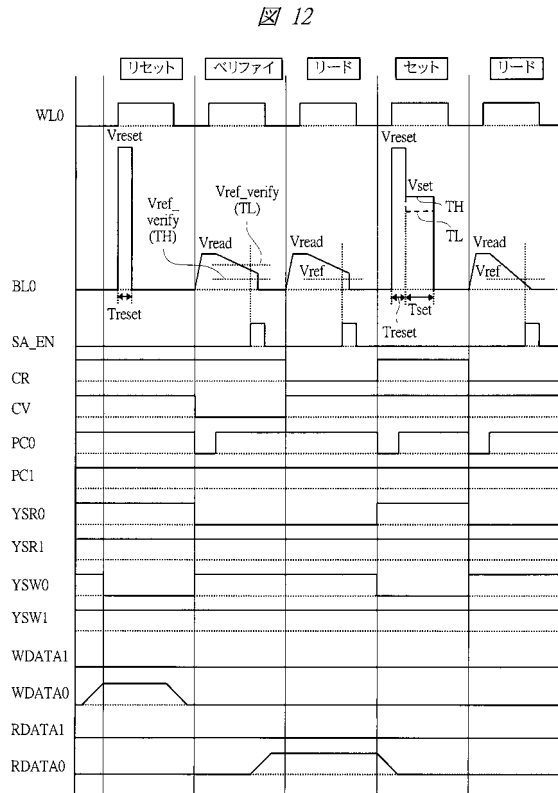
【図10】



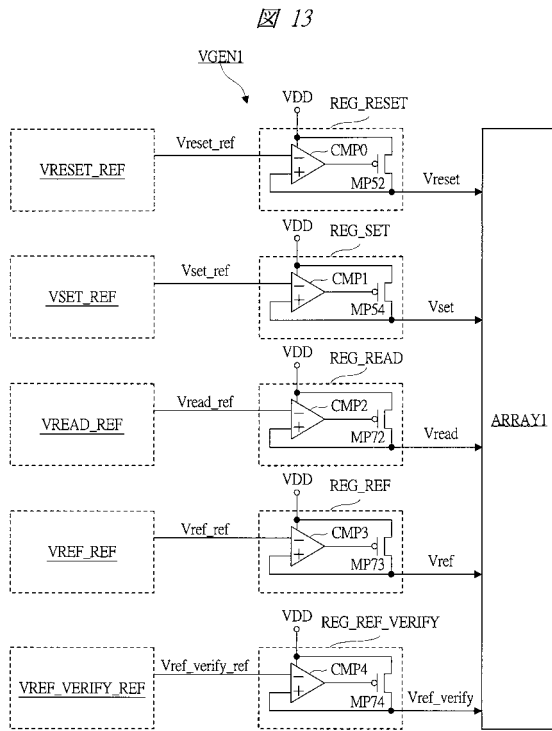
【図11】



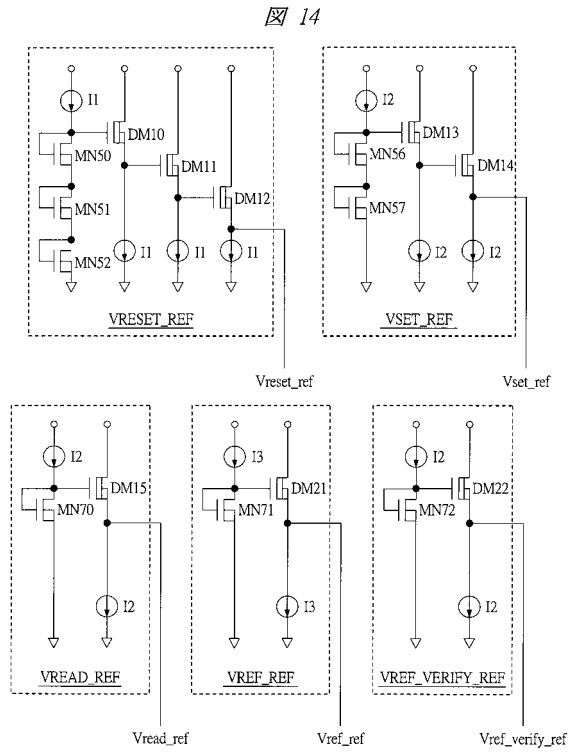
【図12】



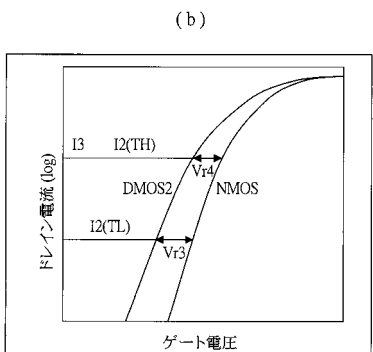
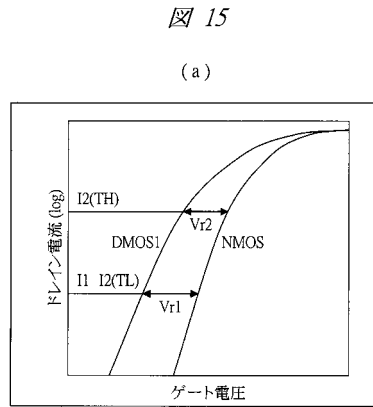
【図13】



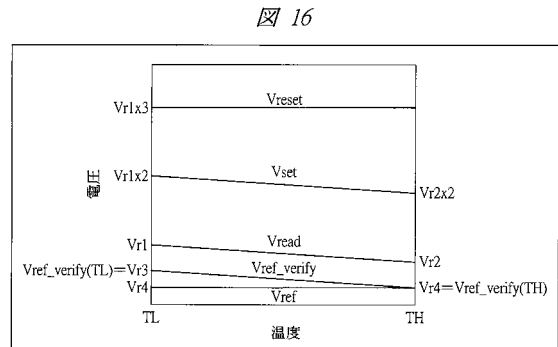
【図14】



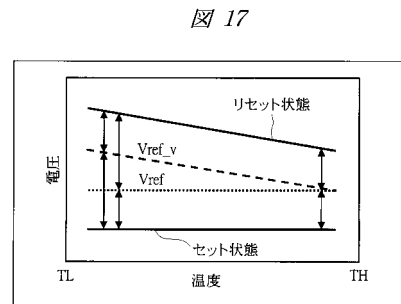
【図15】



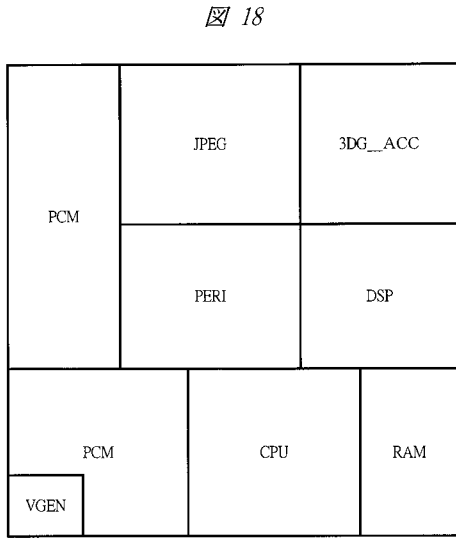
【図16】



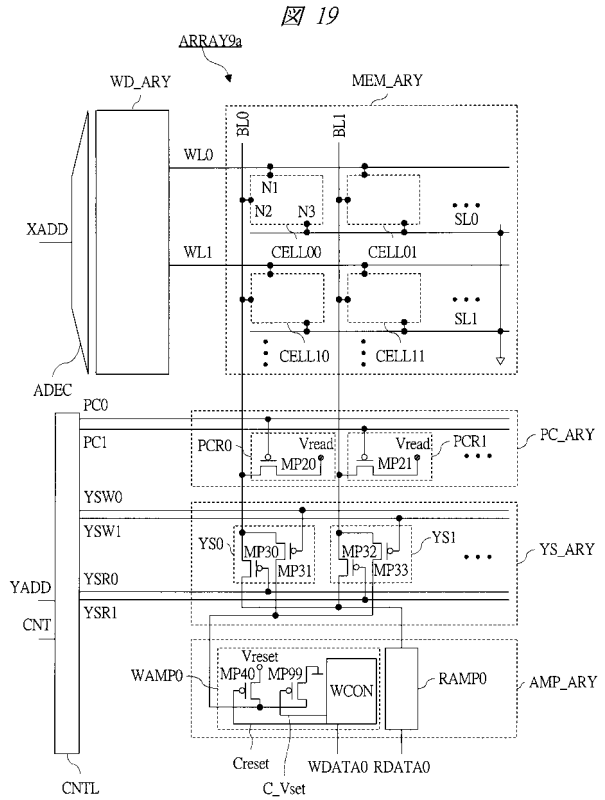
【図17】



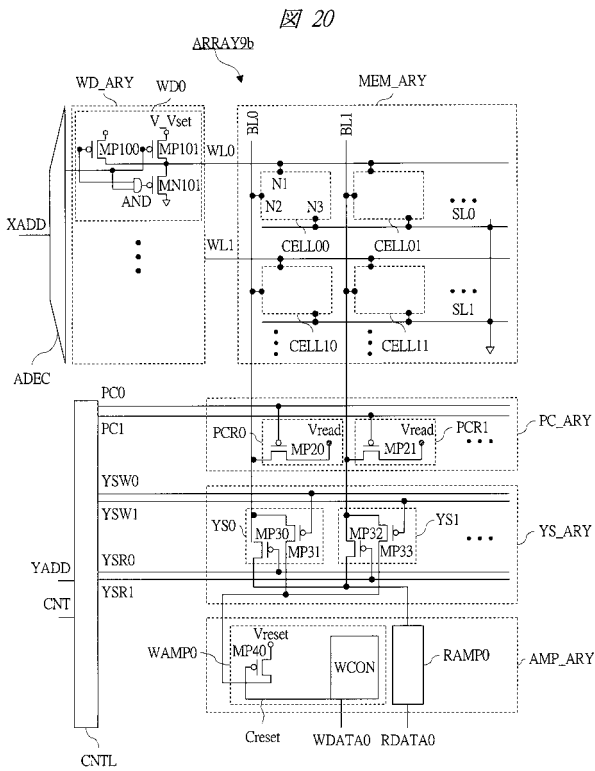
【 図 18 】



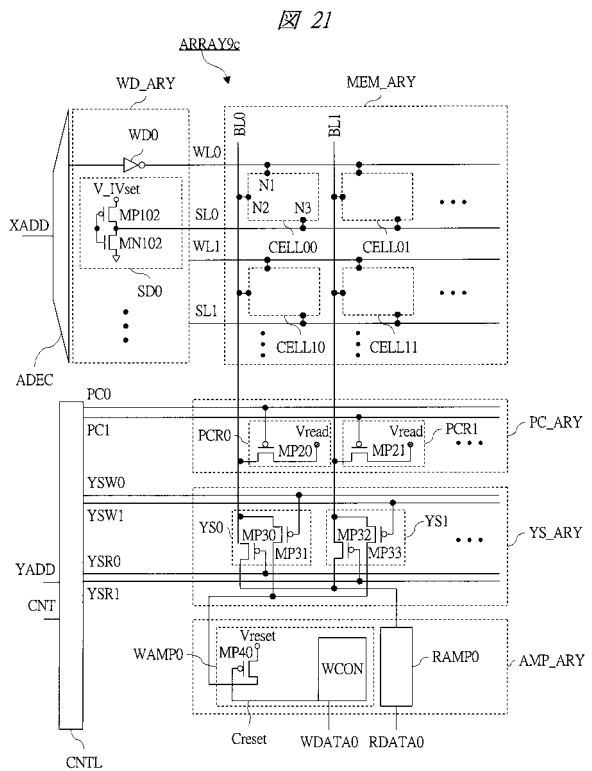
【 図 19 】



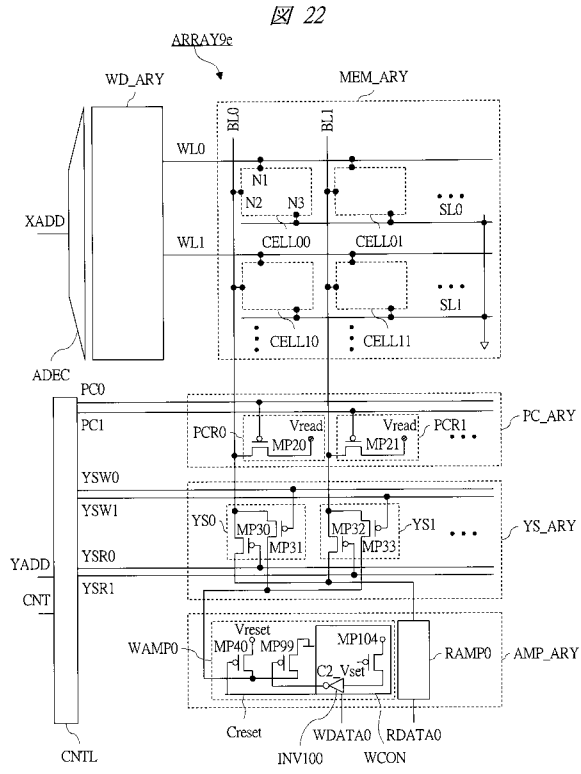
【 図 20 】



【 図 21 】



【 22 】



フロントページの続き

(72)発明者 柳沢 一正

東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

審査官 後藤 彰

(56)参考文献 特開2004-273110(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 13/00