

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 10 月 22 日(22.10.2015)



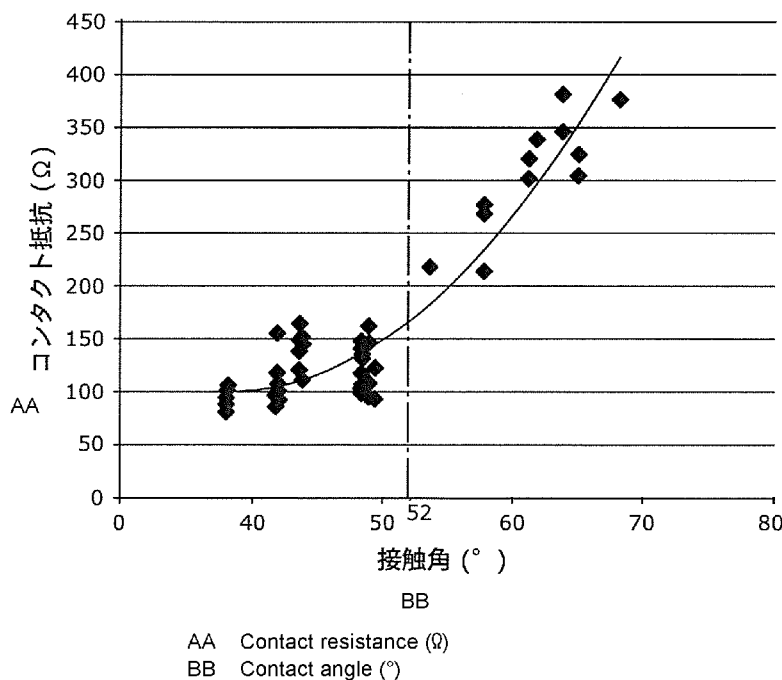
(10) 国際公開番号

WO 2015/159328 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
G09F 9/30 (2006.01) H01L 51/50 (2006.01)
H01L 21/28 (2006.01) H05B 33/10 (2006.01)
- (21) 国際出願番号: PCT/JP2014/006377
- (22) 国際出願日: 2014 年 12 月 22 日(22.12.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-084036 2014 年 4 月 15 日(15.04.2014) JP
- (71) 出願人: 株式会社 J O L E D (JOLED INC.) [JP/JP];
〒1010054 東京都千代田区神田錦町三丁目 2 3
番地 Tokyo (JP).
- (72) 発明者: 齋藤 徹(SAITOH, Tohru).
- (74) 代理人: 吉川 修一, 外(YOSHIKAWA, Shuichi et al.);
〒5320011 大阪府大阪市淀川区西中島 5 丁目
3 番 1 0 号タナカ・イトーピア新大阪ビル 6 階
新居国際特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: THIN FILM TRANSISTOR SUBSTRATE MANUFACTURING METHOD

(54) 発明の名称: 薄膜トランジスタ基板の製造方法



(57) Abstract: Disclosed is a method for manufacturing a TFT substrate that is provided with a thin film transistor having a CuMn alloy film, said method including a control step for controlling a contact resistance on a CuMn alloy film surface on the basis of a contact angle of the CuMn alloy film surface.

(57) 要約: CuMn合金膜を有する薄膜トランジスタを備えるTFT基板の製造方法であって、CuMn合金膜の表面の接触角に基づいてCuMn合金膜の表面上のコンタクト抵抗を制御する制御工程を含む。

WO 2015/159328 A1

明 細 書

発明の名称： 薄膜トランジスタ基板の製造方法

技術分野

[0001] 本開示は、薄膜トランジスタ基板の製造方法に関する。

背景技術

[0002] 液晶表示装置や有機ＥＬ表示装置等のアクティブマトリクス方式の表示装置では、スイッチング素子又は駆動素子として薄膜トランジスタ（ＴＦＴ：Thin Film Transistor）が形成されたＴＦＴ基板が用いられる。例えば、特許文献１には、ＴＦＴ基板を用いたアクティブマトリクス方式の有機ＥＬ表示装置が開示されている。

[0003] ＴＦＴの構成には、ゲート電極がチャンネル層の下方（基板側）に形成された構造であるボトムゲート型ＴＦＴ、あるいは、ゲート電極がチャンネル層の上方に形成された構造であるトップゲート型ＴＦＴがある。ＴＦＴのチャンネル層には、例えばシリコン半導体又は酸化物半導体が用いられる。

[0004] マトリクス状に配列された複数の画素を備えるＴＦＴ基板（ＴＦＴアレイ基板）には、各画素を駆動するための信号（電圧）を伝達する複数の配線が形成されている。

[0005] 近年、表示装置の大画面化に伴う基板の大型化によりＴＦＴ基板の配線が長くなり、配線抵抗が高くなってきている。このため、配線の低抵抗化が要望されている。

[0006] また、配線は、ＴＦＴにおけるソース電極／ドレイン電極と同じ材料を用いて同じ層に形成される。このため、ソース電極／ドレイン電極は、ＴＦＴとしての性能だけでなく、配線としての性能も要求される。

[0007] そこで、ソース電極／ドレイン電極及び配線の材料として、低抵抗である銅（Ｃｕ）を用いることが検討されている。

[0008] しかし、Ｃｕは、シリコン酸化物等の絶縁膜（層間絶縁膜）との密着性が低いことから、Ｃｕ配線又はＣｕ電極と絶縁膜との間にＣｕＭｎ膜等のＣｕ

合金膜を形成する技術が提案されている（例えば、特許文献2）。

先行技術文献

特許文献

[0009] 特許文献1：特開2010-27584号公報

発明の概要

発明が解決しようとする課題

[0010] TFT基板において、絶縁膜（層間絶縁膜）で覆われた配線や電極は、絶縁膜に形成されたコンタクトホールを介して他の電極や配線と電氣的に接続される。例えば、ソース電極／ドレイン電極やソース配線がCu膜とCuMn合金膜との積層構造である場合、CuMn合金膜上の絶縁膜にコンタクトホールを形成してCuMn合金膜の表面を露出させて、当該コンタクトホールを覆うように絶縁膜上に導電膜を形成することによってCuMn合金膜と導電膜とを接触させている。

[0011] CuMn合金膜の表面を露出させることでCuMn合金膜上にはコンタクト抵抗が生じるが、これまではコンタクト抵抗を制御することができず、所望の性能を有するTFT基板を実現することが難しいという課題がある。

[0012] ここに開示された技術は、所望の性能のTFT基板を得ることを目的とする。

課題を解決するための手段

[0013] 上記目的を達成するために、薄膜トランジスタ基板の製造方法の一態様は、CuMn合金膜を有する薄膜トランジスタを備える薄膜トランジスタ基板の製造方法であって、前記CuMn合金膜を形成する工程と、前記CuMn合金膜の表面の接触角に基づいて前記CuMn合金膜の表面上のコンタクト抵抗を制御する制御工程とを含むことを特徴とする。

発明の効果

[0014] 所望の性能を有するTFT基板を実現できる。

図面の簡単な説明

[0015] [図1]図1は、実施の形態に係る有機EL表示装置の一部切り欠き斜視図である。

[図2]図2は、実施の形態に係る有機EL表示装置のピクセルバンクの例を示す斜視図である。

[図3]図3は、実施の形態に係る有機EL表示装置における画素回路の構成を示す電気回路図である。

[図4]図4は、実施の形態に係るTFT基板の概略断面図である。

[図5]図5は、他の実施の形態に係るTFT基板の概略断面図である。

[図6]図6は、CuMn合金膜とITO膜とにおけるCuMn表面露出時間とコンタクト抵抗との関係を示す図である。

[図7]図7は、CuMn合金膜とITO膜とにおけるCuMn表面露出時間とCuMn合金膜の表面の接触角との関係を示す図である。

[図8]図8は、CuMn合金膜におけるXPSによるCu 2p 3/2スペクトルのピーク分離の分析結果を示す図である。

[図9A]図9Aは、CuOの存在比の放置時間に対する変化を示す図である。

[図9B]図9Bは、metal Cu又はCu₂Oの存在比の放置時間に対する変化を示す図である。

[図9C]図9Cは、Cu(OH)₂の存在比の放置時間に対する変化を示す図である。

[図10]図10は、CuMn合金膜の表面の接触角とCuMn合金膜の表面上のコンタクト抵抗との関係を示す図である。

[図11A]図11Aは、実施の形態に係るTFT基板の製造方法におけるゲート電極（第1配線層）形成工程の断面図である。

[図11B]図11Bは、実施の形態に係るTFT基板の製造方法における第1絶縁膜（ゲート絶縁膜）形成工程の断面図である。

[図11C]図11Cは、実施の形態に係るTFT基板の製造方法における酸化物半導体層形成工程の断面図である。

[図11D]図11Dは、実施の形態に係るTFT基板の製造方法における第2絶

縁膜形成工程の断面図である。

[図11E]図11Eは、実施の形態に係るTF T基板の製造方法におけるコンタクトホール形成工程の断面図である。

[図11F]図11Fは、実施の形態に係るTF T基板の製造方法におけるソースドレイン電極層（第2配線層）形成工程の断面図である。

[図11G]図11Gは、実施の形態に係るTF T基板の製造方法における第3絶縁膜形成工程の断面図である。

[図11H]図11Hは、実施の形態に係るTF T基板の製造方法におけるレジスト膜形成工程の断面図である。

[図11I]図11Iは、実施の形態に係るTF T基板の製造方法におけるレジスト膜パターニング形成工程の断面図である。

[図11J]図11Jは、実施の形態に係るTF T基板の製造方法におけるコンタクトホール形成工程の断面図である。

[図11K]図11Kは、実施の形態に係るTF T基板の製造方法におけるレジスト膜除去工程の断面図である。

[図11L]図11Lは、実施の形態に係るTF T基板の製造方法における接触角測定工程の断面図である。

[図11M]図11Mは、実施の形態に係るTF T基板の製造方法における第3配線層形成工程の断面図である。

[図12]図12は、変形例に係るTF T基板の概略断面図である。

発明を実施するための形態

[0016] 以下、本開示の一実施の形態について、図面を用いて説明する。なお、以下に説明する実施の形態は、いずれも本発明の好ましい一具体例を示すものである。したがって、以下の実施の形態で示される、数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、工程（ステップ）、工程の順序等は、一例であって本発明を限定する主旨ではない。よって、以下の実施の形態における構成要素のうち、本発明の最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

[0017] なお、各図は、模式図であり、必ずしも厳密に図示されたものではない。
また、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡略化する。

[0018] (実施の形態)

まず、TFT基板が用いられる表示装置の一例として、有機EL表示装置の構成について説明する。

[0019] [有機EL表示装置]

図1は、実施の形態に係る有機EL表示装置の一部切り欠き斜視図である。図2は、実施の形態に係る有機EL表示装置のピクセルバンクの例を示す斜視図である。

[0020] 図1に示すように、有機EL表示装置100は、複数個の薄膜トランジスタが配置されたTFT基板（TFTアレイ基板）1と、下部電極である陽極131、有機材料からなる発光層であるEL層132及び透明な上部電極である陰極133からなる有機EL素子（発光部）130との積層構造により構成される。

[0021] 本実施の形態における有機EL表示装置100は、トップエミッション型であり、陽極131は反射電極である。なお、有機EL表示装置100は、トップエミッション型に限るものではなく、ボトムエミッション型としてもよい。

[0022] TFT基板1には複数の画素110がマトリクス状に配置されており、各画素110には画素回路120が設けられている。

[0023] 有機EL素子130は、複数の画素110のそれぞれに対応して形成されており、各画素110に設けられた画素回路120によって各有機EL素子130の発光の制御が行われる。有機EL素子130は、複数の薄膜トランジスタを覆うように形成された層間絶縁膜（平坦化層）の上に形成される。

[0024] また、有機EL素子130は、陽極131と陰極133との間にEL層132が配置された構成となっている。陽極131とEL層132の間にはさらに正孔輸送層が積層され、EL層132と陰極133の間にはさらに

電子輸送層が積層されている。なお、陽極 131 と陰極 133 との間には、その他の有機機能層が設けられていてもよい。

[0025] 各画素 110 は、それぞれの画素回路 120 によって駆動制御される。また、TFT 基板 1 には、画素 110 の行方向に沿って配置される複数のゲート配線（走査線）140 と、ゲート配線 140 と交差するように画素 110 の列方向に沿って配置される複数のソース配線（信号配線）150 と、ソース配線 150 と平行に配置される複数の電源配線（図 1 では省略）とが形成されている。各画素 110 は、例えば直交するゲート配線 140 とソース配線 150 とによって区画されている。

[0026] ゲート配線 140 は、各画素回路 120 に含まれるスイッチング素子として動作する薄膜トランジスタのゲート電極と行毎に接続されている。ソース配線 150 は、各画素回路 120 に含まれるスイッチング素子として動作する薄膜トランジスタのソース電極と列毎に接続されている。電源配線は、各画素回路 120 に含まれる駆動素子として動作する薄膜トランジスタのドレイン電極と列毎に接続されている。

[0027] 図 2 に示すように、有機 EL 表示装置 100 の各画素 110 は、3 色（赤色、緑色、青色）のサブ画素 110R、110G、110B によって構成されており、これらのサブ画素 110R、110G、110B は、表示面上に複数個マトリクス状に配列されるように形成されている。各サブ画素 110R、110G、110B は、バンク 111 によって互いに分離されている。バンク 111 は、ゲート配線 140 に平行に延びる突条と、ソース配線 150 に平行に延びる突条とが互いに交差するように、格子状に形成されている。そして、この突条で囲まれる部分（すなわち、バンク 111 の開口部）の各々とサブ画素 110R、110G、110B の各々とが一对一で対応している。なお、本実施の形態において、バンク 111 はピクセルバンクとしたが、ラインバンクとしても構わない。

[0028] 陽極 131 は、TFT 基板 1 上の層間絶縁膜（平坦化層）上でかつバンク 111 の開口部内に、サブ画素 110R、110G、110B 毎に形成され

ている。同様に、EL層132は、陽極131上でかつバンク111の開口部内に、サブ画素110R、110G、110B毎に形成されている。透明な陰極133は、複数のバンク111上で、かつ全てのEL層132（全てのサブ画素110R、110G、110B）を覆うように、連続的に形成されている。

[0029] さらに、画素回路120は、各サブ画素110R、110G、110B毎に設けられており、各サブ画素110R、110G、110Bと、対応する画素回路120とは、コンタクトホール及び中継電極によって電氣的に接続されている。なお、サブ画素110R、110G、110Bは、EL層132の発光色が異なることを除いて同一の構成である。

[0030] ここで、画素110における画素回路120の回路構成について、図3を用いて説明する。図3は、実施の形態に係る有機EL表示装置における画素回路の構成を示す電気回路図である。

[0031] 図3に示すように、画素回路120は、スイッチング素子として動作する薄膜トランジスタSwTrと、駆動素子として動作する薄膜トランジスタDrTrと、対応する画素110に表示するためのデータを記憶するキャパシタCとで構成される。本実施の形態において、薄膜トランジスタSwTrは、画素110を選択するためのスイッチングトランジスタであり、薄膜トランジスタDrTrは、有機EL素子130を駆動するための駆動トランジスタである。

[0032] 薄膜トランジスタSwTrは、ゲート配線140に接続されるゲート電極G1と、ソース配線150に接続されるソース電極S1と、キャパシタC及び薄膜トランジスタDrTrのゲート電極G2に接続されるドレイン電極D1と、半導体膜（図示せず）とで構成される。この薄膜トランジスタSwTrは、接続されたゲート配線140及びソース配線150に所定の電圧が印加されると、当該ソース配線150に印加された電圧がデータ電圧としてキャパシタCに保存される。

[0033] 薄膜トランジスタDrTrは、薄膜トランジスタSwTrのドレイン電極

D 1 及びキャパシタ C に接続されるゲート電極 G 2 と、電源配線 1 6 0 及びキャパシタ C に接続されるドレイン電極 D 2 と、有機 E L 素子 1 3 0 の陽極 1 3 1 に接続されるソース電極 S 2 と、半導体膜（図示せず）とで構成される。この薄膜トランジスタ D r T r は、キャパシタ C が保持しているデータ電圧に対応する電流を電源配線 1 6 0 からソース電極 S 2 を通じて有機 E L 素子 1 3 0 の陽極 1 3 1 に供給する。これにより、有機 E L 素子 1 3 0 では、陽極 1 3 1 から陰極 1 3 3 へと駆動電流が流れて E L 層 1 3 2 が発光する。

[0034] なお、上記構成の有機 E L 表示装置 1 0 0 では、ゲート配線 1 4 0 とソース配線 1 5 0 との交点に位置する画素 1 1 0 毎に表示制御を行うアクティブマトリクス方式が採用されている。これにより、各画素 1 1 0（各サブ画素 1 1 0 R、1 1 0 G、1 1 0 B）の薄膜トランジスタ S w T r 及び D r T r によって、対応する有機 E L 素子 1 3 0 が選択的に発光し、所望の画像が表示される。

[0035] [薄膜トランジスタ基板]

次に、実施の形態に係る T F T 基板について、図 4 を用いて説明する。図 4 は、実施の形態に係る T F T 基板の概略断面図である。以下の実施の形態では、上記有機 E L 表示装置 1 0 0 における T F T 基板 1 について説明する。なお、本実施の形態における薄膜トランジスタ T r は、上記の薄膜トランジスタ S w T r（スイッチングトランジスタ）及び薄膜トランジスタ D r T r（駆動トランジスタ）のいずれにも適用することができる。

[0036] 図 4 に示すように、T F T 基板 1 は、基板 2 と、ゲート電極 3 と、ゲート絶縁膜 4（第 1 絶縁膜）と、酸化物半導体層 5 と、絶縁層 6（第 2 絶縁膜）と、ソース電極 7 S 及びドレイン電極 7 D と、絶縁層 8（第 3 絶縁膜）と、上層配線 9 とを有する。

[0037] ゲート電極 3 と、ソース電極 7 S 及びドレイン電極 7 D と、上層配線 9 とは、金属材料によって構成されており、これらの電極や配線が形成される層は金属層（配線層）である。具体的には、ゲート電極 3 が形成される層は、

第1配線層（第1金属層）であり、ソース電極7S及びドレイン電極7Dが形成される層は、第2配線層（第2金属層）であり、上層配線9が形成される層は、第3配線層（第3金属層）である。

[0038] このように、本実施の形態におけるTF T基板1は、3層配線層構造であり、各金属層は、各種配線を形成の配線層として利用することができる。つまり、各金属層に形成される金属膜（導電膜）を所定形状にパターニングすることによって、上記の電極や配線に加えて、所定形状の所望の配線や電極を形成することができる。各金属層には、例えば、図1に示される、ゲート配線140、ソース配線150及び電源配線160が形成される。また、各金属層の配線同士を接続したり配線と電極とを接続したりするために、上下の金属層の間の絶縁層にはコンタクトホールが形成される。

[0039] 図4に示すように、TF T基板1において、薄膜トランジスタTrは、ゲート電極3と、ゲート絶縁膜4と、酸化物半導体層5と、ソース電極7S及びドレイン電極7Dとによって構成される。ゲート電極3、ソース電極7S及びドレイン電極7Dは、それぞれ、図3におけるゲート電極G2、ソース電極S2及びドレイン電極D2に対応する。なお、本実施の形態における薄膜トランジスタTrは、ボトムゲート型のTF Tである。

[0040] 以下、TF T基板1における各構成部材について、図4を用いて詳細に説明する。

[0041] 基板2は、例えば、G8基板等のガラス基板である。また、基板2として、樹脂基板等のフレキシブル基板を用いてもよい。なお、基板2の表面にアンダーコート層を形成してもよい。

[0042] ゲート電極3は、基板2の上方に所定形状で形成される。ゲート電極3としては、例えば、チタン（Ti）、モリブデン（Mo）、タングステン（W）、アルミニウム（Al）、金（Au）、銅（Cu）等の金属、又は、ITO（Indium Tin Oxide：酸化インジウムスズ）等の導電性酸化物が用いられる。また、金属に関しては、例えばモリブデントングステン（MoW）のような合金もゲート電極3として用いることができる。また

、膜の密着性を高めるために、酸化物との密着性が良い金属として、例えば Ti 、 Al 、 Au 等を用いて、これらの金属を挟んだ積層体をゲート電極3として用いることもできる。

[0043] ゲート絶縁膜4は、ゲート電極3と酸化物半導体層5との間に形成される。ゲート絶縁膜4は、ゲート電極3を覆うように基板2上に形成される。ゲート絶縁膜4としては、例えばシリコン酸化膜やハフニウム酸化膜等の酸化物薄膜、窒化シリコン膜等の窒化膜もしくはシリコン酸窒化膜の単層膜、又は、これらの積層膜等が用いられる。

[0044] 酸化物半導体層5は、基板2の上方に所定形状で形成される。酸化物半導体層5は、薄膜トランジスタTrのチャネル層（半導体層）であり、ゲート電極3と対向するように形成される。例えば、酸化物半導体層5は、ゲート電極3の上方においてゲート絶縁膜4上に島状に形成される。

[0045] 酸化物半導体層5としては、 $In-Ga-Zn-O$ を含む $InGaZnO_x$ （IGZO）等の透明アモルファス酸化物半導体（TAOS: Transparent Amorphous Oxide Semiconductor）により構成することが望ましい。透明アモルファス酸化物半導体をチャネル層とする薄膜トランジスタは、キャリア移動度が高く、大画面及び高精細の表示装置に適している。また、透明アモルファス酸化物半導体は、低温成膜が可能であるため、フレキシブル基板上に容易に形成することができる。

[0046] $InGaZnO_x$ のアモルファス酸化物半導体は、例えば、 $InGaO_3(ZnO)_4$ 組成を有する多結晶焼結体をターゲットとして、スパッタ法やレーザー蒸着法等の気相成膜法により成膜することができる。

[0047] 絶縁層6は、酸化物半導体層5を覆うようにゲート絶縁膜4上に成膜される。つまり、酸化物半導体層5は絶縁層6によって覆われており、絶縁層6は酸化物半導体層5を保護する保護層（チャネル保護層）として機能する。絶縁層6は、例えば、シリコン酸化膜（ SiO_2 ）又は酸化アルミニウム膜（ Al_2O_3 ）等の酸化膜の単層膜、あるいは、これらの酸化膜の積層膜である。

。絶縁層 6 の一部は貫通するように開口されており、この開口部分（コンタクトホール）を介して酸化物半導体層 5 がソース電極 7 S 及びドレイン電極 7 D に接続されている。

[0048] ソース電極 7 S 及びドレイン電極 7 D は、絶縁層 6 上に所定形状で形成される。具体的には、ソース電極 7 S 及びドレイン電極 7 D は、絶縁層 6 に設けられたコンタクトホールを介して酸化物半導体層 5 に接続されており、絶縁層 6 上において基板水平方向に所定の間隔をあけて対向配置されている。

[0049] ソース電極 7 S 及びドレイン電極 7 D は、いずれも銅（Cu）を主成分として含んでおり、銅膜（Cu 膜）と銅マンガン合金膜（CuMn 合金膜）との積層構造である。具体的に、ソース電極 7 S は、Cu 膜である第 1 の膜 7 1 S と CuMn 合金膜である第 2 の膜 7 2 S とが下から上にこの順序で積層された積層膜である。同様に、ドレイン電極 7 D は、Cu 膜である第 1 の膜 7 1 D と CuMn 合金膜である第 2 の膜 7 2 D とが下から上にこの順序で積層された積層膜である。なお、Cu 膜である第 1 の膜 7 1 S 及び 7 1 D の膜厚は、第 2 の膜 7 2 S 及び 7 2 D の膜厚よりも厚くする方がよい。

[0050] このように、ソース電極 7 S 及びドレイン電極 7 D として低抵抗材料である Cu 膜を用いることによって、ソース電極 7 S 及びドレイン電極 7 D の低抵抗化を図ることができるとともに、第 2 金属層に形成する配線（ソース電極 7 S 及びドレイン電極 7 D と同層の配線）を低抵抗配線とすることができる。

[0051] また、ソース電極 7 S 及びドレイン電極 7 D の最上層（キャップ層）として CuMn 合金膜を用いることによって、Cu 膜の Cu 原子が酸化して Cu 膜が変質することを抑制できる。これにより、Cu の酸化によるソース電極 7 S 及びドレイン電極 7 D の高抵抗化を抑制できる。なお、本明細書において、CuMn 合金膜とは、銅とマンガンとの合金膜であることを意味している。

[0052] 絶縁層 8 は、ソース電極 7 S 及びドレイン電極 7 D を覆うように絶縁層 6 上に形成される。絶縁層 8 は、例えば、シリコン酸化膜（SiO₂）又は酸化

アルミニウム膜 (Al_2O_3) 等の酸化膜の単層膜、あるいは、これらの酸化膜の積層膜である。

[0053] 上層配線 9 は、絶縁層 8 上に所定形状で形成された導電膜からなり、絶縁層 8 に形成されたコンタクトホールを介してドレイン電極 7 D に接続されている。本実施の形態における上層配線 9 は、ITO からなる ITO 膜である。

[0054] 本実施の形態における TFT 基板 1 は、以上のように構成される。なお、本実施の形態において、ソース電極 7 S 及びドレイン電極 7 D は、CuMn 合金膜と Cu 膜との 2 層構造としたが、これに限らない。

[0055] 例えば、図 5 に示すように、三層構造のソース電極 7 S' 及びドレイン電極 7 D' を有する TFT 基板 1' としてもよい。具体的には、ソース電極 7 S' を、Mo (モリブデン) 膜又は CuMn 膜である第 3 の膜 7 3 S と Cu 膜である第 1 の膜 7 1 S と CuMn 合金膜である第 2 の膜 7 2 S との積層膜にしてもよい。同様に、ドレイン電極 7 D' を、Mo 膜又は CuMn 膜である第 3 の膜 7 3 D と Cu 膜である第 1 の膜 7 1 D と CuMn 合金膜である第 2 の膜 7 2 D との積層膜にしてもよい。

[0056] このように、ソース電極 7 S' 及びドレイン電極 7 D' の最下層として CuMn 膜又は Mo 膜を用いることによって、第 2 の膜 (Cu 膜) における Cu 原子の下層への拡散を抑制できるとともに下地層との密着性を向上させることができる。

[0057] [CuMn 合金膜の表面状態及び原子結合状態]

次に、CuMn 合金膜の表面状態や原子結合状態の分析結果について、本発明の知見を得るに至った経緯も含めて詳細に説明する。

[0058] TFT 基板において、異なる配線層間の配線や電極同士を物理的に接続する場合、絶縁膜 (層間絶縁膜) にコンタクトホールを形成する。このとき、絶縁膜のコンタクトホールを介して下層の配線層における CuMn 合金膜上に上層の配線層における ITO 膜を形成する際、CuMn 合金膜の表面が露出する。例えば、図 4 に示す TFT 基板 1 では、ドレイン電極 7 D の第 2 の

膜 7 2 D (C u M n 合金膜) と上層配線 9 (I T O 膜) とを接続させる際、絶縁層 8 にコンタクトホールを形成した後、第 2 の膜 7 2 D の表面が露出する。

[0059] この場合、C u M n 合金膜 (第 2 の膜 7 2 D) が露出してから I T O 膜 (上層配線 9) で被覆されるまでの待機時間の増加に伴って、I T O 膜と C u M n 合金膜との間のコンタクト抵抗が増加する。これにより、表示パネルにおける表示均一性や信頼性の低下を引き起こす。

[0060] また、上記コンタクト抵抗の変化は、露出した C u M n 合金膜の表面が I T O 膜を成膜するまでの待機時間中に酸化するからであるが、これまで、インラインプロセスとしてコンタクト抵抗の変化を観測する手法がなく、C u M n 合金膜の表面のコンタクト抵抗を制御することができなかった。このため、所望の性能を有する T F T 基板を実現することが難しかった。

[0061] そこで、本発明者は、まず、C u M n 合金膜が露出してから I T O 膜を成膜するまでの時間 (C u M n 表面露出時間) と C u M n 合金膜の表面のコンタクト抵抗とについて実験を行ったところ、C u M n 表面露出時間と上記コンタクト抵抗との間には、図 6 に示すような相関関係があることが分かった。図 6 は、C u M n 合金膜と I T O 膜とにおける C u M n 表面露出時間とコンタクト抵抗との関係を示す図である。

[0062] 具体的には、図 6 に示すように、C u M n 表面露出時間が一定時間 (約 6 0 時間) までは、C u M n 表面露出時間が増加するに伴ってコンタクト抵抗が上昇し、C u M n 表面露出時間が上記一定時間 (約 6 0 時間) を越えた後は、コンタクト抵抗はほぼ変化しないことが分かった。

[0063] なお、図 6 において、C u M n 表面露出時間は、C u M n 合金膜を覆う絶縁膜 (絶縁層 8) にコンタクトホールを形成する際のレジスト膜を除去してからの時間である。また、コンタクト抵抗は、C u M n 合金膜上に I T O 膜を成膜した後に測定している。具体的には、図 4 に示す T F T 基板 1 における複数の薄膜トランジスタ T r の各ドレイン電極 7 D の第 2 の膜 7 2 D (C u M n 合金膜) のコンタクト抵抗を、コンタクトチェーンによって測定して

いる。

[0064] さらに、本発明者は、鋭意検討した結果、CuMn合金膜の表面状態の指標として接触角に着目し、CuMn表面露出時間とCuMn合金膜の表面の接触角との関係について実験を行ったところ、CuMn表面露出時間とCuMn合金膜の表面の接触角との間には、図7に示すような相関関係があることが分かった。図7は、CuMn合金膜とITO膜とにおけるCuMn表面露出時間とCuMn合金膜の表面の接触角との関係を示す図である。

[0065] 具体的には、図7に示すように、CuMn表面露出時間が一定時間（約60時間）までは、CuMn表面露出時間が増加するに伴って接触角が上昇し、CuMn表面露出時間が一定時間（約60時間）を越えた後は、接触角はほぼ変化しないことが分かった。なお、接触角は、水に対する接触角であり、接触角計を用いて測定した。

[0066] また、本発明者は、CuMn合金膜について、表面状態（接触角）ではなく、原子結合状態（組成変化）の分析も行った。この点について、図8及び図9A～図9Cを用いて説明する。

[0067] 本実験では、metal Cu（純銅）又はCu₂O（1価の銅）とCuO（2価の銅）とCu(OH)₂（2価の銅）とのCuの3つの結合状態を想定してピーク分離を行い、各結合状態の存在比（割合）を算出した。その算出結果を図8に示す。図8は、CuMn合金膜におけるXPSによるCu 2p 3/2スペクトルのピーク分離の分析結果を示す図である。

[0068] そして、Cu膜とMo膜との積層膜（Cu/Mo）及びCuMn合金膜とCu膜とMo膜との積層膜（CuMn/Cu/Mo）におけるCuの各結合状態の存在比の経時変化を調べた。その結果を図9A～図9Cに示す。図9Aは、CuOの存在比の放置時間に対する変化を示す図である。図9Bは、metal Cu又はCu₂Oの存在比の放置時間に対する変化を示す図である。図9Cは、Cu(OH)₂の存在比の放置時間に対する変化を示す図である。なお、図9A～図9Cにおける放置時間は、上記のCuMn表面露出時間のことであり、CuMn合金膜を覆う絶縁膜にコンタクトホールを形成する

際のレジスト膜を除去してからの大気放置による経過時間である。

[0069] 図9Aに示すように、放置時間が変化してもCuOの存在比はほとんど変化しないことが分かる。また、図9Bに示すように、metal Cu又はCu₂Oの存在比については、放置時間の経過とともに減少することが分かる。

[0070] 一方、図9Cに示すように、Cu(OH)₂の存在比については、放置時間の経過とともに増加することが分かる。つまり、放置時間（CuMn表面露出時間）の経過とともに、CuMn合金膜は酸化によってコンタクト抵抗が増加することが分かる。

[0071] なお、図9A～図9Cに示すように、Cu/MoとCuMn/Cu/Moとでは、各結合状態に差があることが分かる。また、Cu/MoとCuMn/Cu/Moとでは、放置時間の変化に対する各結合状態の存在比は同じ傾向にあることが分かる。

[0072] これらの実験結果により、本発明者は、CuMn合金膜の表面の接触角とCuMn合金膜の表面上のコンタクト抵抗との間には相関関係があることを見出し、図6及び図7に基づいて、図10に示すような相関関係があることをつき止めた。図10は、CuMn合金膜の表面の接触角とCuMn合金膜の表面上のコンタクト抵抗との関係を示す図である。

[0073] 図10に示すように、CuMn合金膜の表面の接触角とCuMn合金膜の表面上のコンタクト抵抗との間には相関関係があり、CuMn合金膜の接触角が大きくなるにしたがってCuMn合金膜の表面上のコンタクト抵抗が大きくなることが分かった。しかも、CuMn合金膜の接触角が52°を越えると、コンタクト抵抗の上昇カーブが大きくなり、接触角に対するコンタクト抵抗の傾きが急峻になることが分かった。

[0074] このように、本発明は、CuMn合金膜の表面の接触角とCuMn合金膜の表面上のコンタクト抵抗とに相関関係があるという従来にはない新たな知見に基づいてなされたものであり、本発明者は、CuMn合金膜の表面の接触角をモニタすることによってCuMn合金膜の表面上のコンタクト抵抗を制御できることを見出した。

[0075] 具体的には、CuMn合金膜の表面の接触角を測定し、予め参照データとして測定及び算出しておいた、CuMn合金膜の接触角とCuMn合金膜の表面上のコンタクト抵抗との相関関係（例えば図10）に基づいて、TF T基板の製造工程において実際に測定したCuMn合金膜の接触角が所定の値以下であるか否かを判定することによって、CuMn合金膜の表面上のコンタクト抵抗を制御する。例えば、基板に形成されたCuMn合金膜の接触角をインラインで測定し、プロセスにフィードバックすることによって、CuMn合金膜の表面上のコンタクト抵抗を所望に制御することができる。

[0076] [薄膜トランジスタ基板の製造方法]

次に、上記のコンタクト抵抗の制御を用いた実施の形態に係るTF T基板1の製造方法について、図11A～図11Mを用いて説明する。図11A～図11Mは、実施の形態に係る薄膜トランジスタ基板の製造方法における各工程の断面図である。

[0077] 本実施の形態におけるTF T基板1の製造方法は、CuMn合金膜を有するTF Tを備えるTF T基板の製造方法であって、CuMn合金膜の表面の接触角に基づいてCuMn合金膜の表面上のコンタクト抵抗を制御する制御工程を含む。

[0078] 具体的には、まず、図11Aに示すように、基板2を準備して、当該基板2の上方に所定形状のゲート電極3を形成する。例えば、G8ガラス基板の基板2上にゲート金属膜をスパッタ法によって成膜し、フォトリソグラフィ法及びウェットエッチング法を用いてゲート金属膜を加工することにより、所定形状のゲート電極3を形成する。

[0079] 次に、図11Bに示すように、基板2の上方にゲート絶縁膜4を形成する。例えば、ゲート電極3を覆うようにして酸化シリコンからなるゲート絶縁膜4をプラズマCVD法等によって成膜する。

[0080] 次に、図11Cに示すように、基板2の上方に所定形状の酸化物半導体層5を形成する。本実施の形態では、ゲート絶縁膜4上に酸化物半導体層5を形成する。

- [0081] 例えば、ゲート絶縁膜4上に InGaZnO_x の透明アモルファス酸化物半導体をスパッタ法等によって成膜し、フォトリソグラフィ法及びエッチング法を用いて透明アモルファス酸化物半導体を加工することにより、ゲート電極3の上方に所定形状の酸化物半導体層5を形成する。
- [0082] 次に、図11Dに示すように、酸化物半導体層5を覆うようにしてゲート絶縁膜4上に絶縁層6を形成する。例えば、プラズマCVD法によって、シリコン酸化膜からなる絶縁層6を成膜する。
- [0083] 次に、図11Eに示すように、絶縁層6の一部を除去することによって、酸化物半導体層5とソース電極7S及びドレイン電極7DとをコンタクトさせるためのコンタクトホールCH1及びCH1'を形成する。例えば、酸化物半導体層5の一部が露出するように、フォトリソグラフィ法及びエッチング法を用いて絶縁層6にコンタクトホールCH1及びCH1'を形成する。
- [0084] 次に、図11Fに示すように、酸化物半導体層5に接続するように所定形状のソース電極7S及びドレイン電極7Dを絶縁層6上に形成する。
- [0085] 具体的には、まず、絶縁層6のコンタクトホールCH1及びCH1'を埋めるようにして絶縁層6上にCu膜をスパッタ法で成膜し、次いで、Cu膜上にCuMn合金膜をスパッタ法で成膜する。
- [0086] その後、フォトリソグラフィ法及びエッチング法を用いてCu膜とCuMn合金膜との積層膜を所定形状に加工する。本実施の形態では、エッチャントとして過酸化水素水を用いたウェットエッチングによってCuMn合金膜とCu膜とをパターンニングした。
- [0087] これにより、同図に示すように、Cu膜からなる第1の膜71SとCuMnからなる第2の膜72Sとの積層構造のソース電極7Sと、Cu膜からなる第1の膜71DとCuMnからなる第2の膜72Dとの積層構造のドレイン電極7Dとを形成することができる。
- [0088] 次に、図11Gに示すように、ソース電極7S及びドレイン電極7Dを覆うように絶縁層6上に絶縁層8を成膜する。つまり、CuMn合金膜である第2の膜72S及び72D上に絶縁層8を成膜する。例えば、プラズマCVD

D法によって、300℃の成膜温度でシリコン酸化膜からなる絶縁層8を成膜する。

[0089] 次に、図11H～図11Mに示すようにして、絶縁層8のコンタクトホールを介してドレイン電極7Dに接続するように、所定形状の上層配線9を絶縁層8上に形成する。

[0090] まず、コンタクトホールを絶縁層8に形成してCuMn合金膜である第2の膜72S及び72Dを露出させる。

[0091] 具体的には、図11Hに示すように、絶縁層8上にレジスト膜Rを形成し、次いで、フォトリソグラフィ法によってレジスト膜Rを露光及び感光することによって、図11Iに示すように、ドレイン電極7D上のレジスト膜Rに貫通孔HRを形成する。その後、エッチング法によって、図11Jに示すように、絶縁層8における貫通孔HRに対応する箇所を選択的に除去して絶縁層8にコンタクトホールCH2を形成し、ドレイン電極7Dの表面を露出させる。これにより、ドレイン電極7Dの最上層である第2の膜72D（CuMn合金膜）の表面を露出させる。なお、本実施の形態では、ドライエッチングによってコンタクトホールCH2を形成しているが、ウェットエッチングを用いてもよい。その後、図11Kに示すように、アルカリ溶液等の剥離液によってレジスト膜Rを除去する。

[0092] 次に、CuMn合金膜の表面の接触角に基づいて当該CuMn合金膜の表面上のコンタクト抵抗を制御する（制御工程）。この制御工程では、予め算出した、CuMn合金膜の表面の接触角とCuMn合金膜の表面上のコンタクト抵抗との相関関係（例えば図10）に基づいて、CuMn合金膜の表面上のコンタクト抵抗の制御を行う。例えば、制御工程は、CuMn合金膜の表面の接触角を測定する接触角測定工程と、測定した当該接触角が所定の値以下であるか否かを判定する判定工程とを含む。

[0093] 本実施の形態では、図11Lに示すように、接触角計200を用いて、露出させたドレイン電極7Dの表面の接触角を測定している。つまり、絶縁層8のコンタクトホールCH2から露出するドレイン電極7Dの最上層膜であ

るCuMn合金膜の表面の接触角を測定する（接触角測定工程）。

[0094] その後、測定した接触角が所定の値以下であるか否かを判定する（判定工程）。このとき、測定した接触角が所定の値を超えていると判定された場合、CuMn合金膜の表面を洗浄する（洗浄工程）。

[0095] 洗浄工程では、例えば、アルカリ溶液を用いてCuMn合金膜の表面の洗浄を行うことができる。なお、CuMn合金膜の表面を洗浄する際、上記のレジスト膜Rの剥離液と同じものを洗浄液として用いることができる。このように、CuMn合金膜の表面を再び洗浄することによって、CuMn合金膜の表面に残るレジスト膜R等の残渣を除去することができる。これにより、CuMn合金膜の表面の接触角を小さくできるとともに、CuMn合金膜のコンタクト抵抗を小さくすることができる。

[0096] なお、上記の図10に示すように、CuMn合金膜の接触角が 52° を越えると、コンタクト抵抗の上昇カーブが大きくなるので、上記判定工程における接触角の所定の値は、 52° とするとよい。つまり、測定した接触角が 52° を越える場合は、CuMn合金膜の表面を洗浄等することで、接触角が 52° 以下となるようにコンタクト抵抗を制御する。このように、上昇カーブの小さいCuMn合金膜の接触角が 52° のときを閾値として判定することによって、コンタクト抵抗を容易に制御することができる。すなわち、接触角に対するコンタクト抵抗の傾きが急峻になる領域では、単位接触角に対するコンタクト抵抗の変動幅が大きくなり、コンタクト抵抗を制御しにくくなる。

[0097] 次に、絶縁層8のコンタクトホールCH2を介してCuMn合金膜である第2の膜72D上にITO膜である上層配線9を形成する。具体的には、図11Mに示すように、絶縁層8のコンタクトホールCH2を埋めるようにして絶縁層8上にITO膜をスパッタ法で成膜し、フォトリソグラフィ法及びエッチング法を用いてITO膜を加工することにより、絶縁層8上に所定形状の上層配線9を形成する。本実施の形態では、シュウ酸系のエッチャントを用いたウェットエッチングによってITO膜をパターニングした。

[0098] 以上、本実施の形態に係る T F T 基板 1 の製造方法によれば、C u M n 合金膜の表面の接触角に基づいて C u M n 合金膜の表面上のコンタクト抵抗を制御する制御工程を含んでいる。これにより、所望の性能を有する T F T 基板を実現することができる。

[0099] (変形例等)

以上、薄膜トランジスタ基板、薄膜トランジスタ基板の製造方法及び有機 E L 表示装置について、実施の形態に基づいて説明したが、本発明は、上記実施の形態に限定されるものではない。

[0100] 例えば、上記実施の形態では、T F T 基板において C u M n 合金膜を有する部材としてソース電極及びドレイン電極を例示したが、これに限らない。例えば、図 1 2 に示される 4 層配線層構造の T F T 基板 1 ” のように、C u M n 合金膜を有する部材を、中間配線 9 ” としてもよい。具体的には、図 1 2 に示される T F T 基板 1 ” では、ソース電極 7 S ” 及びドレイン電極 7 D ” が純 C u からなる C u 膜であり、さらに、中間配線 9 ” (第 3 配線層) と、絶縁層 1 0 (第 3 絶縁層) と、上層配線 1 1 (第 4 配線層) とを備えている。中間配線 9 ” は、C u 膜である第 1 の膜 9 1 と C u M n 合金膜である第 2 の膜 9 2 との積層構造である。絶縁層 1 0 は、アクリル系樹脂等の樹脂材料又はシリコン酸化膜等の無機材料からなり、中間配線 9 ” を覆うように絶縁層 8 上に形成される。上層配線 1 1 は、絶縁層 8 上に所定形状で形成された I T O 膜であり、絶縁層 8 に形成されたコンタクトホールを介してドレイン電極 7 D ” に接続されている。

[0101] また、上記実施の形態において、コンタクト抵抗は、C u M n 合金膜と I T O 膜との間のコンタクト抵抗としたが、これに限らない。例えば、C u M n 合金膜とその上に形成される導電膜とのコンタクト抵抗であっても、C u M n 合金膜の表面の接触角を測定することによって当該コンタクト抵抗を制御することができる。

[0102] また、上記実施の形態において、C u M n 合金膜は、C u 膜との積層構造としたが、これに限らない。例えば、C u M n 合金膜は、単層膜の配線又は

電極としてもよい。

[0103] また、上記実施の形態において、薄膜トランジスタは、ボトムゲート型としたが、トップゲート型としても構わない。

[0104] また、上記実施の形態において、薄膜トランジスタは、チャネルエッチングストッパー型（チャネル保護型）としたが、チャネルエッチング型としても構わない。つまり、上記実施の形態において、絶縁層6は形成しなくてもよい。

[0105] また、上記実施の形態では、薄膜トランジスタ基板を用いた表示装置として有機EL表示装置について説明したが、上記実施の形態における薄膜トランジスタ基板は、液晶表示装置等、アクティブマトリクス基板が用いられる他の表示装置にも適用することもできる。

[0106] また、以上説明した有機EL表示装置等の表示装置（表示パネル）については、フラットパネルディスプレイとして利用することができ、テレビジョンセット、パーソナルコンピュータ、携帯電話等、表示パネルを有するあらゆる電子機器に適用することができる。特に、大画面及び高精細の表示装置に適している。

[0107] その他、各実施の形態及び変形例に対して当業者が思いつく各種変形を施して得られる形態や、本発明の趣旨を逸脱しない範囲で各実施の形態及び変形例における構成要素及び機能を任意に組み合わせることで実現される形態も本発明に含まれる。

産業上の利用可能性

[0108] ここに開示された技術は、酸化物半導体を用いた薄膜トランジスタ基板及びその製造方法、並びに、薄膜トランジスタ基板を用いた有機EL表示装置等の表示装置等において広く利用することができる。

符号の説明

[0109] 1、1'、1'' TFT基板

2 基板

3、G1、G2 ゲート電極

4 ゲート絶縁膜
5 酸化物半導体層
6、8、10 絶縁層
7S、7S'、7S''、S1、S2 ソース電極
7D、7D'、7D''、D1、D2 ドレイン電極
9、11 上層配線
9'' 中間配線
100 有機EL表示装置
110 画素
110R、110G、110B サブ画素
111 バンク
120 画素回路
130 有機EL素子
131 陽極
132 EL層
133 陰極
140 ゲート配線
150 ソース配線
160 電源配線
200 接触角計
SwTr、DrTr 薄膜トランジスタ
C キャパシタ
CH1、CH1'、CH2、コンタクトホール
HR 貫通孔

請求の範囲

- [請求項1] CuMn合金膜を有する薄膜トランジスタを備える薄膜トランジスタ基板の製造方法であって、
前記CuMn合金膜を形成する工程と、
前記CuMn合金膜の表面の接触角に基づいて前記CuMn合金膜の表面上のコンタクト抵抗を制御する制御工程とを含む
薄膜トランジスタ基板の製造方法。
- [請求項2] 前記制御工程では、予め算出した、CuMn合金膜の表面の接触角とCuMn合金膜の表面上のコンタクト抵抗との相関関係に基づいて、前記CuMn合金膜の表面上のコンタクト抵抗を制御する
請求項1に記載の薄膜トランジスタ基板の製造方法。
- [請求項3] 前記制御工程は、
前記CuMn合金膜の表面の接触角を測定する接触角測定工程と、
測定した前記接触角が所定の値以下であるか否かを判定する判定工程とを含む
請求項1又は2に記載の薄膜トランジスタ基板の製造方法。
- [請求項4] 前記接触角の所定の値は、 52° である
請求項3に記載の薄膜トランジスタ基板の製造方法。
- [請求項5] 前記制御工程は、さらに、前記判定工程において、測定した前記接触角が前記所定の値を超えていると判定された場合に前記CuMn合金膜の表面を洗浄する洗浄工程を含む
請求項3又は4に記載の薄膜トランジスタ基板の製造方法。
- [請求項6] 前記洗浄工程では、アルカリ溶液を用いて前記CuMn合金膜の表面を洗浄する
請求項5に記載の薄膜トランジスタ基板の製造方法。
- [請求項7] さらに、
前記CuMn合金膜上に絶縁層を成膜する工程と、
コンタクトホールを前記絶縁層に形成して前記CuMn合金膜を露

出させる工程と、

前記コンタクトホールを介して前記CuMn合金膜上にITO膜を形成する工程とを含み、

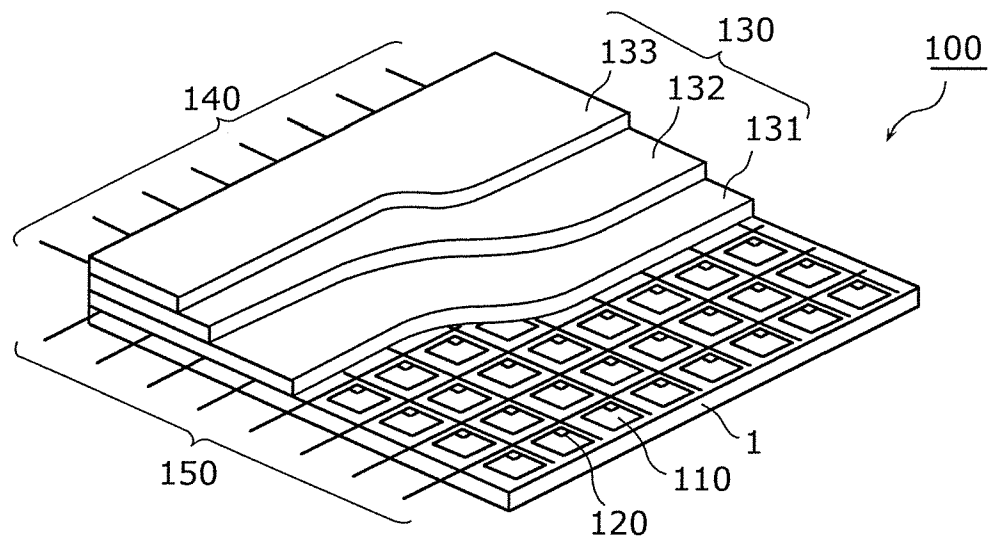
前記制御工程は、前記CuMn合金膜を露出させる工程と前記ITO膜を形成する工程との間に行う

請求項1～6のいずれか1項に記載の薄膜トランジスタ基板の製造方法。

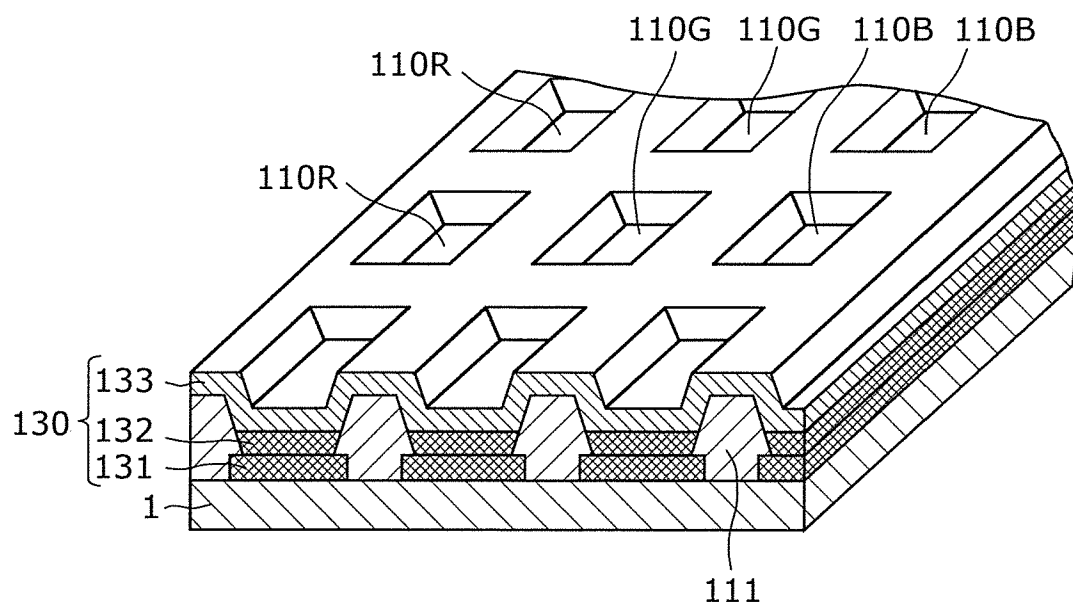
[請求項8] 前記CuMn膜は、前記薄膜トランジスタのソース電極及びドレイン電極の最上層膜である

請求項1～7のいずれか1項に記載の薄膜トランジスタ基板の製造方法。

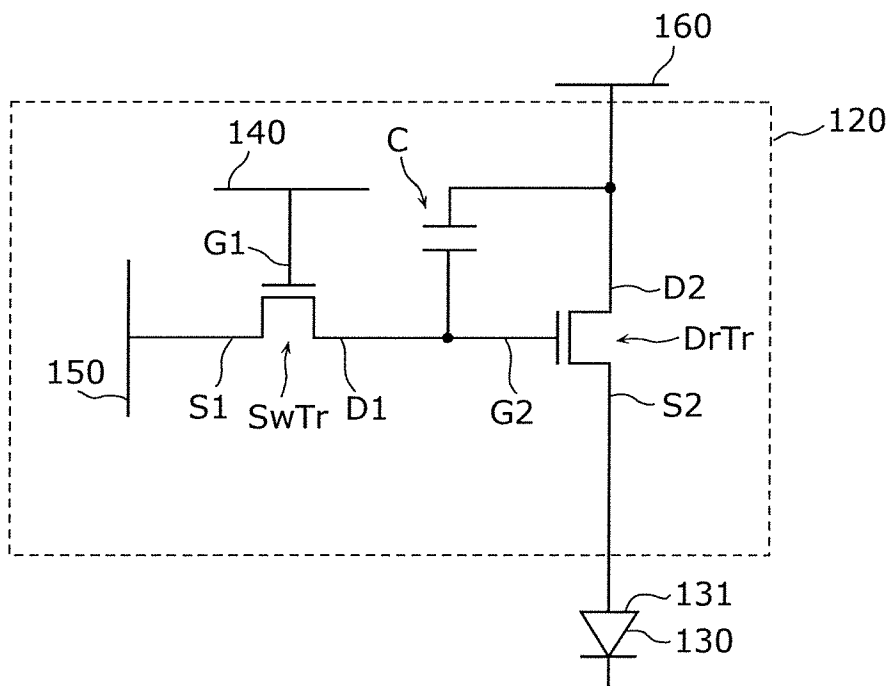
[図1]



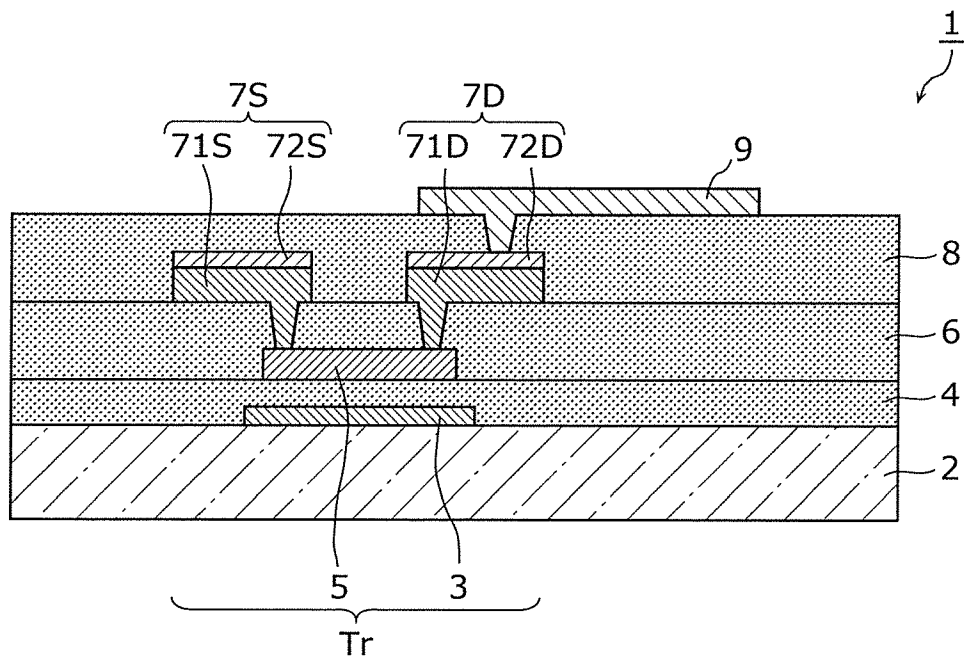
[図2]



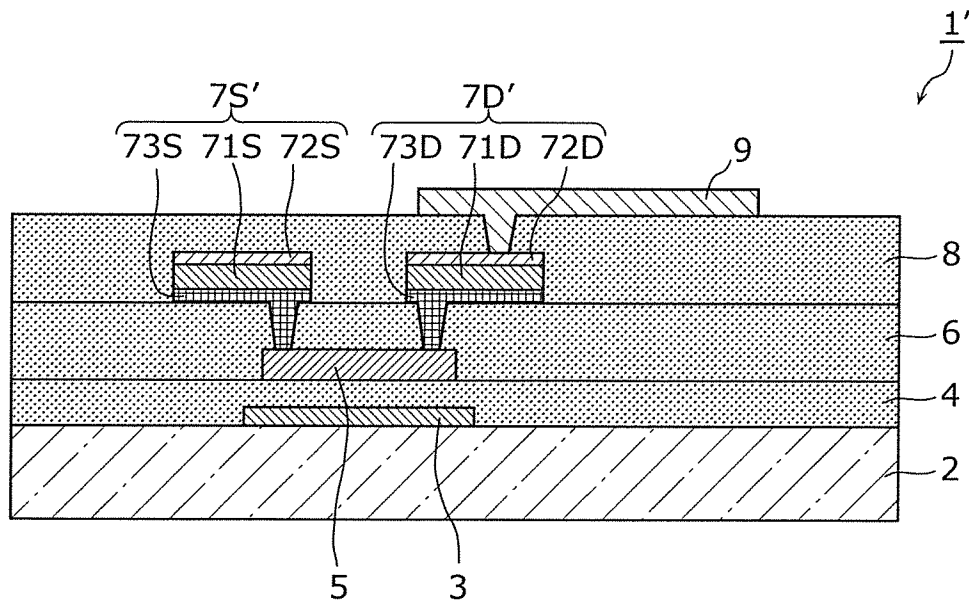
[図3]



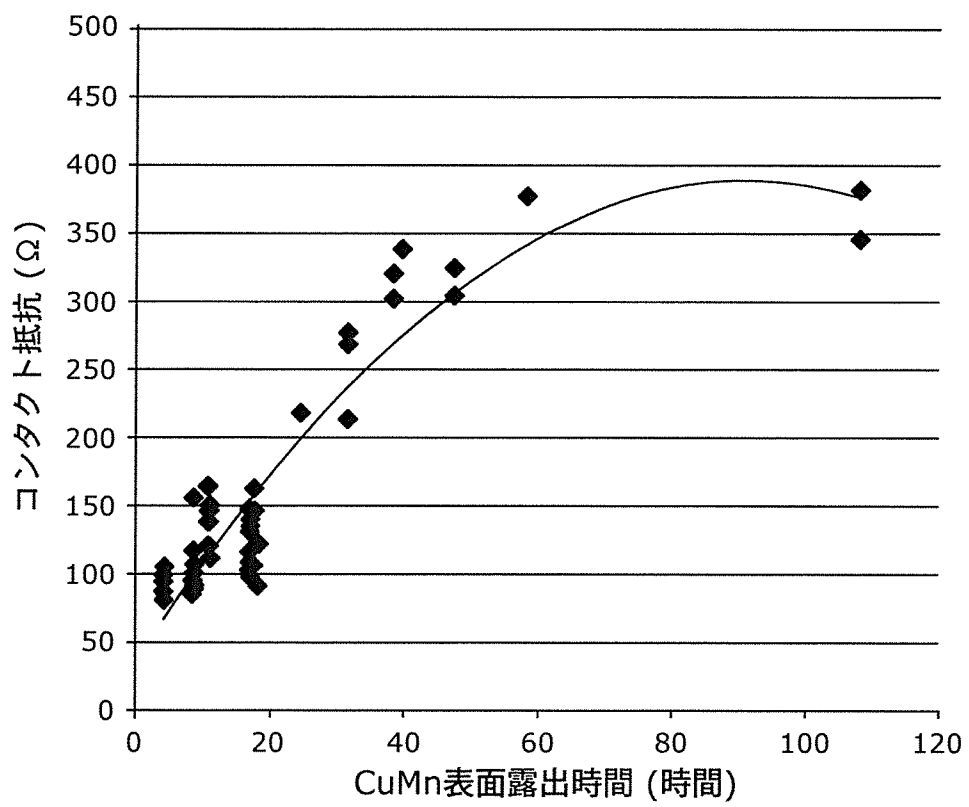
[図4]



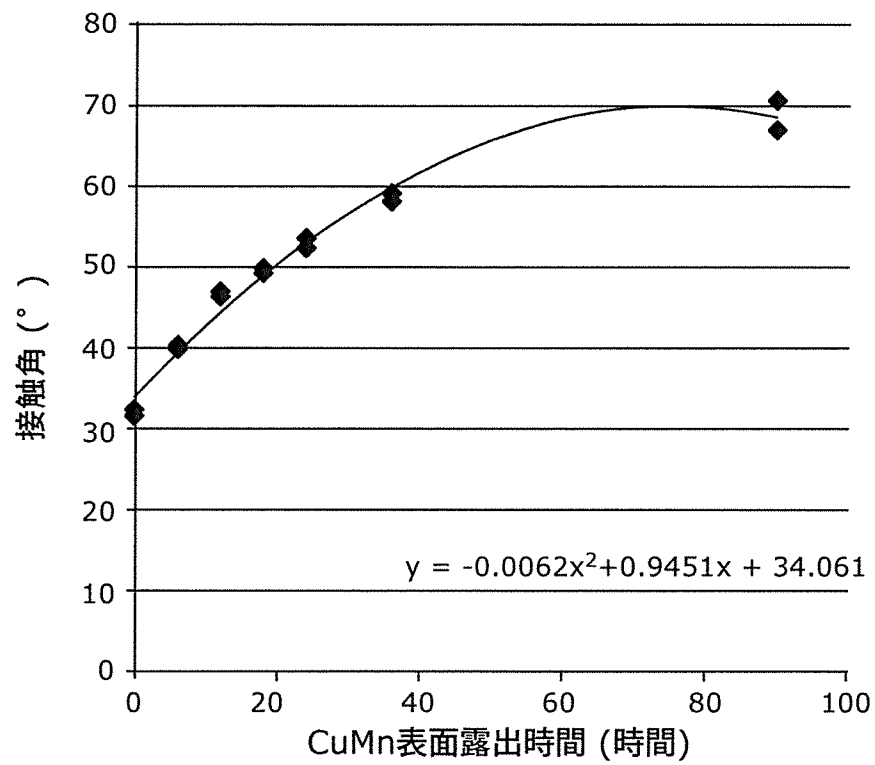
[図5]



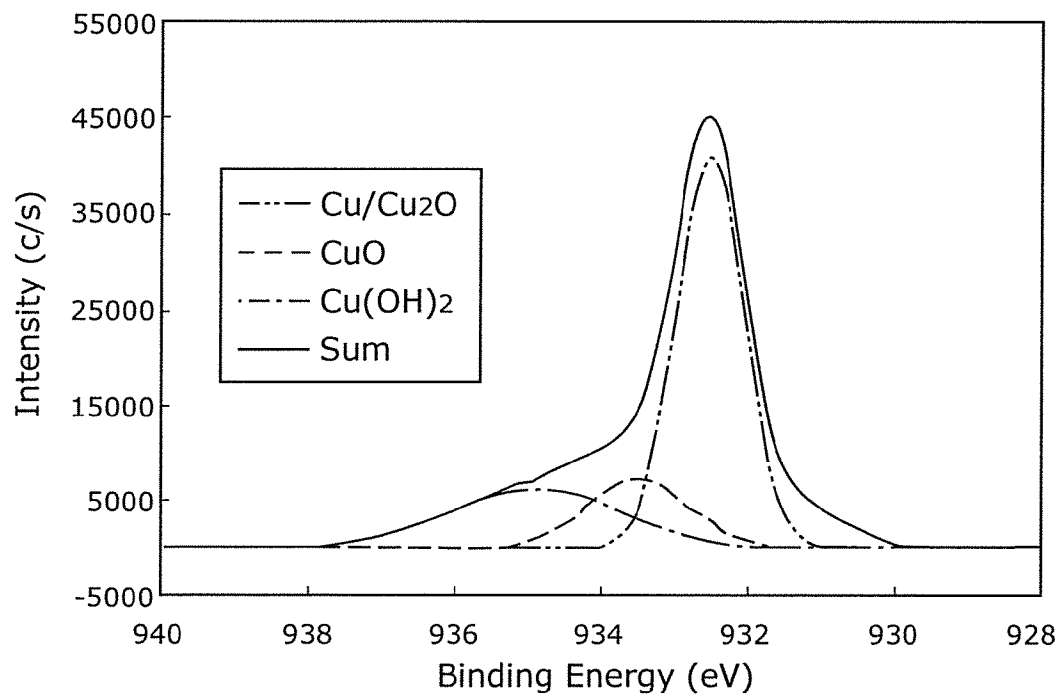
[図6]



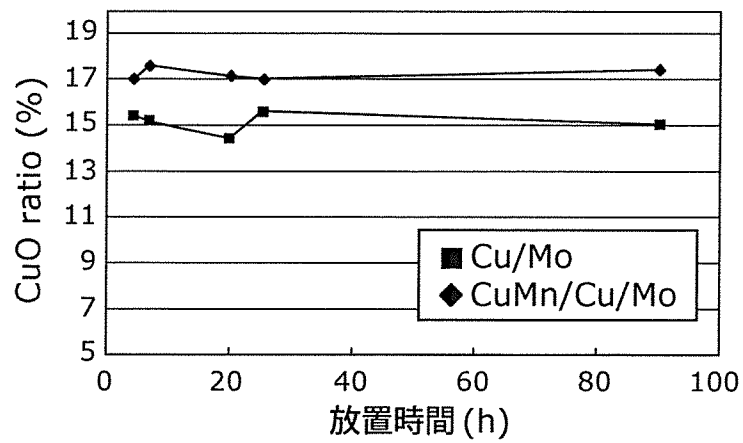
[図7]



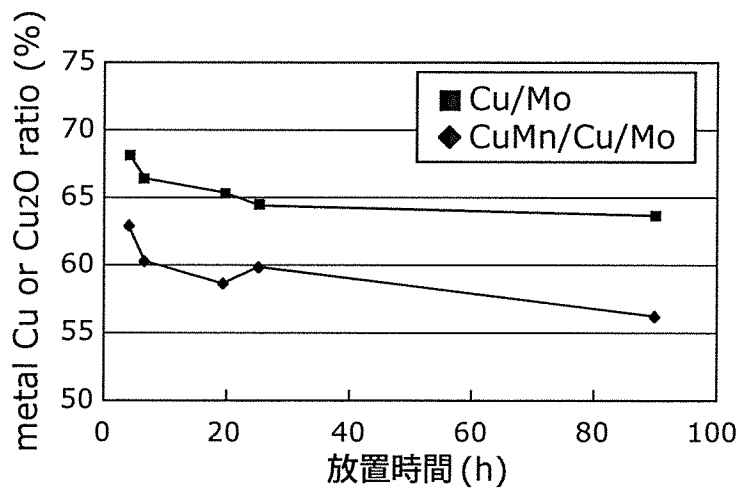
[図8]



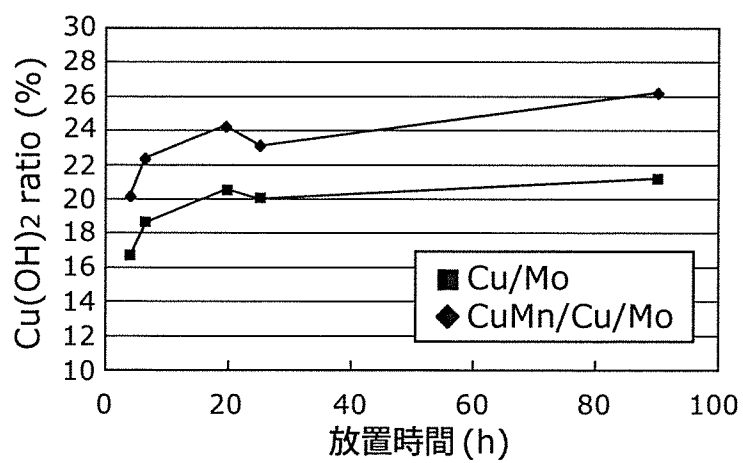
[図9A]



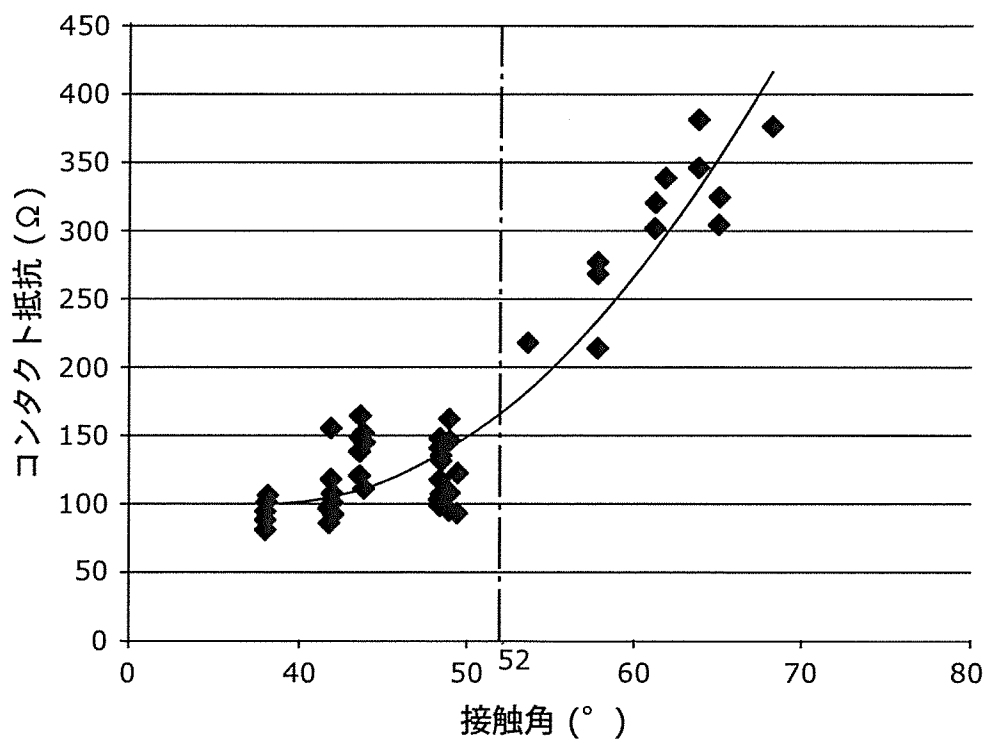
[図9B]



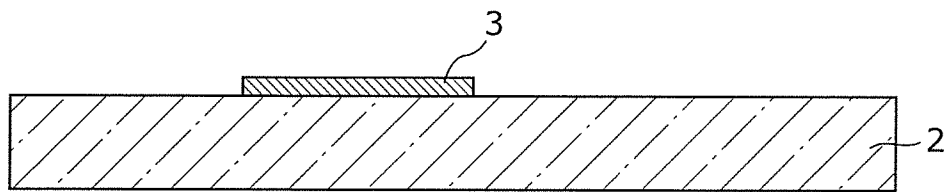
[図9C]



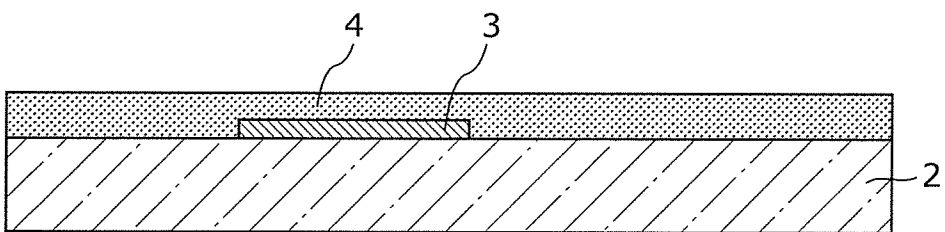
[図10]



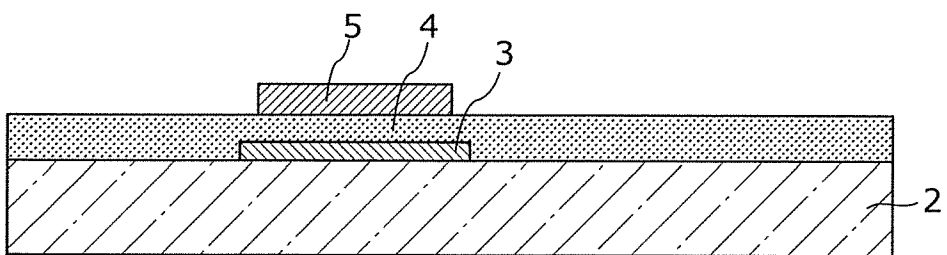
[図11A]



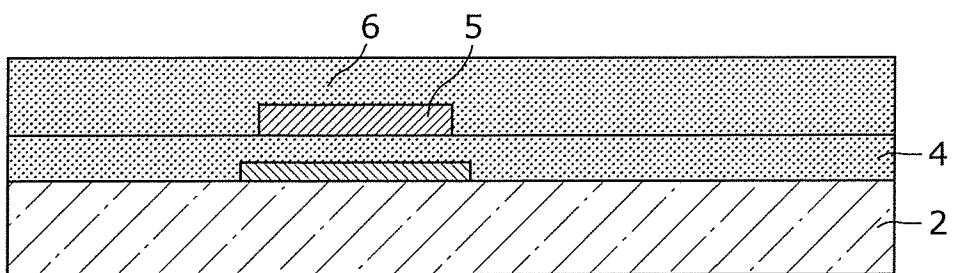
[図11B]



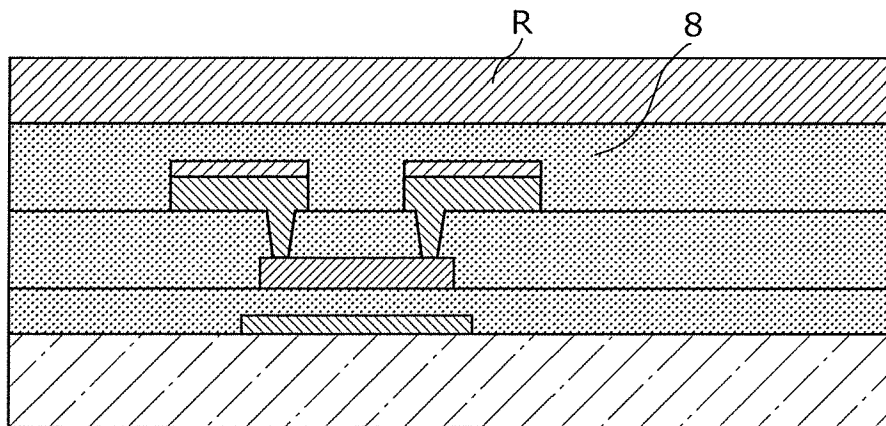
[図11C]



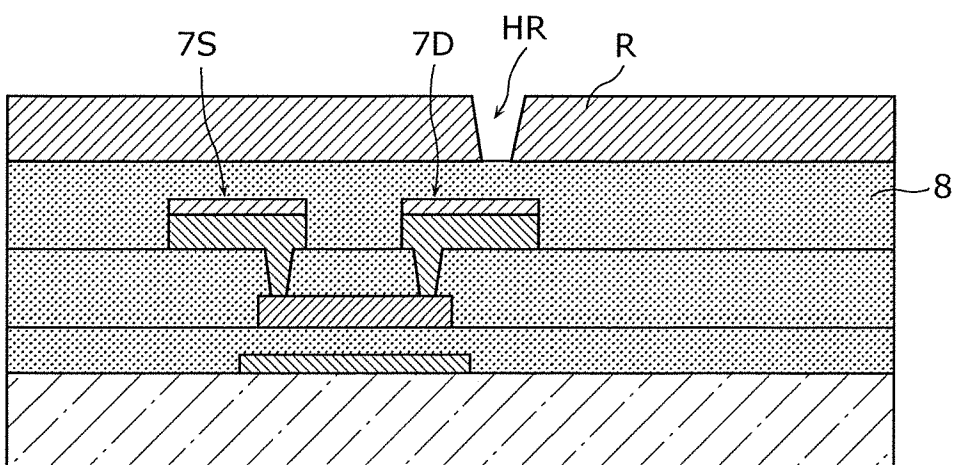
[図11D]



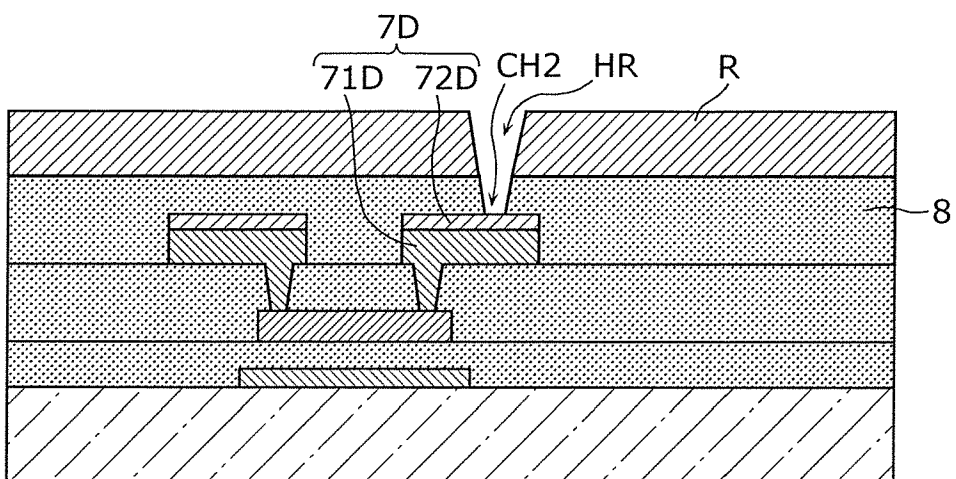
[図11H]



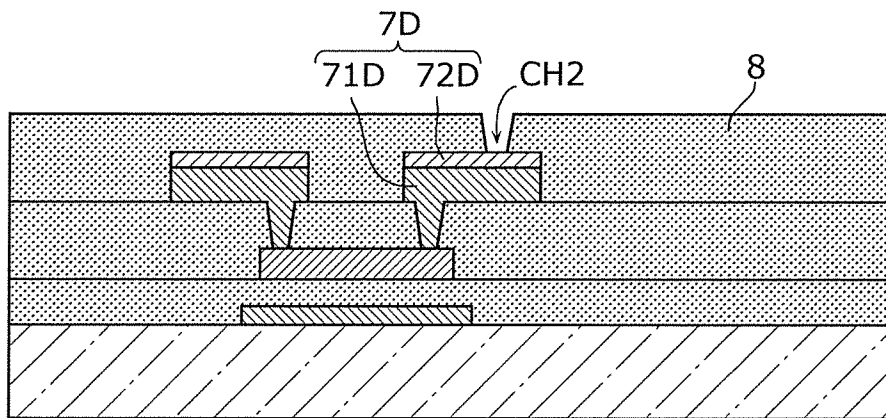
[図11I]



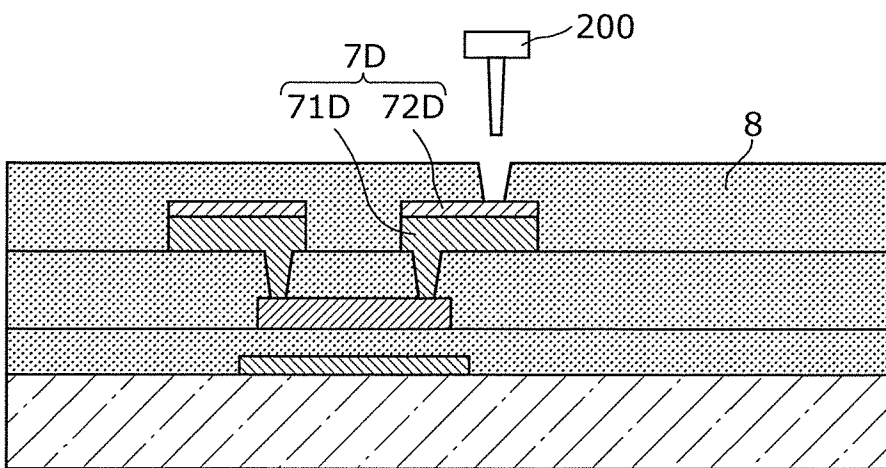
[図11J]



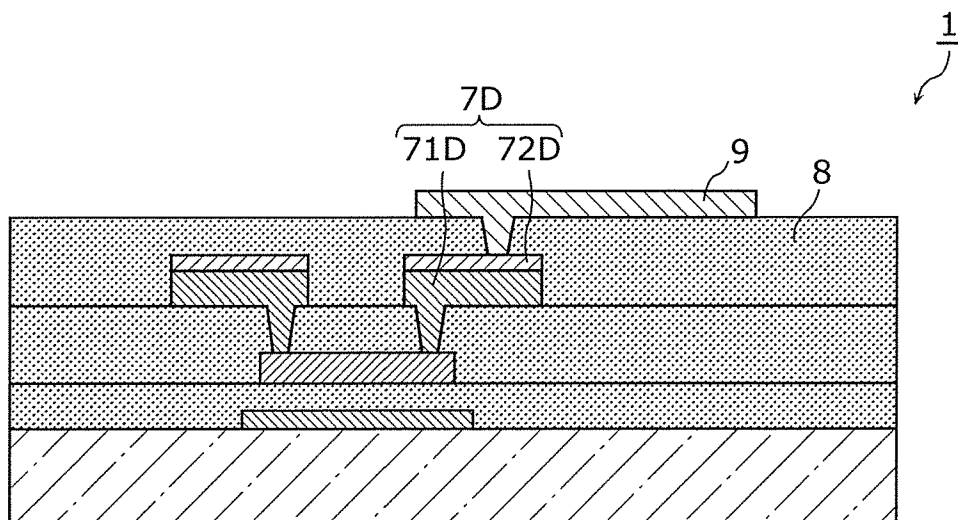
[図11K]



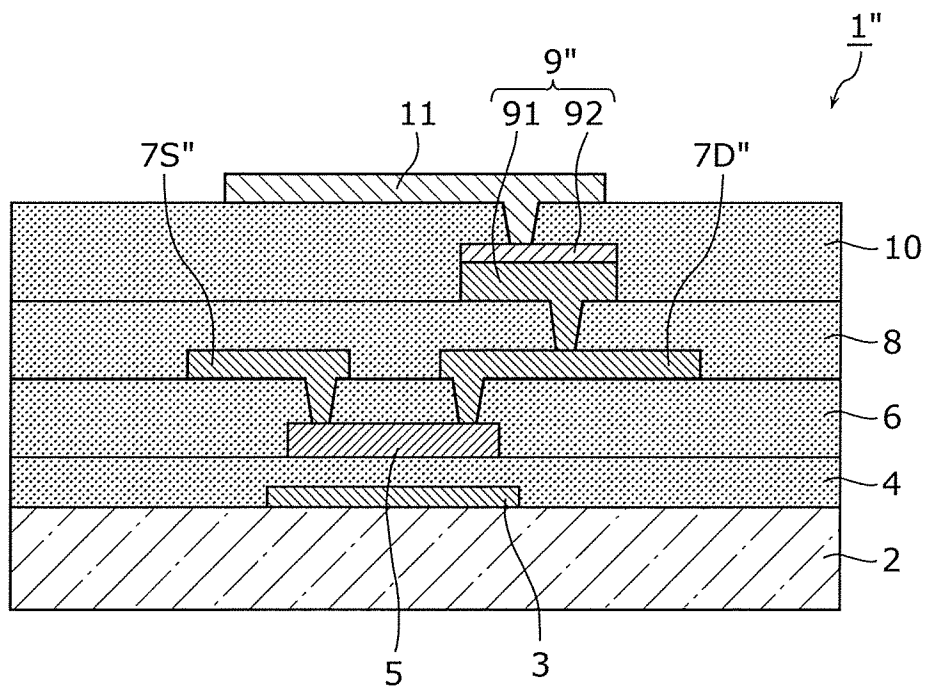
[図11L]



[図11M]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/006377

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, G09F9/30(2006.01)i, H01L21/28(2006.01)i, H01L29/786(2006.01)i, H01L51/50(2006.01)i, H05B33/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, G09F9/30, H01L21/28, H01L29/786, H01L51/50, H05B33/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-214177 A (Toda Corp.), 31 July 2002 (31.07.2002), paragraph [0058]; fig. 3(a) (Family: none)	1-8
A	JP 2004-186275 A (Honda Motor Co., Ltd.), 02 July 2004 (02.07.2004), paragraphs [0047], [0049]; fig. 6(b), 7(b) & US 2004/0105216 A1	1-8
A	WO 2011/089722 A1 (Toyota Motor Corp.), 28 July 2011 (28.07.2011), paragraph [0061]; fig. 9 & US 2012/0288754 A1 & EP 2528144 A1 & CN 102714297 A & KR 10-2012-0113275 A	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 January 2015 (28.01.15)

Date of mailing of the international search report
10 February 2015 (10.02.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/336(2006.01)i, G09F9/30(2006.01)i, H01L21/28(2006.01)i, H01L29/786(2006.01)i,
H01L51/50(2006.01)i, H05B33/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, G09F9/30, H01L21/28, H01L29/786, H01L51/50, H05B33/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-214177 A（戸田建設株式会社） 2002.07.31, 【0058】段落, 【図3】（a） （ファミリーなし）	1-8
A	JP 2004-186275 A（本田技研工業株式会社） 2004.07.02, 【0047】, 【0049】段落, 【図6】（b）, 【図7】（b） & US 2004/0105216 A1	1-8

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 8 . 0 1 . 2 0 1 5

国際調査報告の発送日

1 0 . 0 2 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

山口 大志

5 F

4 0 5 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2011/089722 A1 (トヨタ自動車株式会社) 2011.07.28, [0061], [図 9] & US 2012/0288754 A1 & EP 2528144 A1 & CN 102714297 A & KR 10-2012-0113275 A	1-8