



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0141993
(43) 공개일자 2014년12월11일

(51) 국제특허분류(Int. Cl.)
H01L 21/60 (2006.01) H01L 21/66 (2006.01)
(21) 출원번호 10-2013-0063471
(22) 출원일자 2013년06월03일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김민
충청남도 천안시 동남구 청당2길 118 106동 105호
(청당동, 청당벽산블루밍아파트)
유연상
충청남도 아산시 음봉면 음봉로 567 104동 802호
(더샵레이크사이드아파트)
(뒷면에 계속)
(74) 대리인
박영우

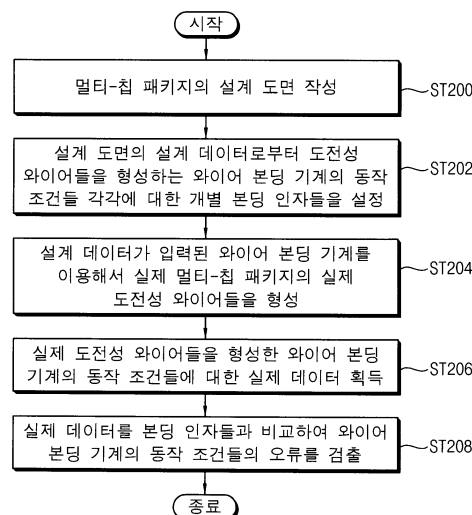
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 와이어 본딩 기계의 동작 조건 오류 검출 방법 및 이를 수행하기 위한 장치

(57) 요약

와이어 본딩 기계의 동작 조건 오류 검출 방법에 따르면, 반도체 패키지의 반도체 칩들을 전기적으로 연결시키는 도전성 와이어들에 대한 정보를 포함하는 설계 데이터로부터 상기 도전성 와이어들을 형성하는 와이어 본딩 기계의 동작 조건들 각각에 대한 개별 본딩 인자(bond parameter)들을 설정한다. 상기 설계 데이터가 입력된 상기 와이어 본딩 기계를 이용해서 실제 반도체 패키지의 실제 도전성 와이어들을 형성한다. 상기 실제 도전성 와이어들을 형성한 상기 와이어 본딩 기계의 동작 조건들에 대한 실제 데이터를 획득한다. 상기 실제 데이터를 상기 본딩 인자들과 비교하여, 상기 와이어 본딩 기계의 동작 조건의 오류를 검출한다. 따라서, 와이어 본딩 기계가 불량 도전성 와이어를 형성하는 것이 미연에 방지되므로, 멀티-칩 패키지 전체를 폐기처분하는 사태를 예방할 수 있다.

대표도 - 도2



(72) 발명자

한원길

충청북도 청주시 흥덕구 대농로 17 102동 1402호
(북대동, 지웰시티1차아파트)

김호암

충청남도 아산시 배방읍 호서로 460 107동 1002호
(배방자이1차아파트)

김병주

충청남도 아산시 배방읍 호서로 460 128동 1405호
(배방자이1차아파트)

이도훈

충청남도 천안시 동남구 풍세로 769-28 211동 703
호 (용곡동, 용곡마을세광2차엔리치타워아파트)

특허청구의 범위

청구항 1

반도체 패키지의 반도체 칩들을 전기적으로 연결시키는 도전성 와이어들에 대한 정보를 포함하는 설계 데이터로부터 상기 도전성 와이어들을 형성하는 와이어 본딩 기계의 동작 조건들 각각에 대한 개별 본딩 인자(bond parameter)들을 설정하는 단계;

상기 설계 데이터가 입력된 상기 와이어 본딩 기계를 이용해서 실제 반도체 패키지의 실제 도전성 와이어들을 형성하는 단계;

상기 실제 도전성 와이어들을 형성한 상기 와이어 본딩 기계의 동작 조건들에 대한 실제 데이터를 획득하는 단계; 및

상기 실제 데이터를 상기 본딩 인자들과 비교하여, 상기 와이어 본딩 기계의 동작 조건의 오류를 검출하는 와이어 본딩 기계의 동작 조건 오류 검출 방법.

청구항 2

제 1 항에 있어서, 상기 설계 데이터에서 상기 도전성 와이어들을 동일한 전기적 연결 기능을 갖는 도전성 와이어들로 그룹핑(grouping)하는 단계를 더 포함하는 와이어 본딩 기계의 동작 조건 오류 검출 방법.

청구항 3

제 2 항에 있어서, 상기 본딩 인자들을 설정하는 단계는

상기 그룹핑된 도전성 와이어들을 형성하는 상기 와이어 본딩 기계의 동작 조건들 각각에 대한 그룹별 본딩 인자들을 설정하는 단계를 포함하는 와이어 본딩 기계의 동작 조건 오류 검출 방법.

청구항 4

제 2 항에 있어서, 상기 도전성 와이어들을 상기 동일한 전기적 연결 기능을 갖는 상기 도전성 와이어들로 그룹핑하는 단계는

상기 도전성 와이어들을 상기 반도체 칩들에 동일한 입출력 신호를 부여하도록 상기 반도체 칩들을 연결하는 상기 도전성 와이어들로 1차 그룹핑하는 단계를 포함하는 와이어 본딩 기계의 동작 조건 오류 검출 방법.

청구항 5

제 4 항에 있어서, 상기 1차 그룹핑된 도전성 와이어들 각각을 동일한 루프(loop) 궤적을 갖는 도전성 와이어들로 2차 그룹핑하는 단계를 더 포함하는 와이어 본딩 기계의 동작 조건 오류 검출 방법.

청구항 6

제 5 항에 있어서, 상기 본딩 인자들을 설정하는 단계는

상기 1차 그룹핑된 도전성 와이어들을 형성하는 상기 와이어 본딩 기계의 동작 조건들 각각에 대한 1차 그룹별 본딩 인자들을 설정하는 단계; 및

상기 2차 그룹핑된 도전성 와이어들을 형성하는 상기 와이어 본딩 기계의 동작 조건들 각각에 대한 2차 그룹별 본딩 인자들을 설정하는 단계를 포함하는 와이어 본딩 기계의 동작 조건 오류 검출 방법.

청구항 7

제 1 항에 있어서, 상기 본딩 인자들은 상기 와이어 본딩 기계가 상기 도전성 와이어 형성에 사용되는 전류, 힘 및 시간을 포함하는 와이어 본딩 기계의 동작 조건 오류 검출 방법.

청구항 8

반도체 패키지의 반도체 칩들을 전기적으로 연결시키는 도전성 와이어들에 대한 정보를 포함하는 설계 데이터로

부터 상기 도전성 와이어들을 형성하는 와이어 본딩 기계의 동작 조건들 각각에 대한 개별 본딩 인자(bond parameter)들을 설정하는 본딩 인자 설정부;

상기 설계 데이터를 이용해서 실제 반도체 패키지의 실제 도전성 와이어들을 형성하는 상기 와이어 본딩 기계의 동작 조건들에 대한 실제 데이터를 획득하는 데이터 획득부; 및

상기 실제 데이터를 상기 본딩 인자들과 비교하여, 상기 와이어 본딩 기계의 동작 조건 오류를 검출하는 검출부를 포함하는 와이어 본딩 기계의 동작 조건 오류 검출 장치.

청구항 9

제 8 항에 있어서, 상기 설계 데이터에서 상기 도전성 와이어들을 동일한 전기적 연결 기능을 갖는 도전성 와이어들로 그룹핑하는 분류부를 더 포함하는 와이어 본딩 기계의 동작 조건 오류 검출 장치.

청구항 10

제 9 항에 있어서, 상기 분류부는

상기 도전성 와이어들을 상기 반도체 칩들에 동일한 입출력 신호를 부여하도록 상기 반도체 칩들을 연결하는 상기 도전성 와이어들로 1차 그룹핑하는 1차 분류부; 및

상기 1차 그룹핑된 도전성 와이어들 각각을 동일한 루프(loop) 궤적을 갖는 도전성 와이어들로 2차 그룹핑하는 2차 분류부를 포함하는 와이어 본딩 기계의 동작 조건 오류 검출 장치.

명세서

기술 분야

[0001] 본 발명은 와이어 본딩 기계의 동작 조건 오류 검출 방법 및 이를 수행하기 위한 장치에 관한 것으로서, 보다 구체적으로는 멀티-칩 패키지의 반도체 칩들을 전기적으로 연결시키는 도전성 와이어들을 형성하는 와이어 본딩 기계의 동작 조건의 오류를 검출하는 방법, 및 이러한 방법을 수행하기 위한 장치에 관한 것이다.

배경 기술

[0002] 일반적으로, 반도체 기판에 여러 가지 반도체 공정들을 수행하여 복수개의 반도체 칩들을 형성한다. 그런 다음, 각 반도체 칩들을 인쇄회로기판에 실장하기 위해서, 반도체 칩에 대해서 패키징 공정을 수행하여 반도체 패키지를 형성한다.

[0003] 반도체 패키지의 저장 용량을 높이기 위해서, 복수개의 반도체 칩들이 적층된 구조를 갖는 멀티-칩 패키지에 대한 연구가 활발히 이루어지고 있다. 적층된 반도체 칩들은 도전성 와이어들을 매개로 전기적으로 연결된다. 도전성 와이어들이 와이어 본딩 공정의 오류에 의해서 결함을 갖게 되면, 반도체 칩들 간의 전기적 연결이 끊어지게 된다. 따라서, 도전성 와이어에 대한 검사가 필수적으로 요구된다.

[0004] 멀티-칩 패키지의 도전성 와이어들은 이웃하는 상하 반도체 칩들을 연결하는 도전성 와이어, 최상부 반도체 칩과 반도체 기판을 연결하는 도전성 와이어 등으로 분류될 수 있다. 각각의 도전성 와이어들은 서로 다른 전기적 연결 기능들을 갖고 있다. 그러므로, 와이어 본딩 공정을 수행하는 와이어 본딩 기계에는 서로 다른 전기적 연결 기능을 갖는 각각의 도전성 와이어들별로 서로 다른 동작 조건들이 설정될 것이 요구된다.

[0005] 그러나, 관련 기술에 따르면, 서로 다른 전기적 연결 기능들을 갖고 있는 도전성 와이어들을 하나의 동작 조건으로 설정된 와이어 본딩 기계로 형성한다. 예를 들어서, 동작 조건이 도전성 와이어를 따라 흐르는 전류일 경우, 서로 다른 전기적 연결 기능에 상관없이 전류의 허용 범위가 매우 폭넓은 하나로 설정된다.

[0006] 이로 인하여, 전기적 연결 기능 측면에서 어느 한 불량 도전성 와이어의 전류 허용 범위는 매우 낮음에도 불구하고, 하나의 폭넓은 전류 허용 범위로 인하여 상기 불량 도전성 와이어를 형성한 와이어 본딩 기계의 동작 조건이 정상으로 판정될 수 있다. 따라서, 멀티-칩 패키지를 제조한 이후의 최종 검사 단계에서, 상기 불량 도전성 와이어로 인하여 멀티-칩 패키지가 불량인 것으로 최종적으로 판정될 수 있다. 결과적으로, 매우 높은 제조 비용이 투입된 멀티-칩 패키지 전체를 폐기처분해야 하는 문제가 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 불량 도전성 와이어 형성을 방지할 수 있는 와이어 본딩 기계의 동작 조건 오류 검출 방법을 제공한다.

[0008] 또한, 본 발명은 상기된 방법을 수행하기 위한 장치도 제공한다.

과제의 해결 수단

[0009] 본 발명의 일 견지에 따른 와이어 본딩 기계의 동작 조건 오류 검출 방법에 따르면, 반도체 패키지의 반도체 칩들을 전기적으로 연결시키는 도전성 와이어들에 대한 정보를 포함하는 설계 데이터로부터 상기 도전성 와이어들 각각을 형성하는 와이어 본딩 기계의 동작 조건들 각각에 대한 개별 본딩 인자(bond parameter)들을 설정한다. 상기 설계 데이터가 입력된 상기 와이어 본딩 기계를 이용해서 실제 반도체 패키지의 실제 도전성 와이어들을 형성한다. 상기 실제 도전성 와이어들을 형성한 상기 와이어 본딩 기계의 동작 조건들에 대한 실제 데이터를 획득한다. 상기 실제 데이터를 상기 본딩 인자들과 비교하여, 상기 와이어 본딩 기계의 동작 조건의 오류를 검출한다.

[0010] 예시적인 실시예들에 있어서, 상기 검출 방법은 상기 설계 데이터에서 상기 도전성 와이어들을 동일한 전기적 연결 기능을 갖는 도전성 와이어들로 그룹핑(grouping)하는 단계를 더 포함할 수 있다.

[0011] 예시적인 실시예들에 있어서, 상기 본딩 인자들을 설정하는 단계는 상기 그룹핑된 도전성 와이어들 각각을 형성하는 와이어 본딩 기계의 동작 조건들에 대한 그룹별 본딩 인자들을 설정하는 단계를 포함할 수 있다.

[0012] 예시적인 실시예들에 있어서, 상기 도전성 와이어들을 상기 동일한 전기적 연결 기능을 갖는 상기 도전성 와이어들로 그룹핑하는 단계는 상기 도전성 와이어들을 상기 반도체 칩들에 동일한 입출력 신호를 부여하도록 상기 반도체 칩들을 연결하는 상기 도전성 와이어들로 1차 그룹핑하는 단계를 포함할 수 있다.

[0013] 예시적인 실시예들에 있어서, 상기 도전성 와이어들로 그룹핑하는 단계는 상기 1차 그룹핑된 도전성 와이어들 각각을 동일한 루프(loop) 궤적을 갖는 도전성 와이어들로 2차 그룹핑하는 단계를 더 포함할 수 있다.

[0014] 예시적인 실시예들에 있어서, 상기 본딩 인자들을 설정하는 단계는 상기 1차 그룹핑된 도전성 와이어들 각각을 형성하는 와이어 본딩 기계의 1차 동작 조건에 대한 1차 그룹별 본딩 인자들을 설정하는 단계, 및 상기 2차 그룹핑된 도전성 와이어들 각각을 형성하는 와이어 본딩 기계의 2차 동작 조건에 대한 2차 그룹별 본딩 인자들을 설정하는 단계를 포함할 수 있다.

[0015] 예시적인 실시예들에 있어서, 상기 본딩 인자들은 상기 와이어 본딩 기계가 상기 도전성 와이어를 형성하는데 사용되는 전류, 힘, 시간 등을 포함할 수 있다.

[0016] 본 발명의 다른 견지에 따른 와이어 본딩 기계의 동작 조건 오류 검출 장치는 본딩 인자 설정부, 데이터 획득부 및 검출부를 포함한다. 본딩 인자 설정부는 반도체 패키지의 반도체 칩들을 전기적으로 연결시키는 도전성 와이어들에 대한 정보를 포함하는 설계 데이터로부터 상기 도전성 와이어들 각각을 형성하는 와이어 본딩 기계의 동작 조건들에 대한 개별 본딩 인자(bond parameter)들을 설정한다. 데이터 획득부는 상기 설계 데이터를 이용해서 실제 반도체 패키지의 실제 도전성 와이어들을 형성하는 상기 와이어 본딩 기계의 동작 조건들에 대한 실제 데이터를 획득한다. 검출부는 상기 실제 데이터를 상기 본딩 인자들과 비교하여, 상기 와이어 본딩 기계의 동작 조건 오류를 검출한다.

[0017] 예시적인 실시예들에 있어서, 상기 검출 장치는 상기 설계 데이터에서 상기 도전성 와이어들을 동일한 전기적 연결 기능을 갖는 도전성 와이어들로 그룹핑하는 분류부를 더 포함할 수 있다.

[0018] 예시적인 실시예들에 있어서, 상기 본딩 인자 설정부는 상기 그룹핑된 도전성 와이어별로 그룹별 본딩 인자들을 설정할 수 있다.

[0019] 예시적인 실시예들에 있어서, 상기 분류부는 상기 도전성 와이어들을 상기 반도체 칩들에 동일한 입출력 신호를 부여하도록 상기 반도체 칩들을 연결하는 상기 도전성 와이어들로 1차 그룹핑하는 1차 분류부를 포함할 수 있다.

[0020] 예시적인 실시예들에 있어서, 상기 분류부는 상기 1차 그룹핑된 도전성 와이어들 각각을 동일한 루프(loop) 궤

적을 갖는 도전성 와이어들로 2차 그룹핑하는 2차 분류부를 더 포함할 수 있다.

[0021] 예시적인 실시예들에 있어서, 상기 본딩 인자 설정부는 상기 1차 그룹핑된 도전성 와이어들 형성하는 상기 와이어 본딩 기계의 1차 동작 조건에 대한 1차 그룹별 본딩 인자들을 설정하는 1차 설정부, 및 상기 2차 그룹핑된 도전성 와이어별들을 형성하는 상기 와이어 본딩 기계의 2차 동작 조건에 대한 2차 그룹별 본딩 인자들을 설정하는 2차 설정부를 포함할 수 있다.

발명의 효과

[0022] 상기된 본 발명에 따르면, 도전성 와이어별로 설정된 본딩 인자들을 이용해서 서로 다른 전기적 연결 기능들을 갖는 도전성 와이어들 각각을 형성하는 와이어 본딩 기계의 동작 조건의 오류를 검출할 수 있다. 따라서, 와이어 본딩 기계가 불량 도전성 와이어를 형성하는 것이 미연에 방지되므로, 멀티-칩 패키지 전체를 폐기처분하는 사태를 예방할 수 있다.

도면의 간단한 설명

[0023] 도 1은 본 발명의 일 실시예에 따른 와이어 본딩 기계의 동작 조건 오류 검출 장치를 나타낸 블록도이다.
 도 2는 도 1의 장치를 이용해서 와이어 본딩 기계의 동작 조건 오류를 검출하는 방법을 순차적으로 나타낸 흐름도이다.
 도 3은 본 발명의 다른 실시예에 따른 와이어 본딩 기계의 동작 조건 오류 검출 장치를 나타낸 블록도이다.
 도 4는 도 3의 장치가 도전성 와이어들을 그룹핑하는 동작을 나타낸 사시도이다.
 도 5는 도 3의 장치를 이용해서 와이어 본딩 기계의 동작 조건 오류를 검출하는 방법을 순차적으로 나타낸 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0024] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다.

[0025] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.

[0026] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0027] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0028] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0029] 도 1은 본 발명의 일 실시예에 따른 와이어 본딩 기계의 동작 조건 오류 검출 장치를 나타낸 블록도이다.

[0030] 도 1을 참조하면, 본 실시예에 따른 와이어 본딩 기계의 동작 조건 오류 검출 장치(100)는 본딩 인자 설정부(110), 데이터 획득부(120) 및 검출부(130)를 포함한다.

[0031] 본 실시예에서, 와이어 본딩 기계는 멀티-칩 패키지의 반도체 칩들을 전기적으로 연결시키는 도전성 와이어들을

형성하는데 사용된다. 멀티-칩 패키지는 패키지 기판, 복수개의 반도체 칩들, 및 복수개의 도전성 와이어들을 포함한다. 반도체 칩들은 패키지 기판의 상부면에 적층된다. 도전성 와이어들은 반도체 칩들 사이, 및 반도체 칩과 패키지 기판 사이를 전기적으로 연결시킨다. 반도체 칩들 사이를 연결하는 도전성 와이어들과 반도체 칩과 패키지 기판 사이를 연결하는 도전성 와이어들을 형성하기 위한 와이어 본딩 기계에는 서로 다른 동작 조건들이 설정될 것이 요구된다. 동작 조건들은 도전성 와이어들의 길이, 전류, 힘, 시간 등을 포함한다. 따라서, 도전성 와이어들은 서로 다른 전기적 연결 기능들을 갖는다.

[0032] 본딩 인자 설정부(110)는 서로 다른 전기적 연결 기능들을 갖는 도전성 와이어들을 형성하는 와이어 본딩 기계의 동작 조건들 각각에 대한 개별 본딩 인자들을 설정한다. 즉, 본딩 인자 설정부(110)는 도전성 와이어들을 형성하는 와이어 본딩 기계의 모든 동작 조건에 대해서 개별적인 본딩 인자들을 설정한다.

[0033] 예를 들어서, 반도체 칩들을 연결하는 도전성 와이어들을 형성하기 위한 와이어 본딩 기계에는 실질적으로 동일한 동작 조건이 설정된다. 따라서, 이러한 도전성 와이어들을 형성하는 와이어 본딩 기계에는 동일한 본딩 인자가 설정된다. 또한, 반도체 칩과 패키지 기판을 연결하는 도전성 와이어들을 형성하기 위한 와이어 본딩 기계에도 실질적으로 동일한 동작 조건이 설정된다. 따라서, 이러한 도전성 와이어들에을 형성하는 와이어 본딩 기계에도 동일한 본딩 인자가 설정된다.

[0034] 반면에, 반도체 칩과 패키지 기판을 연결하는 도전성 와이어들을 형성하는 와이어 본딩 기계에는 서로 다른 동작 조건들이 설정된다. 반도체 칩과 패키지 기판을 연결하는 도전성 와이어들을 형성하는 와이어 본딩 기계의 동작 조건은 반도체 칩들을 연결하는 도전성 와이어들을 형성하는 와이어 본딩 기계의 동작 조건과는 상이하다.

[0035] 본 실시예에서, 본딩 인자 설정부(110)는 멀티-칩 패키지의 설계 데이터로부터 개별 본딩 인자들을 설정한다. 설계자가 멀티-칩 패키지의 설계 도면을 작성하면, 본딩 인자 설정부(110)는 설계 도면의 설계 데이터로부터 각 도전성 와이어들을 형성하는 와이어 본딩 기계의 동작 조건들에 대한 본딩 인자들을 개별적으로 설정한다. 개별 본딩 인자들은 각 도전성 와이어들의 전기적 연결 기능들에 따라 개별적으로 설정되었으므로, 이러한 개별 본딩 인자들은 와이어 본딩 기계의 동작 조건들의 오류를 검출하는 기준이 된다.

[0036] 데이터 획득부(120)는 실제 멀티-칩 패키지의 실제 도전성 와이어들을 형성한 와이어 본딩 기계의 동작 조건들에 대한 실제 데이터를 획득한다. 본 실시예에서, 설계 데이터를 와이어 본딩 기계에 입력하면, 와이어 본딩 기계는 설계 데이터에 따라 멀티-칩 패키지의 도전성 와이어들을 형성한다. 데이터 획득부(120)는 실제 멀티-칩 패키지의 실제 도전성 와이어들을 형성한 와이어 본딩 기계의 동작 조건들에 대한 실제 데이터를 획득한다. 실제 데이터는 실제 도전성 와이어들 각각을 형성한 와이어 본딩 기계의 동작 조건들에 대한 개별 데이터이다.

[0037] 검출부(130)는 실제 데이터를 본딩 인자들과 비교하여, 와이어 본딩 기계의 동작 조건들의 오류를 검출한다. 전술한 바와 같이, 개별 본딩 인자들은 도전성 와이어들의 서로 다른 전기적 연결 기능들에 따라 설정되었으므로, 실제 데이터와 본딩 인자 간의 비교를 통해서 검출부(130)는 와이어 본딩 기계의 동작 조건들의 오류를 정확하게 검출할 수가 있다.

[0038] 도 2는 도 1의 장치를 이용해서 와이어 본딩 기계의 동작 조건 오류를 검출하는 방법을 순차적으로 나타낸 흐름도이다.

[0039] 도 1 및 도 2를 참조하면, 단계 ST200에서, 멀티-칩 패키지의 설계 도면을 작성한다. 본 실시예에서, 설계 도면의 멀티-칩 패키지는 패키지 기판, 복수개의 반도체 칩들, 및 복수개의 도전성 와이어들을 포함한다. 반도체 칩들은 패키지 기판의 상부면에 적층된다. 도전성 와이어들은 반도체 칩들 사이, 및 반도체 칩과 패키지 기판 사이를 전기적으로 연결시킨다. 반도체 칩들 사이를 연결하는 도전성 와이어들과 반도체 칩과 패키지 기판 사이를 연결하는 도전성 와이어들을 형성하기 위한 와이어 본딩 기계에는 서로 다른 동작 조건들이 설정될 것이 요구된다. 동작 조건들은 도전성 와이어들의 길이, 전류, 힘, 시간 등을 포함한다. 따라서, 도전성 와이어들은 서로 다른 전기적 연결 기능들을 갖는다.

[0040] 단계 ST202에서, 본딩 인자 설정부(110)가 설계 도면의 설계 데이터로부터 도전성 와이어들을 형성하는 와이어 본딩 기계의 동작 조건들에 대한 개별 본딩 인자들을 설정한다. 본 실시예에서, 본딩 인자 설정부(110)는 도전성 와이어들을 형성하는 와이어 본딩 기계의 모든 동작 조건들에 대해서 개별적인 본딩 인자들을 설정한다.

[0041] 예를 들어서, 반도체 칩들을 연결하는 도전성 와이어들을 형성하기 위한 와이어 본딩 기계에는 실질적으로 동일한 동작 조건이 설정된다. 따라서, 본딩 인자 설정부(110)는 이러한 도전성 와이어들을 형성하는 와이어 본딩 기계에 동일한 본딩 인자를 설정한다. 또한, 반도체 칩과 패키지 기판을 연결하는 도전성 와이어들을 형성하기 위한 와이어 본딩 기계에도 실질적으로 동일한 동작 조건이 설정된다. 따라서, 본딩 인자 설정부(110)는 이러한

도전성 와이어들을 형성하는 와이어 본딩 기계에도 동일한 본딩 인자를 설정한다.

- [0042] 반면에, 반도체 칩과 패키지 기판을 연결하는 도전성 와이어들을 형성하는 와이어 본딩 기계에는 서로 다른 동작 조건들이 설정된다. 반도체 칩과 패키지 기판을 연결하는 도전성 와이어들을 형성하는 와이어 본딩 기계의 동작 조건은 반도체 칩들을 연결하는 도전성 와이어들을 형성하는 와이어 본딩 기계의 동작 조건과는 상이하다. 따라서, 본딩 인자 설정부(110)는 서로 다른 전기적 연결 기능들을 갖는 도전성 와이어들을 형성하는 와이어 본딩 기계에 서로 다른 본딩 인자들을 설정한다.
- [0043] 단계 ST204에서, 설계 데이터를 와이어 본딩 기계에 입력한다. 와이어 본딩 기계는 설계 데이터에 따라 멀티-칩 패키지의 실제 도전성 와이어들을 형성한다.
- [0044] 단계 ST206에서, 데이터 획득부(120)는 실제 도전성 와이어들을 형성한 와이어 본딩 기계의 동작 조건들에 대한 실제 데이터를 획득한다. 실제 데이터는 실제 도전성 와이어들을 형성하는 와이어 본딩 기계의 동작 조건들 각각에 대한 개별 데이터이다.
- [0045] 단계 ST208에서, 검출부(130)가 실제 개별 데이터를 개별 본딩 인자들 각각과 비교하여, 와이어 본딩 기계의 동작 조건들의 오류를 검출한다. 개별 본딩 인자들은 도전성 와이어들의 서로 다른 전기적 연결 기능들에 따라 설정되었으므로, 실제 데이터와 본딩 인자 간의 비교를 통해서 검출부(130)는 와이어 본딩 기계의 동작 조건들의 오류를 정확하게 검출할 수가 있다.
- [0046] 검출부(130)가 와이어 본딩 기계의 동작 조건 중 어느 하나의 오류를 검출하면, 와이어 본딩 기계의 동작을 정지시킨다. 따라서, 와이어 본딩 기계가 오류의 동작 조건으로 불량 도전성 와이어를 형성하는 것을 사전에 방지할 수 있다.
- [0047] 도 3은 본 발명의 다른 실시예에 따른 와이어 본딩 기계의 동작 조건 오류 검출 장치를 나타낸 블록도이고, 도 4는 도 3의 장치가 도전성 와이어들을 그룹핑하는 동작을 나타낸 사시도이다.
- [0048] 도 3을 참조하면, 본 실시예에 따른 멀티-칩 패키지의 도전성 와이어 검사 장치(100)는 본딩 인자 설정부(110), 데이터 획득부(120), 검출부(130) 및 분류부(140)를 포함한다.
- [0049] 본 실시예에서, 도 4를 참조하면, 멀티-칩 패키지는 패키지 기판(S), 제 1 반도체 칩(C1), 제 2 반도체 칩(C2), 제 1 도전성 와이어들(WG1) 및 제 2 도전성 와이어들(WG2)을 포함한다. 제 1 반도체 칩(C1)은 패키지 기판(S)의 상부면에 배치된다. 제 2 반도체 칩(C2)은 제 1 반도체 칩(C1)의 상부면에 배치된다. 제 1 반도체 칩(C1)과 제 2 반도체 칩(C2)은 십자형으로 적층된다. 제 1 도전성 와이어(WG1)들은 제 1 반도체 칩(C1)과 제 2 반도체 칩(C2)을 전기적으로 연결시킨다. 따라서, 제 1 도전성 와이어(WG1)들은 제 1 반도체 칩(C1)의 제 1 패드(CP1)와 제 2 반도체 칩(C2)의 제 2 패드(CP2) 사이에 연결된다. 제 2 도전성 와이어(WG2)들은 제 2 반도체 칩(C2)과 패키지 기판(S)을 전기적으로 연결시킨다. 따라서, 제 2 도전성 와이어(WG2)들은 제 2 반도체 칩(C2)의 제 2 패드(CP2)와 패키지 기판(S)의 기판 패드(SP) 사이에 연결된다. 제 1 반도체 칩(C1)과 제 2 반도체 칩(C2)을 연결하는 제 1 도전성 와이어(WG1)들과 제 2 반도체 칩(C2)과 패키지 기판(S)을 연결하는 제 2 도전성 와이어(WG2)들은 서로 다른 전기적 연결 기능들을 갖는다.
- [0050] 분류부(140)는 도전성 와이어들을 동일한 전기적 연결 기능을 갖는 도전성 와이어들로 그룹핑한다. 동일한 전기적 연결 기능은 실질적으로 동일한 길이, 전류, 힘, 시간 등을 의미한다. 본 실시예에서, 분류부(140)는 1차 분류부(142) 및 2차 분류부(144)를 포함한다.
- [0051] 1차 분류부(142)는 도전성 와이어들을 반도체 칩들에 동일한 입출력 신호를 부여하는 도전성 와이어들로 1차 그룹핑한다. 본 실시예에서, 도 4에 도시된 바와 같이, 제 1 도전성 와이어(WG1)들은 제 1 반도체 칩(C1)의 제 1 패드(CP1)와 제 2 반도체 칩(C2)의 제 2 패드(CP2)를 전기적으로 연결시킨다. 제 1 반도체 칩(C1)과 제 2 반도체 칩(C2) 사이에는 제 1 도전성 와이어(WG1)들을 통해서 실질적으로 동일한 입출력 신호가 흐르게 되므로, 제 1 반도체 칩(C1)과 제 2 반도체 칩(C1)에는 제 1 도전성 와이어(WG1)들에 의해서 동일한 입출력 신호가 부여된다. 또한, 제 2 도전성 와이어(WG2)들은 제 2 반도체 칩(C2)의 제 2 패드(CP2)와 패키지 기판(S)의 기판 패드(SP)를 전기적으로 연결시킨다. 제 2 반도체 칩(C2)과 패키지 기판(S) 사이에는 제 2 도전성 와이어(WG2)들을 통해서 실질적으로 동일한 입출력 신호가 흐르게 되므로, 제 2 반도체 칩(C2)과 패키지 기판(S)에는 제 2 도전성 와이어(WG1)들에 의해서 동일한 입출력 신호가 부여된다.
- [0052] 1차 분류부(142)는 제 1 반도체 칩(C1)과 제 2 반도체 칩(C2)에 실질적으로 동일한 입출력 신호를 부여하는 제 1 도전성 와이어(WG1)들을 제 1 그룹으로 그룹핑한다. 또한, 1차 분류부(142)는 제 2 반도체 칩(C2)과 패키지

기관(S)에 실질적으로 동일한 입출력 신호를 부여하는 제 2 도전성 와이어(WG2)들을 제 2 그룹으로 그룹핑한다.

- [0053] 2차 분류부(144)는 1차 그룹핑된 도전성 와이어들을 동일한 루프 궤적을 갖는 도전성 와이어들로 2차 그룹핑한다. 본 실시예에서, 도 4를 참조하면, 제 2 그룹의 제 2 도전성 와이어(WG2)들은 제 2 반도체 칩(C2)의 중앙부에 배치된 제 2 중앙 도전성 와이어(WG2-1), 및 제 2 반도체 칩(C2)의 가장자리부에 배치된 제 2 가장자리 도전성 와이어(WG2-2)들을 포함한다. 한편, 제 2 도전성 와이어(WG2)들 간의 접촉 방지를 위해, 기관 패드(SP)들은 제 2 패드(CP2)들 간의 간격보다 넓은 간격으로 배열된다. 따라서, 기관 패드(SP)들 중 양측 외곽에 배치된 기관 패드(SP)들은 제 2 반도체 칩(C2)의 측면을 넘어서는 위치에 위치될 수 있다. 그러므로, 제 2 가장자리 도전성 와이어(WG2-2)들은 제 2 중앙 도전성 와이어(WG2-1)들보다 긴 루프 궤적을 갖게 된다. 즉, 제 2 중앙 도전성 와이어(WG2-1)들과 제 2 가장자리 도전성 와이어(WG2-2)들은 서로 다른 루프 궤적들을 갖는다.
- [0054] 2차 분류부(144)는 제 2 중앙 도전성 와이어(WG2-1)들을 실질적으로 동일한 루프 궤적을 갖는 제 2-1 서브 그룹으로 그룹핑한다. 또한, 2차 분류부(144)는 제 2 가장자리 도전성 와이어(WG2-2)들을 실질적으로 동일한 루프 궤적을 갖는 제 2-2 서브 그룹으로 그룹핑한다. 2차 분류부(144)는 제 1 도전성 와이어(WG1)들에 대해서도 2차로 그룹핑할 수 있다.
- [0055] 본딩 인자 설정부(110)는 서로 다른 전기적 연결 기능들을 갖는 도전성 와이어들을 형성하는 와이어 본딩 기계의 동작 조건들 각각에 대한 개별 본딩 인자들을 설정한다. 본 실시예에서, 본딩 인자 설정부(110)는 1차 설정부(112) 및 2차 설정부(114)를 포함한다.
- [0056] 1차 설정부(112)는 1차 그룹핑된 도전성 와이어들을 형성하는 와이어 본딩 기계의 1차 동작 조건에 대한 1차 그룹별 본딩 인자들을 설정한다. 본 실시예에서, 1차 분류부(142)가 제 1 도전성 와이어(WG1)들을 제 1 그룹, 및 제 2 도전성 와이어(WG2)들을 제 2 그룹으로 그룹핑하였으므로, 1차 설정부(112)는 제 1 그룹의 제 1 도전성 와이어(WG1)들을 형성하는 와이어 본딩 기계의 1차 동작 조건에 대한 제 1 본딩 인자들을 설정한다. 또한, 1차 설정부(112)는 제 2 그룹의 제 2 도전성 와이어(WG2)들을 형성하는 와이어 본딩 기계의 2차 동작 조건에 대한 제 2 본딩 인자들을 설정한다.
- [0057] 2차 설정부(114)는 2차 그룹핑된 도전성 와이어들을 형성하는 와이어 본딩 기계의 2차 서브 동작 조건에 대한 2차 그룹별 본딩 인자들을 설정한다. 본 실시예에서, 2차 분류부(144)가 제 2 중앙 도전성 와이어(WG2-1)들을 제 2-1 서브 그룹, 제 2 가장자리 도전성 와이어(WG2-2)들을 제 2-2 서브 그룹으로 그룹핑하였으므로, 2차 설정부(114)는 제 2-1 서브 그룹의 제 2 중앙 도전성 와이어(WG2-1)들을 형성하는 와이어 본딩 기계의 2차 서브-1 동작 조건에 대한 제 2-1 본딩 인자, 제 2-2 서브 그룹의 제 2 가장자리 도전성 와이어(WG2-2)들을 형성하는 와이어 본딩 기계의 2차 서브-2 동작 조건에 대한 제 2-2 본딩 인자를 설정한다.
- [0058] 데이터 획득부(120)는 실제 멀티-칩 패키지의 실제 도전성 와이어들을 형성한 와이어 본딩 기계의 동작 조건들에 대한 실제 데이터를 획득한다. 본 실시예에서, 설계 데이터를 와이어 본딩 기계에 입력하면, 와이어 본딩 기계는 설계 데이터에 따라 멀티-칩 패키지의 도전성 와이어들을 형성한다. 데이터 획득부(120)는 실제 멀티-칩 패키지의 실제 도전성 와이어들을 형성한 와이어 본딩 기계의 동작 조건들에 대한 실제 데이터를 획득한다. 실제 데이터는 와이어 본딩 기계의 동작 조건들 각각에 대한 개별 데이터이다.
- [0059] 검출부(130)는 실제 데이터를 본딩 인자들과 비교하여, 와이어 본딩 기계의 동작 조건들의 오류를 검출한다. 본 실시예에서, 검출부(130)는 제 1 그룹에 속하는 실제 제 1 도전성 와이어들을 형성하는 와이어 본딩 기계의 동작 조건에 대한 실제 데이터를 제 1 본딩 인자들과 비교한다. 검출부(130)는 제 2-1 서브 그룹에 속하는 실제 제 2 중앙 도전성 와이어들을 형성하는 와이어 본딩 기계의 2차 서브-1 동작 조건에 대한 실제 데이터를 제 2-1 본딩 인자들과 비교한다. 검출부(130)는 제 2-2 서브 그룹에 속하는 실제 제 2 가장자리 도전성 와이어들을 형성하는 와이어 본딩 기계의 2차 서브-2 동작 조건에 대한 실제 데이터를 제 2-2 본딩 인자들과 비교한다. 이와 같이, 검출부(130)는 각 그룹별 도전성 와이어들을 형성하는 와이어 본딩 기계의 동작 조건들에 대한 각 그룹별 실제 데이터를 그룹별 본딩 인자들과 개별적으로 비교하여, 와이어 본딩 기계의 동작 조건들의 오류를 정확하게 검출한다.
- [0060] 도 5는 도 3의 장치를 이용해서 멀티-칩 패키지의 도전성 와이어를 검사하는 방법을 순차적으로 나타낸 흐름도이다.
- [0061] 도 3 내지 도 5를 참조하면, 단계 ST300에서, 멀티-칩 패키지의 설계 도면을 작성한다. 본 실시예에서, 설계 도면의 멀티-칩 패키지는 패키지 기관(S), 제 1 반도체 칩(C1), 제 2 반도체 칩(C2), 제 1 도전성 와이어들(WG1) 및 제 2 도전성 와이어들(WG2)을 포함한다. 제 1 반도체 칩(C1)은 패키지 기관(S)의 상부면에 배치된다. 제 2

반도체 칩(C2)은 제 1 반도체 칩(C1)의 상부면에 배치된다. 제 1 반도체 칩(C1)과 제 2 반도체 칩(C2)은 십자형으로 적층된다. 제 1 도전성 와이어(WG1)들은 제 1 반도체 칩(C1)과 제 2 반도체 칩(C2)을 전기적으로 연결시킨다. 따라서, 제 1 도전성 와이어(WG1)들은 제 1 반도체 칩(C1)의 제 1 패드(CP1)와 제 2 반도체 칩(C2)의 제 2 패드(CP2) 사이에 연결된다. 제 2 도전성 와이어(WG2)들은 제 2 반도체 칩(C2)과 패키지 기판(S)을 전기적으로 연결시킨다. 따라서, 제 2 도전성 와이어(WG2)들은 제 2 반도체 칩(C2)의 제 2 패드(CP2)와 패키지 기판(S)의 기판 패드(SP) 사이에 연결된다. 제 1 반도체 칩(C1)과 제 2 반도체 칩(C2)을 연결하는 제 1 도전성 와이어(WG1)들과 제 2 반도체 칩(C2)과 패키지 기판(S)을 연결하는 제 2 도전성 와이어(WG2)들은 서로 다른 전기적 연결 기능들을 갖는다.

[0062] 단계 ST302에서, 1차 분류부(142)가 도전성 와이어들을 반도체 칩들에 동일한 입출력 신호를 부여하는 도전성 와이어들로 1차 그룹핑한다. 본 실시예에서, 1차 분류부(142)는 제 1 반도체 칩(C1)과 제 2 반도체 칩(C2)에 실질적으로 동일한 입출력 신호를 부여하는 제 1 도전성 와이어(WG1)들을 제 1 그룹으로 그룹핑한다. 또한, 1차 분류부(142)는 제 2 반도체 칩(C2)과 패키지 기판(S)에 실질적으로 동일한 입출력 신호를 부여하는 제 2 도전성 와이어(WG2)들을 제 2 그룹으로 그룹핑한다.

[0063] 단계 ST304에서, 2차 분류부(144)가 1차 그룹핑된 도전성 와이어들을 동일한 루프 궤적을 갖는 도전성 와이어들로 2차 그룹핑한다. 본 실시예에서, 2차 분류부(144)는 제 2 중앙 도전성 와이어(WG2-1)들을 실질적으로 동일한 루프 궤적을 갖는 제 2-1 서브 그룹으로 그룹핑한다. 또한, 2차 분류부(144)는 제 2 가장자리 도전성 와이어(WG2-2)들을 실질적으로 동일한 루프 궤적을 갖는 제 2-2 서브 그룹으로 그룹핑한다. 2차 분류부(144)는 제 1 도전성 와이어(WG1)들에 대해서도 2차로 그룹핑할 수 있다.

[0064] 단계 ST306에서, 1차 설정부(112)가 1차 그룹핑된 도전성 와이어들을 형성하는 와이어 본딩 기계의 1차 동작 조건에 대한 1차 그룹별 본딩 인자들을 설정한다. 본 실시예에서, 1차 분류부(142)가 제 1 도전성 와이어(WG1)들을 제 1 그룹, 및 제 2 도전성 와이어(WG2)들을 제 2 그룹으로 그룹핑하였으므로, 1차 설정부(112)는 제 1 그룹의 제 1 도전성 와이어(WG1)들을 형성하는 와이어 본딩 기계의 1차 동작 조건에 대한 제 1 본딩 인자들을 설정한다. 또한, 1차 설정부(112)는 제 2 그룹의 제 2 도전성 와이어(WG2)들을 형성하는 와이어 본딩 기계의 2차 동작 조건에 대한 제 2 본딩 인자들을 설정한다.

[0065] 단계 ST308에서, 2차 설정부(114)는 2차 그룹핑된 도전성 와이어들을 형성하는 와이어 본딩 기계의 2차 서브 동작 조건에 대한 2차 그룹별 본딩 인자들을 설정한다. 본 실시예에서, 2차 분류부(144)가 제 2 중앙 도전성 와이어(WG2-1)들을 제 2-1 서브 그룹, 제 2 가장자리 도전성 와이어(WG2-2)들을 제 2-2 서브 그룹으로 그룹핑하였으므로, 2차 설정부(114)는 제 2-1 서브 그룹의 제 2 중앙 도전성 와이어(WG2-1)들을 형성하는 와이어 본딩 기계의 2차 서브-1 동작 조건에 대한 제 2-1 본딩 인자, 제 2-2 서브 그룹의 제 2 가장자리 도전성 와이어(WG2-2)들을 형성하는 와이어 본딩 기계의 2차 서브-2 동작 조건에 대한 제 2-2 본딩 인자를 설정한다.

[0066] 단계 ST310에서, 설계 데이터를 와이어 본딩 기계에 입력한다. 와이어 본딩 기계는 설계 데이터에 따라 멀티-칩 패키지의 실제 도전성 와이어들을 형성한다.

[0067] 단계 ST312에서, 데이터 획득부(120)가 실제 도전성 와이어들을 형성하는 와이어 본딩 기계의 동작 조건에 대한 실제 데이터를 획득한다. 실제 데이터는 와이어 본딩 기계의 동작 조건들 각각에 대한 개별 데이터이다.

[0068] 단계 ST314에서, 검출부(130)가 실제 데이터를 본딩 인자들과 비교하여, 와이어 본딩 기계의 동작 조건들의 오류를 검출한다. 본 실시예에서, 검출부(130)는 제 1 그룹에 속하는 실제 제 1 도전성 와이어들을 형성하는 와이어 본딩 기계의 1차 동작 조건에 대한 실제 데이터를 제 1 본딩 인자들과 비교한다. 검출부(130)는 제 2-1 서브 그룹에 속하는 실제 제 2 중앙 도전성 와이어들을 형성하는 와이어 본딩 기계의 2차 서브-1 동작 조건에 대한 실제 데이터를 제 2-1 본딩 인자들과 비교한다. 검출부(130)는 제 2-2 서브 그룹에 속하는 실제 제 2 가장자리 도전성 와이어들을 형성하는 와이어 본딩 기계의 2차 서브-2 동작 조건에 대한 실제 데이터를 제 2-2 본딩 인자들과 비교한다. 이와 같이, 검출부(130)는 각 그룹별 도전성 와이어들을 형성하는 와이어 본딩 기계의 동작 조건들에 대한 각 그룹별 데이터를 그룹별 본딩 인자들과 개별적으로 비교하여, 와이어 본딩 기계의 동작 조건들의 오류를 정확하게 검출한다.

[0069] 검출부(130)가 와이어 본딩 기계의 동작 조건들 중 어느 하나의 오류를 검출하면, 와이어 본딩 기계의 동작을 정지시킨다. 따라서, 와이어 본딩 기계가 오류의 동작 조건으로 불량 도전성 와이어를 형성하는 것을 사전에 방지할 수 있다.

[0070] 한편, 본 실시예들에서는, 본원발명의 방법 및 장치가 패키지 기판 상에 2개의 반도체 칩들이 적층되어 도전성

와이어들로 연결된 구조를 갖는 멀티-칩 패키지에 적용되는 것으로 예시하였으나, 3개 이상의 반도체 칩들이 적층되어 도전성 와이어들로 연결된 구조를 갖는 멀티-칩 패키지들에 대해서도 본원발명의 방법 및 장치가 적용될 수 있다.

[0071] 또한, 본원발명의 방법 및 장치가 복수개의 반도체 칩들을 포함하는 멀티-칩 패키지에 적용되는 것으로 예시하였으나, 서로 다른 전기적 연결 기능들을 갖는 도전성 와이어들을 포함하는 다른 반도체 패키지들에도 본원발명의 방법 및 장치가 적용될 수 있다.

[0072] 상술한 바와 같이 본 실시예들에 따르면, 도전성 와이어별로 설정된 본딩 인자들을 이용해서 서로 다른 전기적 연결 기능들을 갖는 도전성 와이어들 각각을 형성하는 와이어 본딩 기계의 동작 조건의 오류를 검출할 수 있다. 따라서, 와이어 본딩 기계가 불량 도전성 와이어를 형성하는 것이 미연에 방지되므로, 멀티-칩 패키지 전체를 폐기처분하는 사태를 예방할 수 있다.

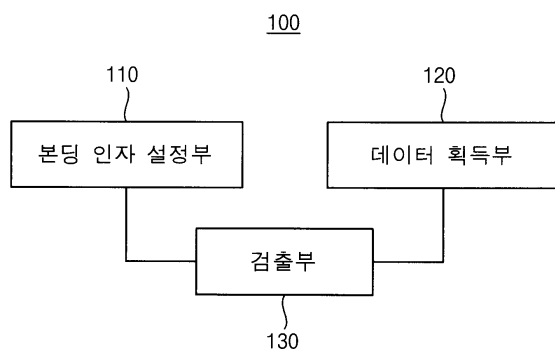
[0073] 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

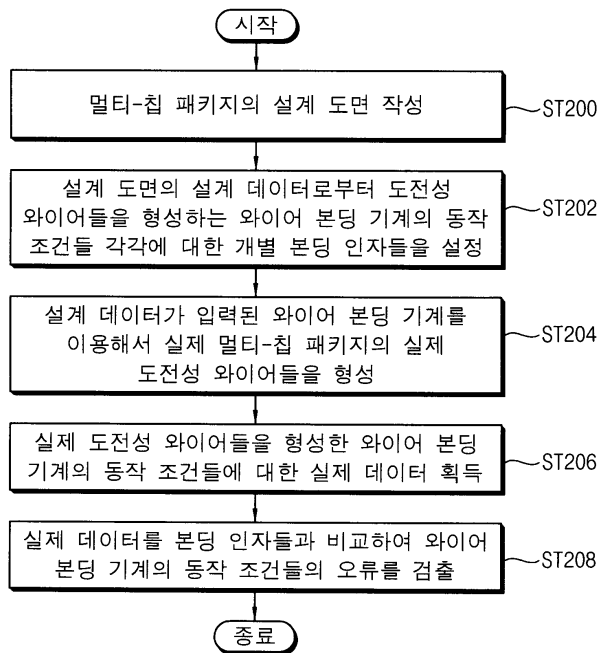
[0074]	S ; 패키지 기관	SP ; 기관 패드
	C1 ; 제 1 반도체 칩	C2 ; 제 2 반도체 칩
	CP1 ; 제 1 패드	CP2 ; 제 2 패드
	WG1 ; 제 1 도전성 와이어	WG2 ; 제 2 도전성 와이어
	WG2-1 ; 제 2 중앙 도전성 와이어	
	WG2-2 ; 제 2 가장자리 도전성 와이어	

도면

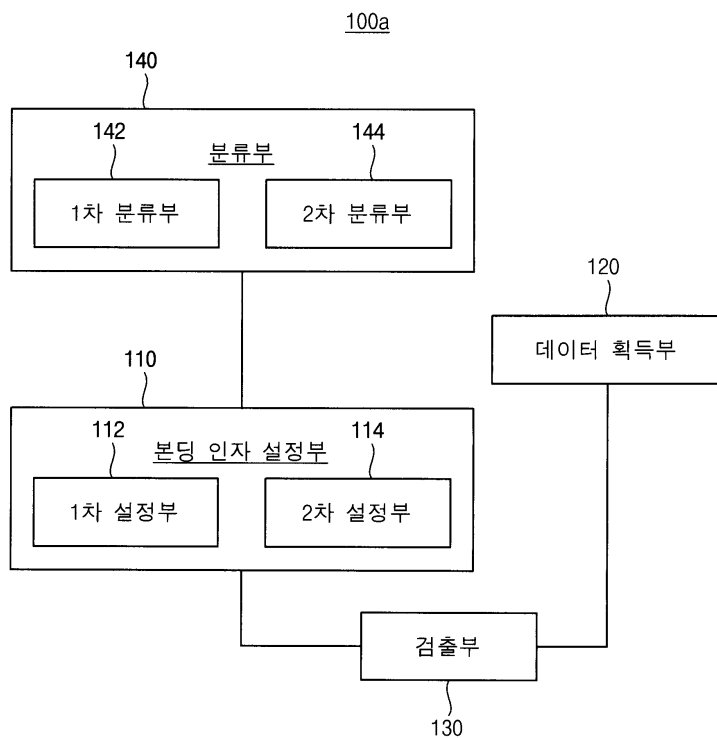
도면1



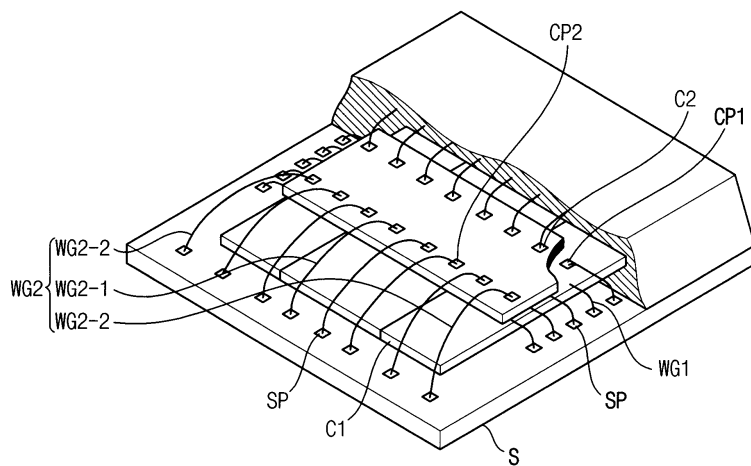
도면2



도면3



도면4



도면5

