(54) Title: PRINTED CIRCUIT BOARD AND METHOD FOR PRODUCING THE SAME

(54) Bezeichnung: LEITERPLATTE SOWIE VERFAHREN ZU IHREHER HERSTELLUNG

(57) Abstract: The invention relates to a printed circuit board (10) in which at least one signal conductor (13) extends through a dielectric comprising at least one dielectric layer (12, 15). The aim of the invention is to improve the signal integrity and to achieve a simplified and - in terms of the layout - more flexible producibility. To this end, the at least one signal conductor (13) is surrounded by a plurality of interspaced, electroconductive boreholes (18) for electrical high-frequency shielding.

(57) Zusammenfassung: Bei einer Leiterplatte (10), bei welcher wenigstens ein Signalleiter (13) durch ein wenigstens eine dielektrische Schicht (12, 15) umfassendes Dielektrikum verläuft, wird eine verbesserte Signalintegrität bei vereinfachter und hinsichtlich des Layouts flexiblerer Herstellbarkeit dadurch erreicht, dass zur elektrischen Hochfrequenz-Abschirmung der wenigstens eine Signalleiter (13) von einer Mehrzahl von untereinander beaufstandeten, elektrisch leitenden Bohrungen (18) umgeben ist.
Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:
mit internationalem Recherchenbericht
BESCHREIBUNG

LEITERPLATTE SOWIE VERFAHREN ZU IHRER HERSTELLUNG

TECHNISCHES GEBIET

Die vorliegende Erfindung bezieht sich auf das Gebiet der Leiterplatten für elektrische und/oder elektronische Schaltungen. Sie betrifft eine Leiterplatte gemäß dem Oberbegriff des Anspruchs 1 sowie ein Verfahren zum Herstellen einer solchen Leiterplatte.

STAND DER TECHNIK

Leiterplatten (Printed Circuit Boards oder PCBs) sind seit langem ein unverzichtbarer Bestandteil der elektronischen Schaltungstechnik. Sie werden entweder direkt zum Aufbau von elektronischen Schaltungen eingesetzt und tragen und verbinden die einzelnen elektronischen Bauteile einer Schaltung, oder sie haben die Funktion einer „Backplane“, die mehrere andere, meist einschiebbare Leiterplatten
mit elektronischen Schaltungen auf der Rückseite einer grösseren Einheit untereinander verbindet.


In der US-A-6,000,120 ist ein Verfahren offensichtlich, mit dem auf der Oberfläche einer hochintegrierten Leiterplatte durch sukzessiven Aufbau verschiedener strukturiertem Schichten mittels photolithographischer Verfahren vergleichbare Mikrokoaxialleitungen, die seitlich durch leitend gefüllte Gräben abgeschirmt sind, erzeugt werden können.

DARSTELLUNG DER ERFINDUNG

Es ist daher Aufgabe der Erfindung, eine Leiterplatte mit integrierten abgeschirmten Signalleitungen zu schaffen, welche die Nachteile bekannter Leiterplatten vermeidet und sich insbesondere durch eine vereinfachte Herstellung und eine deutlich erhöhte Flexibilität beim Layout auszeichnet, sowie ein Verfahren zu deren Herstellung anzugeben.

Die Aufgabe wird durch die Gesamtheit der Merkmale der Ansprüche 1 und 22 gelöst. Der Kern der Erfindung besteht darin, für die seitliche Abschirmung der Signalleitung anstelle durchgehender, elektrisch leitend ausgekleideter Gräben Reihen von hintereinander angeordneten, elektrisch leitend ausgekleideten Bohrungen vorzusehen, wobei die Lücken zwischen den einzelnen Bohrungen bzw. der Abstand zwischen den Bohrungen sich nach der Wellenlänge der höchsten zu übertragenden Frequenz richtet. Wenn der Abstand der Bohrungen in einer Reihe entsprechend gewählt wird, haben die Bohrungsreihen im wesentlichen denselben Abschirmeffekt wie durchgehende Gräben, lassen sich jedoch viel schneller und
einfacher herstellen. Darüber hinaus werden durch die einzelnen Bohrungen zusätzliche Spielräume beim Layout der Leiterplatte bereitgestellt.


Die beiden Masseschichten können dabei im Inneren der Leiterplatte angeordnet sein. Sie können aber auch in oberflächennahen Bereichen der Leiterplatte angeordnet sein.

Ein optimaler Abschirmeffekt wird durch die Bohrungen erreicht, wenn der Abstand der elektrisch leitenden Bohrungen untereinander ungefähr λ/4 beträgt, wobei λ die Wellenlänge zu der maximalen auf dem wenigstens einen Signalleiter zu übertragenden Signalfrequenz ist.

Desgleichen ist das hochfrequenzmässige Verhalten der abgeschirmten Signalleitung besonders günstig, wenn der seitliche Abstand der elektrisch leitenden Bohrungen von dem wenigstens einen Signalleiter, gemessen von der Mitte des wenigstens einen Signalleiters zur Achse der Bohrungen, proportional zum Abstand der Masseschichten untereinander ist, mit einem Proportionalitätsfaktor, der im Bereich zwischen ¼ und 5 liegt.

Die elektrisch leitenden Bohrungen können in herkömmlicher Weise als mit einem mechanischen Bohrer hergestellte Bohrungen ausgebildet sind. Die elektrisch lei-
tenden Bohrungen weisen dann vorzugsweise einen Innendurchmesser zwischen 0,05 mm und 1 mm auf.

Die elektrisch leitenden Bohrungen sind dabei entweder als durch die Leiterplatte hindurchgehende Bohrungen oder als in der Leiterplatte endende Sacklochbohrungen ausgebildet.

Die elektrisch leitenden Bohrungen können aber auch als mit einem Laserstrahl hergestellte Bohrungen ausgebildet sein. Die elektrisch leitenden Bohrungen weisen dann vorzugsweise einen Innendurchmesser zwischen 0,02 mm und 0,5 mm auf. Insbesondere können die elektrisch leitenden Bohrungen in einem mehrstufigen Laserverfahren, vorzugsweise gemäß dem in der Internationalen Patentanmeldung Nr. WO-A1-00/41447 offbarten Verfahren, hergestellt sein.


Bei einer anderen möglichen Konfiguration verlaufen die elektrisch leitenden Bohrungen senkrecht zu dem wenigstens einen Signalleiter, und die elektrisch leitenden Bohrungen sind jeweils seitlich von dem wenigstens einen Signalleiter in einer Linie hintereinander angeordnet, die parallel zum wenigstens einen Signalleiter verläuft.

Insbesondere verlaufen die elektrisch leitenden Bohrungen senkrecht zwischen zwei parallelen, in der Leiterplatte übereinanderliegenden und durch dielektrische Schichten getrennten Masseschichten, und sind mit diesen Masseschichten elektrisch leitend verbunden, und der wenigstens eine Signalleiter verläuft in der Mitte zwischen den Massenschichten in einer zu den Masseschichten parallelen Ebene.
Selbstverständlich ist es möglich, dass dabei mehrere Signalleiter in derselben Ebene nebeneinander angeordnet sind.

Besonders günstig sind die Abschirmeigenschaften, wenn gemäss einer anderen Ausgestaltung der Erfindung in der Ebene des wenigstens einen Signalleiters seitlich vom wenigstens einen Signalleiter parallel verlaufende Massebänder vorge-sehen sind, welche mit den elektrisch leitenden Bohrungen elektrisch leitend verbunden sind, wobei die seitlichen Massebänder vorzugsweise so angeordnet sind, dass die elektrisch leitenden Bohrungen durch sie hindurchgehen.

Eine bevorzugte Ausgestaltung des erfindungsgemässen Verfahrens ist dadurch gekennzeichnet, dass zunächst Bohrungen in die Leiterplatte eingebracht und anschliessend die Innenwände der Bohrungen mit einer elektrisch leitenden Durch-kontaktierungsschicht ausgekleidet werden.

Die Bohrungen werden in einer Variante mechanisch in die Leiterplatte eingebracht. Sie können dabei als Sackbohrungen oder durch die Leiterplatte hindurch ausgeführt werden.

Es ist aber auch denkbar, die Bohrungen durch Mehrfachverpressung der Leiterplatte als vergrabene Bohrungen auszuführen.

In einer anderen Variante werden die Bohrungen in einem mehrstufigen Verfahren, vorzugsweise gemäss dem in der Internationalen Patentanmeldung Nr. WO-A1-00/41447 offenbarten Verfahren, mit einem Laserstrahl in die Leiterplatte eingebracht.

KURZE ERLÄUTERUNG DER FIGUREN

Die Erfindung soll nachfolgend anhand von Ausführungsbeispielen im Zusammenhang mit der Zeichnung näher erläutert werden. Es zeigen
Fig. 1

In einer perspektivischen Schnittansicht einen Ausschnitt aus einer Leiterplatte mit einem integrierten, durch elektrisch leitende Bohrungen abgeschirmten, in der Plattenebene verlaufenden Signalleiter gemäß einem ersten Ausführungsbeispiel der Erfindung;

Fig. 2

In einer zu Fig. 1 vergleichbaren Ansicht ein zweites bevorzugtes Ausführungsbeispiel der Erfindung mit zwei parallel laufenden abgeschirmten Signalleitern;

Fig. 3

Ein drittes bevorzugtes Ausführungsbeispiel der Erfindung, bei dem zur Abschirmung in der Ebene des Signalleiters zusätzlich seitliche Massebänder („ground traces“) vorgesehen sind;

Fig. 4

Ein zum Beispiel der Fig. 3 analoges viertes bevorzugtes Ausführungsbeispiel der Erfindung mit seitlichen Massebändern, bei dem die Bohrungen als mit dem Laser hergestellte „Microvias“ ausgebildet sind;

Fig. 5

In einer zu Fig. 4 vergleichbaren Darstellung und Anordnung ein fünftes bevorzugtes Ausführungsbeispiel der Erfindung mit „Microvias“ als Bohrungen, jedoch ohne zusätzliche Massebänder;

Fig. 6

Ein zu Fig. 1 vergleichbares sechstes bevorzugtes Ausführungsbeispiel der Erfindung, bei dem die Bohrungen als Sackbohrungen („blind vias“) ausgebildet sind;

Fig. 7

Ein siebentes bevorzugtes Ausführungsbeispiel der Erfindung, bei dem die Bohrungen als durchgehende Bohrungen ausgebildet sind und mehrere übereinander angeordnete Signalleiter abschirmen;
Fig. 8 ein achtes bevorzugtes Ausführungsbeispiel der Erfindung, bei dem die Bohrungen einen Signalleiter in Form einer Durchkontaktierung abschirmen;

5 Fig. 9 in mehreren Teilfiguren (Fig. 9a-c) verschiedene Schritte auf dem Wege zur Herstellung einer Leiterplatte gemäss Fig. 7;

Fig. 10 die Weiterverarbeitung einer Platte nach Fig. 9c zu einer Leiterplatte, bei der die Bohrungen als Sackbohrungen ("blind vias") ausgebildet sind;

10 Fig. 11 die Weiterverarbeitung einer Platte nach Fig. 9c zu einer Leiterplatte, bei der die Bohrungen als vergrabene Bohrungen ("buried vias") ausgebildet sind; und

15 Fig. 12 in verschiedenen Teilfiguren (Fig. 12a-f) verschiedene Schritte auf dem Wege zur Herstellung einer Leiterplatte nach Fig. 4.

WEGE ZUR AUSFÜHRUNG DER ERFINDUNG

In Fig. 1 ist in einer perspektivischen Schnittansicht einen Ausschnitt aus einer Leiterplatte mit einem integrierten, durch elektrisch leitende Bohrungen abgeschirmten, in der Plattenebene verlaufenden Signalleiter gemäss einem ersten Ausführungsbeispiel der Erfindung. Die Leiterplatte 10 kann ein Multilayer-Board mit einer Vielzahl von dielektrischen und leitenden Schichten sein, von denen in Fig. 1 nur zwei direkt übereinanderliegende dielektrische Schichten 12 und 15 sowie zwei Masseschichten ("ground") 11 und 16 gezeigt sind, zwischen denen die dielektrischen Schichten 12 und 15 angeordnet sind. An der Schichtgrenze 14 zwischen den beiden dielektrischen Schichten 12 und 15 ist parallel zu den Masseschichten 11, 16 ein Signalleiter 13 in das dielektrische Material eingebettet. Der Signalleiter 13 ist nach oben und unten durch die Masseschichten 11 und 16 ab-
angeschirmt. Um den Verlauf des Signalleiters 13 besser erkennen zu können, sind im hinteren Teil der Anordnung die obere Masseschicht 11 und die obere dielektrische Schicht 12 weggelassen.


Soll also z.B. der Signalleiter für die maximale Frequenz von 10 GHz ausgelegt sein, ergibt sich – wenn man das o.g. λ/4-Beispiel nimmt - ein (maximaler) Abstand A der Bohrungen 18 von 7,5 mm.

Die Bohrungen 18 können auf mechanischem Wege mit entsprechenden Bohrern hergestellt werden. Hiermit lassen sich Innendurchmesser der Bohrungen 18 in einem Bereich von 0,05 mm bis 1 mm realisieren. Die Bohrungen 18 können aber auch mittels Laser hergestellt werden. Auf diese Weise lassen sich Innendurchmesser der Bohrungen 18 im Bereich zwischen 0,02 mm und 0,5 mm erreichen.


Ein weiteres Ausführungsbeispiel einer Leiterplatte 10 nach der Erfindung ist in Fig. 2 dargestellt. Hier befinden sich in der durch die Reihen der Bohrungen 18 und durch die Abschnitte der Masseschichten 11, 16 zwischen den Bohrungsreihen gebildeten abgeschirmten „Kammer“ zwei differentielle Signalleiter 20, 21, die gemeinsam zur Signalübertragung genutzt werden. Abmessungen und Herstellungsverfahren sind hier im wesentlichen die gleichen wie bei der Konfiguration gemäss Fig. 1.
Eine hinsichtlich der Abschirmeigenschaften besonders bevorzugte Konfiguration der Leiterplatte nach der Erfindung ist in Fig. 3 wiedergegeben. Bei dieser Leiterplatte 22 sind auf der Ebene des Signalleiters 13 parallel zu dem Signalleiter 13 auf beiden Seiten Massebänder ("ground traces") 23, 24 vorgesehen, die vom (zentralen) Signalleiter 13 denselben seitlichen Abstand haben wie die elektrisch leitenden Bohrungen 18 und mit diesen (und den Masseschichten 11, 16) elektrisch leitend verbunden sind. Die Massebänder 23, 24 können dabei auf einfache Weise zusammen mit dem Signalleiter 13 in einem gemeinsamen Herstellungsprozess in die Leiterplatte 22 eingebracht werden.

Bei den in den Fig. 1 bis 3 gezeigten Ausführungsbeispielen wird der mit dem Signalleiter 13 ausgestattete Teil der Leiterplatte 10 bzw. 22 zunächst in der Schichtfolge fertiggestellt. Anschliessend werden die Bohrungen 18 eingebracht und schliesslich die Durchkontaktierungen (Durchkontaktierungsschicht 19) vorgenommen.

Werden die Mikrokoaxialleitungen im Oberflächenbereich der Leiterplatte vorgesehen, kann auch ein mit Laserstrahl arbeitendes, sequentielles Verfahren angewendet werden, das von der Anmelderin entwickelt worden ist und als „Inline Vias“ bezeichnete Durchkontaktierungen ergibt (siehe dazu die WO-A1-00/41447). Das Ergebnis eines solchen sequentiellen Herstellungsverfahrens mittels Laserstrahl ist in Fig. 4 dargestellt, wobei auch hier – ebenso wie in Fig. 3 – seitliche Massebänder 23, 24 in der Abschirmung des Signalleiters 13 vorgesehen sind. Die Leiterplatte 22 aus Fig. 4 mit den sequentiell hergestellten Bohrungen 25 ist Ergebnis eines Verfahrens, wie es in Fig. 12 in einzelnen Schritten (Teilfiguren 12a-f) wiedergegeben ist.

Ausgegangen wird gemäss Fig. 12a von einer Schichtstruktur, bei der auf einer ersten dielektrischen Schicht 42 eine erste Masseschicht 16, eine zweite dielektrische Schicht 15 und strukturierte Leiterbahnen in Form von einem zentralen Signalleiter 13 und zwei Massenbändern 23, 24 angeordnet sind.
Im Bereich der Massebänder 23, 24 werden gemäß Fig. 12b zunächst mittels Laserstrahl (in Fig. 12b durch Bündel von Pfeilen angedeutet) zwei Reihen von ersten Teilbohrungen 25a durch die Massebahnen 23, 24 und zweite dielektrische Schicht 15 bis hinunter auf die erste Masseschicht 16 in die Leiterplatte eingebracht. Anschließend werden durch einen ersten Plattierungsprozess die Leiterstreifen 23, 13 und 24 verstärkt und die ersten Teilbohrungen 25a durchkontaktiert (Fig. 12c).

Auf die so erhaltene Anordnung wird nun gemäß Fig. 12d eine weitere dielektrische Schicht 12 mit einer zweiten Masseschicht 11 aufgebracht (auflaminiert), so dass die Leiterstreifen 23, 13 und 24 weitgehend in dielektrischem Material eingebettet sind.

Durch die zweite Masseschicht 11 und die weitere dielektrische Schicht 12 hindurch werden koaxial zu den ersten Teilbohrungen 25a zweite Teilbohrungen 25b bis auf die Massebänder 23, 24 hinunter eingebracht (Fig. 12e). Dies geschieht ebenfalls mit einem Laserstrahl, wie dies durch die Pfeilbündel in Fig. 12e angezeigt ist. Die genaue Prozessführung beim Laserbohren kann im übrigen der oben erwähnten WO-A1-00/41447 entnommen werden.

In einem letzten Schritt (Fig. 12f) werden dann durch einen zweiten Plattierungsprozess die zweite Masseschicht 11 verstärkt und die zweiten Teilbohrungen 25b durchkontaktiert. Die ersten und zweiten Teilbohrungen 25a und 25b bilden dann zusammen die Bohrungen 25, die durch eine Durchkontaktierungsschicht 19 auf der Innenwand elektrisch leitend sind und die beiden Masseschichten 11 und 16 elektrisch miteinander verbinden.

Gemäß Fig. 5 können die lasergebohrten Bohrungen („Inline Vias“) 25 aber auch ohne Massebänder 23, 24 eingesetzt werden, wenn auf der Ebene des Signalleiters eine Zwischenmetallisierung 27 in Form von einzelnen Pads vorgesehen wird.
Die mit herkömmlichen mechanischen Mitteln eingebrachten Bohrungen können – wenn die Leiterplatte durch Mehrfachverpressung hergestellt wird – als vergrabene Bohrungen („buried vias“) im Inneren der Leiterplatte angeordnet sein (siehe Fig. 11). Sie können aber auch als Sackbohrungen („blind vias“) im Inneren der Leiterplatte enden (siehe dazu Fig. 6 oder 10). Insbesondere in Fig. 6 sind die Bohrungen 29 bei einer zu Fig. 1 vergleichbaren Konfiguration als Sackbohrungen ausgeführt, die oberhalb einer nächstlieferen dielektrischen Schicht 30 enden.

Eine weitere Möglichkeit besteht bei mechanischen Bohrungen darin, die Bohrungen durch die ganze viellagige Leiterplatte hindurchzuführen und so beispielsweise mehrere abgeschirme Mikrokoaxialleitungen übereinander zu erzeugen. Ein Beispiel für eine solche Konfiguration ist in Fig. 7 dargestellt. Hier weist die Leiterplatte 32 eine Schichtenfolge aus drei Masseschichten 36, 16 und 11 und zwei mal zwei dielektrischen Schichten 33, 35 und 12, 15 auf, an deren Schichtgrenzen 34 bzw. 14 jeweils ein Signalleiter 37 bzw. 13 angeordnet ist. In einer solchen Schichtkonfiguration sind nun – wie dies in den Fig. 9a-c in einzelnen Schritten dargestellt ist – zwei parallele Reihen von ganz durchgehenden Bohrungen 31 eingebracht (Fig. 9b) und anschliessend mit einer Durchkontaktierungsschicht 19 ausgekleidet (Fig. 9c). Es versteht sich von selbst, dass auch in diesem Fall auf einer oder beiden Signalleiterebenen zusätzliche seitliche Massebänder („ground traces“) gemäss Fig. 3 vorgesehen werden können. Wird die Konfiguration gemäss Fig. 7 bzw. 9c entsprechend Fig. 10 mit einer weiteren dielektrischen Schicht 40 verpresst, ergeben sich die bereits erwähnten Sackbohrungen. Wird die Konfiguration gemäss Fig. 7 bzw. 9c entsprechend Fig. 11 auf der Ober- und Unterseite mit zwei weiteren dielektrischen Schichten 40 und 41 verpresst, ergeben sich die bereits erwähnten vergrabenen Bohrungen.

Die abschirmenden senkrechten Bohrungen können aber nicht nur auf beiden Seiten von einem horizontal verlaufenden Signalleiter eingesetzt werden, sondern auch um einen vertikal verlaufenden Signalleiter herum angeordnet werden. Eine solche Ausgestaltung der Erfindung ist in einem Beispiel in Fig. 8 dargestellt. Der Signalleiter 39 ist in der Leiterplatte 38 als vertikale Durchkontaktierung ausgebil-
det. Um den Signalleiter 39 herum sind die elektrisch leitenden Bohrungen 18 zwischen der oberen und unteren Masseschicht 11 bzw. 16 angeordnet und mit einer Durchkontaktierungs- schicht 19 ausgekleidet.

5 Insgesamt ergibt sich mit der Erfindung eine Leiterplatte, die sich durch folgende Merkmale und Vorteile auszeichnet:

- Mit zunehmenden Übertragungsraten kommt der Signalintegrität eine immer größere Bedeutung zu. Durch eine gezielte Abschirmung der Leiter (Einzelleiter, differentielle Leiter edge-coupled oder broadside-coupled) kann die Signalqualität erhöht werden.

- Durch Einbringen von Mikrobohrungen entlang der Leiter kann eine Abschirmung erreicht werden, welche gegenüber einer durchgehenden Abschirmung qualitativ gleichwertig ist.

- Der Vorteil von Bohrungen gegenüber durchgehenden Abschirmungen (z.B. Gräben) sind die massiv günstigeren Herstellkosten und die höhere Flexibilität beim Design vom Layout bei gleicher Performance bezüglich Abschirmungseffekt.

- Die Abschirmung der Leiter erfolgt durch Bohrungen resp. Mikrobohrungen. Die Bohrungen können durch mechanische Bohrungen im Bereich von 0,05mm bis 1mm oder durch Laserbohrungen (Laservias) im Bereich von 0,02 bis 0,5 mm erfolgen. Die mechanischen Bohrungen können als durchgehende Bohrungen oder als Stufenbohrungen ausgelegt sein.

- Die Abschirmung durch Bohrungen ermöglicht eine kostenoptimierte Abschirmung bei gleicher Performance der Abschirmung wie bei durchgehenden Kanälen (Gräben). Die Bohrungen können 2-40 mal schneller hergestellt werden als vergleichbare Kanäle. Durch die Wahl der Abstände und der Durchmesser der Bohrungen kann eine frequenz- und kostenoptimierte Abschirmung realisiert werden.

- Durch die Einbringung eines Massenbandes („ground trace“) kann ein Über- sprechen zwischen den Leitungen verhindert werden. Die Einbringung des "ground trace" ergibt sich ohne zusätzlichen Produktionsschritt beim Strukturieren der Innenlagen.
- Durch mechanische Bohrungen können Leitungen auf verschiedenen Ebenen abgeschirmt werden (nicht nur in oberflächennahen Bereichen).
- Die Höhe H der mit Bohrungen abgeschirmten Kammer ist beliebig, da die Bohrungen durch die ganze Platte führen können.
- Durch Mehrfachverpressung können Abschirmungen durch „buried vias“ (vergrabene Bohrungen im inneren Teil der Platte) realisiert werden.
- Durch Mehrfachverpressung können Abschirmungen durch „blind vias“ (in einem Teil der Leiterplatte) realisiert werden.
- Durch Bohrungen, welche radial angeordnet um Durchkontaktierungen verlaufen, können auch Durchkontaktierungen in vertikaler Richtung (z-Richtung) abgeschirmt werden.
- Im Gegensatz zu durchgehenden Kanälen wird bei Bohrungen eine geringere mechanische Stabilitätseinstrosse erzielt.

BEZUGSZEICHENLISTE

10,22  Leiterplatte (PCB; Backplane)
11,16  Masseschicht
12,15  dielektrische Schicht
13     Signalleiter
14,34  Schichtgrenze
17     Mikrokoaxialleitung
18     Bohrung
19     Durchkontaktierungsschicht
20,21  Signalleiter
23,24  Masseband
25     Bohrung („Inline Via“)
25a,b  Teilbohrung
26,28,32,38 Leiterplatte (PCB; Backplane)
27     Zwischenmetallisierung
29     Bohrung (Sackbohrung)
30     dielektrische Schicht
31 Bohrung (Durchgangsbohrung)
33,35 dielektrische Schicht
36 Masseschicht
37,39 Signalleiter
5 40,41,42 dielektrische Schicht
A Abstand (Bohrung-Bohrung)
B seitlicher Abstand (Bohrung-Signalleiter)
H Dicke (Dielektrikum)
PATENTANSPRÜCHE

1. Leiterplatte (10, 22, 26, 28, 32, 38), bei welcher wenigstens ein Signalleiter (13; 20, 21; 37, 39) durch ein wenigstens eine dielektrische Schicht (12, 15; 33, 35) umfassendes Dielektrikum verläuft, dadurch gekennzeichnet, das zur elektrischen Hochfrequenz-Abschirmung der wenigstens eine Signalleiter (13; 20, 21; 37, 39) von einer Mehrzahl von untereinander beabstandeten, elektrisch leitenden Bohrungen (18, 25, 29, 31) umgeben ist.

2. Leiterplatte nach Anspruch 1, dadurch gekennzeichnet, dass die elektrisch leitenden Bohrungen (18, 25, 29, 31) senkrecht zwischen zwei in der Leiterplatte (10, 22, 26, 28, 32, 38) übereinanderliegenden, durch dielektrische Schichten (12, 15) getrennten Masseschichten (11, 16) verlaufen und mit diesen Masseschichten (11, 16) elektrisch leitend verbunden sind.

3. Leiterplatte nach einem der Ansprüche 1 oder 2, dadurch gekennzeichnet, dass die Innenwände der elektrisch leitenden Bohrungen (18, 25, 29, 31) mit einer elektrisch leitenden Durchkontaktierungsschicht (19), vorzugsweise aus Cu, bedeckt sind.

4. Leiterplatte nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die beiden Masseschichten (11, 16) im Inneren der Leiterplatte (10, 22, 26, 28, 32, 38) angeordnet sind.

5. Leiterplatte nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die beiden Masseschichten (11, 16) in oberflächennahen Bereichen der Leiterplatte (10, 22, 26, 28, 32, 38) angeordnet sind.

6. Leiterplatte nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass der Abstand (A) der elektrisch leitenden Bohrungen (18, 25, 29, 31) untereinander ungefähr $\lambda/4$ beträgt, wobei $\lambda$ die Wellenlänge zu der maximalen auf
dem wenigstens einen Signalleiter (13; 20, 21; 37, 39) zu übertragenden Signal-
frequenz ist.

7. Leiterplatte nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet,  
   dass der seitliche Abstand (B) der elektrisch leitenden Bohrungen (18, 25, 29, 31)  
   von dem wenigstens einen Signalleiter (13; 20, 21; 37, 39), gemessen von der  
   Mitte des wenigstens einen Signalleiters (13; 20, 21; 37, 39) zur Achse der Boh-
   rungen (18, 25, 29, 31), proportional zum Abstand (H) der Masseschichten (11,  
   16) untereinander ist, mit einem Proportionalitätsfaktor, der im Bereich zwischen ¼  
   und 5 liegt.

8. Leiterplatte nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet,  
   dass die elektrisch leitenden Bohrungen (18, 29, 31) als mit einem mechanischen  
   Bohrer hergestellte Bohrungen ausgebildet sind.

9. Leiterplatte nach Anspruch 8, dadurch gekennzeichnet, dass die elek-
   trisch leitenden Bohrungen (18, 29, 31) einen Innendurchmesser zwischen 0,05  
   mm und 1 mm aufweisen.

10. Leiterplatte nach einem der Ansprüche 8 oder 9, dadurch gekennzeich-
   net, dass die elektrisch leitenden Bohrungen (18, 31) als durch die Leiterplatte (10,  
       26, 28, 32, 38) hindurchgehende Bohrungen ausgebildet sind.

11. Leiterplatte nach einem der Ansprüche 8 oder 9, dadurch gekennzeich-
   net, dass die elektrisch leitenden Bohrungen (29) als in der Leiterplatte (28) en-
   dende Sacklochbohrungen ausgebildet sind.

12. Leiterplatte nach einem der Ansprüche 1 bis 7, dadurch gekennzeich-
   net, dass die elektrisch leitenden Bohrungen (25) als mit einem Laserstrahl herge-
   stellte Bohrungen ausgebildet sind.
13. Leiterplatte nach Anspruch 12, dadurch gekennzeichnet, dass die elektrisch leitenden Bohrungen (25) einen Innendurchmesser zwischen 0,02 mm und 0,5 mm aufweisen.


15. Leiterplatte nach einem der Ansprüche 1 bis 14, dadurch gekennzeichnet, dass der wenigstens eine Signalleiter (39) parallel zu den elektrisch leitenden Bohrungen (18) verläuft.

16. Leiterplatte nach Anspruch 15, dadurch gekennzeichnet, dass der wenigstens eine Signalleiter (39) als Durchkontaktierung ausgebildet ist.

17. Leiterplatte nach einem der Ansprüche 1 bis 14, dadurch gekennzeichnet, dass die elektrisch leitenden Bohrungen (18, 25, 29, 31) senkrecht zu dem wenigstens einen Signalleiter (13; 20, 21; 37) verlaufen, und dass die elektrisch leitenden Bohrungen (18, 25, 29, 31) jeweils seitlich von dem wenigstens einen Signalleiter (13; 20, 21; 37) in einer Linie hintereinander angeordnet sind, die parallel zum wenigstens einen Signalleiter (13; 20, 21; 37) verläuft.

18. Leiterplatte nach Anspruch 17, dadurch gekennzeichnet, dass die elektrisch leitenden Bohrungen (18, 25, 29, 31) senkrecht zwischen zwei parallelen, in der Leiterplatte (10, 22, 26, 28, 32) übereinanderliegenden und durch dielektrische Schichten (12, 15) getrennten Masseschichten (11, 16) verlaufen und mit diesen Masseschichten (11, 16) elektrisch leitend verbunden sind, und dass der wenigstens eine Signalleiter (13; 20, 21; 37) in der Mitte zwischen den Massenschichten (11, 16) in einer zu den Masseschichten (11, 16) parallelen Ebene verläuft.
19. Leiterplatte nach Anspruch 18, dadurch gekennzeichnet, dass mehrere Signalleiter (20, 21) in derselben Ebene nebeneinander angeordnet sind.

20. Leiterplatte nach einem der Ansprüche 18 oder 19, dadurch gekennzeichnet, dass in der Ebene des wenigstens einen Signalleiters (13; 20, 21; 37) seitlich vom wenigstens einen Signalleiter (13; 20, 21; 37) parallel verlaufende Massebänder (23, 24) vorgesehen sind, welche mit den elektrisch leitenden Bohrungen (18, 25) elektrisch leitend verbunden sind.

21. Leiterplatte nach Anspruch 20, dadurch gekennzeichnet, dass die seitlichen Massebänder (23, 24) so angeordnet sind, dass die elektrisch leitenden Bohrungen (18, 25) durch sie hindurchgehen.

22. Verfahren zum Herstellen einer Leiterplatte nach Anspruch 1, dadurch gekennzeichnet, dass in einer Leiterplatte (10, 22, 26, 28, 32, 38), in welcher wenigstens ein Signalleiter (13; 20, 21; 37, 39) durch ein wenigstens eine dielektrische Schicht (12, 15; 33, 35) umfassendes Dielektrikum verläuft, seitlich von dem wenigstens einen Signalleiter (13; 20, 21; 37, 39) eine Mehrzahl von untereinander bestandenen, elektrisch leitenden Bohrungen (18, 25, 29, 31) in die Leiterplatte (10, 22, 26, 28, 32, 38) eingebracht werden.

23. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass zunächst Bohrungen in die Leiterplatte (10, 22, 26, 28, 32, 38) eingebracht und anschließend die Innenwände der Bohrungen mit einer elektrisch leitenden Durchkontaktierungsschicht (19) ausgekleidet werden.


25. Verfahren nach Anspruch 24, dadurch gekennzeichnet, dass die Bohrungen (29) als Sackbohrungen ausgeführt werden.
26. Verfahren nach Anspruch 24, dadurch gekennzeichnet, dass die Bohrungen (31) durch die Leiterplatte (32) hindurch ausgeführt werden.

27. Verfahren nach Anspruch 24, dadurch gekennzeichnet, dass die Bohrungen (31) durch Mehrfachverpressung der Leiterplatte (32) als vergrabene Bohrungen ausgeführt werden.

### A. CLASSIFICATION OF SUBJECT MATTER

| IPC | H05K1/02 | H05K3/46 |

According to International Patent Classification (IPC) or to both national classification and IPC.

### B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

| IPC | H05K |

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched.

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, WPI Data

### C. DOCUMENTS CONSIDERED TO BE RELEVANT

<table>
<thead>
<tr>
<th>Category</th>
<th>Citation of document, with indication, where appropriate, of the relevant passages</th>
<th>Relevant to claim No.</th>
</tr>
</thead>
<tbody>
<tr>
<td>X</td>
<td>DE 22 46 730 A (SIEMENS AG) 4 April 1974 (1974-04-04) the whole document</td>
<td>1-3, 5, 7, 8, 10, 15-18, 22-24, 26</td>
</tr>
<tr>
<td>Y</td>
<td>DE 41 24 455 A (STANDARD ELEKTRIK LORENZ AG) 28 January 1993 (1993-01-28) column 1, line 58 -column 2, line 6; figure</td>
<td>27</td>
</tr>
<tr>
<td>Y</td>
<td>US 5 164 692 A (GERTEL ET AL.) 17 November 1992 (1992-11-17) claims; figures</td>
<td>1-3, 5-8, 10, 17, 18, 20-24, 26</td>
</tr>
</tbody>
</table>

X Further documents are listed in the continuation of box C. X Patent family members are listed in annex.

* Special categories of cited documents:
  - "A" document defining the general state of the art which is not considered to be of particular relevance
  - "E" earlier document but published on or after the international filing date
  - "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
  - "O" document referring to an oral disclosure, use, exhibition or other means
  - "P" document published prior to the international filing date but later than the priority date claimed

Date of the actual completion of the international search: 21 May 2003

Date of mailing of the international search report: 28/05/2003

Name and mailing address of the ISA European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV RIJswijk Tel. (+31-70) 340-3040, Tx. 31 661 epo nl, Fax (+31-70) 340-3016

Authorized officer: Mes, L
<table>
<thead>
<tr>
<th>Category</th>
<th>Citation of document, with indication, where appropriate, of the relevant passages</th>
<th>Relevant to claim No.</th>
</tr>
</thead>
<tbody>
<tr>
<td>X</td>
<td>US 6 236 572 B1 (TESHOME ET AL.)&lt;br&gt;22 May 2001 (2001-05-22)&lt;br&gt;claims 1-18; figures</td>
<td>1-3, 5-8, 10, 17-24, 26</td>
</tr>
<tr>
<td>X</td>
<td>US 2 812 501 A (SOMMERS)&lt;br&gt;5 November 1957 (1957-11-05)&lt;br&gt;column 1, line 50 - column 2, line 35; figure 1</td>
<td>1, 2, 5-7, 17, 18</td>
</tr>
<tr>
<td>X</td>
<td>US 6 133 805 A (JAIN ET AL.)&lt;br&gt;17 October 2000 (2000-10-17)&lt;br&gt;claims; figures</td>
<td>1-3, 5-10, 17, 18, 20, 21</td>
</tr>
<tr>
<td>X</td>
<td>US 6 163 233 A (ADKINS)&lt;br&gt;19 December 2000 (2000-12-19)&lt;br&gt;column 4, line 16 - column 6, line 12; figures</td>
<td>1-4, 7, 8, 15-18, 22-24, 26</td>
</tr>
<tr>
<td>X</td>
<td>US 6 184 736 B1 (WISSELL ET AL.)&lt;br&gt;6 February 2001 (2001-02-06)&lt;br&gt;column 6, line 14 - column 7, line 5; figures 4, 5</td>
<td>1-4, 7, 8, 10, 17, 18</td>
</tr>
<tr>
<td>X</td>
<td>US 6 353 189 B1 (SHIMADA ET AL.)&lt;br&gt;5 March 2002 (2002-03-05)&lt;br&gt;column 24, line 42 - column 25, line 4; figures 11-13</td>
<td>1, 3, 11, 22, 23, 25</td>
</tr>
<tr>
<td>Y</td>
<td></td>
<td>12-14, 28</td>
</tr>
</tbody>
</table>
# INTERNATIONAL SEARCH REPORT

## DOCUMENTS CONSIDERED TO BE RELEVANT

<table>
<thead>
<tr>
<th>Category</th>
<th>Citation of document, with indication, where appropriate, of the relevant passages</th>
<th>Relevant to claim No.</th>
</tr>
</thead>
</table>
| A        | WO 00 41447 A (PPC ELECTRONIC AG)  
13 July 2000 (2000-07-13)  
cited in the application  
claims; figures            | 11,25                 |
<p>| Y        |                                                                 | 12-14,28              |</p>
<table>
<thead>
<tr>
<th>Patent document cited in search report</th>
<th>Publication date</th>
<th>Patent family member(s)</th>
<th>Publication date</th>
</tr>
</thead>
<tbody>
<tr>
<td>US 5164692</td>
<td>17-11-1992</td>
<td>NONE</td>
<td></td>
</tr>
<tr>
<td>US 6236572</td>
<td>22-05-2001</td>
<td>NONE</td>
<td></td>
</tr>
<tr>
<td>US 2812501</td>
<td>05-11-1957</td>
<td>NONE</td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>WO 9809341 A1</td>
<td>05-03-1998</td>
</tr>
<tr>
<td>US 6163233</td>
<td>19-12-2000</td>
<td>NONE</td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td>WO 0041447 A1</td>
<td>13-07-2000</td>
</tr>
</tbody>
</table>
## A. Klassifizierung des Anmeldungsgegenstandes

IPK 7  H05K1/02  H05K3/46

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. Recherchierte Gebiete

Recherchiertes Mindestprüfobjekt (Klassifikationssystem und Klassifikationssymbole)

IPK 7  H05K

Recherchierte aber nicht zum Mindestprüfobjekt gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ, WPI Data

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

<table>
<thead>
<tr>
<th>Kategorien</th>
<th>Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile</th>
<th>Betr. Anspruch Nr.</th>
</tr>
</thead>
</table>

X Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

X Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen:
  *A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutend anzusehen ist
  *E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
  *L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belastet werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
  *O Veröffentlichung, die sich auf eine mündliche Abhandlung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
  *P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

Datum des Abschließens der Internationalen Recherche

21. Mai 2003

Absendetermin des Internationalen Recherchenberichts

28/05/2003

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 51 651 epo nl, Fax (+31-70) 340-3016

Bevollmächtigter Bediensteter

Mes, L
## INTERNATIONALER RECHERCHENBERICHT

### C.(Fortsetzung) ALS WESENTLICH ANGESEHENEN UNTERLAGEN

<table>
<thead>
<tr>
<th>Kategorie</th>
<th>Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile</th>
<th>Betr. Anspruch Nr.</th>
</tr>
</thead>
</table>
| X         | US 6 236 572 B1 (TESHOME ET AL.)  
Ansprüche 1-18; Abbildungen | 1-3, 5-8, 10, 17-24, 26 |
| X         | US 2 812 501 A (SOMMERS)  
5. November 1957 (1957-11-05)  
Spalte 1, Zeile 50 -Spalte 2, Zeile 35;  
Abbildung 1 | 1-2, 5-7, 17, 18 |
| X         | US 6 133 805 A (JAIN ET AL.)  
17. Oktober 2000 (2000-10-17)  
Ansprüche; Abbildungen | 1-3, 5-10, 17, 18, 20, 21 |
| X         | US 6 163 233 A (ADKINS)  
Spalte 4, Zeile 16 -Spalte 6, Zeile 12;  
Abbildungen | 1-4, 7-8, 10, 12, 15-18, 22-24, 26 |
| X         | PATENT ABSTRACTS OF JAPAN  
vol. 2000, no. 21.  
3. August 2001 (2001-08-03)  
& JP 2001 102817 A (NEC CORP),  
Zusammenfassung  
& US 6 396 264 B1 (TAMAKI ET AL.)  
Ansprüche 1-4, 7 | 1-3, 5, 7, 8, 10, 15-18 |
| X         | US 6 184 736 B1 (WISSELL ET AL.)  
6. Februar 2001 (2001-02-06)  
Spalte 6, Zeile 14 -Spalte 7, Zeile 5;  
Abbildungen 4, 5 | 1-4, 7-8, 10, 17, 18 |
| X         | GIPPRICH J ET AL: "A NEW VIA FENCE  
STRUCTURE FOR CROSSTALK REDUCTION IN HIGH  
DENSITY STRIPLINE PACKAGES"  
2001 IEEE MTT-S INTERNATIONAL MICROWAVE  
SYMPOSIUM DIGEST.(IMS 2001). PHOENIX, AZ,  
MAY 20 - 25, 2001, IEEE MTT-S  
INTERNATIONAL MICROWAVE SYMPOSIUM, NEW  
YORK, NY: IEEE, US,  
Seiten 1719-1722, XFO01067553  
ISBN: 0-7803-6538-0  
das ganze Dokument | 1, 2, 6, 7, 9, 10, 17, 18, 20, 21 |
| X         | US 6 353 189 B1 (SHIMADA ET AL.)  
5. März 2002 (2002-03-05)  
Spalte 24, Zeile 42 -Spalte 25, Zeile 4;  
Abbildungen 11-13 | 1, 3, 11, 22, 23, 25 |
| Y         |                                           | 12-14, 28 |

Formblatt PCT/ISA/210 (Fortsetzung von Blatt 2) (Juli 1992)
<table>
<thead>
<tr>
<th>Kategorie</th>
<th>Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile</th>
<th>Betr. Anspruch Nr.</th>
</tr>
</thead>
</table>
| A         | WO 00 41447 A (PPC ELECTRONIC AG)  
in der Anmeldung erwähnt Ansprüche; Abbildungen | 11,25             |
<p>| Y         |                                                                                                 | 12-14,28          |</p>
<table>
<thead>
<tr>
<th>Patentnummer</th>
<th>Klasse</th>
<th>Datum der Veröffentlichung</th>
<th>Patentnummer</th>
<th>Klasse</th>
<th>Datum der Veröffentlichung</th>
</tr>
</thead>
<tbody>
<tr>
<td>US 5164692</td>
<td>A</td>
<td>17-11-1992</td>
<td>KEINE</td>
<td></td>
<td></td>
</tr>
<tr>
<td>US 6236572</td>
<td>B1</td>
<td>22-05-2001</td>
<td>KEINE</td>
<td></td>
<td></td>
</tr>
<tr>
<td>US 2812501</td>
<td>A</td>
<td>05-11-1957</td>
<td>KEINE</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td></td>
<td>WO 9809341 A1</td>
<td></td>
<td>05-03-1998</td>
</tr>
<tr>
<td>US 6163233</td>
<td>A</td>
<td>19-12-2000</td>
<td>KEINE</td>
<td></td>
<td></td>
</tr>
<tr>
<td></td>
<td></td>
<td></td>
<td>WO 0041447 A1</td>
<td></td>
<td>13-07-2000</td>
</tr>
</tbody>
</table>