



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201246367 A1

(43)公開日：中華民國 101 (2012) 年 11 月 16 日

(21)申請案號：101112816

(22)申請日：中華民國 101 (2012) 年 04 月 11 日

(51)Int. Cl. : **H01L21/3065(2006.01)**

(30)優先權：2011/04/12 美國 61/474,564

2012/04/05 美國 13/440,678

(71)申請人：瓦里安半導體設備公司 (美國) VARIAN SEMICONDUCTOR EQUIPMENT ASSOCIATES, INC. (US)

美國

(72)發明人：葛特 盧多維克 GODET, LUDOVIC (FR)；艾文斯 摩根 D EVANS, MORGAN, D. (US)；陳啟群 CHEN, CHI CHUN (TW)

(74)代理人：詹銘文

申請實體審查：無 申請專利範圍項數：20 項 圖式數：4 共 26 頁

(54)名稱

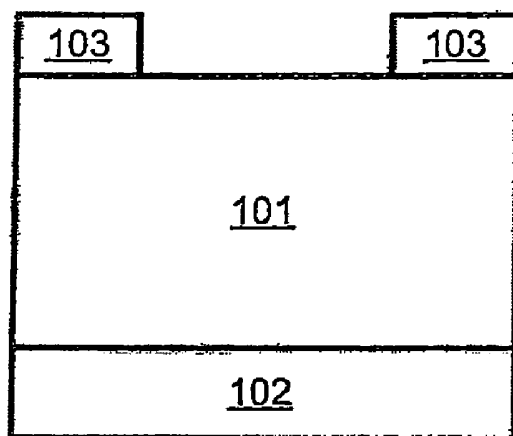
蝕刻工件的方法

METHOD OF ETCHING A WORKPIECE

(57)摘要

植入工件至第一深度以形成第一非晶化區。接著，蝕刻上述非晶化區至第一深度。在蝕刻之後，植入工件至第二深度以形成在第一非晶化區之位置下方的第二非晶化區。接著，蝕刻第二非晶化區至第二深度。可重複植入步驟及蝕刻步驟直到形成達到所要深度的結構為止。舉例來說，工件可為化合物半導體(例如 GaN)、磁性材料、矽或其他材料。

A



100：工件

101：膜層

102：基板

103：罩幕

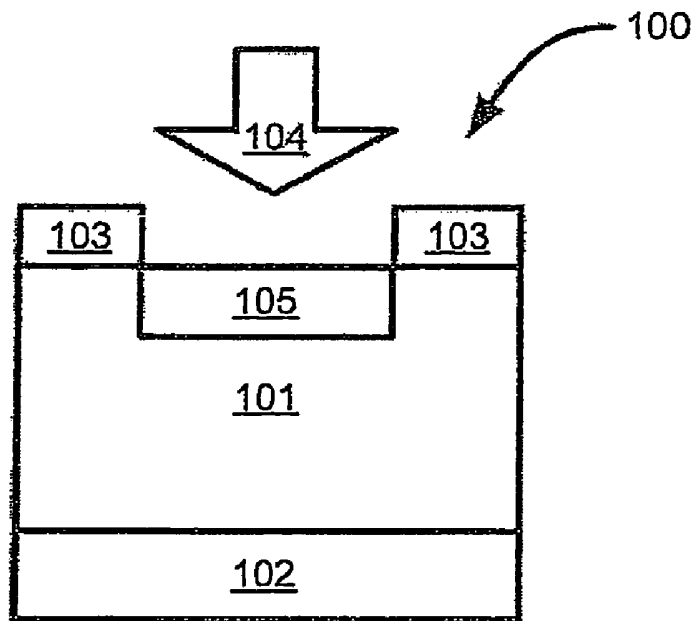
104：離子

105：非晶化區

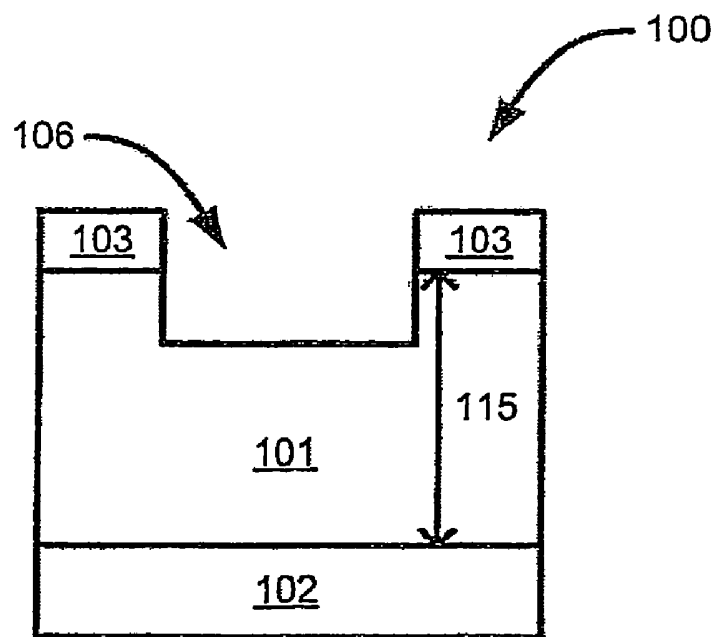
106：溝槽

115：長度

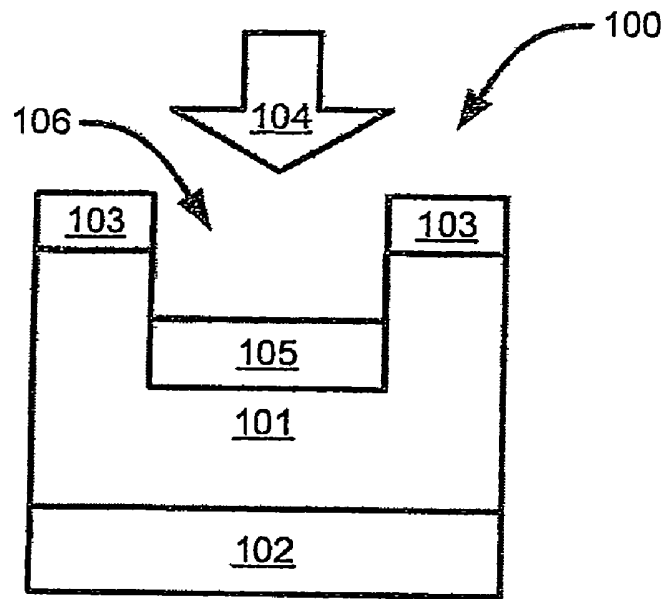
B



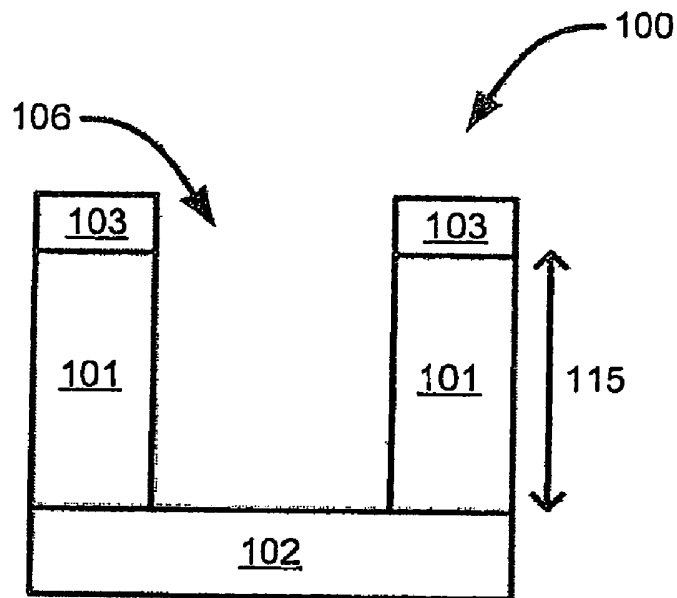
C



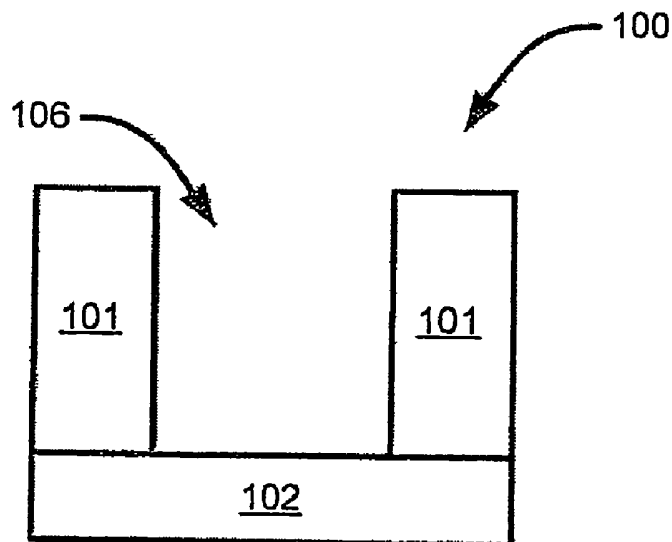
D



E



F





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201246367 A1

(43)公開日：中華民國 101 (2012) 年 11 月 16 日

(21)申請案號：101112816

(22)申請日：中華民國 101 (2012) 年 04 月 11 日

(51)Int. Cl. : **H01L21/3065(2006.01)**

(30)優先權：2011/04/12 美國 61/474,564

2012/04/05 美國 13/440,678

(71)申請人：瓦里安半導體設備公司 (美國) VARIAN SEMICONDUCTOR EQUIPMENT ASSOCIATES, INC. (US)

美國

(72)發明人：葛特 盧多維克 GODET, LUDOVIC (FR)；艾文斯 摩根 D EVANS, MORGAN, D. (US)；陳啟群 CHEN, CHI CHUN (TW)

(74)代理人：詹銘文

申請實體審查：無 申請專利範圍項數：20 項 圖式數：4 共 26 頁

(54)名稱

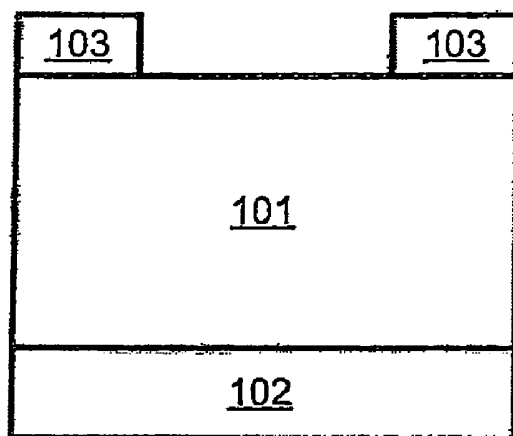
蝕刻工件的方法

METHOD OF ETCHING A WORKPIECE

(57)摘要

植入工件至第一深度以形成第一非晶化區。接著，蝕刻上述非晶化區至第一深度。在蝕刻之後，植入工件至第二深度以形成在第一非晶化區之位置下方的第二非晶化區。接著，蝕刻第二非晶化區至第二深度。可重複植入步驟及蝕刻步驟直到形成達到所要深度的結構為止。舉例來說，工件可為化合物半導體(例如 GaN)、磁性材料、矽或其他材料。

A



100：工件

101：膜層

102：基板

103：罩幕

104：離子

105：非晶化區

106：溝槽

115：長度

六、發明說明：

【相關申請案之互相參照】

本案主張在 2011 年 4 月 12 日提申的美國臨時專利申請案第 61/474,564 號名稱為「化合物半導體之無缺陷蝕刻」的優先權，其所揭露內容併入本文中作為參照。

【發明所屬之技術領域】

本發明是有關於離子植入，且更特別是有關於用以改善蝕刻之工件的離子植入。

【先前技術】

離子植入法是一種用於將改變導電性之雜質（conductivity-altering impurities）引入工件中的標準技術。在離子源中離子化所要的雜質材料，使離子加速以形成具規定能量的離子束，且將離子束導向工件的表面處。束中的高能離子穿透進入工件材料主體中，且嵌進工件材料之晶格中以形成具有所要導電性的區。

為了使發光二極體（light-emitting diode，LED）得到更多的照明市場，可能需要效率與製造成本上的改善。在許多製程中，使用蝕刻以在 LEDs 之間形成台面（mesa）。此蝕刻步驟是一個可進行改善的領域。LED 之 GaN 中的缺陷（defects）及差排（dislocations）產生使蝕刻速率提高或降低的中心位點（center）。這些中心位點導致空穴（cavity）、奈米柱（nano-pillar/ nano-column）、粗糙或其他蝕刻瑕疵。另外，不同的晶向（crystal orientations）導致不同的蝕刻速率。此外，GaN 或其他化合物半導體的蝕

刻速率可能是慢的，或者在裝置中會提供漏電的路徑。

可使用離子植入以使化合物半導體（例如 GaN）或一些其他材料的缺陷或差排非晶化（amorphize）或損壞。如果使正在進行蝕刻的材料非晶化，則蝕刻速率會受到影響。圖 1 是 GaN 工件的側視剖面圖。工件 100 具有 GaN 層 116 及由藍寶石（sapphire）構成的基板 102。在 GaN 層 116 的表面上配置罩幕 103，其可為光阻或一些其他硬罩幕。GaN 層 116 之有罩幕 103 的頂面至藍寶石基板 102 之間的距離可至少為 $1\ \mu\text{m}$ ，如在圖 1 中所見的長度 115。在另一實例中，長度 115 可至少為 $10\ \mu\text{m}$ 。在 GaN 層 116 中由表面至所要深度的植入可能是昂貴及費時的，且可能需要約 10 MeV 高的多重能量植入及約 10^{18} 高的劑量。對於商業製造而言，此製程可能太慢或太貴。可能會損壞 GaN 層 116 之材料的橫向離散（lateral straggle）也可能發生。此外，在 GaN 成長期間形成的點缺陷及差排可能會導致形成在 GaN 層 116 中之溝渠的底部處的缺陷。此現象可至少部分歸因於 GaN 層 116 與基板 102 之間的晶格不匹配（lattice mismatch），更糟地其將會接近於 GaN 層 116 與基板 102 的相交處（intersection）。因此，亟需一種植入工件以改善蝕刻的改善方法。

【發明內容】

根據本發明的第一觀點，提供一種在工件中形成結構的方法。此方法包括植入工件至第一深度，以形成第一非晶化區。蝕刻第一非晶化區至第一深度。在蝕刻第一非晶

化區之後，植入工件至第二深度，以形成在第一非晶化區之位置下方的第二非晶化區。蝕刻第二非晶化區至第二深度。

根據本發明的第二觀點，提供一種在工件中形成結構的方法。此方法包括交替進行在工件中形成非晶化區的植入步驟以及移除非晶化區的蝕刻步驟。各自進行植入步驟及蝕刻步驟至少兩次，且形成達到所要深度的結構。

根據本發明的第三觀點，提供一種在工件中形成結構的方法。此方法包括置放工件於腔室中。在腔室中植入工件以形成非晶化區，且在腔室中蝕刻工件以移除非晶化區。在腔室中重複植入及蝕刻，直到在工件中形成達到所要深度的結構為止。

【實施方式】

本說明書中描述與化合物半導體（例如 GaN）之離子植入有關的實施例，但這些實施例亦可用於其他 III/V 族化合物半導體、II/VI 族化合物半導體、磁性材料、矽、介電材料、金屬、其組合或本領域具有通常知識者所知的其他材料。工件可以是 LED、磁阻式隨機存取記憶體（magnetoresistive random-access memory, MRAM）堆疊、微機電系統（microelectromechanical systems, MEMS）裝置、一些含有多種材料的其他多層堆疊、三維積體電路、光電子裝置、多接面太陽能電池或其他結構的一部分。在本說明書所描述之實施例中，可使用束線式離子植入器（beam-line ion implanter）、電漿摻雜離子植入器（plasma

doping ion implanter)、泛射式植入器 (flood implanter)、修改電漿鞘的系統或本領域具有通常知識者所知的其他離子植入系統。在一特定實施例中，可使用多個腔室的群集工具 (cluster tool)。因此，本發明不以下文所描述之具體實施例為限。

多重步驟植入方法將可避免其他植入及蝕刻方法的缺點。圖 2 的 A 到 F 為植入及蝕刻工件之第一實施例的側視剖面圖。在圖 2 的 A 中，提供具有膜層 101、基板 102 及罩幕 103 的工件 100。在一實施例中，基板 102 可以是藍寶石，且膜層 101 可以是 GaN，然而其他材料是可能的。在另一實施例中，基板 102 可不存在或可不被使用。

在圖 2 的 B 中，經由罩幕 103 中的開口將離子 104 植入，以在膜層 101 中形成延伸至第一深度的非晶化區 105。這些離子 104 可以是 N，然而可使用其他物種。

在圖 2 的 C 中，將非晶化區 105 蝕刻掉以形成溝槽 106。在一例子中，非晶化區 105 中之材料的鍵結被破壞，其可以增加蝕刻的效率。此溝槽 106 的長度並非膜層 101 的長度 115。在此例子中，因為就非晶結構而對蝕刻作最佳化設定或是因為在特定時間下蝕刻經組態而停止，故非晶化區 105 被蝕刻至大約第一深度。例如，可監控蝕刻製程並可在非晶化區 105 中之離子 104 的量測濃度降低至低限濃度以下時停止蝕刻製程。在另一實例中，可對蝕刻進行最佳化設定，以使得在結晶材料中的效率低於在非晶材料中的效率。

在圖 2 的 D 中，再次使離子 104 植入膜層 101 中，以在膜層 101 中形成延伸至第二深度之另一非晶化區 105。此植入可垂直於表面，以避免植入膜層 101 之側壁中。上述非晶化區 105 接續地蝕刻至大約第二深度。重複製程直到溝槽 106 的長度為膜層 101 之整個長度 115 為止（如圖 2 的 E 中所繪示）。當然，其他深度或長度是可能的。接著，在圖 2 的 F 中移除罩幕 103。在一實例中，此步驟留下可用於 LED 之由溝槽 106 所分隔的台面。

在一特定實施例中，各個植入的劑量大約在 10^{15} 到 10^{16} 之間。各個非晶化區 105 之高度或深度可大約為 20 nm，然而其他尺寸是可能的。植入及蝕刻步驟的總次數將取決於非晶化區 105 及膜層 101 的尺寸。例如，如果各個植入使大約 20 nm 的膜層 101 非晶化及如果膜層 101 的厚度大約為 100 nm，則可能需要五次植入步驟。因為隨著植入能量降低而橫向離散降低，故更多植入步驟可改善總品質。由於較低的非晶化能量，使得可發生較少的側壁損壞。離子 104 的質量也會影響橫向離散。較大的離子 104 導致較淺的植入及較低之非晶化所需的劑量。

非晶化區 105 使膜層 101 中之點缺陷及差排移除。例如，當非晶化膜層 101 時，因為晶格被部分地或全部地破壞且差排成為非晶化材料的一部分，故差排被移除或清除。此降低缺陷、空穴、奈米柱、粗糙或其他蝕刻瑕疵的發生。因為如果差排產生在溝渠側面附近，則非晶化可防止橫向蝕刻，故與先前方法相比，溝槽 106 亦可能會更陡

峭且較不粗糙。在一例子中，由於橫向離散可損壞任何在溝槽 106 邊緣附近的差排且可降低蝕刻物種擴散至這些差排內，故允許罩幕 103 下方大約 1 nm 的非晶化。因為在罩幕 103 下方之側壁上可留下例如大約 1 nm 的非晶化材料，故上述方法使得產生具有較佳隔離界面的較佳 LED。當然，在一替代性實施例中，可蝕刻所有非晶化材料。可使用隨後的步驟（例如濕蝕刻）移除溝槽 106 中之任何餘留的殘留物或材料。此外，因為單一植入至膜層 101 的整個深度可能會要非常長的工作時間或可能會以非常高的能量進行，故本說明書中所描述的製程雖然使用較多製程步驟，但與單一製程步驟相比可能較快或較便宜。即使使用較便宜或較低品質的 GaN 膜 101，仍然將形成陡峭的溝槽 106。

在另一特定實施例中，在單一腔室中進行植入及蝕刻。將工件 100 置放在腔室中。工件被植入以形成非晶化區，接著，蝕刻工件以移除此非晶化區。重複進行植入及蝕刻，直到形成具有所要深度之結構或溝渠為止。在植入期間經離子化的氣體及用於蝕刻的氣體可能不相同，並可在步驟之間進行排空（purge）。例如，可使用 N_2 及 Cl_2 或 BCl_2 及 HCl 。如果使用單一電漿來進行植入及蝕刻，那麼可將例如 Cl_2 的鹵素與 N_2 、 NH_3 、He 或另一稀有氣體（noble gas）混合。可變化工件 100 或電漿腔室的偏壓條件或電漿參數，以使用上述單一電漿達到優先植入工件 100 或優先蝕刻工件 100。在此製程期間，可不破壞環繞工件 100 的

真空環境。當然，可藉由破壞腔室之間的真空環境或是維持腔室之間的真空環境以在兩個或兩個以上腔室之間移動工件 100。

在蝕刻之後亦可使用低能量的植入或電漿製程，以移除溝槽 106 之側壁上的任何餘留材料。在一例子中，此步驟可改善裝置的性能，且可發生在與植入或與蝕刻相同的腔室中。

圖 3 的 A 到 B 為植入及蝕刻工件之第二實施例的側視剖面圖。在此實施例中，膜層 101 事實上是由不同的膜層 109 到膜層 112 所組成。膜層 109 到膜層 112 中的各個膜層可由相同材料所構成或可由不同材料所構成。在此實施例中，工件 100 可為（例如）MRAM 堆疊、矽導孔（silicon via）、光電子裝置、MEMS 裝置或多接面太陽能電池。使用離子 107（可對應於離子 104）以在膜層 109 中形成非晶化區 105。在蝕刻膜層 109 中之非晶化區 105 之後，使用離子 108（也可對應於離子 104）以在膜層 110 中形成非晶化區 105。在膜層 109 中及在膜層 110 中形成非晶化區 105 所使用的植入能量可以是不相同的。此可歸因於膜層 109 及膜層 110 的尺寸或膜層 109 及膜層 110 的材料。可用不同的能量對膜層 109 到膜層 112 中的一些膜層或對所有的膜層 109 到膜層 112 進行植入。

在另一替代性實施例中，改變離子 108 及離子 107 的劑量或離子物種，以在膜層 110 中及在膜層 109 中形成非晶化區 105。此可歸因於膜層 110 中之材料及膜層 109

中之材料的差異。可用不同的劑量或離子物種對膜層 109 到膜層 112 中的一些膜層或對所有的膜層 109 到膜層 112 進行植入。

圖 4 為植入工件之另一實施例的側視剖面圖。在此實施例中，使用離子 104 以兩種不同的能量來形成膜層 101 中之非晶化區 105。使用第一植入能量來形成區 114（在虛線下方）而使用第二植入能量來形成區 113（在虛線上方）。區 113 及區 114 組成非晶化區 105。使用較高植入能量來形成區 114，且使用較低植入能量來形成較接近表面的區 113。可使用蝕刻來移除非晶化區 105 中的區 113 以及區 114。在一具體實例中，較高能量（例如大約 20 kV）可能無法非晶化整個非晶化區 105。可使用大約 5 kV 的能量來非晶化或完全非晶化剩餘的區 113。

儘管繪示出罩幕 103，但在一替代性實施例中，離子 104 的植入發生在工件 100 上沒有罩幕 103 的情況下。聚焦離子的裝置、配置在工件 100 上方或配置在離工件 100 一距離處的遮蔽罩幕或模板罩幕或是修改電漿鞘形狀的裝置皆可使用來進行工件 100 的選擇性植入。此方法省略罩幕 103 的應用及除去移除步驟，且進一步降低成本。

在一替代性實施例中，對離子 104 而言，使用惰性物種、稀有氣體、p 型物種或 n 型物種來代替 N。He、Ne、Ga、B、P 或 As 僅僅是一些實例，而本領域具有通常知識者所知的其他物種也可被使用。不同物種導致不同蝕刻速度或不同溝槽 106 特性。例如，植入 B 可導致較快的蝕刻

速率。在一例子中，如果膜層 101 中的矽被摻雜，則在蝕刻期間其可形成揮發性分子。其他物種也可能會影響蝕刻速率，例如藉由修改被蝕刻之材料的材料性質。在另一例子中，離子 104 為與活性蝕刻物種（例如 Cl 或另一鹵素）混合的惰性物種。如果活性蝕刻物種用以作為至少一部分的離子 104，那麼離子 104 既可使非晶化區 105 的表面非晶化又可開始蝕刻非晶化區 105 的表面。

在一特定實施例中，在不同植入步驟期間，離子 104 使用不同的物種。例如，在製程一開始，使用第一物種來非晶化膜層 101，然而，當蝕刻進行到較接近基板 102 或較遠離膜層 101 之表面（例如膜層 101 之具有罩幕 103 的表面）時，使用第二物種以較慢的速率非晶化膜層 101。此可在需要時提供較高程度的蝕刻製程控制，且可防止對基板 102 造成非意欲性的損壞。例如，可使用 N 及 He 或 B 及 He。

本說明書中繪示出垂直式溝槽 106。然而，溝槽 106 可以是所繪示之形狀或尺寸以外的其他形狀或尺寸。例如，溝槽 106 可為 v 形。本說明書中所描繪的實施例可使用來形成許多不同形狀的溝渠。

可摻雜溝槽 106 側壁的材料，或可在此製程之前、期間或之後隔離溝槽 106 側壁的材料。例如，可使用離子 104 或隨後的步驟（例如植入步驟）來隔離溝槽 106 之壁面。表面尖峰分佈（surface peak profile）可能會形成。在一特定實施例中，在完成蝕刻之後，多重角度植入或單一植入

可處理溝槽 106 的側壁。雙峰角分佈可使用於單一植入中。

在植入期間可掃描工件 100。如果工件 100 包含多種需進行蝕刻的結構或裝置，則上述方法可使整個工件 100 皆能夠被植入。形成非晶化區 105 所使用的離子可為（例如）帶狀束、掃描點束（scanned spot beam）或聚焦離子束。當然，在無進行掃描的情況下，可使用電漿摻雜離子植入系統或電漿浸沒離子植入系統來處理整個工件 100。如果使用橫越工件 100 的掃描，則在植入期間可旋轉工件 100 以使非晶化區 105 能夠均勻。

本揭示不以本說明書中所描述之具體實施例的範圍為限。事實上，除本說明書中所描述的實施例之外，藉由以上描述及附圖，本揭示的其他各種實施例及修改對本領域具有通常知識者是顯而易見的。這些其他實施例及修改意欲落入於本揭示的範圍內。此外，雖然本說明書中已在特定目的之特定環境中以特定實施方案描述本揭示，本領域具有通常知識者將了解，本揭示的效用不局限於此，且本發明可有利地出於許多目的而在許多環境中實施。因此，應如本說明書中所描述本揭示的整個廣度及精神來解釋下文陳述的申請專利範圍。

【圖式簡單說明】

將參照附圖以為更好地理解本揭示，所述附圖以引用的方式併入本說明書中，且其中：

圖 1 是 GaN 工件的側視剖面圖。

圖 2 的 A 到 F 是植入及蝕刻工件之第一實施例的側視

剖面圖。

圖 3 的 A 到 B 是植入及蝕刻工件之第二實施例的側視剖面圖。

圖 4 是植入工件之另一實施例的側視剖面圖。

【主要元件符號說明】

100：工件

101、109、110、111、112：膜層

102：基板

103：罩幕

104、107、108：離子

105：非晶化區

106：溝槽

113、114：區

115：長度

116：GaN層

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101112816

※申請日：101.4.11

※IPC 分類：

一、發明名稱：(中文/英文)

H01L 21/3065 .2006.01

蝕刻工件的方法

METHOD OF ETCHING A WORKPIECE

二、中文發明摘要：

植入工件至第一深度以形成第一非晶化區。接著，蝕刻上述非晶化區至第一深度。在蝕刻之後，植入工件至第二深度以形成在第一非晶化區之位置下方的第二非晶化區。接著，蝕刻第二非晶化區至第二深度。可重複植入步驟及蝕刻步驟直到形成達到所要深度的結構為止。舉例來說，工件可為化合物半導體（例如 GaN）、磁性材料、矽或其他材料。

三、英文發明摘要：

A workpiece is implanted to a first depth to form a first amorphized region. This amorphized region is then etched to the first depth. After etching, the workpiece is implanted to a second depth to form a second amorphized region below a location of the first amorphized region. The second amorphized region is then etched to the second depth. The

implant and etch steps may be repeated until structure is formed to the desired depth. The workpiece may be, for example, a compound semiconductor, such as GaN, a magnetic material, silicon, or other materials.

七、申請專利範圍：

1.一種在工件中形成結構的方法，包括：

對工件進行植入至第一深度，以形成第一非晶化區；

蝕刻所述第一非晶化區至所述第一深度；

在所述第一非晶化區之所述蝕刻之後，對工件進行植入至第二深度，以形成在所述第一非晶化區之位置下方的第二非晶化區；以及

蝕刻所述第二非晶化區至所述第二深度。

2. 如申請專利範圍第 1 項所述之在工件中形成結構的方法，更包括：

在所述第二非晶化區的蝕刻之後，對工件進行植入至第三深度，以形成在所述第二非晶化區之位置下方的第三非晶化區；以及

蝕刻所述第三非晶化區至所述第三深度。

3. 如申請專利範圍第 1 項所述之在工件中形成結構的方法，更包括在所述工件上形成罩幕。

4. 如申請專利範圍第 1 項所述之在工件中形成結構的方法，其中所述工件包括化合物半導體。

5. 如申請專利範圍第 1 項所述之在工件中形成結構的方法，其中所述工件包括磁性材料。

6. 如申請專利範圍第 1 項所述之在工件中形成結構的方法，其中所述工件包括矽。

7. 如申請專利範圍第 1 項所述之在工件中形成結構的方法，其中所述第一非晶化區中之所述工件包括第一材

料，且所述第二非晶化區中之所述工件包括不同於所述第一材料的第二材料。

8. 如申請專利範圍第 7 項所述之在工件中形成結構的方法，其中植入所述工件至所述第一深度的步驟發生在第一能量下，且其中植入所述工件至所述第二深度的步驟發生在不同於所述第一能量的第二能量下。

9. 如申請專利範圍第 1 項所述之在工件中形成結構的方法，其中植入以形成所述第一非晶化區的步驟或植入以形成所述第二非晶化區的步驟之一者包括兩種不同能量下的兩個植入。

10. 一種在工件中形成結構的方法，包括：

交替進行在工件中形成非晶化區的植入步驟以及移除所述非晶化區的蝕刻步驟，其中各自進行所述植入步驟及所述蝕刻步驟至少兩次，且形成達到所要深度的結構。

11. 如申請專利範圍第 10 項所述之在工件中形成結構的方法，更包括在所述工件上形成罩幕。

12. 如申請專利範圍第 10 項所述之在工件中形成結構的方法，其中所述工件包括化合物半導體。

13. 如申請專利範圍第 10 項所述之在工件中形成結構的方法，其中所述工件包括磁性材料。

14. 如申請專利範圍第 10 項所述之在工件中形成結構的方法，其中所述工件包括矽。

15. 如申請專利範圍第 10 項所述之在工件中形成結構的方法，其中在不同植入能量下進行所述植入步驟中的

兩者。

16. 如申請專利範圍第 10 項所述之在工件中形成結構的方法，其中所述植入步驟中的至少一者包括兩種不同能量下的兩個植入。

17. 一種在工件中形成結構的方法，包括：

置放工件於腔室中；

在所述腔室中對所述工件進行植入，以形成非晶化區；

在所述腔室中蝕刻所述工件，以移除所述非晶化區；
以及

在所述腔室中重複所述植入及所述蝕刻，直到在所述工件中形成達到所要深度的結構為止。

18. 如申請專利範圍第 17 項所述之在工件中形成結構的方法，更包括在所述植入與所述蝕刻之間在所述腔室中排空氣體。

19. 如申請專利範圍第 17 項所述之在工件中形成結構的方法，其中形成多個所述非晶化區且在不同植入能量下植入所述非晶化區中的兩者。

20. 如申請專利範圍第 17 項所述之在工件中形成結構的方法，其中植入以形成所述非晶化區的步驟包括在兩種不同植入能量下植入所述工件。

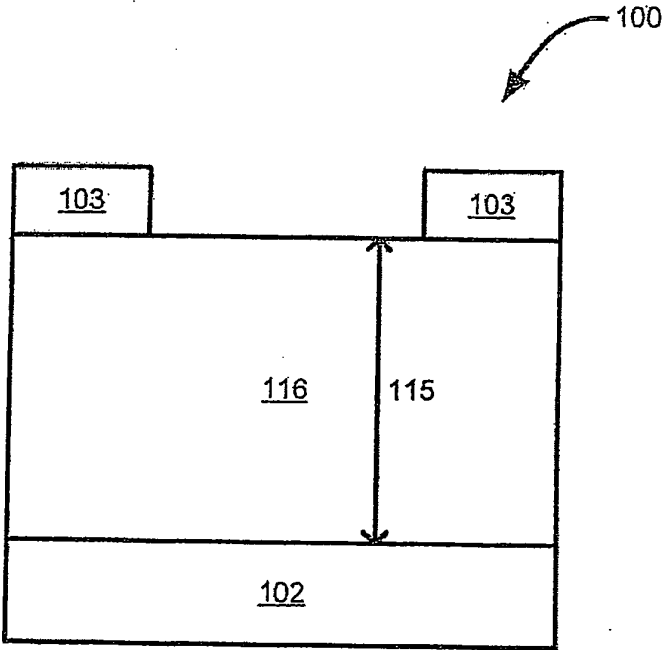


圖 1

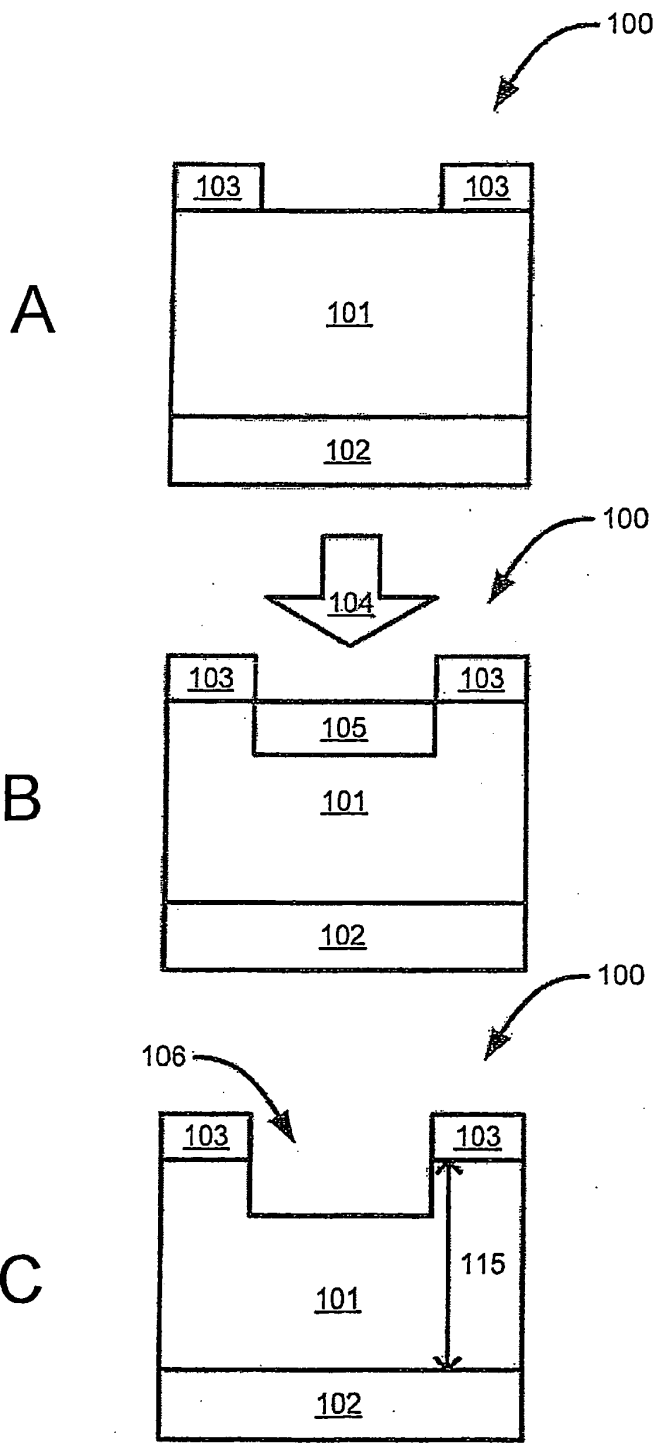


圖 2

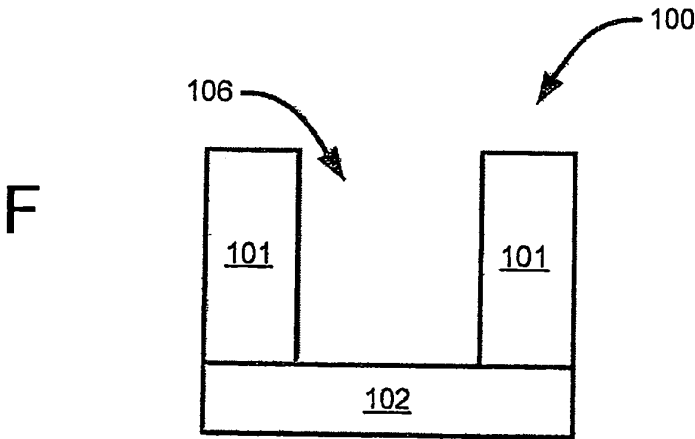
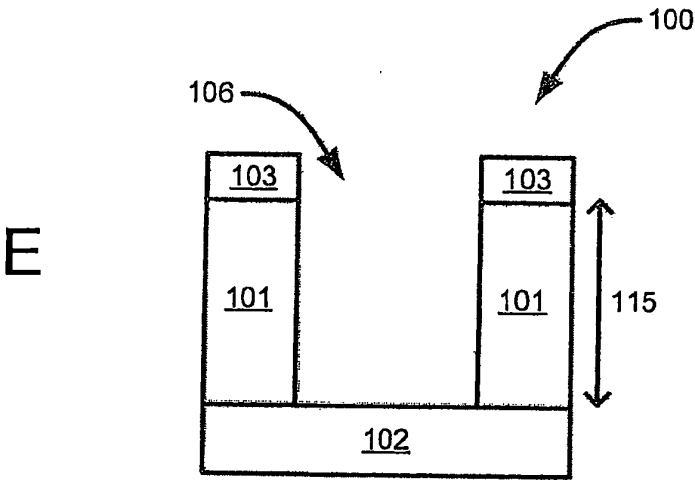
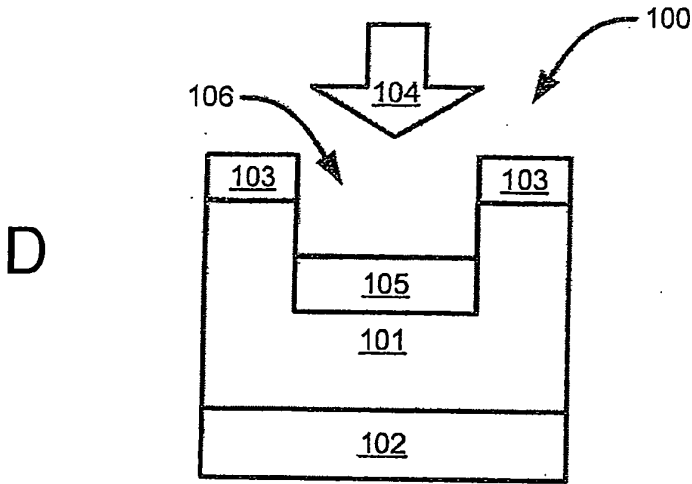


圖 2

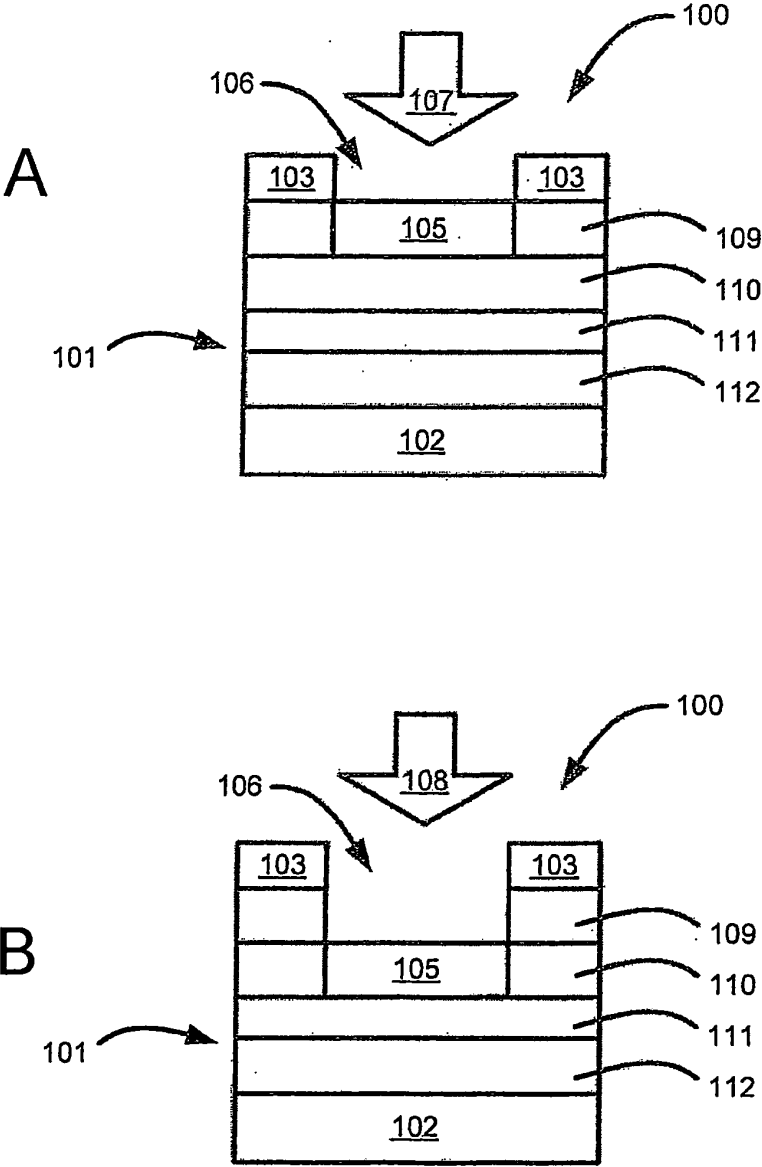


圖 3

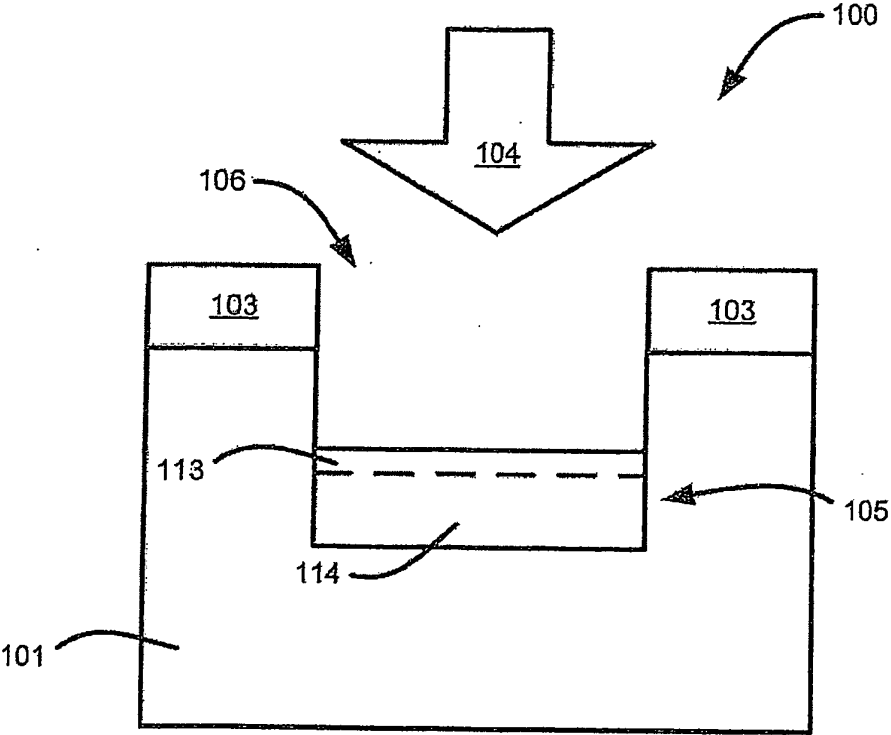


圖 4

四、指定代表圖：

(一) 本案之指定代表圖：圖 2

(二) 本代表圖之元件符號簡單說明：

100：工件

101：膜層

102：基板

103：罩幕

104：離子

105：非晶化區

106：溝槽

115：長度

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：

※申請日：

※IPC 分類：

一、發明名稱：(中文/英文)

蝕刻工件的方法

METHOD OF ETCHING A WORKPIECE

二、中文發明摘要：

植入工件至第一深度以形成第一非晶化區。接著，蝕刻上述非晶化區至第一深度。在蝕刻之後，植入工件至第二深度以形成在第一非晶化區之位置下方的第二非晶化區。接著，蝕刻第二非晶化區至第二深度。可重複植入步驟及蝕刻步驟直到形成達到所要深度的結構為止。舉例來說，工件可為化合物半導體（例如 GaN）、磁性材料、矽或其他材料。

三、英文發明摘要：

A workpiece is implanted to a first depth to form a first amorphized region. This amorphized region is then etched to the first depth. After etching, the workpiece is implanted to a second depth to form a second amorphized region below a location of the first amorphized region. The second amorphized region is then etched to the second depth. The

六、發明說明：

【相關申請案之互相參照】

本案主張在 2011 年 4 月 12 日提申的美國臨時專利申請案第 61/474,564 號名稱為「化合物半導體之無缺陷蝕刻」的優先權，其所揭露內容併入本文中作為參照。

【發明所屬之技術領域】

本發明是有關於離子植入，且更特別是有關於用以改善蝕刻之工件的離子植入。

【先前技術】

離子植入法是一種用於將改變導電性之雜質（conductivity-altering impurities）引入工件中的標準技術。在離子源中離子化所要的雜質材料，使離子加速以形成具規定能量的離子束，且將離子束導向工件的表面處。束中的高能離子穿透進入工件材料主體中，且嵌進工件材料之晶格中以形成具有所要導電性的區。

為了使發光二極體（light-emitting diode, LED）得到更多的照明市場，可能需要效率與製造成本上的改善。在許多製程中，使用蝕刻以在 LEDs 之間形成台面（mesa）。此蝕刻步驟是一個可進行改善的領域。LED 之 GaN 中的缺陷（defects）及差排（dislocations）產生使蝕刻速率提高或降低的中心位點（center）。這些中心位點導致空穴（cavity）、奈米柱（nano-pillar/ nano-column）、粗糙或其他蝕刻瑕疵。另外，不同的晶向（crystal orientations）導致不同的蝕刻速率。此外，GaN 或其他化合物半導體的蝕

刻速率可能是慢的，或者在裝置中會提供漏電的路徑。

可使用離子植入以使化合物半導體（例如 GaN）或一些其他材料的缺陷或差排非晶化（amorphize）或損壞。如果使正在進行蝕刻的材料非晶化，則蝕刻速率會受到影響。圖 1 是 GaN 工件的側視剖面圖。工件 100 具有 GaN 層 116 及由藍寶石（sapphire）構成的基板 102。在 GaN 層 116 的表面上配置罩幕 103，其可為光阻或一些其他硬罩幕。GaN 層 116 之有罩幕 103 的頂面至藍寶石基板 102 之間的距離可至少為 $1\ \mu\text{m}$ ，如在圖 1 中所見的長度 115。在另一實例中，長度 115 可至少為 $10\ \mu\text{m}$ 。在 GaN 層 116 中由表面至所要深度的植入可能是昂貴及費時的，且可能需要約 10 MeV 高的多重能量植入及約 10^{18} 高的劑量。對於商業製造而言，此製程可能太慢或太貴。可能會損壞 GaN 層 116 之材料的橫向離散（lateral straggle）也可能發生。此外，在 GaN 成長期間形成的點缺陷及差排可能會導致形成在 GaN 層 116 中之溝渠的底部處的缺陷。此現象可至少部分歸因於 GaN 層 116 與基板 102 之間的晶格不匹配（lattice mismatch），更糟地其將會接近於 GaN 層 116 與基板 102 的相交處（intersection）。因此，亟需一種植入工件以改善蝕刻的改善方法。

【發明內容】

根據本發明的第一觀點，提供一種在工件中形成結構的方法。此方法包括植入工件至第一深度，以形成第一非晶化區。蝕刻第一非晶化區至第一深度。在蝕刻第一非晶

化區之後，植入工件至第二深度，以形成在第一非晶化區之位置下方的第二非晶化區。蝕刻第二非晶化區至第二深度。

根據本發明的第二觀點，提供一種在工件中形成結構的方法。此方法包括交替進行在工件中形成非晶化區的植入步驟以及移除非晶化區的蝕刻步驟。各自進行植入步驟及蝕刻步驟至少兩次，且形成達到所要深度的結構。

根據本發明的第三觀點，提供一種在工件中形成結構的方法。此方法包括置放工件於腔室中。在腔室中植入工件以形成非晶化區，且在腔室中蝕刻工件以移除非晶化區。在腔室中重複植入及蝕刻，直到在工件中形成達到所要深度的結構為止。

【實施方式】

本說明書中描述與化合物半導體（例如 GaN）之離子植入有關的實施例，但這些實施例亦可用於其他 III/V 族化合物半導體、II/VI 族化合物半導體、磁性材料、矽、介電材料、金屬、其組合或本領域具有通常知識者所知的其他材料。工件可以是 LED、磁阻式隨機存取記憶體（magnetoresistive random-access memory, MRAM）堆疊、微機電系統（microelectromechanical systems, MEMS）裝置、一些含有多種材料的其他多層堆疊、三維積體電路、光電子裝置、多接面太陽能電池或其他結構的一部分。在本說明書所描述之實施例中，可使用束線式離子植入器（beam-line ion implanter）、電漿摻雜離子植入器（plasma

doping ion implanter)、泛射式植入器 (flood implanter)、修改電漿鞘的系統或本領域具有通常知識者所知的其他離子植入系統。在一特定實施例中，可使用多個腔室的群集工具 (cluster tool)。因此，本發明不以下文所描述之具體實施例為限。

多重步驟植入方法將可避免其他植入及蝕刻方法的缺點。圖 2 的 A 到 F 為植入及蝕刻工件之第一實施例的側視剖面圖。在圖 2 的 A 中，提供具有膜層 101、基板 102 及罩幕 103 的工件 100。在一實施例中，基板 102 可以是藍寶石，且膜層 101 可以是 GaN，然而其他材料是可能的。在另一實施例中，基板 102 可不存在或可不被使用。

在圖 2 的 B 中，經由罩幕 103 中的開口將離子 104 植入，以在膜層 101 中形成延伸至第一深度的非晶化區 105。這些離子 104 可以是 N，然而可使用其他物種。

在圖 2 的 C 中，將非晶化區 105 蝕刻掉以形成溝槽 106。在一例子中，非晶化區 105 中之材料的鍵結被破壞，其可以增加蝕刻的效率。此溝槽 106 的長度並非膜層 101 的長度 115。在此例子中，因為就非晶結構而對蝕刻作最佳化設定或是因為在特定時間下蝕刻經組態而停止，故非晶化區 105 被蝕刻至大約第一深度。例如，可監控蝕刻製程並可在非晶化區 105 中之離子 104 的量測濃度降低至下限濃度以下時停止蝕刻製程。在另一實例中，可對蝕刻進行最佳化設定，以使得在結晶材料中的效率低於在非晶材料中的效率。

在圖 2 的 D 中，再次使離子 104 植入膜層 101 中，以在膜層 101 中形成延伸至第二深度之另一非晶化區 105。此植入可垂直於表面，以避免植入膜層 101 之側壁中。上述非晶化區 105 接續地蝕刻至大約第二深度。重複製程直到溝槽 106 的長度為膜層 101 之整個長度 115 為止（如圖 2 的 E 中所繪示）。當然，其他深度或長度是可能的。接著，在圖 2 的 F 中移除罩幕 103。在一實例中，此步驟留下可用於 LED 之由溝槽 106 所分隔的台面。

在一特定實施例中，各個植入的劑量大約在 10^{15} 到 10^{16} 之間。各個非晶化區 105 之高度或深度可大約為 20 nm，然而其他尺寸是可能的。植入及蝕刻步驟的總次數將取決於非晶化區 105 及膜層 101 的尺寸。例如，如果各個植入使大約 20 nm 的膜層 101 非晶化及如果膜層 101 的厚度大約為 100 nm，則可能需要五次植入步驟。因為隨著植入能量降低而橫向離散降低，故更多植入步驟可改善總品質。由於較低的非晶化能量，使得可發生較少的側壁損壞。離子 104 的質量也會影響橫向離散。較大的離子 104 導致較淺的植入及較低之非晶化所需的劑量。

非晶化區 105 使膜層 101 中之點缺陷及差排移除。例如，當非晶化膜層 101 時，因為晶格被部分地或全部地破壞且差排成為非晶化材料的一部分，故差排被移除或清除。此降低缺陷、空穴、奈米柱、粗糙或其他蝕刻瑕疵的發生。因為如果差排產生在溝渠側面附近，則非晶化可防止橫向蝕刻，故與先前方法相比，溝槽 106 亦可能會更陡

峭且較不粗糙。在一例子中，由於橫向離散可損壞任何在溝槽 106 邊緣附近的差排且可降低蝕刻物種擴散至這些差排內，故允許罩幕 103 下方大約 1 nm 的非晶化。因為在罩幕 103 下方之側壁上可留下例如大約 1 nm 的非晶化材料，故上述方法使得產生具有較佳隔離界面的較佳 LED。當然，在一替代性實施例中，可蝕刻所有非晶化材料。可使用隨後的步驟（例如濕蝕刻）移除溝槽 106 中之任何餘留的殘留物或材料。此外，因為單一植入至膜層 101 的整個深度可能會要非常長的工作時間或可能會以非常高的能量進行，故本說明書中所描述的製程雖然使用較多製程步驟，但與單一製程步驟相比可能較快或較便宜。即使使用較便宜或較低品質的 GaN 膜 101，仍然將形成陡峭的溝槽 106。

在另一特定實施例中，在單一腔室中進行植入及蝕刻。將工件 100 置放在腔室中。工件被植入以形成非晶化區，接著，蝕刻工件以移除此非晶化區。重複進行植入及蝕刻，直到形成具有所要深度之結構或溝渠為止。在植入期間經離子化的氣體及用於蝕刻的氣體可能不相同，並可在步驟之間進行排空（purge）。例如，可使用 N_2 及 Cl_2 或 BCl_2 及 HCl 。如果使用單一電漿來進行植入及蝕刻，那麼可將例如 Cl_2 的鹵素與 N_2 、 NH_3 、 He 或另一稀有氣體（noble gas）混合。可變化工件 100 或電漿腔室的偏壓條件或電漿參數，以使用上述單一電漿達到優先植入工件 100 或優先蝕刻工件 100。在此製程期間，可不破壞環繞工件 100 的

真空環境。當然，可藉由破壞腔室之間的真空環境或是維持腔室之間的真空環境以在兩個或兩個以上腔室之間移動工件 100。

在蝕刻之後亦可使用低能量的植入或電漿製程，以移除溝槽 106 之側壁上的任何餘留材料。在一例子中，此步驟可改善裝置的性能，且可發生在與植入或與蝕刻相同的腔室中。

圖 3 的 A 到 B 為植入及蝕刻工件之第二實施例的側視剖面圖。在此實施例中，膜層 101 事實上是由不同的膜層 109 到膜層 112 所組成。膜層 109 到膜層 112 中的各個膜層可由相同材料所構成或可由不同材料所構成。在此實施例中，工件 100 可為（例如）MRAM 堆疊、矽導孔（silicon via）、光電子裝置、MEMS 裝置或多接面太陽能電池。使用離子 107（可對應於離子 104）以在膜層 109 中形成非晶化區 105。在蝕刻膜層 109 中之非晶化區 105 之後，使用離子 108（也可對應於離子 104）以在膜層 110 中形成非晶化區 105。在膜層 109 中及在膜層 110 中形成非晶化區 105 所使用的植入能量可以是不相同的。此可歸因於膜層 109 及膜層 110 的尺寸或膜層 109 及膜層 110 的材料。可用不同的能量對膜層 109 到膜層 112 中的一些膜層或對所有的膜層 109 到膜層 112 進行植入。

在另一替代性實施例中，改變離子 108 及離子 107 的劑量或離子物種，以在膜層 110 中及在膜層 109 中形成非晶化區 105。此可歸因於膜層 110 中之材料及膜層 109

中之材料的差異。可用不同的劑量或離子物種對膜層 109 到膜層 112 中的一些膜層或對所有的膜層 109 到膜層 112 進行植入。

圖 4 為植入工件之另一實施例的側視剖面圖。在此實施例中，使用離子 104 以兩種不同的能量來形成膜層 101 中之非晶化區 105。使用第一植入能量來形成區 114（在虛線下方）而使用第二植入能量來形成區 113（在虛線上方）。區 113 及區 114 組成非晶化區 105。使用較高植入能量來形成區 114，且使用較低植入能量來形成較接近表面的區 113。可使用蝕刻來移除非晶化區 105 中的區 113 以及區 114。在一具體實例中，較高能量（例如大約 20 kV）可能無法非晶化整個非晶化區 105。可使用大約 5 kV 的能量來非晶化或完全非晶化剩餘的區 113。

儘管繪示出罩幕 103，但在一替代性實施例中，離子 104 的植入發生在工件 100 上沒有罩幕 103 的情況下。聚焦離子的裝置、配置在工件 100 上方或配置在離工件 100 一距離處的遮蔽罩幕或模板罩幕或是修改電漿鞘形狀的裝置皆可使用來進行工件 100 的選擇性植入。此方法省略罩幕 103 的應用及除去移除步驟，且進一步降低成本。

在一替代性實施例中，對離子 104 而言，使用惰性物種、稀有氣體、p 型物種或 n 型物種來代替 N。He、Ne、Ga、B、P 或 As 僅僅是一些實例，而本領域具有通常知識者所知的其他物種也可被使用。不同物種導致不同蝕刻速度或不同溝槽 106 特性。例如，植入 B 可導致較快的蝕刻

速率。在一例子中，如果膜層 101 中的矽被摻雜，則在蝕刻期間其可形成揮發性分子。其他物種也可能會影響蝕刻速率，例如藉由修改被蝕刻之材料的材料性質。在另一例子中，離子 104 為與活性蝕刻物種（例如 Cl 或另一鹵素）混合的惰性物種。如果活性蝕刻物種用以作為至少一部分的離子 104，那麼離子 104 既可使非晶化區 105 的表面非晶化又可開始蝕刻非晶化區 105 的表面。

在一特定實施例中，在不同植入步驟期間，離子 104 使用不同的物種。例如，在製程一開始，使用第一物種來非晶化膜層 101，然而，當蝕刻進行到較接近基板 102 或較遠離膜層 101 之表面（例如膜層 101 之具有罩幕 103 的表面）時，使用第二物種以較慢的速率非晶化膜層 101。此可在需要時提供較高程度的蝕刻製程控制，且可防止對基板 102 造成非意欲性的損壞。例如，可使用 N 及 He 或 B 及 He。

本說明書中繪示出垂直式溝槽 106。然而，溝槽 106 可以是所繪示之形狀或尺寸以外的其他形狀或尺寸。例如，溝槽 106 可為 v 形。本說明書中所描繪的實施例可使用來形成許多不同形狀的溝渠。

可摻雜溝槽 106 側壁的材料，或可在此製程之前、期間或之後隔離溝槽 106 側壁的材料。例如，可使用離子 104 或隨後的步驟（例如植入步驟）來隔離溝槽 106 之壁面。表面尖峰分佈（surface peak profile）可能會形成。在一特定實施例中，在完成蝕刻之後，多重角度植入或單一植入

可處理溝槽 106 的側壁。雙峰角分佈可使用於單一植入中。

在植入期間可掃描工件 100。如果工件 100 包含多種需進行蝕刻的結構或裝置，則上述方法可使整個工件 100 皆能夠被植入。形成非晶化區 105 所使用的離子可為（例如）帶狀束、掃描點束（scanned spot beam）或聚焦離子束。當然，在無進行掃描的情況下，可使用電漿摻雜離子植入系統或電漿浸沒離子植入系統來處理整個工件 100。如果使用橫越工件 100 的掃描，則在植入期間可旋轉工件 100 以使非晶化區 105 能夠均勻。

本揭示不以本說明書中所描述之具體實施例的範圍為限。事實上，除本說明書中所描述的實施例之外，藉由以上描述及附圖，本揭示的其他各種實施例及修改對本領域具有通常知識者是顯而易見的。這些其他實施例及修改意欲落入於本揭示的範圍內。此外，雖然本說明書中已在特定目的之特定環境中以特定實施方案描述本揭示，本領域具有通常知識者將了解，本揭示的效用不局限於此，且本發明可有利地出於許多目的而在許多環境中實施。因此，應如本說明書中所描述本揭示的整個廣度及精神來解釋下文陳述的申請專利範圍。

【圖式簡單說明】

將參照附圖以為更好地理解本揭示，所述附圖以引用的方式併入本說明書中，且其中：

圖 1 是 GaN 工件的側視剖面圖。

圖 2 的 A 到 F 是植入及蝕刻工件之第一實施例的側視

剖面圖。

圖 3 的 A 到 B 是植入及蝕刻工件之第二實施例的側視剖面圖。

圖 4 是植入工件之另一實施例的側視剖面圖。

【主要元件符號說明】

100：工件

101、109、110、111、112：膜層

102：基板

103：罩幕

104、107、108：離子

105：非晶化區

106：溝槽

113、114：區

115：長度

116：GaN層

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：

※申請日：

※IPC 分類：

一、發明名稱：(中文/英文)

蝕刻工件的方法

METHOD OF ETCHING A WORKPIECE

二、中文發明摘要：

植入工件至第一深度以形成第一非晶化區。接著，蝕刻上述非晶化區至第一深度。在蝕刻之後，植入工件至第二深度以形成在第一非晶化區之位置下方的第二非晶化區。接著，蝕刻第二非晶化區至第二深度。可重複植入步驟及蝕刻步驟直到形成達到所要深度的結構為止。舉例來說，工件可為化合物半導體（例如 GaN）、磁性材料、矽或其他材料。

三、英文發明摘要：

A workpiece is implanted to a first depth to form a first amorphized region. This amorphized region is then etched to the first depth. After etching, the workpiece is implanted to a second depth to form a second amorphized region below a location of the first amorphized region. The second amorphized region is then etched to the second depth. The

implant and etch steps may be repeated until structure is formed to the desired depth. The workpiece may be, for example, a compound semiconductor, such as GaN, a magnetic material, silicon, or other materials.

七、申請專利範圍：

1. 一種在工件中形成結構的方法，包括：

對工件進行植入至第一深度，以形成第一非晶化區；

蝕刻所述第一非晶化區至所述第一深度；

在所述第一非晶化區之所述蝕刻之後，對所述工件進行植入至第二深度，以形成在所述第一非晶化區之位置下方的第二非晶化區；以及

蝕刻所述第二非晶化區至所述第二深度。

2. 如申請專利範圍第 1 項所述之在工件中形成結構的方法，更包括：

在所述第二非晶化區的蝕刻之後，對所述工件進行植入至第三深度，以形成在所述第二非晶化區之位置下方的第三非晶化區；以及

蝕刻所述第三非晶化區至所述第三深度。

3. 如申請專利範圍第 1 項所述之在工件中形成結構的方法，更包括在所述工件上形成罩幕。

4. 如申請專利範圍第 1 項所述之在工件中形成結構的方法，其中所述工件包括化合物半導體。

5. 如申請專利範圍第 1 項所述之在工件中形成結構的方法，其中所述工件包括磁性材料。

6. 如申請專利範圍第 1 項所述之在工件中形成結構的方法，其中所述工件包括矽。

7. 如申請專利範圍第 1 項所述之在工件中形成結構的方法，其中所述第一非晶化區中之所述工件包括第一材

料，且所述第二非晶化區中之所述工件包括不同於所述第一材料的第二材料。

8. 如申請專利範圍第 7 項所述之在工件中形成結構的方法，其中植入所述工件至所述第一深度的步驟發生在第一能量下，且其中植入所述工件至所述第二深度的步驟發生在不同於所述第一能量的第二能量下。

9. 如申請專利範圍第 1 項所述之在工件中形成結構的方法，其中植入以形成所述第一非晶化區的步驟或植入以形成所述第二非晶化區的步驟之一者包括兩種不同能量下的兩個植入。

10. 一種在工件中形成結構的方法，包括：

交替進行在工件中形成非晶化區的植入步驟以及移除所述非晶化區的蝕刻步驟，其中各自進行所述植入步驟及所述蝕刻步驟至少兩次，且形成達到所要深度的結構。

11. 如申請專利範圍第 10 項所述之在工件中形成結構的方法，更包括在所述工件上形成罩幕。

12. 如申請專利範圍第 10 項所述之在工件中形成結構的方法，其中所述工件包括化合物半導體。

13. 如申請專利範圍第 10 項所述之在工件中形成結構的方法，其中所述工件包括磁性材料。

14. 如申請專利範圍第 10 項所述之在工件中形成結構的方法，其中所述工件包括矽。

15. 如申請專利範圍第 10 項所述之在工件中形成結構的方法，其中在不同植入能量下進行所述植入步驟中的

兩者。

16. 如申請專利範圍第 10 項所述之在工件中形成結構的方法，其中所述植入步驟中的至少一者包括兩種不同能量下的兩個植入。

17. 一種在工件中形成結構的方法，包括：

置放工件於腔室中；

在所述腔室中對所述工件進行植入，以形成非晶化區；

在所述腔室中蝕刻所述工件，以移除所述非晶化區；
以及

在所述腔室中重複所述植入及所述蝕刻，直到在所述工件中形成達到所要深度的結構為止。

18. 如申請專利範圍第 17 項所述之在工件中形成結構的方法，更包括在所述植入與所述蝕刻之間在所述腔室中排空氣體。

19. 如申請專利範圍第 17 項所述之在工件中形成結構的方法，其中形成多個所述非晶化區且在不同植入能量下植入所述非晶化區中的兩者。

20. 如申請專利範圍第 17 項所述之在工件中形成結構的方法，其中植入以形成所述非晶化區的步驟包括在兩種不同植入能量下植入所述工件。

四、指定代表圖：

(一) 本案之指定代表圖：圖 2

(二) 本代表圖之元件符號簡單說明：

100：工件

101：膜層

102：基板

103：罩幕

104：離子

105：非晶化區

106：溝槽

115：長度

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無