



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202234819 A

(43)公開日：中華民國 111 (2022) 年 09 月 01 日

(21)申請案號：111100546

(22)申請日：中華民國 106 (2017) 年 08 月 30 日

(51)Int. Cl. : *H03H7/03 (2006.01)* *H03H7/18 (2006.01)*
H01P1/22 (2006.01)

(30)優先權：2016/08/30 美國 62/381,367

(71)申請人：美商天工方案公司 (美國) SKYWORKS SOLUTIONS, INC. (US)
 美國

(72)發明人：顏燕 YAN, YAN (CN)；李 俊勇 LEE, JUNHYUNG (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：1 項 圖式數：24 共 61 頁

(54)名稱

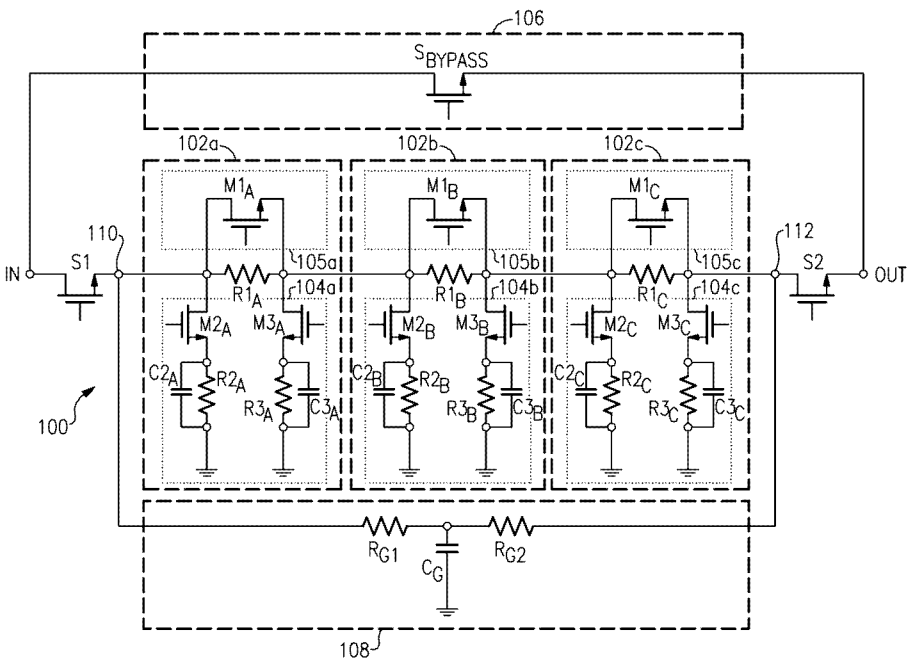
具有相移及增益補償電路之衰減器

(57)摘要

具有相移及增益補償電路之衰減器。在一些實施例中，一射頻(RF)衰減器電路可包含串聯佈置在一輸入節點與一輸出節點之間之一或多個衰減區塊，其中每一衰減區塊包含一局部旁路路徑。該 RF 衰減器電路可進一步包含在該輸入節點與該輸出節點之間實施之一全域旁路路徑。該 RF 衰減器電路可進一步包含一相位補償電路，其經組態以補償與該全域旁路路徑及該一或多個局部旁路路徑之至少一者相關聯之一關斷電容效應。

Attenuators having phase shift and gain compensation circuits. In some embodiments, a radio-frequency (RF) attenuator circuit can include one or more attenuation blocks arranged in series between an input node and an output node, with each attenuation block including a local bypass path. The RF attenuator circuit can further include a global bypass path implemented between the input node and the output node. The RF attenuator circuit can further include a phase compensation circuit configured to compensate for an off-capacitance effect associated with at least one of the global bypass path and the one or more local bypass paths.

指定代表圖：



【圖3】

符號簡單說明：

- 100:衰減器電路
- 102a:第一衰減區塊
- 102b:第二衰減區塊
- 102c:第三衰減區塊
- 104a:局部相位補償電路
- 104b:局部相位補償電路
- 104c:局部相位補償電路
- 105a:局部旁路路徑
- 105b:局部旁路路徑
- 105c:局部旁路路徑
- 106:旁路路徑
- 108:全域相位補償電路
- 110:第一節點
- 112:第二節點
- C2_A:電容
- C2_B:電容
- C2_C:電容
- C3_A:電容
- C3_B:電容
- C3_C:電容
- C_G:電容
- M1_A:第一局部旁路開關
- M1_B:第二局部旁路開關
- M1_C:第三局部旁路開關
- M2_A:分流臂開關
- M2_B:分流臂開關
- M2_C:分流臂開關
- M3_A:分流臂開關
- M3_B:分流臂開關
- M3_C:分流臂開關

- R1_A: 電阻
- R1_B: 電阻
- R1_C: 電阻
- R2_A: 電阻
- R2_B: 電阻
- R2_C: 電阻
- R3_A: 電阻
- R3_B: 電阻
- R3_C: 電阻
- R_{G1}: 第一電阻
- R_{G2}: 第二電阻
- S1: 開關
- S2: 開關
- SBYPASS: 全域旁路開關
- IN: 輸入節點
- OUT: 輸出節點

【發明摘要】

【中文發明名稱】

具有相移及增益補償電路之衰減器

【英文發明名稱】

ATTENUATORS HAVING PHASE SHIFT AND GAIN COMPENSATION
CIRCUITS

【中文】

具有相移及增益補償電路之衰減器。在一些實施例中，一射頻(RF)衰減器電路可包含串聯佈置在一輸入節點與一輸出節點之間之一或多個衰減區塊，其中每一衰減區塊包含一局部旁路路徑。該RF衰減器電路可進一步包含在該輸入節點與該輸出節點之間實施之一全域旁路路徑。該RF衰減器電路可進一步包含一相位補償電路，其經組態以補償與該全域旁路路徑及該一或多個局部旁路路徑之至少一者相關聯之一關斷電容效應。

【英文】

Attenuators having phase shift and gain compensation circuits. In some embodiments, a radio-frequency (RF) attenuator circuit can include one or more attenuation blocks arranged in series between an input node and an output node, with each attenuation block including a local bypass path. The RF attenuator circuit can further include a global bypass path implemented between the input node and the output node. The RF attenuator circuit can further include a phase compensation circuit configured to compensate for an off-capacitance effect associated with at least one of the global bypass path and the one or more local

bypass paths.

【指定代表圖】

圖3

【代表圖之符號簡單說明】

100:衰減器電路

102a:第一衰減區塊

102b:第二衰減區塊

102c:第三衰減區塊

104a:局部相位補償電路

104b:局部相位補償電路

104c:局部相位補償電路

105a:局部旁路路徑

105b:局部旁路路徑

105c:局部旁路路徑

106:旁路路徑

108:全域相位補償電路

110:第一節點

112:第二節點

C2_A:電容

C2_B:電容

C2_C:電容

C3_A:電容

C3_B:電容

C_{3C}:電容

C_G:電容

M_{1A}:第一局部旁路開關

M_{1B}:第二局部旁路開關

M_{1C}:第三局部旁路開關

M_{2A}:分流臂開關

M_{2B}:分流臂開關

M_{2C}:分流臂開關

M_{3A}:分流臂開關

M_{3B}:分流臂開關

M_{3C}:分流臂開關

R_{1A}:電阻

R_{1B}:電阻

R_{1C}:電阻

R_{2A}:電阻

R_{2B}:電阻

R_{2C}:電阻

R_{3A}:電阻

R_{3B}:電阻

R_{3C}:電阻

R_{G1}:第一電阻

R_{G2}:第二電阻

S₁:開關

S2:開關

SBYPASS:全域旁路開關

IN:輸入節點

OUT:輸出節點

【發明說明書】

【中文發明名稱】

具有相移及增益補償電路之衰減器

【英文發明名稱】

ATTENUATORS HAVING PHASE SHIFT AND GAIN COMPENSATION
CIRCUITS

【技術領域】

本發明係關於用於電子應用之衰減器。

【先前技術】

在諸如射頻(RF)應用之電子應用中，有時期望放大或衰減一信號。例如，一待傳輸信號可由一功率放大器放大，且一接收信號可由一低雜訊放大器放大。在另一實例中，可沿著前述傳輸及接收路徑之任一者或兩者實施一或多個衰減器以根據需要或根據期望衰減相應信號。

【發明內容】

根據數個實施方案，本發明係關於一種射頻(RF)衰減器電路，其包含串聯佈置在一輸入節點與一輸出節點之間之一或多個衰減區塊，其中每一衰減區塊包含一局部旁路路徑。該RF衰減器電路進一步包含在該輸入節點與該輸出節點之間實施之一全域旁路路徑。該RF衰減器電路進一步包含一相位補償電路，其經組態以補償與該全域旁路路徑及該一或多個局部旁路路徑之至少一者相關聯之一關斷電容效應。

在一些實施例中，該全域旁路路徑可包含一全域旁路開關電晶體，其經組態以當處於一全域旁路模式中時導通，且當處於一全域衰減模式中時關斷，使得該全域旁路開關電晶體當處於該全域衰減模式中時提供一全

域關斷電容。該相位補償電路可包含一全域相位補償電路，其經組態以在該射頻衰減器電路處於該全域衰減模式中時補償該全域關斷電容。

在一些實施例中，該全域相位補償電路可包含一第一全域補償電阻及一第二全域補償電阻及一全域補償電容，該等全域補償電阻串聯佈置在該輸入節點與該輸出節點之間，該全域補償電容在一接地與該第一全域補償電阻及第二全域補償電阻之間之一節點之間實施。該全域旁路開關電晶體之該全域關斷電容可導致一相位超前變化，且該全域相位補償電路可經組態以提供一相位滯後變化來補償該相位超前變化。該第一全域補償電阻及該第二全域補償電阻可具有大體上相同值。該相位超前變化的量可被計算為 $\phi = \tan^{-1} \left(2\omega R_{G1} C_{off} \right) - \tan^{-1} \left(\frac{2}{3}\omega R_{G1} C_{off} \right)$ ，且該相位滯後變化的量可被計算為 $\phi = -\tan^{-1} \left(\frac{2}{3}\omega R_{G1} C_G \right)$ ，其中 ω 係 2π 乘上頻率， R_L 係負載阻抗， R_{G1} 係該第一全域補償電阻，且 C_G 係該全域補償電容。可選擇該第一全域補償電阻及該全域補償電容之該等值，使得該相位滯後變化之幅度與該相位超前變化之幅度大體上相同。可選擇該全域補償電容之該值使得該衰減器電路之一全域增益在一選定頻率範圍內近似平坦。

在一些實施例中，該全域補償電容可經組態以與該全域旁路開關電晶體大體上相同地受到一或多個製程變動的影響。該全域補償電容可被組態為一電晶體類裝置。該全域補償電容之該電晶體類裝置及該全域旁路開關電晶體之各者可被實施為一MOSFET裝置。

在一些實施例中，該局部旁路路徑可包含一局部旁路開關電晶體，其經組態以當處於一局部旁路模式中時導通，且當處於一局部衰減模式中時關斷，使得該局部旁路開關電晶體當處於該局部衰減模式中時提供一局部關斷電容。該相位補償電路可包含一局部相位補償電路，其經組態以在

該射頻衰減器電路處於該局部衰減模式中時補償該局部關斷電容。

在一些實施例中，該衰減區塊可被組態為一pi衰減器，其具有一局部電阻、在該局部電阻之一端與一接地之間實施之一第一分流路徑及在該局部電阻之該端與該接地之間實施之一第二分流路徑，其中該第一分流路徑及該第二分流路徑之各者包含一分流電阻。該局部相位補償電路可包含一第一局部補償電容及一第二局部補償電容，該第一局部補償電容經佈置以與該第一分流電阻電並聯，該第二局部補償電容經佈置以與該第二分流電阻電並聯。

在一些實施例中，該局部旁路開關電晶體之該局部關斷電容可導致一相位超前變化，且該局部相位補償電路可經組態以提供一相位滯後變化來補償該相位超前變化。該第一分流路徑電阻及該第二分流路徑電阻可具有大體上相同值，且該第一局部補償電容及該第二局部補償電容可具有大體上相同值。該相位超前變化的量可被計算為 $\phi = \tan^{-1}(\omega R_1 C_{off}) - \tan^{-1}\left(\omega \left(\frac{R_1 R_L}{R_1 + R_L}\right) C_{off}\right)$ ，且該相位滯後變化的量可被計算為 $\phi = -\tan^{-1}\left(\frac{\omega R_1 R_2' C_c}{R_1 + R_2'}\right)$ ，其中 ω 係 2π 乘上頻率， R_L 係負載阻抗， R_1 係該局部電阻，且 C_c 係該第一局部補償電容，且 R_2' 係該第一分流電阻及該負載阻抗之一並聯佈置之一等效電阻。可選擇該第一局部補償電容之該等值，使得該相位滯後變化之幅度與該相位超前變化之幅度大體上相同。可選擇該局部補償電容之該值使得該衰減區塊之一局部增益在一選定頻率範圍內近似平坦。

在一些實施例中，該第一局部補償電容及該第二局部補償電容之各者可經組態以與該局部旁路開關電晶體大體上相同地受到一或多個製程變動的影響。該第一局部補償電容及該第二局部補償電容之各者可被組態為

一電晶體類裝置。該第一局部補償電容及該第二局部補償電容之該電晶體類裝置及該局部旁路開關電晶體之各者可被實施為一MOSFET裝置。

在一些實施例中，該一或多個衰減區塊可包含具有二進位加權衰減值之複數個衰減區塊。

在一些教示中，本發明係關於一種具有一射頻電路之半導體晶粒。該半導體晶粒包含一半導體基板及在該半導體基板上實施之一衰減器電路。該衰減器電路包含一或多個衰減區塊，其等串聯佈置在一輸入節點與一輸出節點之間，其中每一衰減區塊包含一局部旁路路徑。該衰減器電路進一步包含在該輸入節點與該輸出節點之間實施之一全域旁路路徑。該衰減器電路進一步包含一相位補償電路，其經組態以補償與該全域旁路路徑及該一或多個局部旁路路徑之至少一者相關聯之一關斷電容效應。

在數個實施方案中，本發明係關於一種射頻模組，其包含一封裝基板，其經組態以接納複數個組件；及一射頻衰減器電路，其在該封裝基板上實施。該衰減器電路包含一或多個衰減區塊，其等串聯佈置在一輸入節點與一輸出節點之間，其中每一衰減區塊包含一局部旁路路徑。該衰減器電路進一步包含在該輸入節點與該輸出節點之間實施之一全域旁路路徑。該衰減器電路進一步包含一相位補償電路，其經組態以補償與該全域旁路路徑及該一或多個局部旁路路徑之至少一者相關聯之一關斷電容效應。

在一些實施例中，該射頻衰減器電路之一些或全部可在一半導體晶粒上實施。在一些實施例中，該射頻衰減器電路之大體上全部可在該半導體晶粒上實施。

在一些實施例中，該射頻模組可經組態以處理一所接收射頻信號。該射頻模組可為一分集接收模組。

在一些實施例中，該射頻模組可進一步包括一控制器，該控制器與該射頻衰減器電路通信且經組態以提供一控制信號用於該射頻衰減器電路之操作。該控制器可經組態以提供一行動產業處理器介面控制信號。

根據一些實施例，本發明係關於一種無線裝置，該無線裝置包含一天線，其經組態以接收一射頻信號；一收發器，其與該天線通信；及一信號路徑，其介於該天線與該收發器之間。該無線裝置進一步包含沿著該信號路徑實施之一射頻衰減器電路。該衰減器電路包含一或多個衰減區塊，其等串聯佈置在一輸入節點與一輸出節點之間，其中每一衰減區塊包含一局部旁路路徑。該衰減器電路進一步包含在該輸入節點與該輸出節點之間實施之一全域旁路路徑。該衰減器電路進一步包含一相位補償電路，其經組態以補償與該全域旁路路徑及該一或多個局部旁路路徑之至少一者相關聯之一關斷電容效應。

在一些實施例中，該無線裝置可進一步包括一控制器，該控制器與該射頻衰減器電路通信且經組態以提供一控制信號用於該射頻衰減器電路之操作。該控制器可經組態以提供一行動產業處理器介面控制信號。

在一些實施例中，本發明係關於一種信號衰減器電路，其包含串聯佈置在一輸入節點與一輸出節點之間之一或多個局部衰減區塊，其中每一衰減區塊包含一局部旁路路徑。該信號衰減電路進一步包含在該輸入節點與該輸出節點之間實施之一全域旁路路徑。該信號衰減電路進一步包含一全域相位補償電路，其經組態以補償與該全域旁路路徑相關聯之一關斷電容效應。

在一些實施例中，本發明係關於一種信號衰減器電路，其包含串聯佈置在一輸入節點與一輸出節點之間之一或多個局部衰減區塊，其中每一

衰減區塊包含一局部旁路路徑。該信號衰減器電路進一步包含在該輸入節點與該輸出節點之間實施之一全域旁路路徑。該信號衰減器電路進一步包含一局部相位補償電路，其與該一或多個局部衰減區塊之至少一者相關聯。該局部相位補償電路經組態以補償與該相應局部旁路路徑相關聯之一關斷電容效應。

根據一些實施例，本發明係關於一種信號衰減器電路，其包含串聯佈置在一輸入節點與一輸出節點之間之一或多個局部衰減區塊，其中每一衰減區塊包含一局部旁路路徑。該信號衰減器電路進一步包含在該輸入節點與該輸出節點之間實施之一全域旁路路徑。該信號衰減器電路進一步包含一全域相位補償電路，其經組態以補償與該全域旁路路徑相關聯之一關斷電容效應。該信號衰減器電路進一步包含一局部相位補償電路，其與該一或多個局部衰減區塊之至少一者相關聯。該局部相位補償電路經組態以補償與該相應局部旁路路徑相關聯之一關斷電容效應。

根據數個實施方案，本發明係關於一種半導體晶粒，該半導體晶粒包含一半導體基板；及一信號衰減器電路，其在該半導體基板上實施。該信號衰減器電路包含一或多個局部衰減區塊，其等串聯佈置在一輸入節點與一輸出節點之間，其中每一衰減區塊包含一局部旁路路徑。該信號衰減器電路進一步包含在該輸入節點與該輸出節點之間實施之一全域旁路路徑。該信號衰減器進一步包含一全域相位補償電路，其經組態以補償與該全域旁路路徑相關聯之一關斷電容效應。

根據數個實施方案，本發明係關於一種半導體晶粒，該半導體晶粒包含一半導體基板；及一信號衰減器電路，其在該半導體基板上實施。該信號衰減器電路包含一或多個局部衰減區塊，其等串聯佈置在一輸入節點

與一輸出節點之間，其中每一衰減區塊包含一局部旁路路徑。該信號衰減器電路進一步包含在該輸入節點與該輸出節點之間實施之一全域旁路路徑。該信號衰減器電路進一步包含一局部相位補償電路，其與該一或多個局部衰減區塊之至少一者相關聯。該局部相位補償電路經組態以補償與該相應局部旁路路徑相關聯之一關斷電容效應。

根據數個實施方案，本發明係關於一種半導體晶粒，該半導體晶粒包含一半導體基板；及一信號衰減器電路，其在該半導體基板上實施。該信號衰減器電路包含一或多個局部衰減區塊，其等串聯佈置在一輸入節點與一輸出節點之間，其中每一衰減區塊包含一局部旁路路徑。該信號衰減器電路進一步包含一全域旁路路徑，其在該輸入節點與該輸出節點之間實施；及一全域相位補償電路，其經組態以補償與該全域旁路路徑相關聯之一關斷電容效應。該信號衰減器電路進一步包含一局部相位補償電路，其與該一或多個局部衰減區塊之至少一者相關聯。該局部相位補償電路經組態以補償與該相應局部旁路路徑相關聯之一關斷電容效應。

在一些實施方案中，本發明係關於一種射頻模組，其包含一封裝基板，其經組態以接納複數個組件；及一信號衰減器電路，其在該封裝基板上實施。該信號衰減器電路包含一或多個局部衰減區塊，其等串聯佈置在一輸入節點與一輸出節點之間，其中每一衰減區塊包含一局部旁路路徑。該信號衰減器電路進一步包含在該輸入節點與該輸出節點之間實施之一全域旁路路徑。該信號衰減器進一步包含一全域相位補償電路，其經組態以補償與該全域旁路路徑相關聯之一關斷電容效應。

在一些實施方案中，本發明係關於一種射頻模組，其包含一封裝基板，其經組態以接納複數個組件；及一信號衰減器電路，其在該封裝基板

上實施。該信號衰減器電路包含一或多個局部衰減區塊，其等串聯佈置在一輸入節點與一輸出節點之間，其中每一衰減區塊包含一局部旁路路徑。該信號衰減器電路進一步包含在該輸入節點與該輸出節點之間實施之一全域旁路路徑。該信號衰減器電路進一步包含一局部相位補償電路，其與該一或多個局部衰減區塊之至少一者相關聯。該局部相位補償電路經組態以補償與該相應局部旁路路徑相關聯之一關斷電容效應。

在一些實施方案中，本發明係關於一種射頻模組，其包含一封裝基板，其經組態以接納複數個組件；及一信號衰減器電路，其在該封裝基板上實施。該信號衰減器電路包含一或多個局部衰減區塊，其等串聯佈置在一輸入節點與一輸出節點之間，其中每一衰減區塊包含一局部旁路路徑。該信號衰減器電路進一步包含一全域旁路路徑，其在該輸入節點與該輸出節點之間實施；及一全域相位補償電路，其經組態以補償與該全域旁路路徑相關聯之一關斷電容效應。該信號衰減器電路進一步包含一局部相位補償電路，其與該一或多個局部衰減區塊之至少一者相關聯。該局部相位補償電路經組態以補償與該相應局部旁路路徑相關聯之一關斷電容效應。

在一些實施方案中，本發明係關於一種無線裝置，該無線裝置包含一天線，其經組態以接收一射頻信號；一收發器，其與該天線通信；一信號路徑，其介於該天線與該收發器之間。該無線裝置進一步包含沿著該信號路徑實施之一信號衰減器電路。該信號衰減器電路包含一或多個局部衰減區塊，其等串聯佈置在一輸入節點與一輸出節點之間，其中每一衰減區塊包含一局部旁路路徑。該信號衰減器電路進一步包含在該輸入節點與該輸出節點之間實施之一全域旁路路徑。該信號衰減器進一步包含一全域相位補償電路，其經組態以補償與該全域旁路路徑相關聯之一關斷電容效

應。

在一些實施方案中，本發明係關於一種無線裝置，該無線裝置包含一天線，其經組態以接收一射頻信號；一收發器，其與該天線通信；一信號路徑，其介於該天線與該收發器之間。該無線裝置進一步包含沿著該信號路徑實施之一信號衰減器電路。該信號衰減器電路包含一或多個局部衰減區塊，其等串聯佈置在一輸入節點與一輸出節點之間，其中每一衰減區塊包含一局部旁路路徑。該信號衰減器電路進一步包含在該輸入節點與該輸出節點之間實施之一全域旁路路徑。該信號衰減器電路進一步包含一局部相位補償電路，其與該一或多個局部衰減區塊之至少一者相關聯。該局部相位補償電路經組態以補償與該相應局部旁路路徑相關聯之一關斷電容效應。

在一些實施方案中，本發明係關於一種無線裝置，該無線裝置包含一天線，其經組態以接收一射頻信號；一收發器，其與該天線通信；一信號路徑，其介於該天線與該收發器之間。該無線裝置進一步包含沿著該信號路徑實施之一信號衰減器電路。該信號衰減器電路包含一或多個局部衰減區塊，其等串聯佈置在一輸入節點與一輸出節點之間，其中每一衰減區塊包含一局部旁路路徑。該信號衰減器電路進一步包含一全域旁路路徑，其在該輸入節點與該輸出節點之間實施；及一全域相位補償電路，其經組態以補償與該全域旁路路徑相關聯之一關斷電容效應。該信號衰減器電路進一步包含一局部相位補償電路，其與該一或多個局部衰減區塊之至少一者相關聯。該局部相位補償電路經組態以補償與該相應局部旁路路徑相關聯之一關斷電容效應。

為概述本發明之目的，本文中已描述本發明之某些態樣、優點及新

穎特徵。應理解，不必根據本發明之任何特定實施例達成全部此等優點。因此，可以達成或最佳化如本文中所教示之一優點或優點群組而不必達成如本文中可教示或暗示之其他優點之一方式體現或執行本發明。

【圖式簡單說明】

圖1描繪了經組態以在一輸入節點處接收一信號並在一輸出節點處產生一衰減信號之一衰減器電路。

圖2展示了具有一旁路路徑、一全域相位補償電路及一局部相位補償電路之一衰減電路之一方塊圖。

圖3展示了可為圖2之衰減電路之一更特定實例之一衰減電路。

圖4展示了可表示圖3之三個例示性衰減區塊之各者之一個別局部衰減區塊。

圖5展示了圖4之例示性衰減區塊之一電路圖，其中各種開關電晶體被表示為關斷電容或導通電阻。

圖6展示了類似於圖3之實例但是一起共同描繪了局部衰減區塊之一衰減電路。

圖7展示了圖6之全域旁路路徑及全域相位補償電路之一電路圖。

圖8展示了類似於圖5之電路圖之一電路圖。

圖9展示了製程變動可如何影響一衰減器電路中相位變化及可如何補償此等相位變化之一實例。

圖10展示了用於圖3之衰減電路之一全域旁路操作模式之一實例。

圖11展示了用於圖3之衰減電路之一衰減操作模式之一實例，其中由第一衰減區塊提供衰減，且旁路第二衰減區塊及第三衰減區塊之各者。

圖12展示了用於圖3之衰減電路之一衰減操作模式之另一實例，其中

由第二衰減區塊及第三衰減區塊提供衰減，且旁路第一衰減區塊。

圖13展示了在一些實施例中，全域旁路開關電晶體可具有寬度及長度尺寸，且對於一給定長度，(當導通時)全域旁路開關電晶體處之插入損耗通常在數量寬度增加時減小。

圖14展示了當全域旁路開關電晶體之大小增加時，衰減電路之一失配位準可自某個均勻位準顯著地變化。

圖15展示了當電晶體大小增加時自一期望位準減小之一衰減位準之一曲線。

圖16展示了在一些實施例中，對於一更高頻率，當電晶體大小增加時一衰減位準很快可自一期望位準減小。

圖17A展示了包含一局部補償電容之一局部補償路徑。

圖17B展示了在一些實施例中，圖17A之電容可被實施為經組態以提供一期望電容值之一電晶體裝置。

圖18展示了在一些實施例中，具有如本文中所述之一或多個特徵之一衰減電路可由一控制器控制。

圖19展示了在一些實施例中，具有如本文中所述之一或多個特徵之一衰減電路之一些或全部可在一半導體晶粒上實施。

圖20展示了一實例，其中具有如本文中所述之一或多個特徵之一衰減電路之一些或全部可在一封裝模組上實施，且此一封裝模組可包含類似於圖19之實例之一半導體晶粒。

圖21展示了另一實例，其中具有如本文中所述之一或多個特徵之一衰減電路之一些或全部可在一封裝模組上實施，且此一封裝模組可包含複數個半導體晶粒。

圖22展示了可如何在一射頻系統中實施具有如本文中所述之一或多個特徵之一衰減器之非限制性實例。

圖23展示了一分集接收模組之一實例，該分集接收模組包含具有如本文中所述之一或多個特徵之一衰減器。

圖24描繪了具有本文中所述之一或多個有利特徵之一例示性無線裝置。

【實施方式】

相關申請案之交叉引用

本申請案主張於2016年8月30日申請且標題為ATTENUATORS HAVING PHASE SHIFT AND GAIN COMPENSATION CIRCUITS之美國臨時申請案第62/381,367號之優先權，該案之全文特此以引用的方式全部併入本文中。

本文提供之標題(若有)僅係為方便起見且不一定影響本發明之範疇及意義。

本文中揭示了與可用於例如射頻(RF)應用之衰減器相關之電路、裝置及方法之各種實例。雖然本文中在RF應用之背景中描述了各種實例，但是應當理解，與衰減器相關之此等電路、裝置及方法可用於其他電子應用中。

圖1描繪了一衰減器電路100，其經組態以在一輸入節點(IN)處接收一RF信號並在一輸出節點(OUT)處產生一衰減RF信號。此一衰減器電路可包含如本文中所述之一或多個特徵，以提供期望功能性，諸如相移補償、增益補償及低損耗旁路能力。如本文中所述，此相位補償可提供例如由一衰減區塊及/或衰減器電路本身引起之一近似零相移。另外如本文中

所述，此增益補償可在一頻率範圍內提供例如一近似平坦增益。

注意，當一輸入信號行進通過一衰減器時，通常不需要相位變化及增益斜率，因為此等影響可能導致一通信鏈路中之效能下降。在一些實施例中，圖1之衰減電路100可包含用於解決相位變動問題之一全域補償方案及/或一局部補償方案。如本文中所述，此等補償方案可經組態以解決此等相位變動之來源。另外如本文中所述，此等補償方案亦可在一相對較寬頻率範圍內提供一近似平坦增益。另外如本文中所述，此等補償方案亦可提供具有相對較低損耗之一旁路路徑，這對於在某些情形下(例如，當不使用一衰減路徑時)將信號衰減保持為一最小值係所期望的。

為了描述目的，一衰減電路亦可被稱為一衰減器總成或簡稱為一衰減器。此一衰減電路、衰減器總成、衰減器等之描述可應用於一或多個衰減區塊(本文中亦稱為局部衰減)、整體衰減電路(本文亦稱為全域衰減)或其等之任何組合。

圖2展示了一衰減電路100之一方塊圖，該衰減電路經組態以在其輸入節點(IN)處接收一RF信號並在其輸出節點(OUT)處產生一輸出RF信號。此一輸出RF信號可被衰減一或多個衰減值，或當不需要衰減時(例如，透過旁路功能性)與輸入RF信號大體上相同。本文中更詳細地描述可如何實施此等衰減值及旁路功能性之實例。本文中亦描述了可如何以一局部衰減位準、一全域位準或其等之任何組合實施相位補償之實例。

在圖2之實例中，衰減電路100之輸入節點(IN)及輸出節點(OUT)節點可透過一或多個衰減區塊102a、102b、102c或透過一旁路路徑106耦合。為達成前者，可將兩個開關S1、S2之各者閉合，且可適當地組態旁路路徑106。為達成後者，可將開關S1、S2之各者斷開，且可適當地組態

旁路路徑106。本文中更詳細地描述此等衰減區塊及旁路路徑之實例。

在圖2之實例中以及在其他圖式中，一衰減路徑被描繪為具有三個例示性衰減區塊A、B及C。然而，應當理解，本發明之一或多個特徵亦可被實施在具有更多或更少數量的衰減區塊之衰減電路中。亦將理解，具有如本文所述之一或多個特徵之衰減電路可相反地操作。

參考圖2，展示了第一例示性衰減區塊102a以提供A dB衰減。類似地，第二衰減區塊102b及第三衰減區塊102c被展示為分別提供B dB及C dB衰減。因此，可利用此等衰減區塊來達成數個總衰減值(例如，A dB、B dB、C dB、A+B dB、A+C dB、B+C dB、A+B+C dB)。

在圖2之實例中，衰減區塊102a、102b、102c之各者被展示為包含一相應局部相位補償電路(104a、104b或104c)。本文中更詳細地描述與此等局部相位補償電路有關之實例。在圖2之實例中，衰減區塊之全部被展示為具有相應局部相位補償電路。然而，應當理解，在一些實施例中，一或多個衰減區塊可或可不具有此(此等)局部相位補償電路。

在圖2之實例中，衰減電路100亦展示為包含一全域相位補償電路108。此一全域相位補償電路可在衰減區塊(102a、102b、102c)之前的節點(110)與衰減區塊(102a、102b、102c)之後的節點(112)之間實施。本文中更詳細地描述與此一全域相位補償電路有關之實例。

在一些實施例中，具有如本文所述之一或多個特徵之衰減區塊(例如，圖2之102a、102b、102c)可以二進位加權組態來實施。與此二進位加權組態有關之實例在標題為BINARY-WEIGHTED ATTENUATOR HAVING COMPOSITION CIRCUIT之美國專利申請案第15/687,476號中描述，該申請案之全部內容與本文在同一日期提交，且特此以引用方式

全部併入本文中，且被認為係本申請案之說明書之部分。

圖3展示了可為圖2之衰減電路100之一更特定實例之一衰減電路100。在圖3之實例中，開關S1及S2可被實施為例如場效電晶體(FET)。因此，S1可在輸入節點(IN)及一第一節點110之間實施，且S2可在輸出節點(OUT)及一第二節點112之間實施。

在圖3之實例中，三個衰減區塊102a、102b、102c之各者被展示為包含一pi衰減器組態及一局部旁路路徑(105a、105b或105c)。例如，第一衰減區塊102a被展示為包含以一pi組態佈置之電阻R1_A、R2_A、R3_A。電阻R1_A被展示為在第一衰減區塊102a之輸入節點與輸出節點之間實施。電阻R2_A被展示為在輸入節點與接地之間實施；類似地，電阻R3_A被展示為在輸出節點與接地之間實施。

在圖3之第一衰減區塊102a之pi組態中，一開關FET M2_A可被提供在輸入節點與電阻R2_A之一端之間，其中電阻R2_A之另一端耦合至接地。類似地，一開關FET M3_A可被提供在輸出節點與電阻R3_A之一端之間，其中電阻R3_A之另一端耦合至接地。當第一衰減區塊102a啟用衰減時，此等開關FET (M2_A及M3_A)可被導通，且當透過局部旁路路徑105a旁路衰減時，此等開關FET (M2_A及M3_A)可被關斷。此一局部旁路路徑(105a)可包含例如一開關FET M1_A，當第一衰減區塊102a啟用衰減時，該開關FET M1_A可被關斷，且當透過局部旁路路徑105a旁路衰減時，該開關FET M1_A可被導通。

在圖3之第一衰減區塊102a之pi組態中，可提供一電容C2_A以與電阻R2_A電並聯。類似地，可提供一電容C3_A以與電阻R3_A電並聯。如本文中所述，可選擇此等電容來補償當一RF信號行進通過衰減區塊時發生之相

移。另外如本文中所述，此等電容亦可允許衰減區塊在一相對較寬頻率範圍內提供一期望平坦增益分佈。

在圖3之實例中，第二衰減區塊102b被展示為包含以一pi組態佈置之電阻 R_{1B} 、 R_{2B} 、 R_{3B} 。電阻 R_{1B} 被展示為在第二衰減區塊102b之輸入節點與輸出節點之間實施。電阻 R_{2B} 被展示為在輸入節點與接地之間實施；類似地，電阻 R_{3B} 被展示為在輸出節點與接地之間實施。

在圖3之第二衰減區塊102b之pi組態中，一開關FET M_{2B} 可被提供在輸入節點與電阻 R_{2B} 之一端之間，其中電阻 R_{2B} 之另一端耦合至接地。類似地，一開關FET M_{3B} 可被提供在輸出節點與電阻 R_{3B} 之一端之間，其中電阻 R_{3B} 之另一端耦合至接地。當第二衰減區塊102b啟用衰減時，此等開關FET (M_{2B} 及 M_{3B})可被導通，且當透過局部旁路路徑105b旁路衰減時，此等開關FET (M_{2B} 及 M_{3B})可被關斷。此一局部旁路路徑(105b)可包含例如一開關FET M_{1B} ，當第二衰減區塊102b啟用衰減時，該開關FET M_{1B} 可被關斷，且當透過局部旁路路徑105b旁路衰減時，該開關FET M_{1B} 可被導通。

在圖3之第二衰減區塊102b之pi組態中，可提供一電容 C_{2B} 以與電阻 R_{2B} 電並聯。類似地，可提供一電容 C_{3B} 以與電阻 R_{3B} 電並聯。如本文中所述，可選擇此等電容來補償當一RF信號行進通過衰減區塊時發生之相移。另外如本文中所述，此等電容亦可允許衰減區塊在一相對較寬頻率範圍內提供一期望平坦增益分佈。

在圖3之實例中，第三衰減區塊102c被展示為包含以一pi組態佈置之電阻 R_{1C} 、 R_{2C} 、 R_{3C} 。電阻 R_{1C} 被展示為在第三衰減區塊102c之輸入節點與輸出節點之間實施。電阻 R_{2C} 被展示為在輸入節點與接地之間實施；類

似地，電阻 R_{3c} 被展示為在輸出節點與接地之間實施。

在圖3之第三衰減區塊102c之pi組態中，一開關FET M_{2c} 可被提供在輸入節點與電阻 R_{2c} 之一端之間，其中電阻 R_{2c} 之另一端耦合至接地。類似地，一開關FET M_{3c} 可被提供在輸出節點與電阻 R_{3c} 之一端之間，其中電阻 R_{3c} 之另一端耦合至接地。當第三衰減區塊102c啟用衰減時，此等開關FET (M_{2c} 及 M_{3c})可被導通，且當透過局部旁路路徑105c旁路衰減時，此等開關FET (M_{2c} 及 M_{3c})可被關斷。此一局部旁路路徑(105c)可包含例如一開關FET M_{1c} ，當第三衰減區塊102c啟用衰減時，該開關FET M_{1c} 可被關斷，且當透過局部旁路路徑105c旁路衰減時，該開關FET M_{1c} 可被導通。

在圖3之第三衰減區塊102c之pi組態中，可提供一電容 C_{2c} 以與電阻 R_{2c} 電並聯。類似地，可提供一電容 C_{3c} 以與電阻 R_{3c} 電並聯。如本文所述，可選擇此等電容來補償當一RF信號行進通過衰減區塊時發生之相移。另外如本文所述，此等電容亦可允許衰減區塊在一相對較寬頻率範圍內提供一期望平坦增益分佈。

在衰減區塊102a、102b、102c之各者中，電容 C_2 及 C_3 與其等相應電阻 R_2 及 R_3 並聯之存在允許如本文所述之相位補償。如本文所述，此相位補償亦可取決於電阻 R_2 及 R_3 之值以及開關電晶體 M_2 及 M_3 之導通電阻值(R_{on})。因此，應當理解，被指示為104a、104b或104c之一框包含一相應局部相位補償電路之電路元件之一些或全部，或包含可影響此局部相位補償之電路元件之部分或全部。

在圖3之實例中，可在輸入節點(IN)與輸出節點(OUT)之間提供一旁路路徑106，以允許一RF信號旁路前述衰減區塊(102a、102b、102c)。較

佳地，此一旁路路徑亦旁路開關S1及S2以免引起可與此等開關相關聯之任何損耗。

在一些實施例中，旁路路徑106可包含經實施以在需要旁路衰減區塊(102a、102b、102c)時導通之一開關FET S_{Bypass} 。在此一狀態中，開關S1及S2之各者可被關斷。當需要透過衰減區塊之一或多者之衰減時，開關FET S_{Bypass} 可被關斷。在此一狀態中，開關S1及S2之各者可被導通。

在圖3之實例中，可提供一全域相位補償電路108以補償可由前述旁路電路106引起之一相移。例如，當開關FET S_{Bypass} 處於關斷狀態(衰減模式)中時，存在一關斷電容值Coff；且此Coff可導致RF信號中之一相移被衰減。

在一些實施例中，全域相位補償電路108可包含在第一節點110及第二節點112之間實施之第一電阻 R_{G1} 及第二電阻 R_{G2} 。進一步言之，可在接地及 R_{G1} 與 R_{G2} 之間之一節點之間提供一電容 C_G 。本文中更詳細地描述了可如何選擇此等電阻值及電容值以提供期望相位補償之實例。

在圖3之實例中，各種開關FET之一些或全部可被實施為例如絕緣體上矽(SOI)裝置。應當理解，雖然此等各種開關FET被描繪為NFET，但是本發明之一或多個特徵亦可利用其他類型的FET來實施。亦將理解，圖3之實例中之各種開關亦可被實施為包含非FET電晶體之其他類型的電晶體。

圖4及5展示了可如何針對一給定局部衰減區塊102實施相位補償之一實例。圖6及7展示了可如何實施全域相位補償之一實例。

圖4展示了一個別局部衰減區塊102，且此一衰減區塊可表示圖3之三個例示性衰減區塊102a、102b、102c之各者。因此，展示了衰減區塊102

之各種元件之元件符號，該等元件符號沒有下標。

在圖4之實例中，局部衰減區塊102處於其衰減模式中，使得衰減在局部輸入節點(IN)處接收之一RF信號且在局部輸出節點(OUT)處提供該RF信號。因此，局部旁路路徑105之局部旁路開關FET M1為關斷，且電路104之開關FET M2、M3之各者為導通。

圖5展示了圖4之例示性衰減區塊102之一電路圖120，其中各種開關FET被表示為關斷電容或導通電阻。例如，M1之關斷狀態被表示為一關斷電容C_{off}，且M2及M3之各者之導通狀態被表示為一導通電阻R_{on}。為了描述目的，假設圖4之pi衰減器組態係大致上對稱的。因此，M2可類似於M3，使得M2之R_{on}與M3之R_{on}近似相同；因此，圖5將M2及M3之各者描繪為R_{on}。類似地，假設圖4中之電阻R2及R3近似相同；因此，圖5將R2及R3之各者描繪為具有一電阻R2。類似地，假設圖4中之電容C2及C3近似相同；因此，圖5將C2及C3之各者描繪為具有一補償電容C_c。

在圖5中，電路圖120被展示為在局部輸入(IN)處具有一源阻抗R_s且在局部輸出(OUT)處具有一負載阻抗R_L。此等阻抗值可或可不相同。然而，為了描述目的，假設R_s及R_L之值在特性阻抗Z₀(例如，50 Ω)下係相同的。

利用上述假設，可如下獲得圖5之實例中之R₁及R₂之值：

$$R_1 = \frac{Z_0}{2} \cdot \frac{K-1}{K+1} \quad (1)$$

$$R_2 = Z_0 \cdot \frac{K+1}{K-1} \quad (2)$$

在方程式1及2中，參數K表示衰減區塊120之衰減值。應注意，隨著衰減變大，R₁通常增加，且R₂通常減小。

參考圖5，且假設M2及M3之各者之導通電阻R_{on}近似為零，衰減區

塊120之一部分(被指示為網路1)可有助於衰減區塊120之正向增益及相移(例如，相位超前)為：

$$\frac{V_{out}}{V_{in}} = \frac{R_L(1+sR_1C_{off})}{(R_L+R_1)+sR_LR_1C_{off}} \quad (3)$$

$$\phi = \tan^{-1} \left(\omega R_1 C_{off} \right) - \tan^{-1} \left(\omega \left(\frac{R_1 R_L}{R_1 + R_L} \right) C_{off} \right). \quad (4)$$

在圖5中，衰減區塊120之一部分(被指示為網路2)可有助於衰減區塊120之正向增益及相移(例如，相位滯後)為：

$$\frac{V_{out}}{V_{in}} = \frac{R_2'}{(R_2' + R_1) + sR_2'R_1C_c} \quad (5)$$

$$\phi = -\tan^{-1} \left(\frac{\omega R_1 R_2' C_c}{R_1 + R_2'} \right). \quad (6)$$

在方程式3至6中， $\omega = 2\pi f$ ，其中 f 係頻率，且 R_2' 係 R_2 及 R_L 之並聯佈置之一電阻值。

參考圖4及5以及方程式4及6，應注意，通常針對一給定頻率、特性阻抗、開關FET組態及衰減值設定參數 ω 、 R_L 、 C_{off} 、 R_1 及 R_2 。然而，在一些實施例中，可調整補償電容 C_c 之值，使得方程式6之相位滯後補償方程式4之相位超前。此相位補償可允許與圖4及5之衰減區塊102/120相關聯之相位處於或接近一期望值。例如，與衰減區塊102/120相關聯之補償相位可具有與一參考模式大體上相同的相位變動。

參考圖4及5，注意到因為 C_{off} 與 R_1 並聯佈置，所以其阻抗 $1/(j\omega C_{off})$ 將使得輸入節點與輸出節點之間之一等效串聯阻抗隨著頻率增加而變小，從而導致在一較高頻率下有更小衰減。相反，較高衰減可能產生在一較低頻率下。

應進一步注意，補償電容 C_c 平行於對應分流電阻 R_2 佈置。因此，補償電容 C_c 之阻抗 $1/(j\omega C_c)$ 將使分流臂之一等效阻抗變得更小，從而導致

衰減區塊有更多衰減。因此，在一些實施例中，可選擇補償電容 C_c 以補償 C_{off} 對增益之影響，且藉此在一寬頻率範圍內達成衰減區塊之一期望增益分佈(例如，近似平坦分佈)。在一些實施例中，可選擇補償電容 C_c 以提供本文中所述之至少一些相位補償，以及為衰減區塊提供本文中所述之至少一些增益補償。

圖6展示了類似於圖3之實例但是為了簡單起見將局部衰減區塊共同地指示為102之一衰減電路。旁路路徑106及全域相位補償電路108與圖3之實例大體上相同。

在圖6之實例中，衰減電路可處於其衰減模式中，使得衰減在全域輸入節點(IN)處接收之一RF信號且在全域輸出節點(OUT)處提供該RF信號。在此一衰減模式中，旁路路徑106之全域旁路開關FET S_{Bypass} 可關斷以提供 C_{off} 之一全域關斷電容。

圖7展示了圖6之全域旁路路徑106及全域相位補償電路108之一電路圖130。為了描述目的，假設全域相位補償電路108之電阻 R_{G1} 及 R_{G2} 大體上相同。

在圖7中，電路圖130被展示為在全域輸入(IN)處具有一源阻抗 R_s 且在全域輸出(OUT)處具有一負載阻抗 R_L 。此等阻抗值可或可不相同。然而，為了描述目的，假設 R_s 及 R_L 之值在特性阻抗 Z_0 (例如， $50\ \Omega$)下係相同的。進一步言之，假設電阻 R_{G1} (且因此在前述假設中為 R_{G2})亦具有 $50\ \Omega$ 之一值。

利用前述假設，電路130之一部分(被指示為網路1)可有助於電路130之正向增益及相移(例如，相位超前)為：

$$\frac{V_{out}}{V_{in}} = \frac{1 + 2sR_{G1}C_{off}}{3 + 2sR_{G1}C_{off}} \quad (7)$$

$$\phi = \tan^{-1} \left(2\omega R_{G1} C_{off} \right) - \tan^{-1} \left(\frac{2}{3}\omega R_{G1} C_{off} \right). \quad (8)$$

在圖7中，電路130之一部分(被指示為網路2)可有助於電路130之正向增益及相移(例如，相位滯後)為：

$$\frac{V_{out}}{V_{in}} = \frac{1}{3+2sR_{G1}C_G} \quad (9)$$

$$\phi = -\tan^{-1} \left(\frac{2}{3}\omega R_{G1} C_G \right). \quad (10)$$

參考圖6及7以及方程式8及10，應注意，通常針對一給定頻率、特性阻抗及全域旁路開關FET (S_{Bypass})設定參數 ω 、 R_L 及 C_{off} 。然而，在一些實施例中，可調整全域補償電阻 R_{G1} 及補償電容 C_G 之值之任一者或兩者，使得方程式10之相位滯後補償方程式8之相位超前。此相位補償可允許與圖6及7之電路130相關聯之相位處於或接近一期望值。

參考圖6及7，注意到因為 C_{off} 與 $2R_{G1}$ 並聯佈置，所以其阻抗 $1/(j\omega C_{off})$ 將使得輸入節點與輸出節點之間之一等效串聯阻抗隨著頻率增加而變小，從而導致在一較高頻率下有更小衰減。相反，較高衰減可能產生在一較低頻率下。

應進一步注意，全域補償電容 C_G 本身係一分流電容。因此，全域補償電容 C_G 之阻抗 $(1/(j\omega C_G))$ 將使分流臂之一等效阻抗變得更小，從而導致全域衰減電路有更多衰減。因此，在一些實施例中，可選擇全域補償電容 C_G 以補償 C_{off} 對增益之影響，且藉此在一寬頻率範圍內達成全域衰減電路之一期望增益分佈(例如，近似平坦分佈)。在一些實施例中，可選擇全域補償電容 C_G 以提供本文中所述之至少一些相位補償，以及為全域衰減電路提供本文中所述之至少一些增益補償。

在一些實施例中，具有如本文中所述之一或多個特徵之一相位補償電路可經組態以考慮製程變動。作為實例，圖8展示了類似於圖5之電路圖

120 (其對應於圖4之例示性衰減區塊102)之電路圖120。如本文中所述，旁路電容之關斷電容(C_{off})導致可由補償電容 C_c 補償之一相位變化。圖8之實例中之關斷電容(C_{off})起因於可能遭受製程變動(例如，在一起製造在一晶圓上之數個此等裝置之間)之一旁路開關電晶體之關斷狀態。因此，旁路開關電晶體之一或多個電性質(包含 C_{off})可歸因於此製程變動而變化。因此，歸因於此 C_{off} 之相位變化(例如，如方程式4或8中)亦可變化。

圖8展示了在相位補償電路中可考慮 C_{off} 中之此等製程變動及相關效應。例如，分流臂中之補償電容 C_c 可經組態以受到類似於旁路開關電晶體(C_{off})之製程變動的影響。在一些實施例中，此等補償電容 C_c 可被組態為一電晶體或電晶體類裝置，使得影響旁路開關電晶體(C_{off})之任何製程變動亦影響補償電容 C_c 。例如，若具有一 C_{off} 性質之旁路開關電晶體被實施為一MOSFET裝置，則補償電容 C_c 之各者可被實施為一MOSFET或MOSFET類裝置。因此，旁路開關MOSFET中之任何製程相關變動亦影響補償電容 C_c 之MOSFET裝置，藉此大體上消除或減小補償電容 C_c 對製程變動之依賴性(例如，對在旁路開關MOSFET中顯現之製程變動之依賴性)。

在圖8中，旁路開關MOSFET(C_{off})及MOSFET裝置之間之上述共同製程變動被共同描繪為124。亦可實施各種電阻之間之此共用製程變動。例如，電阻 R_1 、 R_2 (共同描繪為122)可被實施為遭受相同製程變動之相同類型的電阻器。

在圖8之實例中，在一個別衰減區塊及其旁路路徑之背景中描述了電路圖120及相關製程變動。應當理解，通常與製程變動無關之此相位補償亦可在全域旁路路徑及對應的全域相位補償電路中實施。

圖9展示了製程變動可如何影響一衰減器電路中相位變化及可如何補償此等相位變化之一實例。在圖9中，對於起因於三個不同的製程角FF、TT、SS之三個不同的例示性RC值，描繪了作為頻率之一函數之相位超前(例如，如方程式4)。

如本文中所述，此相位超前通常取決於電阻及電容之一些組合(例如RC)。因此，且如參考圖8所述，消除或減小一給定旁路電路及對應的相位補償電路之間之電容及電阻之製程依賴性可允許所得相位補償更有效。在圖9之實例中，消除或減小製程依賴性可允許呈相位滯後(虛線)之形式之所得相位補償相對於頻率軸與對應相位超前更對稱。在一些實施例中，歸因於旁路路徑之一給定相位超前及歸因於補償電路導致之所得相位滯後可為大體上對稱的，使得淨相位變化在一頻率範圍內近似為零。例如，FF相位超前及FF相位滯後可大體上關於頻率軸對稱，使得一給定衰減區塊中之淨相位變化對於一頻率範圍近似為零。在另一實例中，TT相位超前(不同於歸因於製程變動之FF相位超前)可由TT相位滯後來補償，以在一頻率範圍上提供大體上為零的相位變化。

圖10至12展示了可針對圖3之衰減電路100實施之不同操作模式之實例。在圖10中，衰減電路100被展示為處於一全域旁路模式中，在該全域旁路模式中，全域旁路開關 S_{Bypass} 導通且開關S1及S2之各者關斷。因此，一RF信號被展示為如路徑140所指示般路由。在此一模式中，RF信號通常不遭受一Coff電容；因此，通常不會發生非期望相移。

在圖11中，衰減電路100被展示為處於一衰減模式中，在該衰減模式中，由第一衰減區塊提供A dB衰減，且旁路第二衰減區塊及第三衰減區塊之各者。因此，全域旁路開關FET S_{Bypass} 關斷且開關S1、S2之各者導

通。進一步言之，第一局部旁路開關FET $M1_A$ 關斷，且分流臂開關FET $M2_A$ 、 $M3_A$ 之各者導通，而第二局部旁路開關FET $M1_B$ 及第三局部旁路開關FET $M1_C$ 之各者導通。

在此一模式中，全域旁路開關FET S_{Bypass} 呈現一全域Coff，且所得全域相移可如本文中所述般由全域相位補償電路108補償。在局部位準下，第一局部旁路開關FET $M1_A$ 呈現一局部Coff，且所得局部相移可如本文中所述般由通常被指示為104a之局部相位補償電路補償。

在圖12中，衰減電路100被展示為處於一衰減模式中，在該衰減模式中，由第二衰減區塊及第三衰減區塊提供B+C dB衰減，且旁路第一衰減區塊。因此，全域旁路開關FET S_{Bypass} 關斷且開關S1、S2之各者導通。進一步言之，第二局部旁路開關FET $M1_B$ 及第三局部旁路開關FET $M1_C$ 之各者關斷，且分流臂開關FET $M2_B$ 、 $M3_B$ 、 $M2_C$ 、 $M3_C$ 之各者導通，而第一局部旁路開關FET $M1_A$ 導通。

在此一模式中，全域旁路開關FET S_{Bypass} 呈現一全域Coff，且所得全域相移可如本文中所述般由全域相位補償電路108補償。在局部位準下，第一局部旁路開關FET $M1_B$ 及第二局部旁路開關FET $M1_C$ 之各者呈現一相應局部Coff，且所得局部相移可如本文中所述般由通常被指示為104b或104c之相應局部相位補償電路補償。

圖13至16展示了如本文中所述(例如，圖3及10至12)之一全域旁路開關FET (S_{Bypass})可如何經組態以當處於全域旁路模式及處於衰減模式中時提供期望效能之實例。例如，圖13展示了在一些實施例中，全域旁路開關FET (S_{Bypass})可具有寬度(W)及長度(L)尺寸，且對於一給定L，(當導通時)全域旁路開關FET處之插入損耗通常在數量W/L增加時減小(如一曲線150

所示)。因此，若在全域旁路模式期間需要低插入損耗，則全域旁路開關FET可相對較大。例如，在一些實施例中，全域旁路開關FET之一寬度 W 可大到約1 mm至2 mm。

在一些實施例中，全域旁路開關FET可為一相對較大裝置，且因此當處於關斷狀態(例如在衰減模式中)時，可提供一相對大寄生電容。若不補償，則此一寄生電容可能會產生一些非期望影響。

例如，圖14展示了當全域旁路開關電晶體FET之大小(例如，對於一給定 L ，該大小為 W/L)增加時，衰減電路(例如，圖3中之100)之一失配位準可自某個均勻位準顯著地變化。在圖14之實例中，相距均勻位準之此一偏差由一曲線152描繪。

如本文中所述，一旁路補償電容 C_G (例如，圖3中)之使用亦可提供更均勻失配位準，如一曲線154所示。隨著全域旁路開關FET變大，對失配之此一補償被展示為更顯著。

基於圖13及14之實例，可看出，在具有如本文中所述之一或多個特徵之一衰減電路中，諸如全域旁路開關FET之一旁路開關FET可經實施相對較大以減少插入損耗。由於使用此一大的FET，可由諸如全域相位補償電路之一相位補償電路來補償任何增加的失配位準。

如本文中所述，諸如圖3之實例之一衰減電路可為相位變化以及增益變化提供補償。在一些實施例中，此一增益變化可至少部分地歸因於全域旁路開關FET (S_{Bypass})之一寄生電容。換言之，由衰減電路(當處於衰減模式中時)提供之一衰減位準可隨著大小(例如，對於一給定 L ，該大小為 W/L)變化而自一期望位準變化。

例如，圖15展示了當FET大小(W/L)增加時自一期望位準減小之一衰

減位準之一曲線156。當一衰減電路在沒有全域旁路補償之情況下操作時，通常發生此一效應。當一衰減電路包含如本文中所述之一全域旁路補償電路時，隨著FET大小(W/L)增加，由衰減電路提供之衰減保持顯著更均勻(如曲線158描繪)。

應注意，因為上述衰減效應至少部分地歸因於全域旁路開關FET之關斷狀態電容，所以此一衰減效應亦隨著所衰減之一信號之頻率而變化。圖16展示了在一些實施例中，對於一更高頻率，當FET大小增加時一衰減位準很快可自一期望位準減小。假設操作頻率 f_1 、 f_2 、 f_3 及 f_4 具有使 $f_1 < f_2 < f_3 < f_4$ 之值。在此一情形下且如160所指示，隨著FET大小增加，最大頻率(f_4)信號之衰減首先開始偏離。隨著FET大小增加，下一個最大頻率(f_3)將開始偏離。類似地，隨著FET大小增加，最小頻率(f_1)之後的第三最大頻率(f_2)將開始偏離。

因此，在一些實施例中，且如圖16之實例中所示，當一衰減電路用如本文中所述之一全域旁路補償電路操作時，對於寬範圍之操作頻率，一衰減位準可保持顯著更均勻。在一頻率範圍及FET大小之一範圍內，此一近似均勻衰減位準被描繪為一曲線162。

如本文中所述，一局部補償電路(例如，圖3中之104a、104b、104c)可包含一局部補償電容(例如，圖3中之 C_{2A} 、 C_{3A} 、 C_{2B} 、 C_{3B} 、 C_{2C} 、 C_{3C} 及圖8中之 C_c)。圖17A展示了包含此一局部補償電容(被指示為C2)之一局部補償路徑170。此一局部補償路徑亦被展示為具有與C2並聯之一電阻R2。

圖17B展示了在一些實施例中，圖17A之電容C2可被實施為經組態以提供一期望電容值C2之一FET裝置172 (例如，一MOSFET裝置)。例如，

FET裝置172之源極及汲極可連接至電阻R2之兩端，且FET裝置172之一閘極可在沒有一閘極偏壓之情況下接地，使得FET裝置172用作類似於圖17A之C2之一電容。

當如圖17B之實例中一樣實施局部補償電容時，可達成數個期望特徵。例如，局部補償電容元件可大體上與各種FET (例如，圖3中之局部旁路FET M1_A、M1_B、M1_C)製造在一起。在另一實例中且假設上述製程通用性，用作電容之FET裝置172受到影響其他FET (包含局部旁路FET M1_A、M1_B、M1_C)之大體上相同的製程變動的影響。因此，可在例如FET裝置172及其他FET之間達成製程獨立性。

圖18展示了在一些實施例中，具有如本文中所述之一或多個特徵之一衰減電路100 (例如，諸如圖2之衰減電路100)可由一控制器180控制。此一控制器可提供各種控制信號，以例如操作各種開關以達成一旁路模式 (例如，如圖10中)或提供各種衰減模式 (例如，如圖11及12中)。在一些實施例中，控制器180可經組態以包含MIPI (行動產業處理器介面)功能性。

圖19展示了在一些實施例中，具有如本文中所述之一或多個特徵之一衰減電路100之一些或全部可在一半導體晶粒200上實施。此一晶粒可包含一基板202，且一相位/增益補償電路204之至少一些 (例如，圖3之全域相位補償電路108及局部相位補償電路104a、104b、104c之任一者或兩者)可被實施在基板202上。例如，全域補償電容C_G及局部補償電容C2_A、C3_A、C2_B、C3_B、C2_C、C3_C之一些或全部可被實施為晶粒上電容器(on-die capacitor)。

圖20及21展示了在一些實施例中，具有如本文中所述之一或多個特徵之一衰減電路100之一些或全部可在一封裝模組300上實施。此一模組

可包含一封裝基板302，其經組態以接納複數個組件，諸如一或多個晶粒及一或多個被動組件。

圖20展示了在一些實施例中，封裝模組300可包含類似於圖19之實例之一半導體晶粒200。因此，此一晶粒可包含衰減電路100之一些或全部，其中一相位/增益補償電路204之至少一些(例如，圖3之全域相位補償電路108及局部相位補償電路104a、104b、104c之任一者或兩者)被實施在晶粒200上。

圖21展示了在一些實施例中，封裝模組300可包含具有衰減電路100之一些之一第一半導體晶粒210，而衰減電路100之剩餘部分在另一晶粒212上、在一晶粒外部(例如，在封裝基板302上)實施或其等之任何組合。在此一組態中，一相位/增益補償電路204之一些(例如，圖3之全域相位補償電路108及局部相位補償電路104a、104b、104c之任一者或兩者)可在第一晶粒210上實施，且相位/增益補償電路204之剩餘部分可在另一個晶粒212上、在一晶粒外部(例如，在封裝基板302上)實施或其等之任何組合。

圖22展示了可如何在一RF系統400中實施具有如本文中所述之一或多個特徵之一衰減器之非限制性實例。此一RF系統可包含經組態以促進RF信號之接收及/或傳輸之一天線402。在接收背景中，由天線402接收之一RF信號可(例如，由一帶通濾波器410)濾波，且在由一低雜訊放大器(LNA) 412放大之前行進通過一衰減器100。此一經LNA放大之RF信號可(例如，由一帶通濾波器414)濾波、行進通過衰減器100，並被路由至一混頻器440。混頻器440可用一振盪器(未展示)操作以產生一中頻(IF)信號。此一IF信號可(例如，由一帶通濾波器442)濾波，且在被路由至一中頻(IF)

放大器416之前行進通過一衰減器100。沿著接收路徑之前述衰減器100之一些或全部可包含如本文中所述之一或多個特徵。

在傳輸背景中，一IF信號可被提供給一IF放大器420。IF放大器420之一輸出可(例如，由一帶通濾波器444)濾波，且在被路由至一混頻器446之前行進通過一衰減器100。混頻器446可用一振盪器(未展示)操作以產生一RF信號。此一RF信號可(例如，由一帶通濾波器422)濾波，且在被路由至一功率放大器(PA) 424之前行進通過一衰減器100。經PA放大之RF信號可透過一衰減器100及一濾波器(例如，一帶通濾波器426)被路由至天線402以進行傳輸。沿著傳輸路徑之前述衰減器100之一些或全部可包含如本文中所述之一或多個特徵。

在一些實施例中，與RF系統400相關聯之各種操作可由一系統控制器430控制及/或促進。此一系統控制器可包含例如一處理器432及一儲存媒體，諸如一非暫時性電腦可讀媒體(CRM) 434。在一些實施例中，與RF系統400中之一或多個衰減器100之操作相關聯之至少一些控制功能性可由系統控制器430執行。

在一些實施例中，具有如本文中所述之一或多個特徵之一衰減電路可沿著一接收(Rx)鏈實施。例如，可實施一分集接收(DRx)模組，使得可在一分集天線附近達成一所接收信號之處理。圖23展示此一DRx模組之一實例。

在圖23中，一分集接收機模組300可為圖20及21之模組300之一實例。在一些實施例中，此一DRx模組可耦合至一模組外濾波器513。DRx模組300可包含經組態以接收複數個組件之一封裝基板501及在封裝基板501上實施之一接收系統。DRx模組300可包含一或多個信號路徑，其等

自DRx模組300路由且可用於一系統整合商、設計者或製造商以支援用於任何期望頻帶之一濾波器。

圖23之DRx模組300被展示為包含DRx模組300之輸入及輸出之間之數個路徑。DRx模組300亦被展示為包含輸入及輸出之間由受DRx控制器502控制之一旁路開關519啟動之一旁路路徑。雖然圖23描繪了一單個旁路開關519，但是在一些實施方案中，旁路開關519可包含多個開關(例如，經安置實體上靠近輸入之一第一開關及實體上靠近輸出之一第二開關)。如圖23中所展示，旁路路徑不包含一濾波器或一放大器。

DRx模組300被展示為包含數個多工器路徑，其等包含一第一多工器511及一第二多工器512。多工器路徑包含數個模組上路徑，其等包含第一多工器511、在封裝基板501上實施之一帶通濾波器613a至613d、在封裝基板501上實施之一放大器614a至614d及第二多工器512。多工器路徑包含一或多個模組外路徑，其等包含第一多工器511、在封裝基板501外部實施之一帶通濾波器513、一放大器514及第二多工器512。放大器514可為在封裝基板501上實施之一寬頻放大器，或亦可在封裝基板501外部實施。在一些實施例中，放大器614a至614d、514可為可變增益放大器及/或可變電流放大器。

一DRx控制器502可經組態以選擇性地啟動輸入與輸出之間之複數個路徑之一或多者。在一些實施中，DRx控制器502可經組態以基於由DRx控制器502 (例如，自一通信控制器)接收之一頻帶選擇信號來選擇性地啟動複數個路徑之一或多者。DRX控制器502可藉由例如斷開或閉合旁路開關519從而啟用或禁用放大器614a至614d、514、控制多工器511、512或透過其他機制來選擇性地啟動路徑。例如，DRx控制器502可沿著路徑(例

如，在濾波器613a至613d、513及放大器614a至614d、514之間)或藉由將放大器614a至614d、514之增益設定為基本為零來斷開或閉合開關。

在圖23之例示性DRx模組300中，放大器614a至614d、514之一些或全部可具備具有如本文中所述之一或多個特徵之一衰減電路100。例如，此等放大器之各者被展示為在其輸入側上實施一衰減電路100。在一些實施例中，一給定放大器可在其輸入側及/或其輸出側上具有一衰減電路。

在一些實施方案中，具有本文中所描述之一或多個特徵之一架構、裝置及/或電路可包含於諸如一無線裝置之一RF裝置中。此一架構、裝置及/或電路可直接以本文中所描述之一或多個模組化形式或以其之一些組合實施於無線裝置中。在一些實施例中，此一無線設備可包含例如一蜂巢式電話、一智慧型電話、具有或不具有電話功能性之一手持無線裝置、一無線平板電腦、一無線路由器、一無線接入點、一無線基地台等。雖然在無線裝置之背景中進行了描述，但是應當理解，本發明之一或多個特徵亦可在諸如基地台之其他RF系統中實施。

圖24描繪了具有本文中所描述之一或多個有利特徵之一例示性無線裝置700。如參考圖22及23所述，具有如本文中所述之一或多個特徵之一或多個衰減器可在此一無線裝置中之數個位置中實施。例如，在一些實施例中，此等有利特徵可在諸如具有一或多個低雜訊放大器(LNA)之一分集接收(DRx)模組300之一模組中實施。此一DRx模組可如本文中參考圖20、21及23所述般組態。在一些實施例中，具有如本文中所述之一或多個特徵之一衰減器可沿著一LNA之前及/或之後的一RF信號路徑實施。

在圖24之實例中，一功率放大器(PA)模組712中之PA可自一收發器710接收其等相應RF信號，該收發器410可經組態及操作以產生待放大及

傳輸之RF信號且處理接收之信號。收發器710被展示為與一基頻帶子系統708互動，該基頻帶子系統708經組態以提供適用於一使用者之資料及/或語音信號與適用於收發器710之RF信號之間之轉換。收發器710亦被展示為連接至一功率管理組件706，該功率管理組件706經組態以管理用於操作無線裝置700之功率。此功率管理亦可控制基頻帶子系統708及無線裝置700之其他組件之操作。

基頻帶子系統708被展示為連接至一使用者介面702以促進語音及/或資料之各種輸入及輸出被提供至使用者及自該使用者接收該等輸入及輸出。基頻帶子系統708亦可連接至經組態以儲存資料及/或指令之一記憶體704以促進無線裝置之操作及/或提供用於使用者之資訊之儲存。

在圖24之實例中，DRx模組300可在一或多個分集天線(例如，分集天線730)與ASM 714之間實施。此一組態可允許處理透過分集天線730接收之一RF信號(在一些實施例中，包含一LNA之放大)，其中來自分集天線730之RF信號很少或沒有損耗及/或很少或沒有附加雜訊。接著可透過一或多個信號路徑將來自DRx模組300之此經處理信號路由至ASM。

在圖24之實例中，一主天線720可經組態以例如促進來自PA模組712之RF信號之傳輸。在一些實施例中，亦可透過主天線實施接收操作。

若干其他無線裝置組態可利用本發明所描述之一或多個特徵。例如，一無線裝置不必係一多頻帶裝置。在另一實例中，一無線裝置可包含額外天線(諸如，分集天線)及額外連接能力特徵(諸如，Wi-Fi、藍芽及GPS)。

除非上下文明確另有要求，否則貫穿描述及申請專利範圍，字詞「包括」、「包含」及類似物應理解為包含意義，而非理解為排他性或詳

盡性意義；即，應理解成「包含，但不限於」之意義。如本文中通常所使用，字詞「耦合」指代可直接連接或藉由一或多個中間元件連接之兩個或更多個元件。此外，字詞「本文」、「上文」、「下文」及類似含義之字詞在用於本申請案中時應指代本申請案之整體而非本申請案之任何特定部分。在背景允許之情況下，上文詳細描述中使用單數或複數之字詞亦可分別包含複數或單數。字詞「或」涉及兩個或兩個以上項目之一清單，該字詞涵蓋字詞之所有以下解釋：清單中之任意項目、清單中之所有項目或清單中之項目之任意組合。

本發明之實施例之上文詳細描述並非意欲為詳盡性或意欲於將本發明限於上文所揭示之精確形式。雖然上文出於闡釋目的描述本發明之特定實施例及實例，但在本發明之範疇內，各種等效修改可行，如熟習相關技術者將認知。舉例而言，雖然程序或方塊以給定順序呈現，但是替代實施例可以不同順序執行具有步驟之常式或採用具有方塊之系統，且一些程序或方塊可刪除、移動、添加、細分、組合及/或修改。可依各種不同方式實施此等程序或區塊之各者。此外，雖然程序或區塊有時被展示為串行執行，但是此等程序或區塊可替代地並行執行，或可在不同時間執行。

本文中所提供之本發明之教示可應用於其他系統，不一定為上文所述之系統。上文所述之各項實施例之元件及動作可經組合以提供進一步實施例。

雖然已描述本發明之一些實施例，但是此等實施例僅藉由實例呈現且並非旨在限制本發明之範疇。事實上，可依各種其他形式體現本文所述之新穎方法及系統；此外，在不背離本發明之精神之情況下，可對本文所述之方法及系統之形式作出各種省略、置換及變更。隨附申請專利範

圍及其等效物意欲於涵蓋如將落於本發明之範疇及精神內之此等形式或修改。

【符號說明】

100:衰減器電路

102a:第一衰減區塊

102b:第二衰減區塊

102c:第三衰減區塊

104:電路

104a:局部相位補償電路

104b:局部相位補償電路

104c:局部相位補償電路

105:局部旁路路徑

105a:局部旁路路徑

105b:局部旁路路徑

105c:局部旁路路徑

106:旁路路徑

108:全域相位補償電路

110:第一節點

112:第二節點

120:電路圖/衰減區塊

122:電阻

124:電阻

130:電路圖

140:路徑
150:曲線
152:曲線
154:曲線
156:曲線
158:曲線
160:曲線
162:曲線
170:局部補償路徑
172:FET裝置
180:控制器
200:半導體晶粒
202:基板
204:相位/增益補償電路
210:第一半導體晶粒
212:晶粒
300:封裝模組/分集接收機模組
302:封裝基板
400:射頻(RF)系統
402:天線
410:帶通濾波器
412:低雜訊放大器(LNA)
414:帶通濾波器

416:中頻(IF)放大器
420:中頻(IF)放大器
422:帶通濾波器
424:功率放大器(PA)
426:帶通濾波器
430:系統控制器
432:處理器
434:非暫時性電腦可讀媒體(CRM)
440:混頻器
442:帶通濾波器
444:帶通濾波器
446:混頻器
501:封裝基板
502:DRx控制器
511:第一多工器
512:第二多工器
513:帶通濾波器/模組外濾波器
514:放大器
519:旁路開關
613a:帶通濾波器
613b:帶通濾波器
613c:帶通濾波器
613d:帶通濾波器

614a:放大器

614b:放大器

614c:放大器

614d:放大器

700:無線裝置

702:使用者介面

704:記憶體

706:功率管理組件

708:基頻帶子系統

710:收發器

712:功率放大器(PA)模組

714:ASM

720:主天線

730:分集天線

C2:電容

C2_A:電容

C2_B:電容

C2_C:電容

C3:電容

C3_A:電容

C3_B:電容

C3_C:電容

Cc:補償電容

C_G : 電容

C_{off} : 關斷電容

$M1$: 局部旁路開關/開關電晶體

$M1_A$: 第一局部旁路開關

$M1_B$: 第二局部旁路開關

$M1_C$: 第三局部旁路開關

$M2$: 局部旁路開關/開關電晶體

$M2_A$: 分流臂開關

$M2_B$: 分流臂開關

$M2_C$: 分流臂開關

$M3$: 局部旁路開關/開關電晶體

$M3_A$: 分流臂開關

$M3_B$: 分流臂開關

$M3_C$: 分流臂開關

$R1$: 電阻

$R1_A$: 電阻

$R1_B$: 電阻

$R1_C$: 電阻

$R2$: 電阻

$R2_A$: 電阻

$R2_B$: 電阻

$R2_C$: 電阻

$R3$: 電阻

R_{3A} :電阻

R_{3B} :電阻

R_{3C} :電阻

R_{G1} :第一電阻

R_{G2} :第二電阻

R_L :負載阻抗

R_s :源阻抗

R_{on} :導通電阻

S_1 :開關

S_2 :開關

S_{BYPASS} :全域旁路開關

IN:輸入節點

OUT:輸出節點

【發明申請專利範圍】

【請求項1】

一種射頻衰減器(attenuator)電路，其包括：

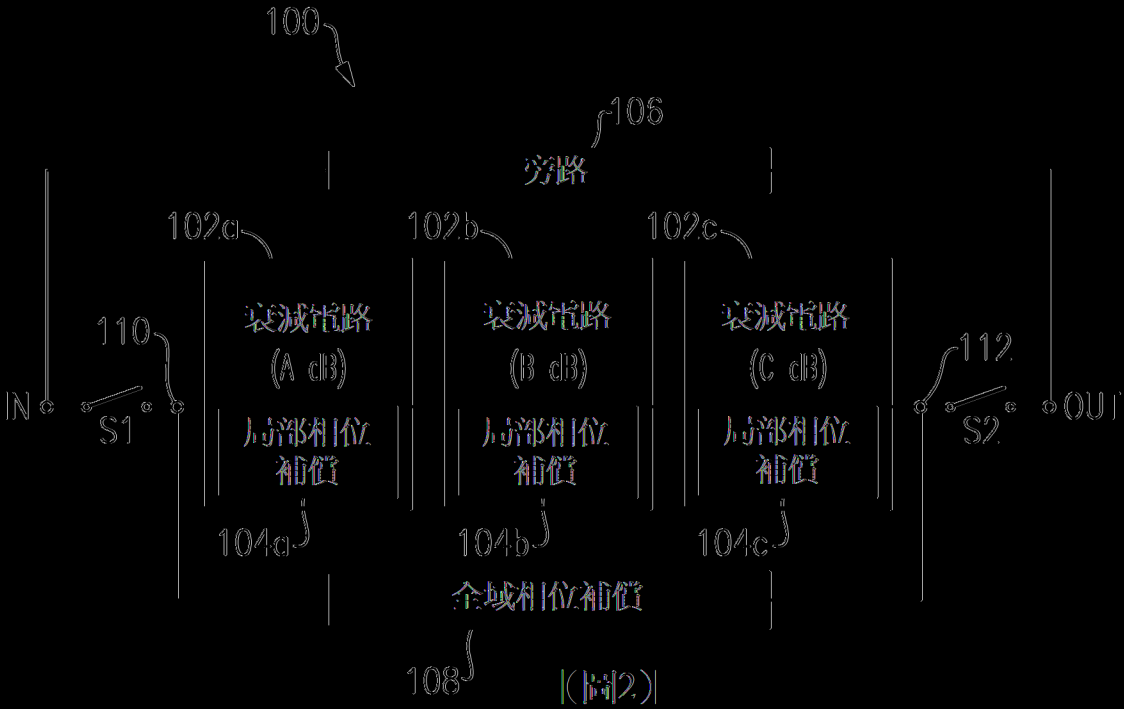
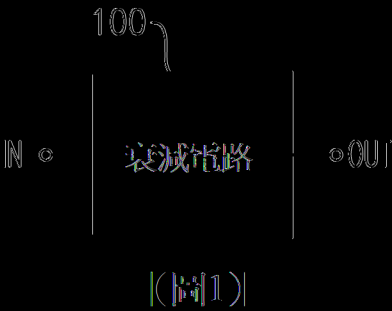
一輸入節點及一輸出節點；

一衰減路徑，其包含一第一開關、一第一節點、串聯(in series)佈置的複數個衰減區塊、一第二節點及位於該輸入節點與該輸出節點之間之一第二開關，每一衰減區塊包含一衰減器及具有一旁路開關電晶體之一局部旁路路徑，該旁路開關電晶體經組態以導通(on)或關斷(off)，藉此允許該個別衰減器之可切換旁路(switchable bypassing)，該旁路開關電晶體提供一局部關斷電容(local off-capacitance)，該等衰減區塊中之至少一些之每一者包含一局部相位補償電路，該局部相位補償電路經組態以補償該個別旁路開關電晶體之該局部關斷電容；

一全域旁路路徑，其在該輸入節點與該輸出節點之間實施及包含一全域旁路開關電晶體，該全域旁路開關電晶體經組態以導通或關斷，藉此允許該衰減路徑之可切換旁路，當關斷時該全域旁路開關電晶體提供一全域關斷電容(global off-capacitance)，該衰減路徑之該第一開關及該第二開關中之每一者經組態以當該全域旁路開關電晶體導通時關斷，及經組態以當該全域旁路開關電晶體關斷時導通；及

一全域相位補償電路，其在該第一節點與該第二節點之間實施，且經組態以補償該全域關斷電容。

|(發明圖式)|



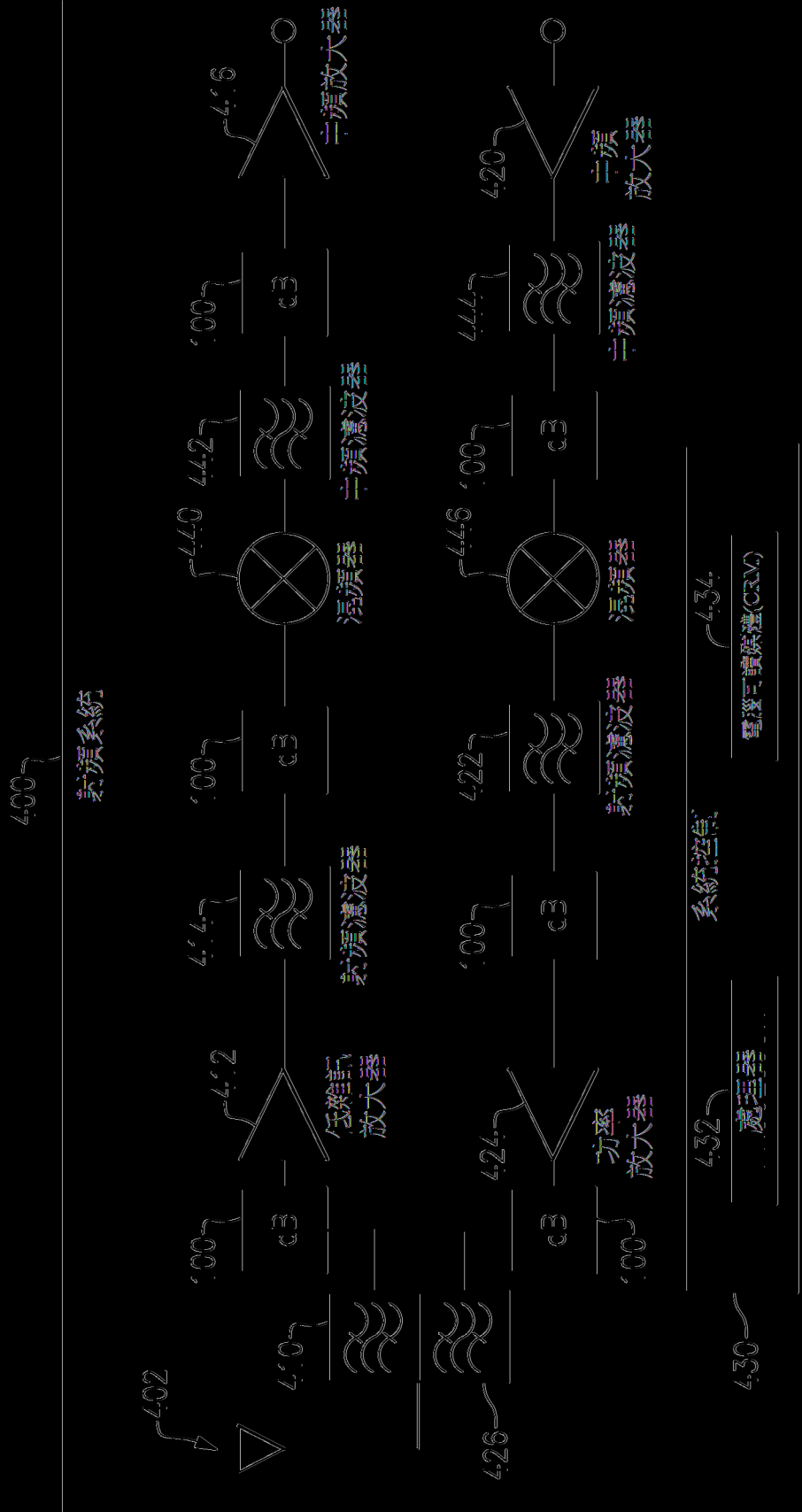


[圖 2]



控制系統(例如，
自動產業處理
器)介紹

[圖 8]



[圖22]

【發明申請專利範圍】

【請求項1】

一種衰減器(attenuator)電路，其包括：

一輸入節點及一輸出節點；

一衰減路徑，其包含串聯(in series)佈置於該輸入節點與該輸出節點之間之一第一開關、一第一節點、一或多個局部(local)衰減區塊、一第二節點及一第二開關；

一全域(global)旁路路徑，其在該輸入節點與該輸出節點之間實施及包含一全域旁路開關電晶體，該全域旁路開關電晶體經組態以導通或關斷(on or off)，以藉此允許該衰減路徑之可切換旁路(switchable bypassing)，當關斷時該全域旁路開關電晶體提供一全域關斷電容(global off-capacitance)，該衰減路徑之該第一開關及該第二開關中之每一者經組態以當該全域旁路開關電晶體導通時關斷，及經組態以當該全域旁路開關電晶體關斷時導通；及

一全域相位補償電路，其在該第一節點與該第二節點之間實施，且經組態以補償該全域關斷電容。

【請求項2】

如請求項1之衰減器電路，其中該全域旁路開關電晶體之該全域關斷電容導致一相位超前(lead)變化，且該全域相位補償電路經組態以提供一相位滯後(lag)變化來補償該相位超前變化。

【請求項3】

如請求項1之衰減器電路，其中該全域相位補償電路包含串聯佈置的一第一全域補償電阻及一第二全域補償電阻，及一全域補償電容，該全域

補償電容在一接地與一節點之間實施，該節點介於該第一全域補償電阻及第二全域補償電阻之間。

【請求項4】

如請求項3之衰減器電路，其中該全域補償電容經組態以與該全域旁路開關電晶體大體上相同地受到一或多個製程變動的影響。

【請求項5】

如請求項4之衰減器電路，其中該全域補償電容被組態為一電晶體類裝置(transistor-like device)。

【請求項6】

如請求項5之衰減器電路，其中該全域補償電容之該電晶體類裝置及該全域旁路開關電晶體之各者被實施為一MOSFET裝置。

【請求項7】

如請求項1之衰減器電路，其中該一或多個局部衰減區塊包含複數個局部衰減區塊。

【請求項8】

如請求項7之衰減器電路，其中每一局部衰減區塊包含一衰減器及具有一旁路開關電晶體之一局部旁路路徑，該旁路開關電晶體經組態以導通或關斷，以藉此允許該衰減器之可切換旁路，該旁路開關電晶體提供一局部關斷電容，該等衰減區塊中之至少一些之每一者包含一局部相位補償電路，該局部相位補償電路經組態以補償該個別旁路開關電晶體之該局部關斷電容。

【請求項9】

如請求項8之衰減器電路，其中該局部旁路開關電晶體之該局部關斷

電容導致一相位超前變化，且該局部相位補償電路經組態以提供一相位滯後變化來補償該相位超前變化。

【請求項10】

如請求項8之衰減器電路，其中每一局部衰減區塊之該旁路開關電晶體經組態以當處於一局部旁路模式中時導通，且當處於相對於對應的該局部衰減區塊之一局部衰減模式中時關斷。

【請求項11】

如請求項8之衰減器電路，其中每一局部衰減區塊之該衰減器被組態為一pi衰減器，其具有一局部電阻、在該局部電阻之一端與一接地之間實施之一第一分流(shunt)路徑及在該局部電阻之另一端(the other end)與該接地之間實施之一第二分流路徑，該第一分流路徑及該第二分流路徑之各者包含一分流電阻。

【請求項12】

如請求項11之衰減器電路，其中該局部相位補償電路包含一第一局部補償電容及一第二局部補償電容，該第一局部補償電容經佈置以與該第一分流電阻電並聯，該第二局部補償電容經佈置以與該第二分流電阻電並聯。

【請求項13】

如請求項12之衰減器電路，其中該第一局部補償電容及該第二局部補償電容之各者經組態以與該局部旁路開關電晶體大體上相同地受到一或多個製程變動的影響。

【請求項14】

如請求項13之衰減器電路，其中該第一局部補償電容及該第二局部

補償電容之各者被組態為一電晶體類裝置。

【請求項15】

如請求項14之衰減器電路，其中該第一局部補償電容及該第二局部補償電容之該電晶體類裝置及該局部旁路開關電晶體之各者被實施為一MOSFET裝置。

【請求項16】

如請求項7之衰減器電路，其中該複數個局部衰減區塊中之至少一些經組態以提供具有二進位加權(binary-weighted)衰減值。

【請求項17】

一種半導體晶粒，其包括：

一半導體基板；及

在該半導體基板上實施之一衰減器電路，該衰減器電路包含一輸入節點及一輸出節點；及一衰減路徑，其包含串聯佈置於該輸入節點與該輸出節點之間之一第一開關、一第一節點、一或多個局部衰減區塊、一第二節點及一第二開關，該衰減器電路進一步包含一全域旁路路徑，其在該輸入節點與該輸出節點之間實施及包含一全域旁路開關電晶體，該全域旁路開關電晶體經組態以導通或關斷，以藉此允許該衰減路徑之可切換旁路，當關斷時該全域旁路開關電晶體提供一全域關斷電容，該衰減路徑之該第一開關及該第二開關中之每一者經組態以當該全域旁路開關電晶體導通時關斷，及經組態以當該全域旁路開關電晶體關斷時導通，該衰減器電路進一步包含一全域相位補償電路，其在該第一節點與該第二節點之間實施，且經組態以補償該全域關斷電容。

【請求項18】

一種射頻模組，其包括：

一封裝基板，其經組態以接納複數個組件；及

在該封裝基板上實施之一衰減器電路，該衰減器電路包含一輸入節點及一輸出節點；及一衰減路徑，其包含串聯佈置於該輸入節點與該輸出節點之間之一第一開關、一第一節點、一或多個局部衰減區塊、一第二節點及一第二開關，該衰減器電路進一步包含一全域旁路路徑，其在該輸入節點與該輸出節點之間實施及包含一全域旁路開關電晶體，該全域旁路開關電晶體經組態以導通或關斷，以藉此允許該衰減路徑之可切換旁路，當關斷時該全域旁路開關電晶體提供一全域關斷電容，該衰減路徑之該第一開關及該第二開關中之每一者經組態以當該全域旁路開關電晶體導通時關斷，及經組態以當該全域旁路開關電晶體關斷時導通，該衰減器電路進一步包含一全域相位補償電路，其在該第一節點與該第二節點之間實施，且經組態以補償該全域關斷電容。

【請求項19】

如請求項18之射頻模組，其中該衰減器電路係在一或多個半導體晶粒上實施，且該一或多個半導體晶粒中之每一者係安裝在該封裝基板上。

【請求項20】

如請求項18之射頻模組，其中該射頻模組經組態以處理一所接收射頻信號。

【請求項21】

一種無線裝置，其包括：

一收發器；

一天線；

一信號路徑，其介於該收發器與該天線之間；及

沿著該信號路徑實施之一衰減器電路，該衰減器電路包含一輸入節點及一輸出節點；及一衰減路徑，其包含串聯佈置於該輸入節點與該輸出節點之間之一第一開關、一第一節點、一或多個局部衰減區塊、一第二節點及一第二開關，該衰減器電路進一步包含一全域旁路路徑，其在該輸入節點與該輸出節點之間實施及包含一全域旁路開關電晶體，該全域旁路開關電晶體經組態以導通或關斷，以藉此允許該衰減路徑之可切換旁路，當關斷時該全域旁路開關電晶體提供一全域關斷電容，該衰減路徑之該第一開關及該第二開關中之每一者經組態以當該全域旁路開關電晶體導通時關斷，及經組態以當該全域旁路開關電晶體關斷時導通，該衰減器電路進一步包含一全域相位補償電路，其在該第一節點與該第二節點之間實施，且經組態以補償該全域關斷電容。

【請求項22】

如請求項21之無線裝置，其中該信號路徑被組態為一接收信號路徑。