

(12) 发明专利申请

(10) 申请公布号 CN 102446554 A

(43) 申请公布日 2012. 05. 09

(21) 申请号 201110296507. 2

(22) 申请日 2011. 10. 08

(30) 优先权数据

61/391245 2010. 10. 08 US

13/232278 2011. 09. 14 US

(71) 申请人 英飞凌科技股份有限公司

地址 德国瑙伊比贝尔格市坎茨昂 1 - 12 号

(72) 发明人 D. 卢卡舍维奇

(74) 专利代理机构 中国专利代理(香港)有限公司  
72001

代理人 王岳 卢江

(51) Int. Cl.

G11C 16/10(2006. 01)

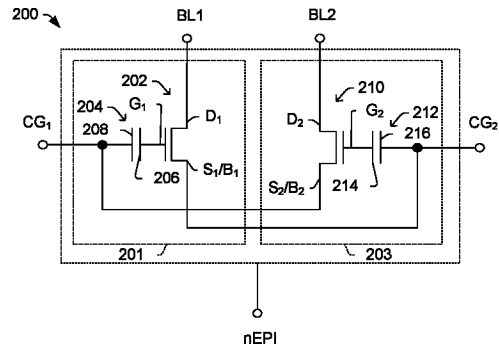
权利要求书 2 页 说明书 6 页 附图 7 页

(54) 发明名称

对称差分非易失性存储器单元

(57) 摘要

本发明涉及对称差分非易失性存储器单元。一些实施例涉及一种差分存储器单元。该存储器单元包括具有源极、漏极、栅极和本体的第一晶体管。第一电容器具有第一板和第二板,其中第一板耦合到第一晶体管的栅极并且在本体区之上延伸。该存储器单元也包括具有源极、漏极、栅极和本体的第二晶体管,其中第二晶体管的源极和本体耦合到第一电容器的第二板。第二电容器具有第三板和第四板,其中第三板耦合到第二晶体管的栅极并且第四板耦合到第一晶体管的源极和本体。



1. 一种存储器单元,包括:  
第一晶体管,具有源极、漏极和栅极;  
第一电容器,具有第一板和第二板,其中所述第一板耦合到所述第一晶体管的所述栅极;  
第二晶体管,具有源极、漏极和栅极,其中所述第二晶体管的所述源极耦合到所述第一电容器的所述第二板;以及  
第二电容器,具有第三板和第四板并且具有与所述第一电容器近似相同的面积,其中所述第三板耦合到所述第二晶体管的所述栅极并且所述第四板耦合到所述第一晶体管的所述源极。
2. 根据权利要求 1 所述的存储器单元,其中所述第一晶体管的所述源极和漏极形成于称为第一本体的第一井区中,并且其中所述第一电容器在所述第一井区之上延伸。
3. 根据权利要求 2 所述的存储器单元,其中所述第二晶体管的所述源极和漏极形成于称为第二本体的第二井区中,并且其中所述第二电容器在所述第二井区之上延伸。
4. 根据权利要求 3 所述的存储器单元,其中第一和第二井区形成于相同的共同井或者衬底中。
5. 根据权利要求 4 所述的存储器单元,其中所述相同的共同井或者衬底为外延层。
6. 根据权利要求 1 所述的存储器单元,还包括:  
第一位线,耦合到所述第一晶体管的所述漏极;以及  
第二位线,耦合到所述第二晶体管的所述漏极;  
其中第一和第二位线能操作用于从所述存储器单元配合地输送差分电流或者差分电压,所述差分电流或者差分电压表明存储于所述存储器单元中的数据值。
7. 根据权利要求 1 所述的存储器单元:  
其中所述第一晶体管的本体耦合到所述第一晶体管的所述源极;并且  
其中所述第二晶体管的本体耦合到所述第二晶体管的所述源极。
8. 根据权利要求 1 所述的存储器单元,还包括:  
控制电路,用于通过在与第二和第四电容器板关联的控制端子两端施加差分电压来向所述存储器单元写入第一数据状态,其中所述第二电容器板在施加所述差分电压以写入所述第一数据状态期间处于比所述第四电容器板更高的电压。
9. 根据权利要求 8 所述的存储器单元,其中所述控制电路能够通过在与第二和第四电容器板关联的所述控制端子两端施加所述差分电压来向所述存储器单元写入第二数据状态,其中所述第二电容器板在施加所述差分电压以写入所述第二数据状态期间处于比所述第四电容器板更低的电压。
10. 根据权利要求 3 所述的存储器单元,其中第一和第二电容器分别形成于第一和第二井区之上,并且每个电容器包括其间具有绝缘层的一对传导板。
11. 一种存取存储器单元的方法,其中所述存储器单元包括:第一晶体管,具有源极、漏极和栅极;第一电容器,具有第一板和第二板,其中所述第一板耦合到所述第一晶体管的所述栅极;第二晶体管,具有源极、漏极和栅极,其中所述第二晶体管的所述源极耦合到所述第一电容器的所述第二板;以及第二电容器,具有第三板和第四板,其中所述第三板耦合到所述第二晶体管的所述栅极并且所述第四板耦合到所述第一晶体管的所述源极;

其中向所述存储器单元写入第一数据状态包括：

将所述第二电容器板驱动成近似第一电压；

在将所述第二电容器板驱动成近似所述第一电压时将所述第四电容器板驱动成近似第二电压，其中所述第二电压不同于所述第一电压。

12. 根据权利要求 11 所述的方法，其中向所述存储器单元写入第二数据状态包括：

将所述第二电容器板驱动成近似所述第二电压；

在将所述第二电容器板驱动成近似所述第二电压时将所述第四电容器板驱动成近似所述第一电压。

13. 根据权利要求 12 所述的方法，其中所述第一晶体管的源极和漏极设置于称为第一本体的第一井中并且其中所述第一电容器设置于所述第一井之上，并且其中所述第二晶体管的源极和漏极设置于称为第二本体的第二井中并且其中所述第二电容器设置于所述第二井之上。

14. 根据权利要求 13 所述的方法，其中第一和第二本体设置于共同衬底上，并且其中在向所述存储器单元写入第一和第二状态时所述共同衬底设定成近似第一或者第二电压。

## 对称差分非易失性存储器单元

### 技术领域

[0001] 本发明涉及存储器的领域,并且具体地涉及一种对称差分非易失性存储器单元。

### 背景技术

[0002] 本申请是通过整体引用将其内容结合于此的、于2010年10月8日提交的、题为“Symmetric, Differential Nonvolatile Memory Cell”的美国专利申请序列号61/391,245的非临时申请。

[0003] 有用来存储数据的许多不同类型的存储器。一种类型的存储器是在许多电子产品中使用的电可擦除可编程只读存储器(EEPROM)(例如用来存储用于工业和汽车传感器的校准和客户具体数据)。认为EEPROM为非易失性的,因为即使从单元断电,数据内容仍然保持于其中。

[0004] 即使EEPROM单元往往为非易失性的,存储于给定的EEPROM单元中的电荷仍然可能由于单元退化而在单元被反复编程和/或擦除时改变。例如图1示出了在单元被编程和擦除(即循环,1个循环为1×编程和1×擦除)多达数千次时与存储于多个存储器单元中的电荷对应的阈值/读出电压。一些单元存储由电压阈值窗104限定的第一数据状态(例如“1”或者“已编程”数据状态)。当在循环期间读取时,编程为第一状态的单元提供随着单元循环数目而变化的阈值电压102。其它单元存储由电压阈值窗108限定的第二数据状态(例如“0”或者“已擦除”数据状态)。当在循环期间读取时,擦除为第二状态的单元提供随着单元循环数目而变化的阈值电压106。

[0005] 遗憾的是,如从图1可见,存储于单元中的电荷往往根据单元被编程和擦除或者循环的次数而“漂移”。例如当在时间110首次存取单元时,个别单元的电压阈值102、106分别适当驻留于第一和第二电压窗104、108内。然而到在112的第一万个循环时,存储于单元中的电荷将由于单元退化而未与在110时相同,从而使原本旨在“擦除”的一些单元具有落在第二电压阈值窗108以外的电压阈值106。另外,在所举例子中,在更高循环计数时,用于已编程单元的阈值电压102往往增加(即单元对于更高循环计数而言变成被“更强”编程),但是用于已擦除单元的阈值电压106往往减少(即单元对于更高循环计数而言变成被“更弱”编程)。如果电压阈值曲线102、106分别在电压阈值窗104、108的中间保持恒定则将是理想情况,但是当曲线102略微增加而曲线106略微减少时的情况也是可接受的。

[0006] 无论情况如何,由于通常通过使用未考虑到不同漂移电平的参考单元来读取单元,所以重度循环的存储器单元可能产生与“新鲜”单元不同的数据值,即使两个单元实际存储相同数据。例如即使向重度循环的单元写入较低数据状态(例如“0”数据状态),则单元的读取操作(该操作比较与存储于存取单元中的电荷对应的电压电平与参考单元)可能不正确地确定单元存储较高数据状态(例如“1”数据状态)。如果单元退化使两个曲线102、106变成更近或者甚至相交,则出现最坏情况。在后一种情况下显然不再可能进行对给定的单元是处于已编程还是已擦除状态的准确确定。

[0007] 因此,发明人已设想用于使存储器单元更耐受单元退化、由此有助于保证可靠数

据存储的技术。

### 附图说明

[0008] 图 1 示出了存储器单元的电压阈值电平可以根据单元被循环的次数而漂移的一种方式图形绘图。

[0009] 图 2 示出了根据一些实施例的存储器单元的示意图。

[0010] 图 3 示出了根据一个实施例的存储器单元的透视图。

[0011] 图 4 示出了根据一个实施例的存储器单元的透视图。

[0012] 图 5-7 示出了用于从存储器单元读取数据和 / 或向存储器单元写入数据的可能应用电路。

[0013] 图 8-9 图示了根据一些实施例的分别向存储器单元写入 1 值和 0 值的方法。

### 具体实施方式

[0014] 现在将参照其中相似标号用来通篇指代相似元件的附图来描述本发明的一种或者多种实施方式。附图未必按比例绘制。

[0015] 为了限制 EEPROM 单元的“漂移”数量,发明人例如已开发比如图 2 中所示的对称差分 EEPROM 单元。图 2 的对称差分 EEPROM 单元 200 包括位于共同井或者衬底(例如 nEpi)中的两个 EEPROM 子单元(第一子单元 201 和第二子单元 203)。第一和第二子单元 201、203 被差分连接,因而如果一个子单元被编程(例如编程为具有裕度电压  $V_1$ ),则另一子单元同时被擦除(例如擦除为具有裕度电压  $V_0$ )。类似地,如果一个子单元被擦除(例如擦除为具有裕度电压  $V_0$ ),则另一子单元同时被编程(例如编程为具有裕度电压  $V_1$ )。通过比较常规 EEPROM 单元的输出电压阈值与参考电压(其用于针对多个单元的读取电压阈值比较)来读取该单元,而简单地通过测量在第一与第二子单元 201、203 之间的差值电压  $\Delta V = V_1 - V_0$  和相位来读取对称差分单元 200。因此,差分单元 200 限制或者完全消除对外部参考单元的需要。

[0016] 单元 200 之所以称为差分是因为存储电荷差并且读取差值裕度电压  $\Delta V$ ,而单元之所以称为对称是因为两个子单元 201、203 在编程 / 擦除模式期间具有相同对称耦合因子。这些对称差分单元可以限制单元“漂移”效果(如先前在图 1 中示为常规单元读取的问题),因为即使在执行大量循环之后仍然可以检测在两个子单元之间的少量  $\Delta V$ (例如在 100,000 个循环之后在 102 与 106 之间的  $\Delta$ )。如从图 1 可以理解的那样,即使个别子单元的电压阈值随时间而“漂移”,在子单元 201、203 之间测量的  $\Delta V$  仍然可能随着大量循环而给出正确读取值。此外,与常规 EEPROM 单元相比,对称差分单元 200 对技术(例如制造)变化不大敏感。这是因为形成差分单元 200 的两个子单元 201、203 被设计成相同并且在管芯上接近地放置在一起。

[0017] 更具体而言,图 2 示出了对称差分 EEPROM 存储器单元 200 的示意表示。第一子单元 201 包括具有源极 S1、漏极 D1 和栅极 G1 的第一晶体管 202 以及具有第一板 206 和第二板 208 的第一电容器 204。第一板 206 耦合到第一晶体管 202 的栅极 G1。第一晶体管 202 形成于也可以称为本体 1 (B1) 的井区 201 (例如 p 井)中。

[0018] 第二子单元 203 包括具有源极 S2、漏极 D2 和栅极 G2 的第二晶体管 210,其中源极 S2 耦合到第一电容器 204 的第二板 208。此外,存储器单元 200 包括具有第三板 214 和第四

板 216 的第二电容器 212, 其中第三板 214 耦合到栅极 G2 并且第四板 216 耦合到第一晶体管的源极 S1。第二晶体管 210 形成于也可以称为本体 2 (B2) 的井区 203 (例如 p 井) 中。

[0019] 第一和第二晶体管的本体 B1、B2 分别经常二极管附接到它们的相应晶体管的源极。第一和第二本体 201 和 203 均设置于相同衬底、共同井或者 EPI 层 (例如 nEPI) 上。

[0020] 可以通过向控制栅极 CG1、CG2 施加第一差分电压来向单元 200 写入第一数据状态 (例如逻辑“1”)。可以通过向控制栅极 CG1、CG2 施加第二不同差分电压来向单元 200 写入第二数据状态 (例如逻辑“0”)。为了限制所需电路的数量, 第一差分电压在量值上经常等于第二差分电压而极性颠倒。

[0021] 在下表 1 中示出了用于向存储器单元 200 写入数据和从存储器单元 200 读取数据的电压条件的一个例子:

器件管脚	模式和操作电压		
	写入模式-编程“1”	写入模式-擦除“0”	读取模式
CG1	21V	0V	0V (或者 VCGread)
CG2	0V	21V	0V (或者 VCGread)
BL1	悬空	悬空	Vread/Iread
BL2	悬空	悬空	Vread/Iread
nEPI	21V	21V	0V

表 1: 用于存储器单元的读取 / 写入电压条件。

[0022] 因此, 在表 1 的例子中, 为了向存储器单元写入逻辑“1”, 向 CG1 施加约 21 伏特并且向 CG2 并行施加约 0 伏特。为了向存储器单元写入逻辑“0”, 向 CG1 施加约 0 伏特并且向 CG2 并行施加约 21 伏特。通过在这些偏置条件之间切换, 控制电路可以选择性地向个别存储器单元 (或者根据存储器单元部署于其中的存储器阵列的架构而向存储器单元块) 写入所期望的数据值。将理解的是, 所有电压是近似的并且这些电压的范围可以根据所用技术而广泛变化。例如, 电压电平可以根据存储器单元中的半导体器件的特征尺寸、与半导体器件关联的掺杂浓度和许多其它因素而变化。在其它实施例中, 与逻辑“1”和逻辑“0”关联的电压条件根据所用惯例也可以颠倒。也可以使用代表多于两位数据的多级数据方案。

[0023] 由于存储器单元 200 在单元的输出处提供差分电压或者电流, 所以数据破坏的可能性相对于常规存储器单元明显减少。

[0024] 图 3 示出了与图 2 的示意表示一致的存储器单元 300 的布局的透视图。图 4 示出了也与图 2 的示意表示一致的替代布局 300' 的透视图。由于图 3 和图 4 遵循相同示意表示 (例如与图 2 相同), 所以图 4 使用与图 3 相同的标号而图 4 中的对应元件后面有记号 / 撇号 (')。例如图 3 包括第一电容器 302 和第一晶体管 312, 而图 4 包括第一电容器 302' 和第一晶体管 312'。

[0025] 在这些布局中, 第一电容器 302 形成于半导体衬底 304 (例如 nEPI) 的第一部分之上和第一井 / 本体 314 (例如 p 井) 之上。第一电容器 302 包括第一传导板 306 和第二传导板 308, 其中绝缘层 310 设置于第一与第二板之间。在一些实施例中, 第一和第二传导板

306、308 由多晶硅制成, 尽管这些板中的一个或者两个板也可以由另一传导材料(比如例如金属) 制出。此外, 在一些实施例中, 绝缘层 310 包括夹入于第一氧化物层与第二氧化物层之间的氮化物层。在其它实施例中, 绝缘层 310 可以仅包括单个氧化物层或者可以包括这些或者其它绝缘材料。

[0026] 第一晶体管 312 形成于半导体衬底 304 的第二部分之上和第一井 314 之上。第一晶体管 312 包括经由在浮栅 320 之下的沟道区而相互分离的源极区 316 和漏极区 318。源极 316 耦合到第四电容器板 326。经常成为栅极氧化物或者隧道氧化物的绝缘层夹入于浮栅 320 与晶体管沟道之间并且电隔离沟道区与浮栅。也包括第一井 314 的井接触 319 (例如晶体管 312 的自体接触) 以在板 306 之下允许适当电势并且因此在编程和擦除时保证相同耦合因子。

[0027] 第一晶体管的源极 316 和漏极 318 形成于第一井 314 中, 并且第一电容器 302 的板经常在第一井 314 之上延伸。通过在第一井 314 中包括第一晶体管 312 并且通过让第一电容器在第一井之上延伸, 一些实施例有助于在编程 / 擦除期间保证对称耦合因子。另外, 第一井 314 和第二井 332 形成于衬底或者共同井 304 (例如 nEPI) 中。

[0028] 第二电容器 322 形成于半导体衬底 304 的第三部分之上和第二井 332 (例如 p 井) 之上。第二电容器 322 包括第三传导板 324 和第四传导板 326, 其中绝缘层 328 设置于第三与第四板之间。在一些实施例中, 第三和第四传导板 324、326 由多晶硅制成, 尽管这些板中的一个或者两个板也可以由另一传导材料(比如例如金属) 制出。此外, 在一些实施例中, 绝缘层 328 包括夹入于第一氧化物层与第二氧化物层之间的氮化物层。在其它实施例中, 绝缘层 328 可以仅包括单个氧化物层或者可以包括这些或者其它绝缘材料。

[0029] 第二晶体管 330 形成于半导体衬底 304 的第四部分之上和第二井 332 之上。第二晶体管 330 包括经由在浮栅 338' 之下的沟道区而相互分离的源极区 334' 和漏极区(不可见)。经常称为栅极氧化物或者隧道氧化物的绝缘层电隔离沟道区与浮栅。也包括第二井的井接触(例如晶体管 330 的自体接触) 以在板 324 之下允许适当电势并且因此在编程和擦除时保证相同耦合因子。

[0030] 虽然图 2-4 示出了 EEPROM 存储器单元(300, 300') 的例子, 但是可以对所示的例子进行变更和 / 或修改而未脱离所附权利要求的精神和范围。例如在一些实施方式中, EEPROM 存储器单元 300 可以具有 n 型衬底 304 (例如 nEPI)、p 型井区 314 和 332 以及 n 型源极和漏极(例如 316/318); 然而在其它实施例中, 这些掺杂惯例可以颠倒。例如衬底 304 可以是 p 型(例如 pEPI), 井区 314 和 332 可以是 n 型(例如 n 井), 并且源极和漏极 316/318 可以是 p 型。

[0031] 图 5-7 示出了用于从差分对称存储器单元 500 (例如图 2 的存储器单元 200) 读取数据状态和 / 或向该存储器单元写入数据状态的控制电路的各种例子。为了向存储器单元 500 写入数据, 图 5 的偏置电路 502 可以例如根据下表 2 经由管脚  $CG_1$ 、 $CG_2$ 、 $select$  和  $nEPI$  对存储器单元进行编程 / 擦除。与表 1 一样, 表 2 中的所有电压是近似的并且实际电压可以根据多个因素而广泛变化。

器件管脚	模式和操作电压		
	编程“1”	擦除“0”	读出
CG <sub>1</sub>	21V	0V	0V (或者 V <sub>CGread</sub> )
CG <sub>2</sub>	0V	21V	0V (或者 V <sub>CGread</sub> )
Select	0	0	1.6V-2.5V (或者 V <sub>select</sub> )
V <sub>dd</sub>	2.5V (或者其它供给电压 V <sub>dd</sub> )	2.5V (或者其它供给电压 V <sub>dd</sub> )	2.5V (或者其它供给电压 V <sub>dd</sub> )
nEPI	21V	21V	0V

表2

[0032] 为了从存储器单元 500 读取数据,确立(assert)select 管脚以将第一和第二位线 BL1、BL2 耦合到高电压器件 HV<sub>1</sub> 和 HV<sub>2</sub>,这些器件在编程 / 擦除期间保护读出电路 504 免受高编程 / 擦除电压影响。在一个实施例中,高电压器件 HV1 和 HV2 为 HV-NMOS 晶体管,尽管它们可以在其它实施例中是其它类型的晶体管。在断开并且在所谓反向模式(例如其中 HV1 和 HV2 的源极具有比对应漏极更高的电势)中驱动 HV<sub>1</sub> 和 HV<sub>2</sub> 时通过将单独电流源 I<sub>1</sub> 和 I<sub>2</sub> 施加于位线 BL1、BL2 来出现单元 500 的读取操作。这些电流 I<sub>1</sub> 和 I<sub>2</sub> 分别诱发电压 V<sub>1</sub> 和 V<sub>2</sub>。比较器 506 比较这些电压(例如  $\Delta V=V_1-V_2$ ) 并且递送表明单元 500 是处于编程还是擦除状态的输出电压。例如  $\Delta V>0V$  可以表明编程状态并且  $\Delta V<0V$  可以表明处于擦除状态。如果必要则在控制栅极上的电压另外可以调节读出条件。

[0033] 图 6 示出了编程和擦除电路的另一实施例。在这一例子中,通过向分别由用于第一单元的 PMOS 晶体管 T<sub>1</sub> 和 T<sub>3</sub> 以及用于第二单元的 T<sub>2</sub> 和 T<sub>4</sub> 形成的电流镜施加恒定电压源 V<sub>dd</sub> 来出现读取操作。流过单个单元的电流 I<sub>1</sub> 和 I<sub>2</sub> 依赖于两个单 EEPROM 单元的浮栅电荷并且诱发比较器用外部电压 V<sub>ref</sub> 来校验的对应电压 V<sub>1</sub> 和 V<sub>2</sub>。晶体管 T5 和 T6 被用作二极管从而传导相同或镜像电流 I<sub>1</sub> 和 I<sub>2</sub>。

[0034] 可以通过使用例如如图 7 中所示的附加参考电流源 I<sub>ref</sub> 来改进图 6 中的电路。可以关于产品规格来选择 V<sub>ref</sub> 和 I<sub>ref</sub>。

[0035] 图 8-9 图示了根据一些实施例的向存储器单元分别写入“1”值和“0”值的方法。虽然以流程图格式图示了这些方法,但是将理解的是这里公开的这些和其它方法并不限于所示的那些方法。例如可以按照与所示的那些顺序不同的顺序执行方法的步骤,并且在一些实施方式中可以并行或者同时执行步骤。可以在先前公开的存储器设备(例如图 2 的存储器单元 200 或者图 3/ 图 4 的存储器单元 300/300') 上执行这些方法。

[0036] 图 8 示出了向存储器单元写入“1”值的例子方法。在一些实施方式中,这可以与“编程”操作同义。在 802 将第一子单元(例如图 2 中的 201)的控制栅极驱动成第一(或者较高)电压。在 804 将第二子单元(例如图 2 中的 203)的控制栅极同时驱动成第二(或者较低)不同电压。在 806 将衬底(例如 nEPI)驱动成第一(或者较高)电压。在 808 悬空存储器单元的位线。以这一方式,可以向存储器单元写入“1”值。

[0037] 图 9 示出了向存储器单元写入“0”值的例子方法。在一些实施方式中,这可以与



“擦除”操作同义。在 902 将第一子单元(例如图 2 中的 201)的控制栅极同时驱动成第二(或者较低)电压。在 904 将第二子单元(例如图 2 中的 203)的控制栅极驱动成第一电压。在 906 将衬底(例如 nEPI)驱动成第一(或者较高)电压。在 908 悬空存储器单元的位线。以这一方式,可以向存储器单元写入“0”值。

[0038] 尽管已关于一个或者多个实施方式图示和描述了本发明,但是可以对所示的例子进行变更和 / 或修改而不脱离所附权利要求的精神和范围。具体关于由上述部件或者结构(组件、设备、电路、系统等)执行的各种功能,用来描述这样的部件的术语(包括引用“装置”)除非另有指明否则旨在对应于任何执行所描述部件的指定功能(例如在功能上等效)的部件或者结构、即使未在结构上等效于公开的如下结构,该结构执行在本发明的这里所示的示例实施方式中的功能。此外,尽管可能已关于若干实施方式中的仅一个实施方式公开了本发明的具体特征,但是这样的具体特征可以如对于任何给定或者具体应用而言可能期望和有利的那样与其它实施方式的一个或者多个其它特征组合。另外,就术语“包含”、“具有”、“带有”或者其变体在具体实施方式和权利要求中使用而言,这样的术语旨在以与术语“包括”类似的方式是包含性的。

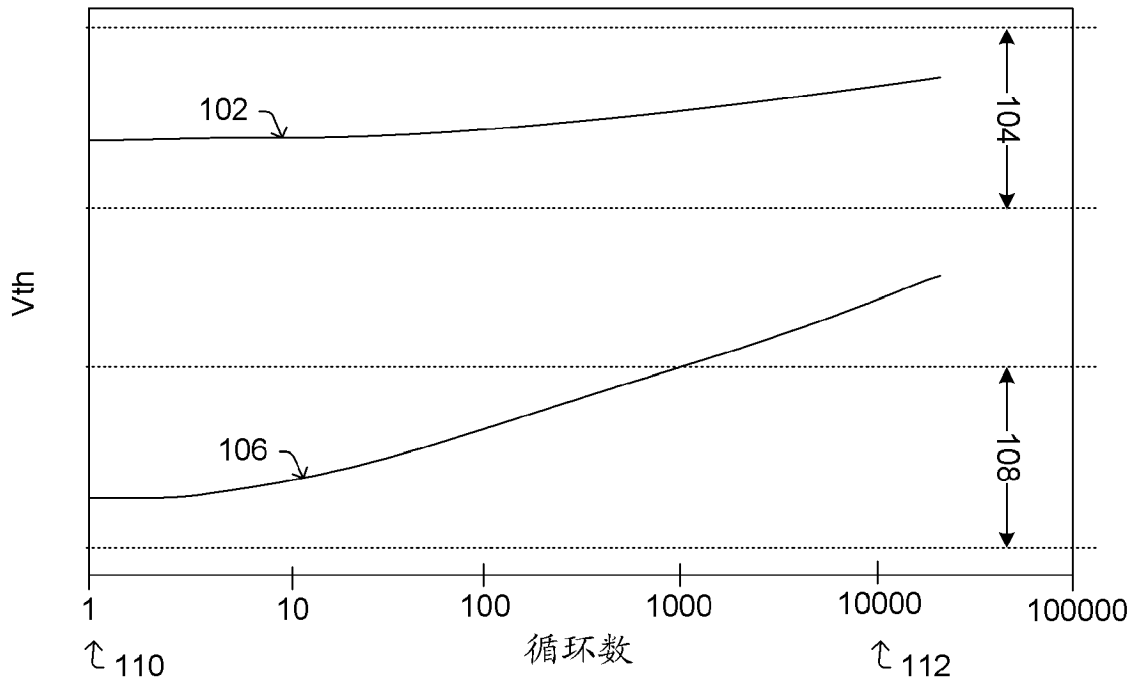


图 1

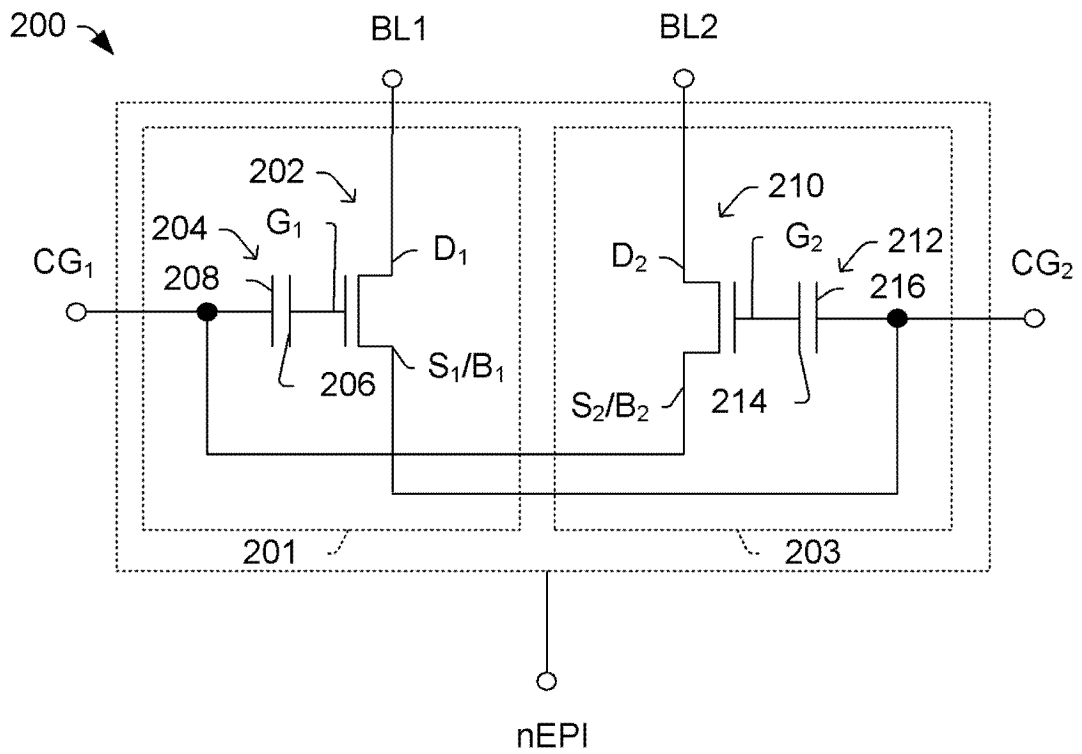


图 2

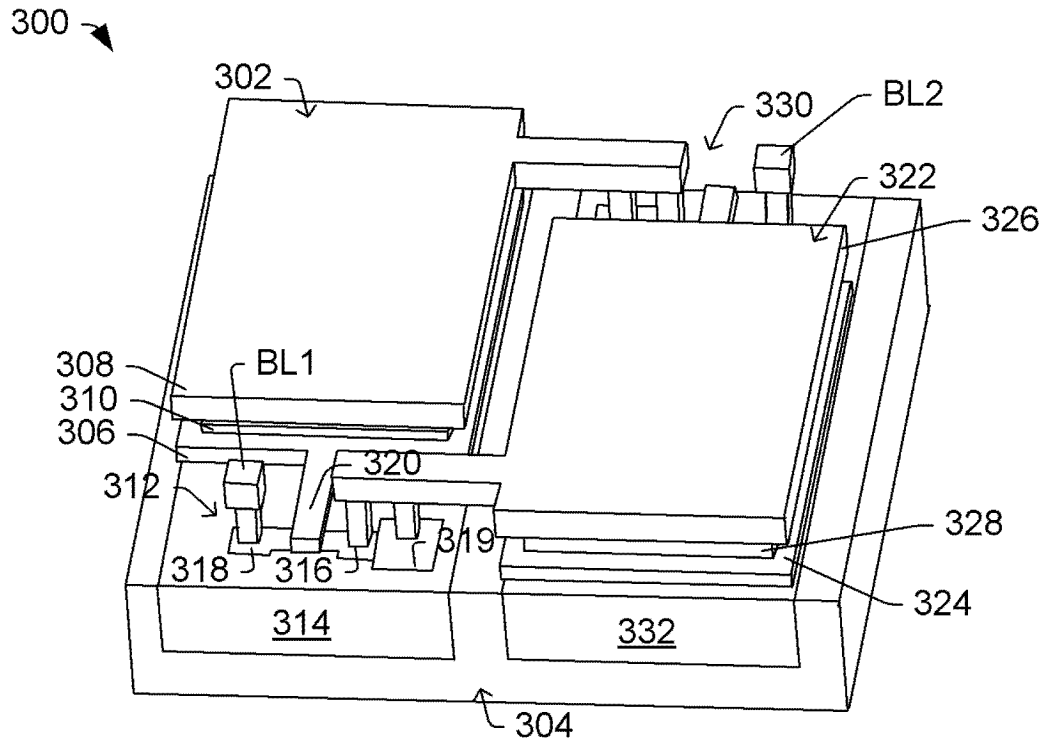


图 3

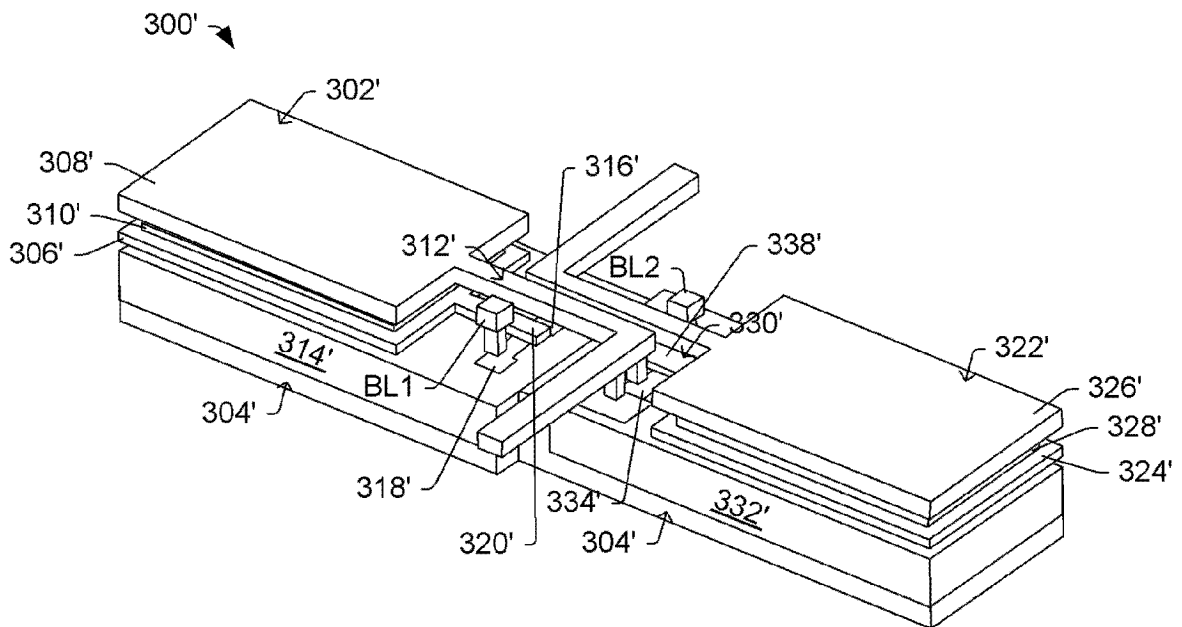


图 4

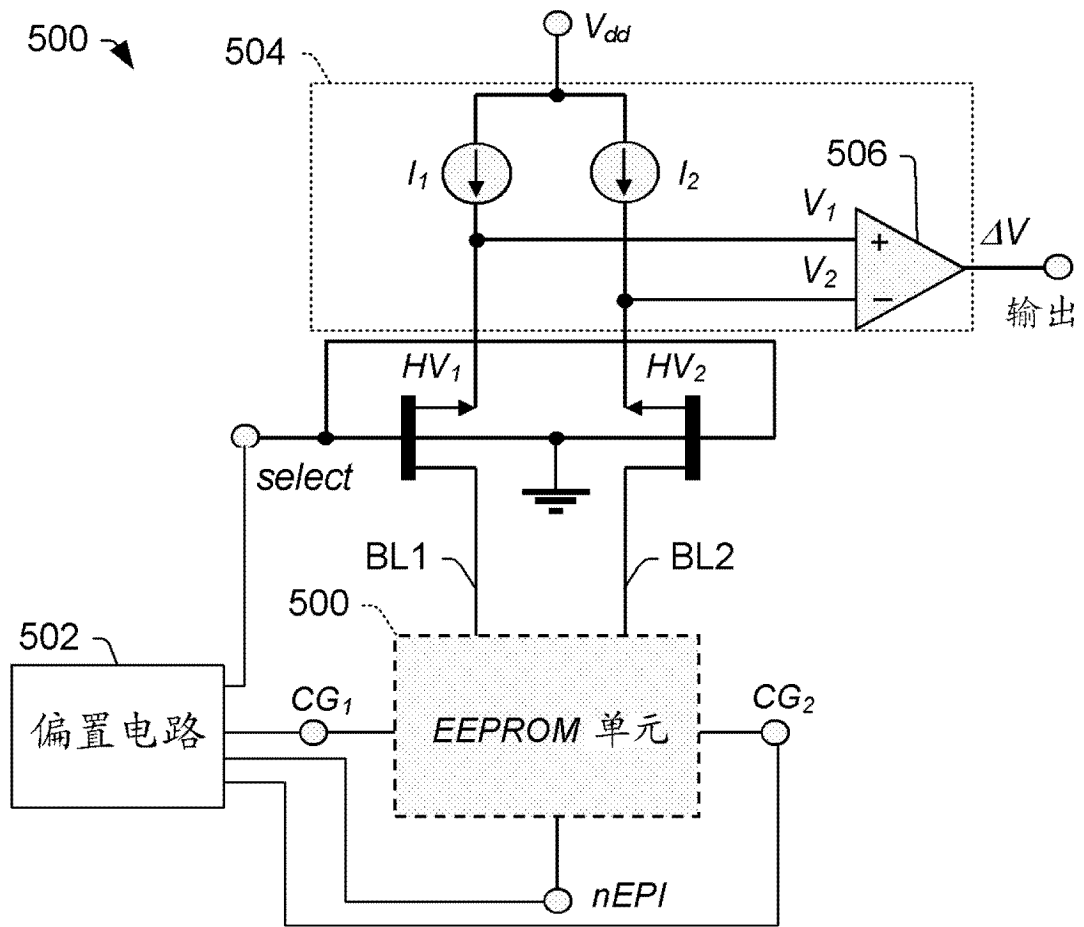


图 5





向单元写入“1”值(编程)

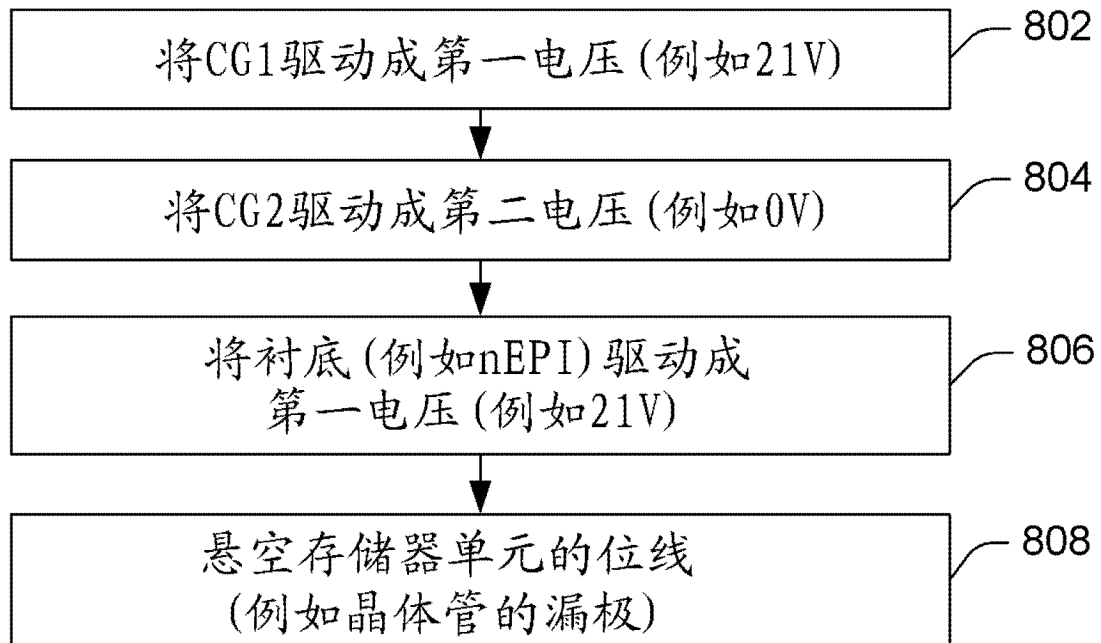


图 8

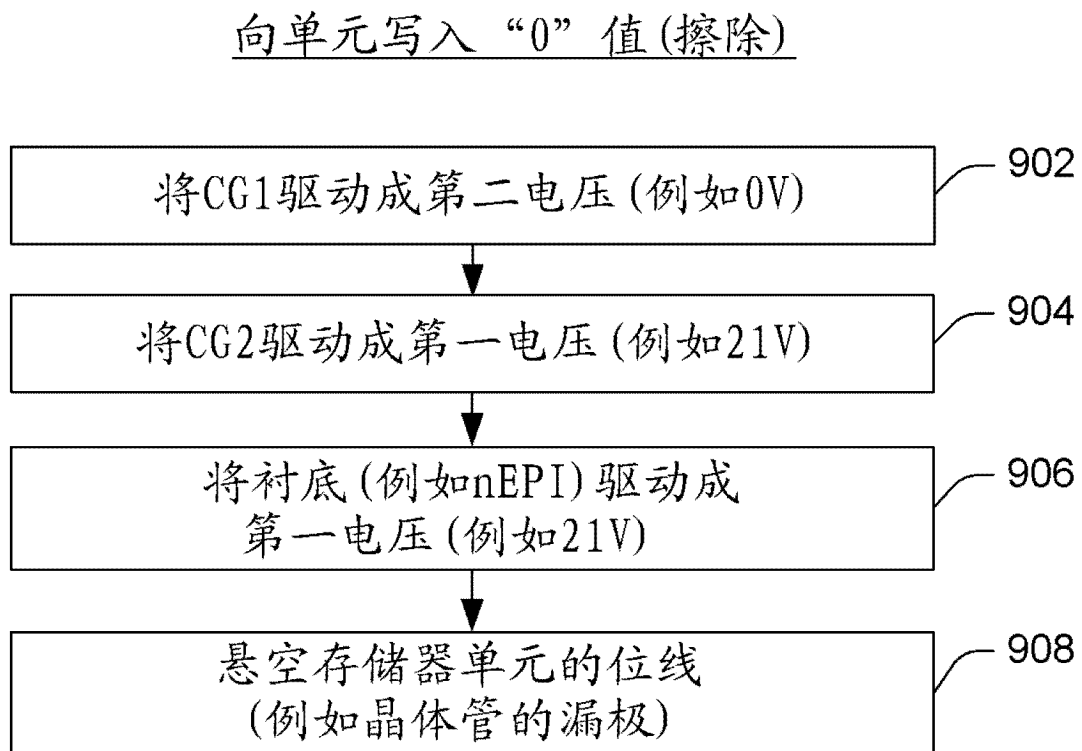


图 9