

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年7月4日(04.07.2024)



(10) 国際公開番号  
**WO 2024/143223 A1**

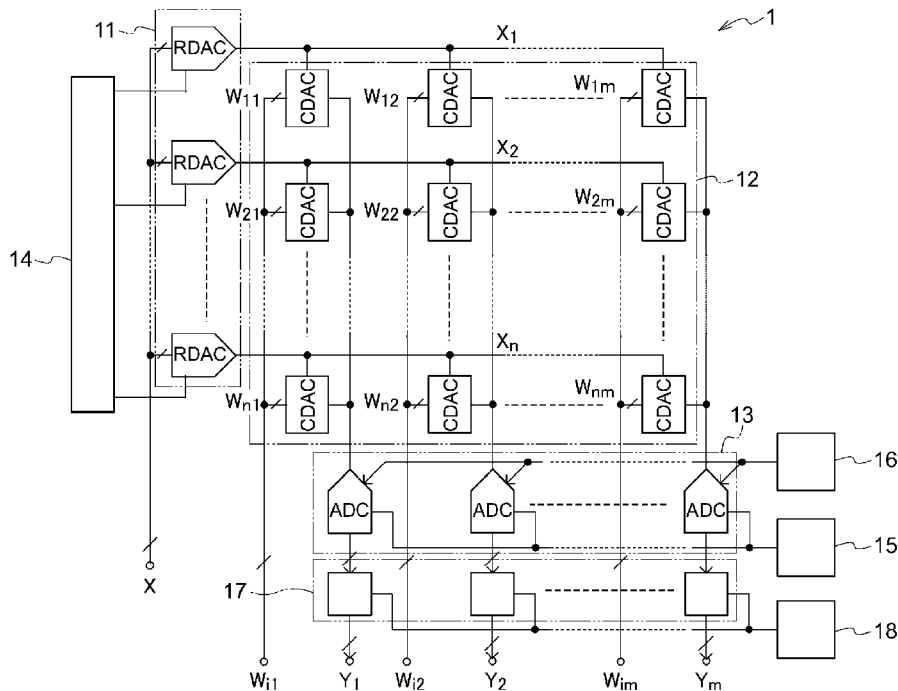
- (51) 国際特許分類:  
G06G 7/60 (2006.01) G06G 7/16 (2006.01)  
G06F 3/05 (2006.01) G06G 7/184 (2006.01)  
G06G 7/14 (2006.01) G06N 3/065 (2023.01)
- (21) 国際出願番号: PCT/JP2023/046250
- (22) 国際出願日: 2023年12月22日(22.12.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2022-208738 2022年12月26日(26.12.2022) JP
- (71) 出願人: 株式会社テックイデア(TECH IDEA CO., LTD.) [JP/JP]; 〒2130033 神奈川県川崎

市高津区下作延二丁目28番10-403号 Kanagawa (JP).

- (72) 発明者: 松澤 昭 (MATSUZAWA Akira); 〒2130033 神奈川県川崎市高津区下作延二丁目28番10-403号 株式会社テックイデア内 Kanagawa (JP). 野原 正也(NOHARA Masaya); 〒3050818 茨城県つくば市学園南3丁目56-5 Ibaraki (JP). マルチネス アロンソ アベル (MARTINEZ Alonso Abdel); 〒2130033 神奈川県川崎市高津区下作延二丁目28番10-403号 株式会社テックイデア内 Kanagawa (JP).
- (74) 代理人: 弁理士法人シエル国際特許事務所(CIEL INTELLECTUAL PROPERTY LAW

(54) Title: PRODUCT-SUM OPERATOR

(54) 発明の名称: 積和演算器



(57) Abstract: Provided is a product-sum operator having low energy consumption and high operation accuracy. The product-sum operator 1 is constituted of: a resistive digital/analog conversion unit 11 which includes a plurality of RDACs and converts digital values of respective elements of an input vector into analog voltages and outputs the analog voltages; a capacitive digital/analog conversion unit 12 which includes a plurality of CDACs, receives the analog voltages output from the resistive digital/analog conversion unit 11, and has capacity ratios that correspond to digital values of respective



WO 2024/143223 A1

**FIRM**); 〒1010032 東京都千代田区岩本町 1 丁目 1 2 番 1 号 KM千代田ビル6階 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

elements of a matrix and are set between input and output terminals and between output terminals and the ground; a successive comparison-type analog/digital conversion unit 13 which includes a plurality of successive comparison-type ADCs, converts a voltage of a node commonly connected to respective output terminals of the capacitive digital/analog conversion unit 12 into a digital value, and outputs the digital value; and a current consumption control unit 14 which controls current consumption of the resistive digital/analog conversion unit 11, wherein an output from the successive comparison-type analog/digital conversion unit 13 is set as an output vector.

(57) 要約: 消費エネルギーが小さく、演算精度が高い積和演算器を提供する。積和演算器 1 を、複数の R D A C を備え、入力されたベクトルの各要素のデジタル値をアナログ電圧に変換して出力する抵抗型デジタル・アナログ変換部 1 1 と、複数の C D A C を備え、抵抗型デジタル・アナログ変換部 1 1 から出力されたアナログ電圧が入力され、行列の各要素のデジタル値に対応した容量比が入出力端子間及び出力端子と接地間に設定される容量型デジタル・アナログ変換部 1 2 と、複数の逐次比較型 A D C を備え、容量型デジタル・アナログ変換部 1 2 の各出力端に共通に接続されたノードの電圧をデジタル値に変換して出力する逐次比較型アナログ・デジタル変換部 1 3 と、抵抗型デジタル・アナログ変換部 1 1 の消費電流を制御する消費電流制御部 1 4 により構成し、逐次比較型アナログ・デジタル変換部 1 3 からの出力を出力ベクトルとする。

## 明 細 書

発明の名称： 積和演算器

技術分野

[0001] 本発明は、積和演算器に関する。より詳しくは、デジタル・アナログ変換器 (Digital to Analog Converter ; D A C) と、アナログ・デジタル変換器 (Analog to Digital Converter ; A D C) を用いた積和演算器に関する。

背景技術

[0002] デジタル演算は積和演算を基本とする。また、近年開発競争が激しい A I プロセッサではニューロ演算を行う (例えば、非特許文献 1 参照)。図 8 は A I プロセッサにおけるニューロ演算の概念図である。なお、ニューロ演算では多数のレイヤーを必要とするが、図 8 においては、基本となる入力層 (Input layer)、隠れ層 (Hidden Layer) 及び出力層 (Output layer) のみを示している。

[0003] 図 8 に示すように、ニューロ演算における各層間では積和演算が行われている。その一例として、入力層と隠れ層間の演算を示す。入力層のベクトルを  $X$ 、結合係数行列を  $W^{(0)}$  とすると、隠れ層のベクトル  $Y$  は、下記数式 1 により表される。

[0004] [数1]

$$Y = W^{(0)} \cdot X$$

[0005] 上記数式 1 において出力層の 1 つの要素  $y_j$  に着目した場合下記数式 2 で表され、積和演算処理を行っていることがわかる。

[0006] [数2]

$$y_j = (w_{j1}x_1 + w_{j2}x_2 + \dots + w_{jn}x_n) = \sum_{i=1}^n w_{ji}x_i$$

[0007] ニューロプロセッサでは、各レイヤーのノード数が  $N$  のとき、各レイヤー

において $N^2$ の積和演算が必要となる。例えば、画素数が $100 \times 100$ の画像認識では、 $N = 10^4$ 、 $N^2 = 10^8$ となり、1レイヤーにつき1億回もの積和演算が必要となる。このため、ニューロプロセッサは、演算速度を上げると共に、演算の消費エネルギーを下げる事が喫緊の課題となっている。

[0008] 図9はデジタル回路を用いた従来の積和演算器の構成を示す図である。図9に示すように、従来の代表的なデジタル積和演算器では、入力 $X$ はバスを通じて各フリップフロップ(F/F)に入力される。また、図9に示す積和演算器では、乗算器(MUL)が2次元的に配置されており、各乗算器には入力 $X$ の各要素及び入力 $W$ の各要素が入力され、乗算器において入力 $X$ の各要素と入力 $W$ の各要素の乗算が行われる。そして、乗算出力は、バスを通じて加算器(ADD)に順次入力され、累積加算が行われる。

[0009] 一方、前述した従来のデジタル積和演算器は、乗算器の演算速度と消費エネルギー、累積加算の演算速度と消費エネルギーに問題がある。特に、累積加算器は、乗算器の出力がバスを通じて順次累積加算器に送られるため、演算速度が遅く、消費エネルギーが大きいという課題がある。

[0010] これに対し、本発明者は、演算をアナログ回路で行うことで消費エネルギーを下げて演算速度を上げる技術を提案している(特許文献1参照)。図10は特許文献1に記載の積和演算器の構成を示すブロック図である。図10に示す積和演算器100には、複数のDACを備える電圧出力デジタル・アナログ変換部101と、複数の容量型デジタル・アナログ変換器(CDAC)を備える容量型デジタル・アナログ変換部102と、複数のADCを備えるアナログ・デジタル変換部103が設けられている。

[0011] この積和演算器100では、例えば、2つの入力デジタル値列を入力とし、一方の入力は抵抗型デジタル・アナログ変換器(RDAC)を用いて電圧列に変換し、他方の入力容量型デジタル・アナログ変換器(CDAC)に入力する。そして、電圧をアナログ入力とするCDACにより乗算を行い、複数のCDACの出力を共通に接続することで同時加算を行い、このノードの電圧をADCにおいてアナログ・デジタル変換することでデジタル出力値

を得る。

## 先行技術文献

### 特許文献

[0012] 特許文献1：国際公開第2021/171880号

### 非特許文献

[0013] 非特許文献1：Kodai Ueyoshi, 他4名, "FPGA implementation of a scalable and highly parallel architecture for restricted Boltzmann machines,"、Circuits and Systems、2016年、vol.7、no.9、p.2132-2141

## 発明の概要

### 発明が解決しようとする課題

[0014] 特許文献1に記載の積和演算器は、デジタル演算器を用いた積和演算器に比べて、低エネルギーで動作し、高速動作が可能であるが、RDACに定常的に一定の電流が流れるため、常に最小消費エネルギーで動作するとは限らない。また、このアナログ回路を用いた従来の積和演算器には、ADCにおいて必要な分解能以上のアナログ・デジタル変換を行うことにより消費エネルギーが増大するという課題や、CDACの出力端の寄生容量によって出力端に発生する電圧が減衰し、それによりADCのゲインエラーが発生して演算精度が劣化するという課題もある。

[0015] そこで、本発明は、消費エネルギーが小さく、演算精度が高い積和演算器を提供することを目的とする。

### 課題を解決するための手段

[0016] 本発明者は、前述した課題を解決するために検討を行った結果、以下に示す知見を得た。まず、消費エネルギーについては、RDACに消費電流を制御する消費電流制御部を設けて出力電圧の発生期間を制御することや、逐次比較型ADCに逐次比較回数を制御する変換回数制御部を設けて必要な分解能に応じた逐次比較回数にすることにより、低減できることを見出した。また、演算精度については、ADCに参照電圧制御部を設け参照電圧を制御す

るか、又は、係数制御部と乗算器を設けてADCの変換値に係数を掛けることで、ゲインエラーの発生が抑えられ、演算精度を高められることを見出した。そして、本発明者は、これらの知見に基づき本発明に至った。

[0017] 即ち、本発明に係る積和演算器は、複数の抵抗型デジタル・アナログ変換器を備え、入力されたベクトルの各要素のデジタル値をアナログ電圧に変換して出力する抵抗型デジタル・アナログ変換部と、複数の容量型デジタル・アナログ変換器を備え、前記抵抗型デジタル・アナログ変換部から出力されたアナログ電圧が入力され、行列の各要素のデジタル値に対応した容量比が入出力端子間及び出力端子と接地間に設定される容量型デジタル・アナログ変換部と、複数の逐次比較型アナログ・デジタル変換器を備え、前記容量型デジタル・アナログ変換部の各出力端に共通に接続されたノードの電圧をデジタル値に変換して出力する逐次比較型アナログ・デジタル変換部と、前記抵抗型デジタル・アナログ変換部の消費電流を制御する消費電流制御部とを有し、前記逐次比較型アナログ・デジタル変換部からの出力を出力ベクトルとするものである。

前記消費電流制御部は、例えば前記抵抗型デジタル・アナログ変換器から出力されるアナログ電圧の発生期間を制御してもよい。

本発明の積和演算器は、更に、前記逐次比較型アナログ・デジタル変換部における逐次比較回数を制御する変換回数制御部を有していてもよい。

本発明の積和演算器は、更に、前記逐次比較型アナログ・デジタル変換部の参照電圧を制御する参照電圧制御部を有していてもよい。その場合、前記逐次比較型アナログ・デジタル変換部の容量型デジタル・アナログ変換器と比較器の入力端の接続部に、前記参照電圧制御部として、入力信号を標本化する容量を接続してもよく、前記入力信号を標本化する容量を容量値が制御可能な構成とすることもできる。

本発明の積和演算器は、更に、前記逐次比較型アナログ・デジタル変換部からの出力にオフセット値を加算する加算器と、前記オフセット値を制御するオフセット制御部とを有していてもよい。

本発明の積和演算器は、更に、前記逐次比較型アナログ・デジタル変換部からの出力に係数を乗ずる乗算器と、前記係数を制御する係数制御部を有していてもよい。

## 発明の効果

[0018] 本発明によれば、アナログ回路を用いた従来の積和演算器に比べて、消費電力を低減し、演算精度を向上させることができるため、より低エネルギーで動作し、高精度な演算が可能な積和演算器を実現できる。

## 図面の簡単な説明

- [0019] [図1]本発明の第1の実施形態の積和演算器の構成を示す図である。
- [図2] A～Cは抵抗型デジタル・アナログ変換部11の各RDACの消費電流低減方法を示す波形図である。
- [図3] Aは逐次比較型ADCの構成を示す回路図であり、Bはその消費電力低減方法を示す概念図である。
- [図4]参照電圧制御部16の構成例を示す回路図である。
- [図5]図4に示す容量 $\beta C$ の容量値を制御可能にする構成例を示す回路図である。
- [図6]本発明の第2の実施形態の積和演算器の構成を示す図である。
- [図7]演算精度の劣化とその補償を示す特性図である。
- [図8]A | プロセッサにおけるニューロ演算の概念図である。
- [図9]デジタル回路を用いた従来の積和演算器の構成を示すブロック図である。
- [図10]特許文献1に記載の積和演算器の構成を示す図である。

## 発明を実施するための形態

[0020] 以下、本発明を実施するための形態について、添付の図面を参照して詳細に説明する。なお、本発明は、以下に説明する実施形態に限定されるものではない。

[0021] (第1の実施形態)

先ず、本発明の第1の実施形態に係る積和演算器について説明する。図1

は本実施形態の積和演算器の構成を示す図である。図1に示すように、本実施形態の積和演算器1には、複数のRDACを備える抵抗型デジタル・アナログ変換部11と、複数のCDACを備える容量型デジタル・アナログ変換部12と、複数の逐次比較型ADCを備える逐次比較型アナログ・デジタル変換部13と、抵抗型デジタル・アナログ変換部11の各RDACの消費電流を制御する消費電流制御部14が設けられている。

[0022] また、本実施形態の積和演算器1には、必要に応じて、逐次比較型ADCの逐次比較回数を制御する変換回数制御部15、逐次比較型ADCの参照電圧を制御する参照電圧制御部16、逐次比較型ADCの出力に係数を乗ずる乗算器17及び係数を制御する係数制御部18などが設けられる。

[0023] [抵抗型デジタル・アナログ変換部11]

抵抗型デジタル・アナログ変換部11は、複数のRDACで構成されている。このデジタル・アナログ変換部11の各RDACには、それぞれバスを通じて複数のデジタル値を各要素とするベクトルXが入力される。そして、各RDACにおいてベクトルXの各要素のデジタル値がアナログ電圧に変換され、出力される。

[0024] [容量型デジタル・アナログ変換部12]

容量型デジタル・アナログ変換部12は、複数のCDACで構成されており、各CDACは二次元状に配置されている。この容量型デジタル・アナログ変換部12の各CDACには、抵抗型デジタル・アナログ変換部11から出力されたアナログ電圧（出力電圧）と、複数のデジタル値を各要素とする行列Wが入力される。そして、各CDACによって、行列Wの各要素のデジタル値に対応した容量比が入出力端子間及び出力端子と接地間に設定される。

[0025] [逐次比較型アナログ・デジタル変換部13]

逐次比較型アナログ・デジタル変換部13は、複数の逐次比較型ADCで構成されている。この逐次比較型アナログ・デジタル変換部13には、容量型デジタル・アナログ変換部12の各出力端に共通に接続されたノードの電

圧が入力され、各逐次比較型ADCによりデジタル値に変換され、出力される。

[0026] [消費電流制御部14]

消費電流制御部14は、抵抗型デジタル・アナログ変換部11の各RDAC消費電流を制御するものである。消費電流の制御方法は、特に限定されるものではないが、例えば、抵抗型デジタル・アナログ変換器11から出力されるアナログ電圧（出力電圧）の発生期間を調整することにより、各RDAC消費電流を制御することができる。

[0027] 図2A～Cは抵抗型デジタル・アナログ変換部11の各RDACの消費電流低減方法を示す波形図であり、RDACの入力データを切替えたときの様子を示している。図2Aに示すように、CDACのリセット期間 $T_{RST}$ においてはCDACの共通出力端子の電圧はゼロになり、リセット解除後RDACに信号が入力されるとRDACに電流が流れCDACの共通出力端子の電圧は上昇し、最終値に向けて収束する。時間 $T_1$ は通常動作クロック周期で決まるため、図2Bに示すようにRDACに流れる電流はこの期間中流れ続ける。

[0028] 一方、応答はRC回路のステップ応答であるため、設定電圧を $V_s$ 、その時定数を $\tau$ とすると、誤差電圧 $V_e$ は下記数式3で表される。

[0029] [数3]

$$V_e = V_s e^{-t/\tau}$$

[0030] 上記数式3から、時間 $t$ を $6\tau$ 程度にすれば、誤差を8ビット精度の $1/2$ にできることがわかる。このセットリング時間を $T_2$ とする。ADCが時間 $T_2$ の信号をサンプリングすれば、その後のCDACの共通出力端子の電圧を発生させる必要がない。そこで、図2Cに示すように、セットリング時間が $T_2$ に達したらRDACの電流を遮断するようにすれば、RDACの消費電流を低減することができる。その際、RDACにおける最も簡単な電流遮断方法は、入力端子が全て接地を選択する方法である。

[0031] このように抵抗型デジタル・アナログ変換部 11 の各 R D A C の消費電流を制御する消費電流制御部 14 を設けることにより、積和演算器 1 の消費電力を低減することができる。

[0032] [変換回数制御部 15]

変換回数制御部 15 は、逐次比較型アナログ・デジタル変換部 13 における逐次比較回数を制御するものである。図 3 A は逐次比較型アナログ・デジタル変換部 13 の逐次比較型 A D C の構成を示す回路図であり、図 3 B はその消費電力低減方法を示す概念図である。図 3 A に示すように、逐次比較型アナログ・デジタル変換部 13 は、二進で重み付けされた容量アレー C、各容量に与える電圧を接地電位又は参照電圧から選択するスイッチ S、電圧を比較する比較器、逐次比較を制御する S A R ロジックで構成されている。

[0033] 図 3 B に示すように、逐次比較型アナログ・デジタル変換部 13 では、基本的にクロックに同期してシフトレジスタがスイッチ  $S_1 \sim S_5$  を順次選択し、比較器の出力状態に応じてスイッチが選択する電圧が決定する。このため、分解能に応じたクロック数が入力され、消費エネルギーはクロック数に比例する。一方、AI プロセッサにおいては、積和演算の分解能が一定とは限らず、一般的に入力に近いレイヤーでは高分解能が必要であるが、出力に近いレイヤーでは低分解能で十分であると言われている。そこで、変換回数制御部 15 により、逐次比較型 A D C の逐次比較回数を、高分解能では多く、低分解能では低くなるよう制御することで、積和演算器 1 の消費電力を低減することができる。

[0034] [参照電圧制御部 16]

参照電圧制御部 16 は、逐次比較型アナログ・デジタル変換部 13 における各逐次比較型 A D C の参照電圧を、A D C の利得誤差が最小となるよう制御するものである。図 4 は参照電圧制御部 16 の構成例を示す回路図である。参照電圧の制御は、逐次比較型アナログ・デジタル変換部 13 の参照電圧そのものを直接制御する方法の他に、図 4 に示すように、逐次比較型アナログ・デジタル変換部 13 に設けられ、入力信号と比較電圧の電圧差を発生さ

せる2進で重み付けされた容量型デジタル・アナログ変換器(DAC)と比較器21の入力端の接続部に、参照電圧制御部16として、入力信号を標準化する容量 $\beta C$ (容量比 $\beta$ の容量)を接続することでも実現することができる。

[0035] 図4に示す回路構成を採った場合、先ず、スイッチ $S_{10}$ を閉じ、容量型DACの各容量のスイッチ $S_{11}$ ,  $S_{12}$ ・・・ $S_{n+10}$ により入力信号 $V_{inp}$ 又は入力信号 $V_{inn}$ を選択することで、入力信号をサンプリングする。次に、スイッチ $S_{10}$ を開放し、容量型DACの容量 $C/2$ を入力信号 $V_{RP}$ 又は入力信号 $V_{RN}$ に接続すると共に、残りの容量 $C/4$ ・・・ $C/2^{N-1}$ を接地GNDに接続する。この場合、最上位ビット(MSB)比較を行うときの比較器21の入力端の電位差( $V_a - V_b$ )は、下記数式4で表される。

[0036] [数4]

$$V_a - V_b = -V_{inp} + V_{inn} + \frac{1}{2(1+\beta)}(V_{RP} - V_{RN})$$

[0037] これにより、参照電圧は $1/(1+\beta)$ に減少するため、ADCの利得を増加させて利得誤差を低減することができる。更に、このような構成の参照電圧制御部16を設けることにより、消費電力の増大を生じさせることなく、CDACの出力端の寄生容量によって出力端に発生する電圧が減衰し、それにより生じる演算誤差を減少させることができる。

[0038] ここで、容量比 $\beta$ には正確性が要求される。図5は図4に示す容量 $\beta C$ の容量値を制御可能にする構成例を示す回路図である。例えば、参照電圧制御部16に、図5に示すような二進で重み付けされた複数の容量( $\beta C/2 \sim C/64$ )と複数のスイッチ( $S_{21} \sim S_{26}$ )を備えた容量バンクを設け、スイッチ制御信号により各スイッチ $S_{21} \sim S_{26}$ を制御することにより、ADCの利得誤差を最小にすることができる。なお、図5には二進で重み付けを行った構成を示しているが、本発明はこの構成に限定されるものではない。このような参照電圧制御部16を設けることで、参照電圧を制御し、積和演算

器 1 の演算精度を向上させることができる。

[0039] [乗算器 17・係数制御部 18]

乗算器 17 は、逐次比較型アナログ・デジタル変換部 13 からの出力に係数を乗ずるものであり、係数制御部 18 は乗算器 17 で用いる係数を制御するものである。乗算器 17 により係数制御部 18 で発生した係数を乗算することで、演算の利得誤差を低減し、積和演算器 1 の演算精度を向上させることができる。

[0040] なお、前述した比較回数制御部 15、参照電圧制御部 16、乗算器 17 及び係数制御部 18 は、これら全てが必要ということではなく、変換回数制御部 15 は場合によっては省略してもよい。また、参照電圧制御部 16 と、乗算器 17 及び係数制御部 18 とは、どちらかが設けられていればよい。

[0041] 以上詳述したように、本実施形態の積和演算器は、消費電流制御部により、抵抗型 DAC の消費電流を制御しているため、アナログ回路を用いた従来の積和演算器に比べて、消費電力を低減することができる。また、参照電圧制御部及び／又は乗算器と係数制御部などを設けて利得誤差を低減することにより、アナログ回路を用いた従来の積和演算器に比べて、演算精度を向上させることができる。その結果、本発明によれば、より低エネルギーで動作し、高精度な演算が可能な積和演算器を実現できる。

[0042] (第 2 の実施形態)

次に、本発明の第 2 の実施形態に係る積和演算器について説明する。図 6 は本実施形態の積和演算器の構成を示す図である。なお、図 6 では、図 1 に示す積和演算器 1 の構成と同じものには同じ符号を付しており、本実施形態ではそれらの構成について詳細な説明は省略する。

[0043] 図 6 に示すように、本実施形態の積和演算器 10 には、抵抗型デジタル・アナログ変換部 11、容量型デジタル・アナログ変換部 12、逐次比較型アナログ・デジタル変換部 13、消費電流制御部 14、変換回数制御部 15、参照電圧制御部 16、乗算器 17 及び係数制御部 18 に加えて、逐次比較型 ADC のオフセットを補償する加算器 19 及びオフセット制御部 20 が設け

られている。

[0044] [加算器 19・オフセット制御部 20]

加算器 19 は、逐次比較型アナログ・デジタル変換部 13 からの出力値に任意の値を加算してオフセット補償を行うものであり、オフセット制御部 20 は加算器 19 で加算する値を制御するものである。

[0045] 図 7 は演算精度の劣化とその補償を示す特性図であり、CDAC の理想出力電圧に対して ADC のフルスケール値で規格化した出力値を示している。図 7 に示すように、理想的には RDAC のフルスケール電圧を  $V_{FS}$  とし、この電圧を ADC の参照電圧に用いれば ADC の規格化出力は 1 になるが、実際はオフセット誤差  $e_{off}$  や利得が 1 よりも小さい  $\alpha - e_{off}$  になる。この原因は CDAC の共通出力端に配線などにより寄生容量が付され、共通出力端の電圧が容量分圧されるからである。規格化出力の 1 からのずれは演算誤差となるためこれを補正する必要がある。

[0046] そこで、本実施形態の積和演算器 10 では、先ずオフセット制御部 20 でオフセット誤差  $e_{off}$  を検知し、加算器 19 で逐次比較型アナログ・デジタル変換部 13 の各逐次比較型 ADC からの出力値にオフセット誤差  $e_{off}$  を加えてオフセット補償を行う。次に、利得誤差を補正する。利得誤差の補正方法としては、参照電圧制御部 16 を設けて比較型 ADC の参照電圧を制御する方法と、乗算器 17 及び係数制御部 18 を設けて、加算器 19 及びオフセット制御部 20 によりオフセット補償が行われた出力値に対して乗算器 17 により係数として  $1 / (\alpha - e_{off})$  をかける方法がある。

[0047] 本実施形態の積和演算器では、逐次比較型アナログ・デジタル変換部からの出力に対して、オフセット補償及び利得誤差の補正を行っているため、積和演算器の精度を向上させることができる。なお、本実施形態における上記以外の構成及び効果は、前述した第 1 の実施形態と同様である。

[0048] なお、本発明は、下記の構成を採ることもできる。

[1]

複数の抵抗型デジタル・アナログ変換器を備え、入力されたベクトルの各

要素のデジタル値をアナログ電圧に変換して出力する抵抗型デジタル・アナログ変換部と、

複数の容量型デジタル・アナログ変換器を備え、前記抵抗型デジタル・アナログ変換部から出力されたアナログ電圧が入力され、行列の各要素のデジタル値に対応した容量比が入出力端子間及び出力端子と接地間に設定される容量型デジタル・アナログ変換部と、

複数の逐次比較型アナログ・デジタル変換器を備え、前記容量型デジタル・アナログ変換部の各出力端に共通に接続されたノードの電圧をデジタル値に変換して出力する逐次比較型アナログ・デジタル変換部と、

前記抵抗型デジタル・アナログ変換部の消費電流を制御する消費電流制御部と、

を有し、

前記逐次比較型アナログ・デジタル変換部からの出力を出力ベクトルとする積和演算器。

〔2〕

前記消費電流制御部は、前記抵抗型デジタル・アナログ変換器から出力されるアナログ電圧の発生期間を制御する〔1〕に記載の積和演算器。

〔3〕

更に、前記逐次比較型アナログ・デジタル変換部における逐次比較回数を制御する変換回数制御部を有する〔1〕又は〔2〕に記載の積和演算器。

〔4〕

更に、前記逐次比較型アナログ・デジタル変換部の参照電圧を制御する参照電圧制御部を有する〔1〕～〔3〕のいずれかに記載の積和演算器。

〔5〕

前記逐次比較型アナログ・デジタル変換部の容量型デジタル・アナログ変換器と比較器の入力端の接続部に、前記参照電圧制御部として、入力信号を標本化する容量が接続されている〔4〕に記載の積和演算器。

〔6〕

前記入力信号を標本化する容量は、容量値が制御可能となっている〔5〕に記載の積和演算器。

〔7〕

更に、前記逐次比較型アナログ・デジタル変換部からの出力にオフセット値を加算する加算器と、前記オフセット値を制御するオフセット制御部とを有する〔1〕～〔6〕のいずれかに記載の積和演算器。

〔8〕

更に、前記逐次比較型アナログ・デジタル変換部からの出力に係数を乗ずる乗算器と、前記係数を制御する係数制御部を有する〔1〕～〔7〕のいずれかに記載の積和演算器。

## 符号の説明

- [0049] 1、10、100 積和演算器
- 11 抵抗型デジタル・アナログ変換部
  - 12、102 容量型デジタル・アナログ変換部
  - 13 逐次比較型アナログ・デジタル変換部
  - 14 消費電流制御部
  - 15 変換回数制御部
  - 16 参照電圧制御部
  - 17 乗算器
  - 18 係数制御部
  - 19 加算器
  - 20 オフセット制御部
  - 21 比較器
  - 101 電圧出力デジタル・アナログ変換部
  - 103 アナログ・デジタル変換部

## 請求の範囲

- [請求項1] 複数の抵抗型デジタル・アナログ変換器を備え、入力されたベクトルの各要素のデジタル値をアナログ電圧に変換して出力する抵抗型デジタル・アナログ変換部と、
- 複数の容量型デジタル・アナログ変換器を備え、前記抵抗型デジタル・アナログ変換部から出力されたアナログ電圧が入力され、行列の各要素のデジタル値に対応した容量比が入出力端子間及び出力端子と接地間に設定される容量型デジタル・アナログ変換部と、
- 複数の逐次比較型アナログ・デジタル変換器を備え、前記容量型デジタル・アナログ変換部の各出力端に共通に接続されたノードの電圧をデジタル値に変換して出力する逐次比較型アナログ・デジタル変換部と、
- 前記抵抗型デジタル・アナログ変換部の消費電流を制御する消費電流制御部と、
- を有し、
- 前記逐次比較型アナログ・デジタル変換部からの出力を出力ベクトルとする積和演算器。
- [請求項2] 前記消費電流制御部は、前記抵抗型デジタル・アナログ変換器から出力されるアナログ電圧の発生期間を制御する請求項1に記載の積和演算器。
- [請求項3] 更に、前記逐次比較型アナログ・デジタル変換部における逐次比較回数を制御する変換回数制御部を有する請求項1に記載の積和演算器。
- [請求項4] 更に、前記逐次比較型アナログ・デジタル変換部の参照電圧を制御する参照電圧制御部を有する請求項1に記載の積和演算器。
- [請求項5] 前記逐次比較型アナログ・デジタル変換部の容量型デジタル・アナログ変換器と比較器の入力端の接続部に、前記参照電圧制御部として、入力信号を標本化する容量が接続されている請求項4に記載の積和

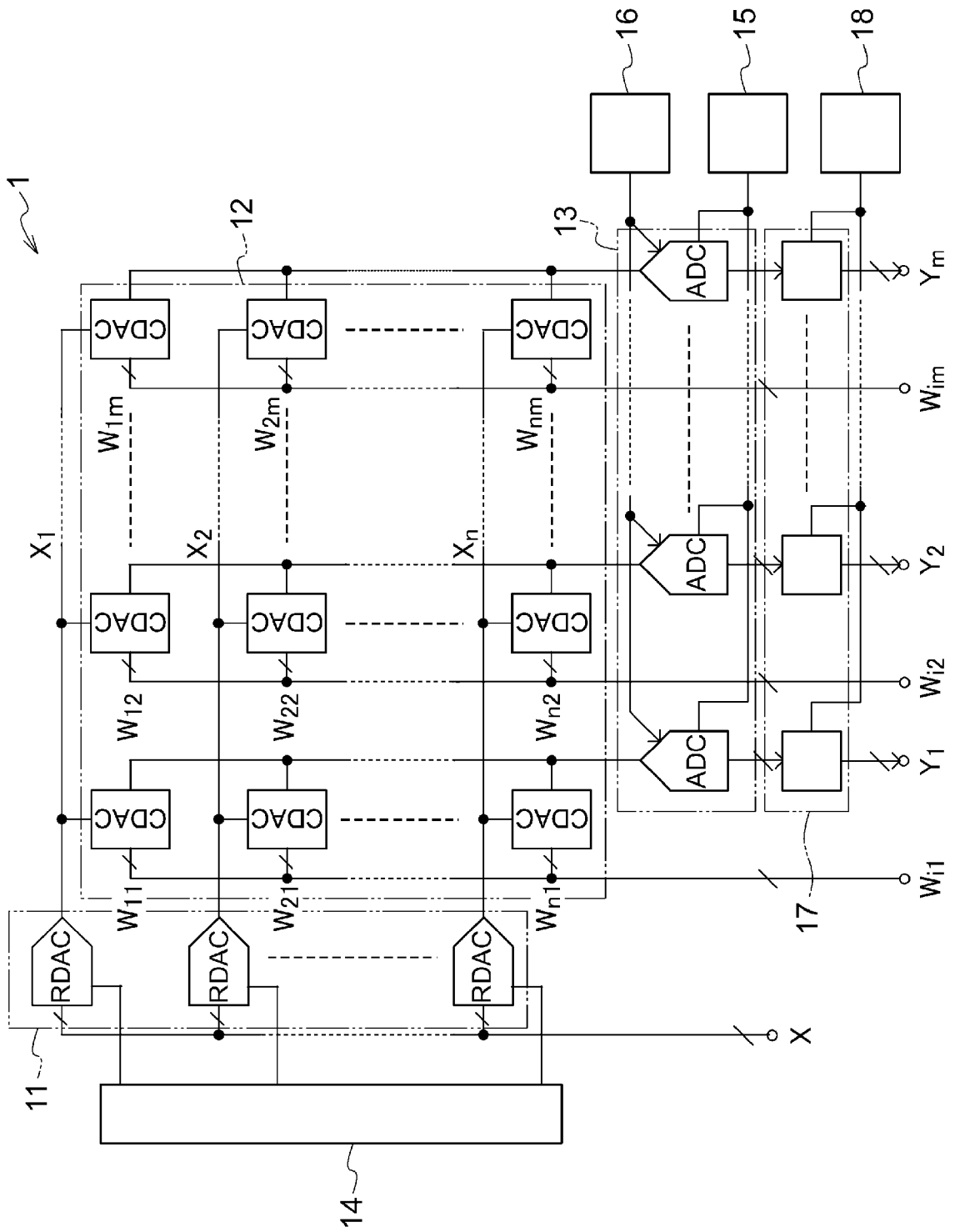
演算器。

[請求項6] 前記入力信号を標本化する容量は、容量値が制御可能となっている請求項5に記載の積和演算器。

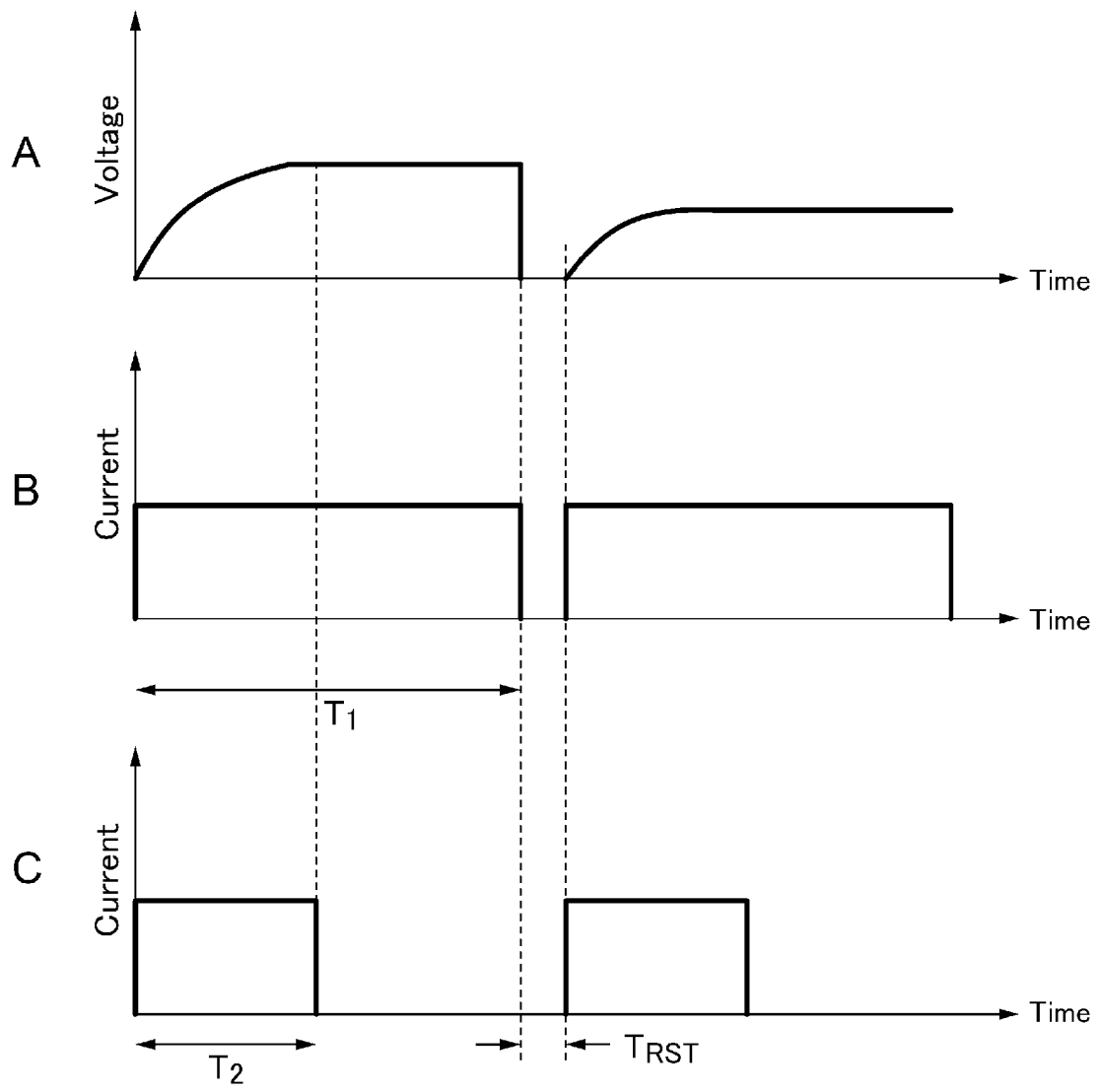
[請求項7] 更に、前記逐次比較型アナログ・デジタル変換部からの出力にオフセット値を加算する加算器と、前記オフセット値を制御するオフセット制御部とを有する請求項1に記載の積和演算器。

[請求項8] 更に、前記逐次比較型アナログ・デジタル変換部からの出力に係数を乗ずる乗算器と、前記係数を制御する係数制御部を有する請求項1又は7に記載の積和演算器。

[図1]

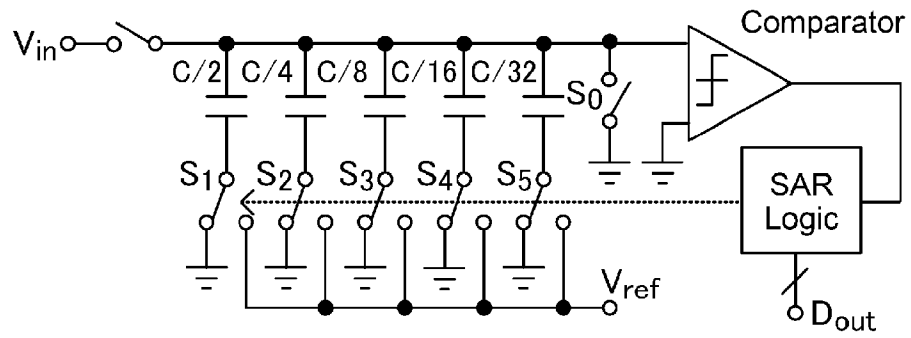


[図2]

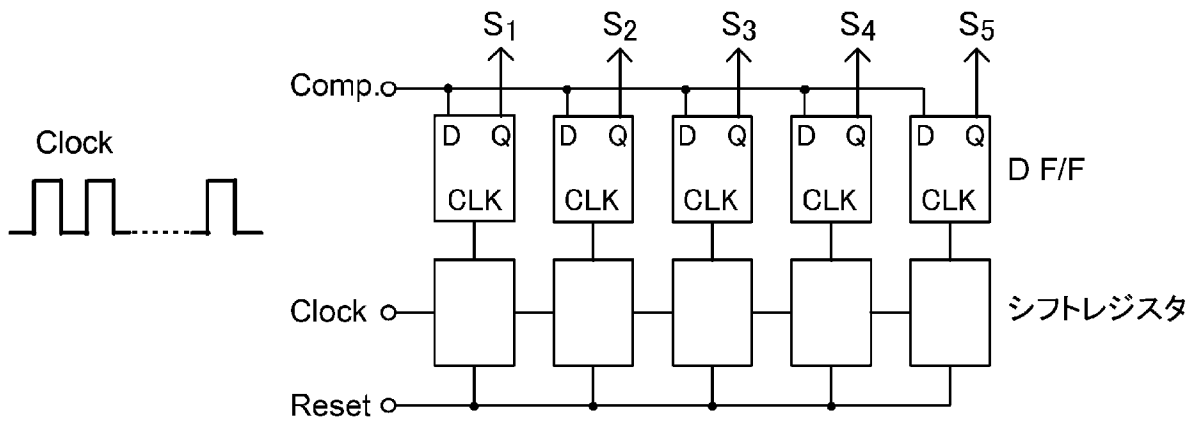


[図3]

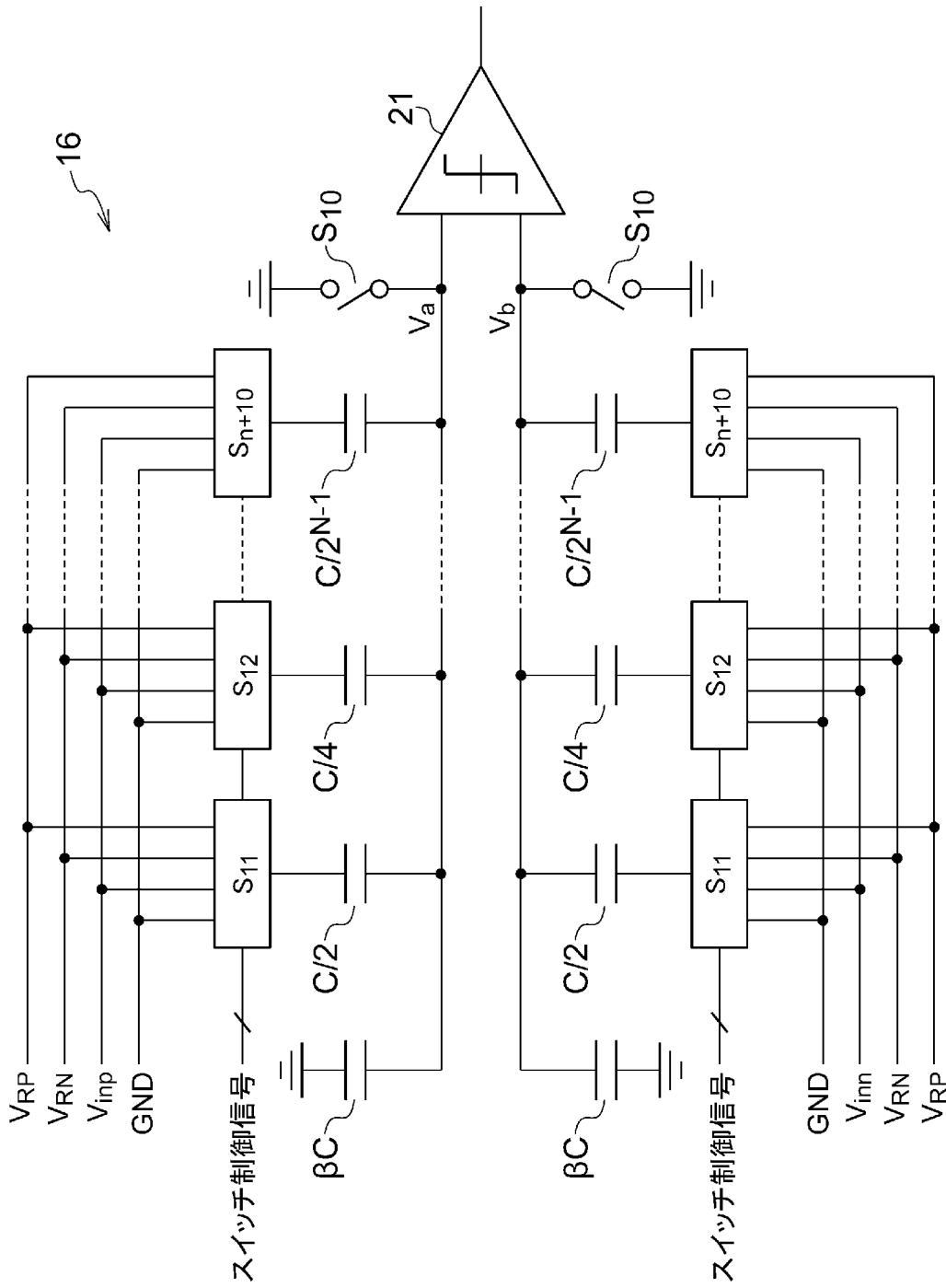
A



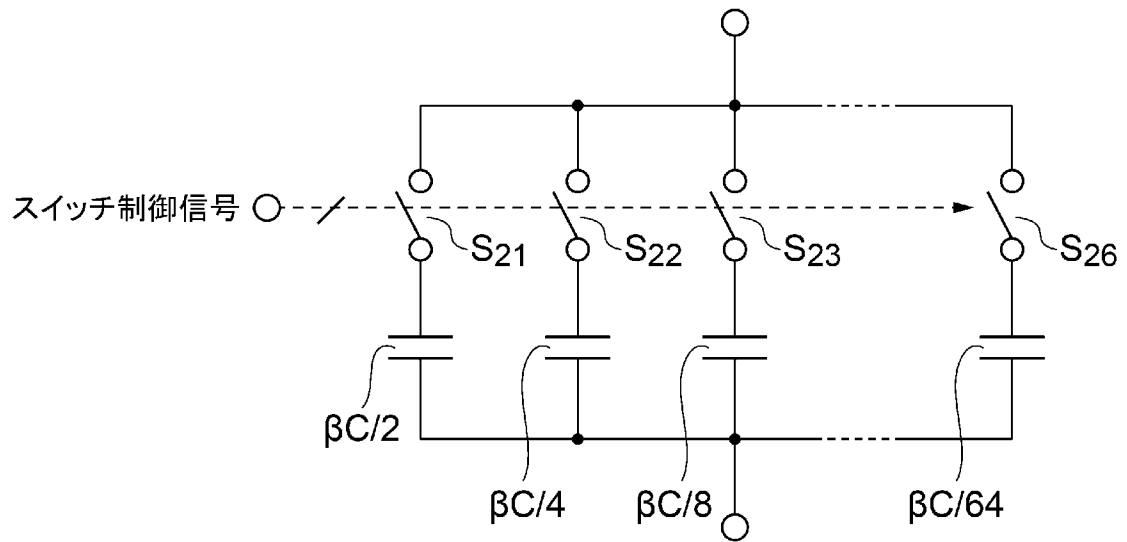
B



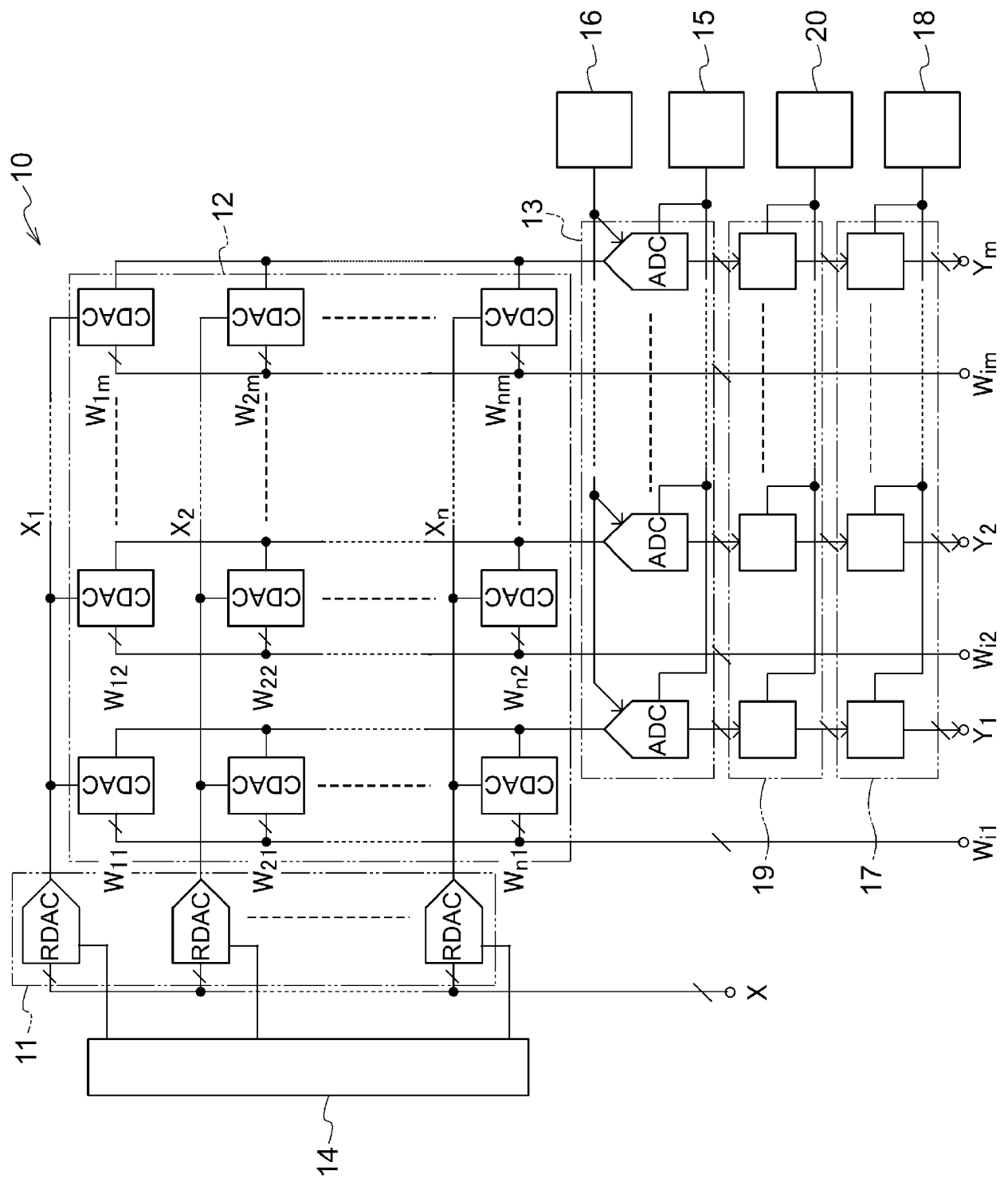
[図4]



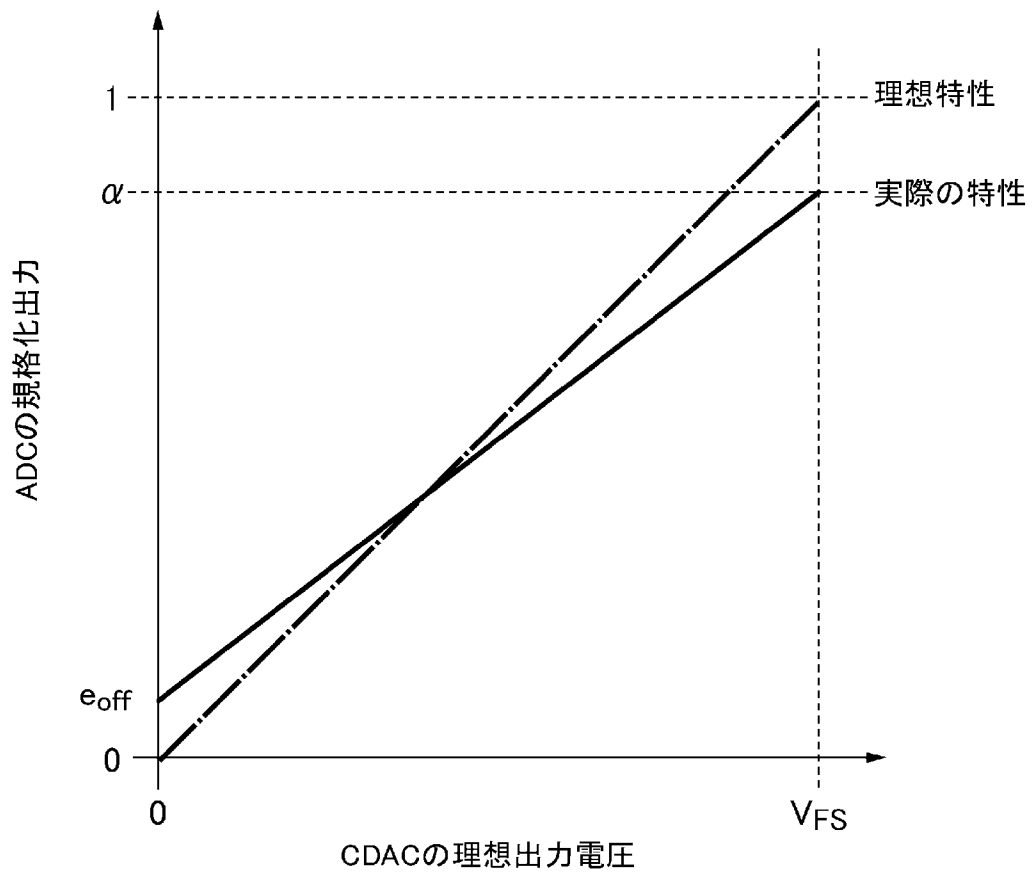
[図5]



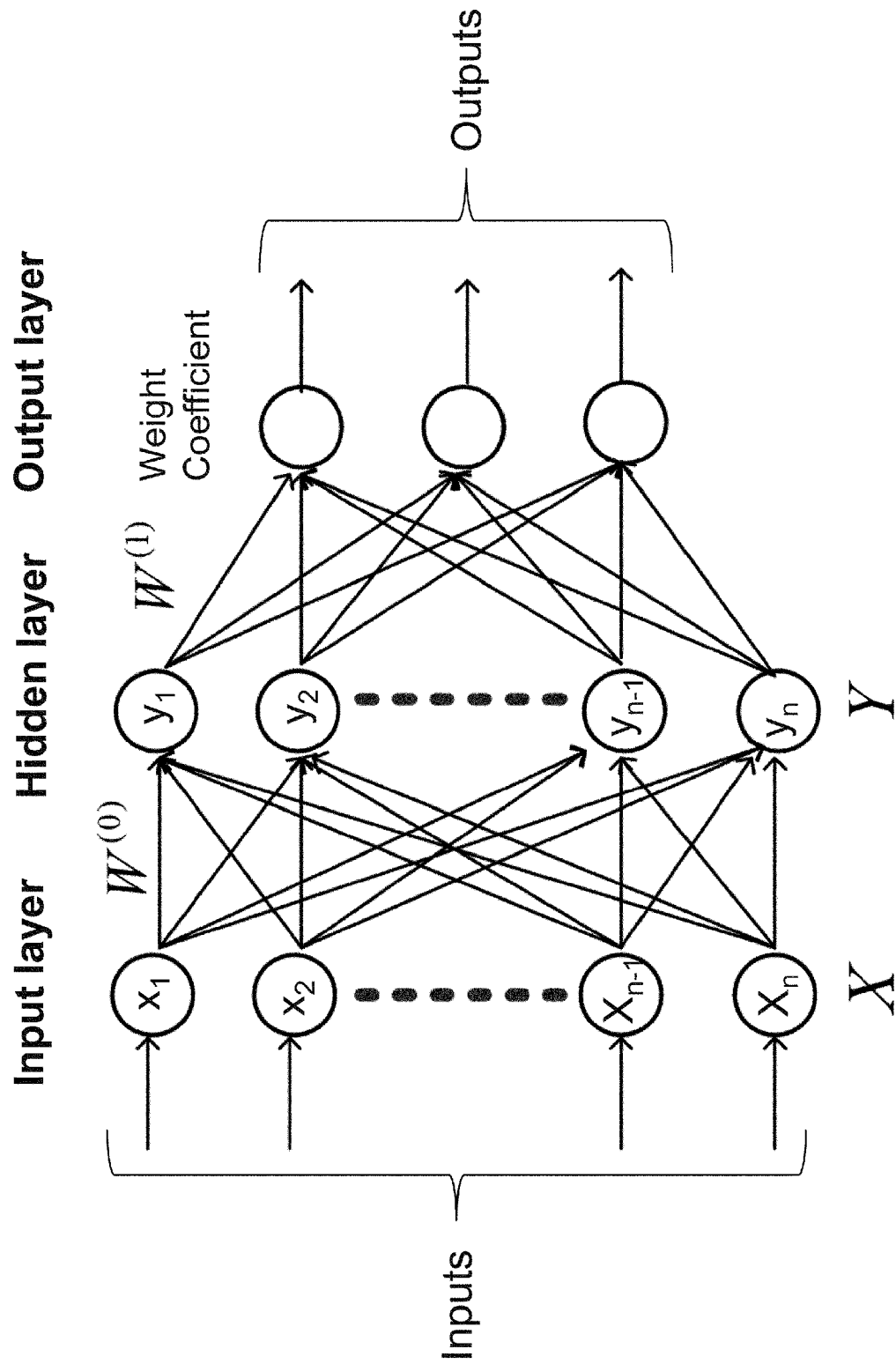
[図6]



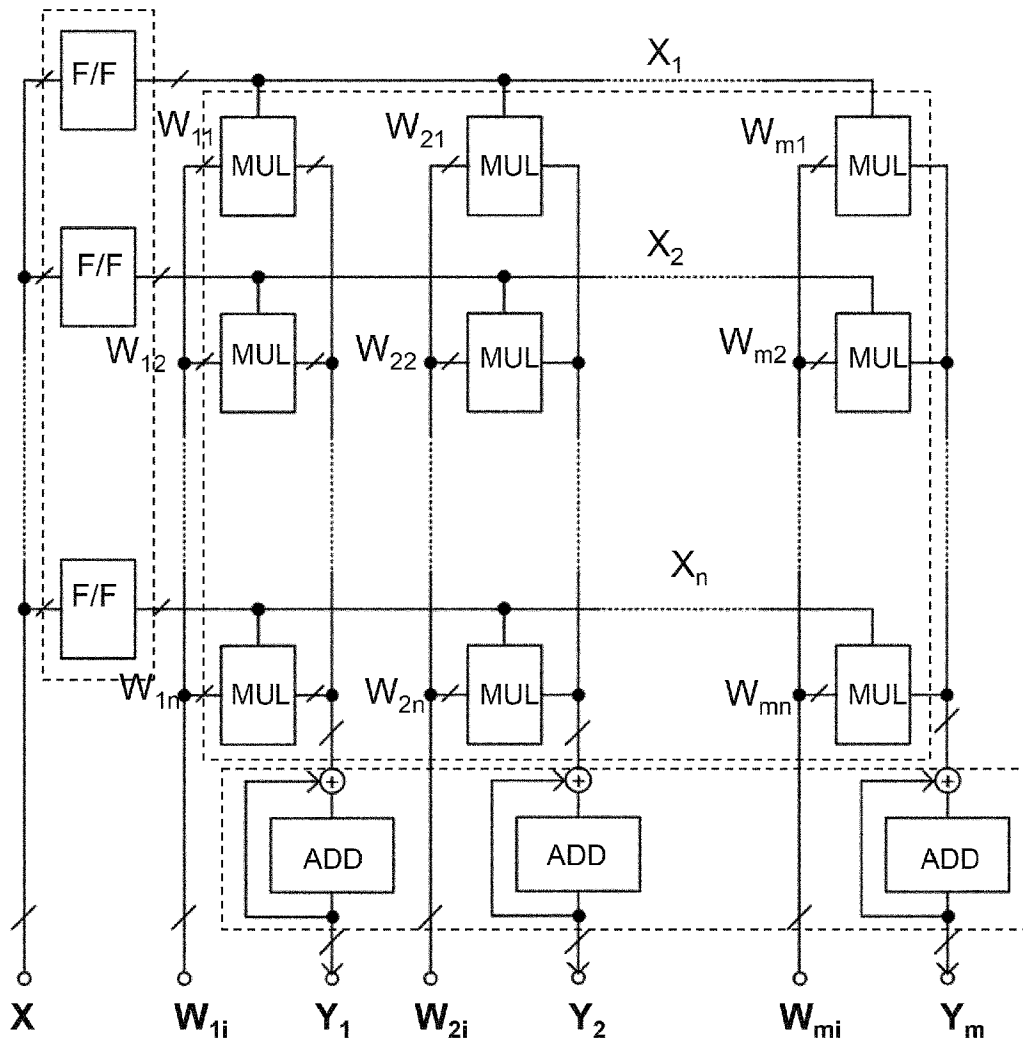
[図7]



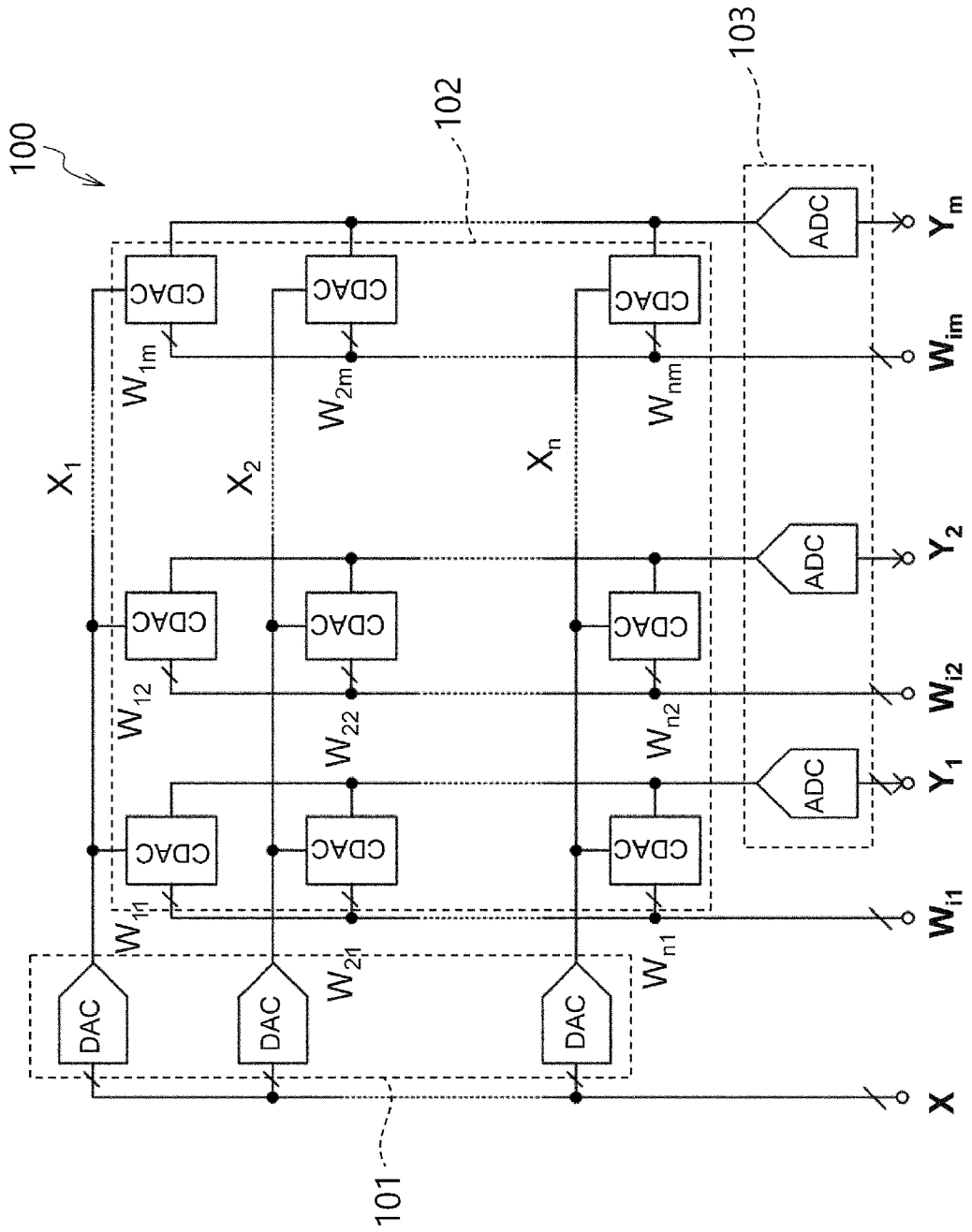
[図8]



[図9]



[図10]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/046250

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<p><i>G06G 7/60</i>(2006.01)i; <i>G06F 3/05</i>(2006.01)i; <i>G06G 7/14</i>(2006.01)i; <i>G06G 7/16</i>(2006.01)i; <i>G06G 7/184</i>(2006.01)i;  <i>G06N 3/065</i>(2023.01)i            FI: G06G7/60; G06F3/05; G06G7/14; G06G7/16 510; G06G7/184; G06N3/065</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) G06G7/60; G06F3/05; G06G7/14; G06G7/16; G06G7/184; G06N3/065		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2020-9112 A (DENSO CORPORATION) 16 January 2020 (2020-01-16) paragraphs [0008], [0011]-[0039], fig. 1-4, 6	1-8
Y	WO 2021/171880 A1 (TECH IDEA CO., LTD.) 02 September 2021 (2021-09-02) paragraphs [0007], [0019], [0045]-[0051], fig. 1, 6, 16	1-8
A	JP 9-259205 A (YOZAN INC.) 03 October 1997 (1997-10-03) entire text, all drawings	1-8
A	JP 2010-252247 A (FUJITSU LIMITED) 04 November 2010 (2010-11-04) entire text, all drawings	1-8
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“D” document cited by the applicant in the international application</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>		
Date of the actual completion of the international search <b>06 February 2024</b>		Date of mailing of the international search report <b>20 February 2024</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2023/046250**

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2020-9112 A	16 January 2020	US 2019/0332927 A1 paragraphs [0009], [0099]- [0133], fig. 17-20, 22 CN 110401450 A	
WO 2021/171880 A1	02 September 2021	(Family: none)	
JP 9-259205 A	03 October 1997	US 5835387 A entire text, all drawings EP 786733 A2	
JP 2010-252247 A	04 November 2010	US 2010/0265113 A1 entire text, all drawings	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>G06G 7/60(2006.01)i; G06F 3/05(2006.01)i; G06G 7/14(2006.01)i; G06G 7/16(2006.01)i;                  G06G 7/184(2006.01)i; G06N 3/065(2023.01)i                  FI: G06G7/60; G06F3/05; G06G7/14; G06G7/16 510; G06G7/184; G06N3/065</p>																	
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））                  G06G7/60; G06F3/05; G06G7/14; G06G7/16; G06G7/184; G06N3/065</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2024年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2024年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2024年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2024年	日本国実用新案登録公報	1996 - 2024年	日本国登録実用新案公報	1994 - 2024年							
日本国実用新案公報	1922 - 1996年																
日本国公開実用新案公報	1971 - 2024年																
日本国実用新案登録公報	1996 - 2024年																
日本国登録実用新案公報	1994 - 2024年																
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2020-9112 A（株式会社デンソー）16.01.2020（2020-01-16） 段落[0008], [0011]-[0039], 図1-4, 6</td> <td>1-8</td> </tr> <tr> <td>Y</td> <td>WO 2021/171880 A1（株式会社テックイデア）02.09.2021（2021-09-02） 段落[0007], [0019], [0045]-[0051], 図1, 6, 16</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>JP 9-259205 A（株式会社鷹山）03.10.1997（1997-10-03） 全文, 全図</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>JP 2010-252247 A（富士通株式会社）04.11.2010（2010-11-04） 全文, 全図</td> <td>1-8</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー                  “A” 特に関連のある文献ではなく、一般的技術水準を示すもの                  “D” 国際出願で出願人が先行技術文献として記載した文献                  “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの                  “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）                  “O” 口頭による開示、使用、展示等に言及する文献                  “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献                  “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの                  “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                  “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの                  “&amp;” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	JP 2020-9112 A（株式会社デンソー）16.01.2020（2020-01-16） 段落[0008], [0011]-[0039], 図1-4, 6	1-8	Y	WO 2021/171880 A1（株式会社テックイデア）02.09.2021（2021-09-02） 段落[0007], [0019], [0045]-[0051], 図1, 6, 16	1-8	A	JP 9-259205 A（株式会社鷹山）03.10.1997（1997-10-03） 全文, 全図	1-8	A	JP 2010-252247 A（富士通株式会社）04.11.2010（2010-11-04） 全文, 全図	1-8
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
Y	JP 2020-9112 A（株式会社デンソー）16.01.2020（2020-01-16） 段落[0008], [0011]-[0039], 図1-4, 6	1-8															
Y	WO 2021/171880 A1（株式会社テックイデア）02.09.2021（2021-09-02） 段落[0007], [0019], [0045]-[0051], 図1, 6, 16	1-8															
A	JP 9-259205 A（株式会社鷹山）03.10.1997（1997-10-03） 全文, 全図	1-8															
A	JP 2010-252247 A（富士通株式会社）04.11.2010（2010-11-04） 全文, 全図	1-8															
<p>国際調査を完了した日</p> <p>06.02.2024</p>	<p>国際調査報告の発送日</p> <p>20.02.2024</p>																
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP)                  〒100-8915                  日本国                  東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>松浦 かおり 5E 1791</p> <p>電話番号 03-3581-1101 内線 3521</p>																

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/046250

引用文献	公表日	パテントファミリー文献	公表日
JP 2020-9112 A	16.01.2020	US 2019/0332927 A1 段落[0009], [0099]- [0133], 図17-20, 22 CN 110401450 A	
WO 2021/171880 A1	02.09.2021	(ファミリーなし)	
JP 9-259205 A	03.10.1997	US 5835387 A 全文, 全図 EP 786733 A2	
JP 2010-252247 A	04.11.2010	US 2010/0265113 A1 全文, 全図	