

(43) 国際公開日
2006年10月19日 (19.10.2006)

PCT

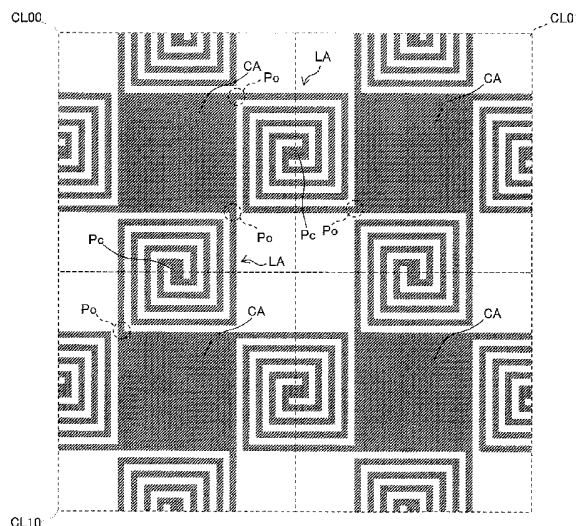
(10) 国際公開番号
WO 2006/109481 A1

- (51) 国際特許分類:
H01P 1/16 (2006.01) H01P 3/02 (2006.01)
- (21) 国際出願番号: PCT/JP2006/305794
- (22) 国際出願日: 2006年3月23日 (23.03.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-113952 2005年4月11日 (11.04.2005) JP
特願2005-113951 2005年4月11日 (11.04.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 日高青路 (HIDAKA, Seiji) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 三上重幸 (MIKAMI, Shigeyuki) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 小森久夫, 外 (KOMORI, Hisao et al.); 〒5400011 大阪府大阪市中央区農人橋1丁目4番34号 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

[続葉有]

(54) Title: FLAT CIRCUIT, HIGH-FREQUENCY CIRCUIT DEVICE AND TRANSMITTER/RECEIVER

(54) 発明の名称: 平面回路、高周波回路装置および送受信装置



(57) Abstract: A flat circuit constituted by forming a conductor film on both the opposite major surfaces of a substrate. The conductor film on one major surface is patterned to form unit lattices (CL00), (CL01), (CL10),... each serving as a basic conductor pattern over a predetermined range with a periodicity of two-dimensional arrangement. A capacitive area (CA) generating a capacitance between the conductor films formed on the opposite surfaces of the substrate is provided in the center of each unit lattice (CL) and an inductive area (LA) is provided in the vicinity of the center of each side on the periphery. In respect of any two adjacent unit lattices, the inductive area (LA) is constituted of a multiple-spiral conductor pattern where the central ends (Pc) are interconnected in the center of two unit lattices, and the periphery ends (Po) are connected with the capacitive areas (CA).

[続葉有]



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 基板の両主面に導体膜を形成して平面回路を構成する。一方の主面の導体膜には、基本導体パターンである単位格子 (CL00), (CL01), (CL10)・・・を2次元配置の周期性をもって所定範囲に亘ってパターンニングする。各単位格子 (CL) の中央は基板の対向面に形成した導体膜との間で容量が生じる容量性領域 (CA) を備え、外周の各辺のそれぞれの中央付近には誘導性領域 (LA) を備える。誘導性領域 (LA) は、隣接する2つの単位格子に着目したとき、その2つの単位格子の中央で中心端 (Pc) を互いに接続し、外周端 (Po) を容量性領域 (CA) にそれぞれ接続した多重らせん状の導体パターンで構成する。

明 細 書

平面回路、高周波回路装置および送受信装置

技術分野

- [0001] この発明は、基板の両主面に導体膜を有する平面回路や、それを備えた高周波回路装置および送受信装置に関するものである。

背景技術

- [0002] 誘電体板の一方の面に略全面の接地電極を形成し、他方の面にコプレーナを形成したグラウンデッドコプレーナ線路や、誘電体板の一方の面に接地電極を形成し、他方の面にスロットを形成したグラウンデッドスロット線路や、誘電体板の両面に、誘電体板を挟んで対向するスロットを形成した平面誘電体線路(PDTL)などの各種伝送線路がマイクロ波帯やミリ波帯における伝送線路として用いられている。
- [0003] これらの伝送線路は、いずれも2つの平行な平面導体を含む構造であるため、たとえば線路の入出力部やベンドなどで電磁界が乱れると、いわゆるパラレルプレートモード等のスプリアスモードの波が2つの平行な平面導体間に誘起され、そのスプリアスモードの波(以下単に「不要波」という。)が平面導体間を伝搬するという問題があった。このような不要波の伝搬(漏れ)が生じると、隣接する線路間で上記不要波による干渉が生じて、信号がリークするなどの問題が生じる。また、伝送波のエネルギーの一部が不要波として漏れて、伝送波として再変換されないので、伝送損失が生じる。
- [0004] このような不要波の伝搬を防止するために、容量性領域と誘導性領域を含む単位格子パターンを2次元方向(縦横方向)に繰り返し配置したものが非特許文献1および特許文献1に開示されている。
- [0005] ここで非特許文献1の基板に形成される単位格子のパターンを図1の(A)に示す。また、この平面回路によるバンドギャップの例を図1の(B)に示す。非特許文献1の平面回路は、基板の上面に図1の(A)に示した単位格子を2次元方向に配置し、下面には全面のグラウンド電極を形成している。図1の(B)は、単位格子の中心を Γ 、そこからX軸方向に延ばした単位格子の端をX、そのXからY方向に進んで単位格子の端をMとしたときの、 $\Gamma-X-M-\Gamma$ の経路で波数空間での各モードの周波数を示

している。この例では比誘電率が10.2、厚さ約0.6mmの誘電体基板の表面に格子サイズが約3mm角の単位格子を配置していて、第1のモードf1と第2のモードf2との間に約11~14GHzのバンドギャップ(禁止帯、阻止帯域)、および第2のモードf2と第3のモードf3との間に約18~22GHzのバンドギャップがそれぞれ生じている。

[0006] この単位格子の線幅の細い十字ストリップ部分が誘導性領域(インダクタンス成分)として、中央および四隅に形成された矩形パターンの合成パターンが容量性領域(キャパシタンス成分)として、それぞれ作用しているものと理解される。

[0007] しかし、このような単位格子を用いた平面回路では、バンドギャップの周波数が10GHzの設計として格子サイズが約3mm角と大きく、このことで、回路の配線パターンと共存させる場合の設計自由度(レイアウト性)を低下させている。

[0008] 一方、特許文献1の平面回路は、単位格子を小さくすることでレイアウト性を向上させるとともに、損失特性を低下させないものである。図2は特許文献1の単位格子の例を示している。ここで単位格子の中央に容量性領域Cを配置し、その周囲にメアンダライン状の誘導性領域Lを配置している。このようにして容量性領域Cのキャパシタンス成分と誘導性領域Lのインダクタンス成分がともに大きな単位格子を構成することによって単位格子の小型化を図っている。

[0009] また、導体線路とそれに接続した複数のフィルタによってスプリアスモードの伝搬を阻止するようにした平面回路が特許文献2に示されている。図3は特許文献2の平面回路の例を示している。この平面回路は、互いに平行な2本の導体線路7A、7Bを備え、各段の共振器は根本部から2本のらせん状線路8A、8Bが互いに平行に延び、且つ先端同士8Cが接続されてなり、各共振器の根本部を2本の導体線路7A、7Bのうち一方の伝送線路7Aの複数箇所にそれぞれ接続されたものである。

非特許文献1: T. Itoh, et. al. "Aperture-Coupled Patch Antenna on UC-PBG Substrate," IEEE Trans. Vol.47, no. 11, pp.2123-2130, Nov. 1999.

特許文献1: 特開2000-101301号公報

特許文献2: 特開2003-258504号公報

発明の開示

発明が解決しようとする課題

- [0010] ところが、特許文献1に示されているように、単位格子の誘導性領域をメアンダライン状にしたものでは、後に述べるように基板内を伝搬する波の方向によってはバンドギャップがボトルネック状に狭くなるという問題があった。
- [0011] 特許文献2に示されている平面回路は、図3に示すように、導体線路7A、7Bと共振器8とによるフィルタが基本的に1次元配置されているものである。このように、導体線路7A、7Bと共振器8とによるフィルタが基本的に1次元配置した構造では、幾何学的な非対称性(異方性)から、伝搬方向によって電気的特性に差が生じるものと考えられる。また、直流電圧のバイアスを印加する場合においても、直流的に配線が接続されている方向が斜め45°となるため取扱いが難しい。
- [0012] そこで、この発明の目的は、基板内を伝搬する波の方向に関わらず広いバンドギャップを生じさせるようにした平面回路、それを備えた高周波回路装置および送受信装置を提供することにある。

課題を解決するための手段

- [0013] 上述の問題を解消するために、この発明は次のように構成する。
- [0014] (1)この発明の平面回路は、基板と、その両主面に形成された導体膜とによる平面回路であって、
- 前記基板の少なくとも一方の主面に形成された導体膜は、基本導体パターンである単位格子が2次元配置の周期性をもって所定範囲に亘ってパターンニングされたパターン形成領域を備えていて、
- 前記単位格子は回転対称(例えば略3回回転対称、略4回回転対称、略6回回転対称)のうちいずれか)であり、
- 前記単位格子の中央は、前記基板の対向面に形成された導体膜との間で容量が生じる1つの容量性領域であり、外周の各辺のそれぞれの中央付近は誘導性領域であり、
- 前記誘導性領域は、隣接する2つの単位格子に着目したときに、その2つの単位格子の中央で中心端が互いに接続され、外周端が前記容量性領域にそれぞれ接続された2回回転対称の多重らせん状の導体パターンとする。
- [0015] (2)この発明の平面回路は、基板と、その両主面に形成された導体膜とによる平面

回路であって、

前記基板の少なくとも一方の主面に形成された導体膜は、単位格子となる基本導体パターンが2次元配列の周期性をもって所定範囲に亘ってパターンニングされたパターン形成領域を備えていて、

前記単位格子は回転対称形であり、

前記単位格子の中央は誘導性領域であり、前記単位格子の外周の各辺のそれぞれの少なくとも中央付近は、前記基板の対向面に形成された導体膜との間で容量が生じる容量性領域であり、

前記誘導性領域は、中心で互いに接続され、外周端が前記容量性領域にそれぞれ接続された多重らせん状の導体パターンからなり、

隣接する2つの単位格子に着目したときに、その2つの単位格子の中央で前記容量性領域同士が接続された構造とする。

[0016] (3)この発明の高周波回路装置は、前記平面回路を備え、その平面回路の基板の一方の主面の導体膜で線路導体パターンを形成し、他方の主面の導体膜でグラウンド導体を形成してグラウンデッド導波路を構成するとともに、グラウンデッド導波路の電磁波導波領域から所定距離離れた前記導体膜の領域を前記パターン形成領域とする。

[0017] (4)この発明の高周波回路装置は、前記平面回路を備え、その平面回路の基板の両主面の導体膜で、基板を挟んで対向する面对称の線路導体パターンを形成して導波路を構成するとともに、前記導波路の電磁波導波領域から所定距離離れた前記導体膜の領域を前記パターン形成領域とする。

[0018] (5)この発明の高周波回路装置は、前記平面回路を備え、その平面回路の基板に高周波回路を構成してなる。

[0019] (6)この発明の送受信装置は、前記平面回路または高周波回路装置を高周波信号処理部に備えてなる。

発明の効果

[0020] (1)単位格子の誘導性領域が、隣接する2つ単位格子に着目したときに、その2つの単位格子の中央で中心端が互いに接続され、外周端が容量性領域にそれぞれ接

続された2回回転対称の多重らせん状の導体パターンとしたことにより、誘導性領域における損失が低減され、得られるインダクタンス成分に対する誘導性領域の占有面積が小さいので、単位格子の縮小化が可能であり、回路の配線パターンと共存させる場合に、損失特性を低下させることなくの設計自由度(レイアウト性)が高まる。

[0021] (2) 単位格子の中央は誘導性領域であり、単位格子の外周の各辺のそれぞれの少なくとも中央付近は、基板の対向面に形成された導体膜との間で容量が生じる容量性領域であり、誘導性領域は、中心で互いに接続され、外周端が容量性領域にそれぞれ接続された多重らせん状の導体パターンとし、隣接する2つの単位格子に着目したときに、その2つの単位格子の中央で容量性領域同士が接続された構成としたことにより、誘導性領域と容量性領域のインピーダンス比が大きくなり、比帯域が広帯域となる。すなわちバンドギャップが広く、良好な単一伝送特性が得られる。

[0022] (3) 基板の一方の主面に線路導体パターンを形成し、他方の主面にグランド導体を形成してグラウンデッド導波路を構成し、そのグラウンデッド導波路の電磁波導波領域から所定距離離れた導体膜の領域を前記パターン形成領域としたことにより、基板内を伝搬する平行平板モード等のスプリアスモードと導波路との結合を阻止できる。また、逆に上記グラウンデッド導波路によって生じる平行平板モードの伝搬が阻止できる。そのため、たとえば2つのグラウンデッド導波路を近接させても、その間に設けた前記パターン形成領域によって2つのグラウンデッド導波路間の平行平板モードによる結合が阻止でき、複数のグラウンデッド導波路の基板における占有面積が縮小化でき、全体の小型化が図れる。また、グラウンデッド導波路と基板上に設けたその他の共振器等の高周波回路間の不要結合が抑制されるので、高周波回路間の距離が短縮化でき、全体の小型化が図れる。

[0023] (4) 基板の両主面の導体膜で、基板を挟んで対向する面对称の線路導体パターンを形成して導波路を構成するとともに、導波路の電磁波導波領域から所定距離離れた導体膜の領域を前記パターン形成領域としたことにより、上記(2)と同様に、基板内を伝搬する平行平板モード等のスプリアスモードと導波路との結合を阻止できる。また、上記導波路によって生じる平行平板モードの伝搬が阻止できる。その結果、複数の導波路の基板における占有面積が縮小化でき、全体の小型化が図れる。また、

導波路と基板上に設けたその他の高周波回路間の不要結合が抑制されるので、高周波回路間の距離が短縮化でき、全体の小型化が図れる。

[0024] (5)前記平面回路を備えるとともに、その基板に高周波回路を構成したことにより、基板内を伝搬しようとする平行平板モード等のスプリアスモードが阻止されるので、限られた領域に高周波回路を高集積化できるようになる。

[0025] (6)スプリアスモードの伝搬を阻止する前記平面回路を備えたことにより、スプリアス波による電力損失を抑えて高効率化できるとともにスプリアス波による雑音を低減できる。また、小型化・高集積化された前記高周波回路装置を高周波信号処理部に備えたことにより、全体に小型化された送受信装置が構成できる。

図面の簡単な説明

[0026] [図1]非特許文献1の単位格子およびその解析結果を示す図である。

[図2]特許文献1に係る単位格子の構成例を示す図である。

[図3]特許文献2の1次元配置による帯域阻止フィルタの構成例を示す図である。

[図4]第1の実施形態に係る平面回路および高周波回路装置で用いる単位格子の構成およびその回路を示す図である。

[図5]同高周波回路装置の構成を示す図である。

[図6]複数の単位格子の2次元配置の例を示す図である。

[図7]パターン化導体膜の外周境界におけるパターンの例を示す図である。

[図8]バンドギャップの周波数における電流分布の例を示す図である。

[図9]周期境界条件を用いた解析モデルを示す図である。

[図10]分散関係の計算例を示す図である。

[図11]誘導性領域の導体パターンの線数 n を6としたときのM点における解析結果を示す図である。

[図12]誘導性領域の導体パターンの線数 n を8としたときのM点における解析結果を示す図である。

[図13]誘導性領域の導体パターンの線数 n を10としたときのM点における解析結果を示す図である。

[図14]誘導性領域の線幅依存性を示す図である。

[図15]誘導性領域の線数依存性を示す図である。

[図16]第2の実施形態に係る平面回路および高周波回路装置の構成を示す図である。

[図17]第3の実施形態に係る平面回路および高周波回路装置の構成を示す図である。

[図18]両面電極形成モデルと片面電極形成モデルの特性の違いを示す図である。

[図19]基板厚みの依存性を示す図である。

[図20]4端子Sパラメータの解析モデルを示す図である。

[図21]解析領域の切り出し方の例を示す図である。

[図22]誘導性領域の線数 n を6、ライン／スペースを $8\mu\text{m}/8\mu\text{m}$ としたときのSパラメータとバンドギャップの例を示す図である。

[図23]誘導性領域の線数 n を8、ライン／スペースを $5\mu\text{m}/5\mu\text{m}$ としたときのSパラメータとバンドギャップの例を示す図である。

[図24]誘導性領域の線数 n を10、ライン／スペースを $5\mu\text{m}/5\mu\text{m}$ としたときのSパラメータとバンドギャップの例を示す図である。

[図25]誘導性領域をメアンダラインで構成したときのSパラメータとバンドギャップの例を示す図である。

[図26]第4の実施形態に係る平面回路および高周波回路装置における単位格子を示す図である。

[図27]図5と図26に示した単位格子を用いたモデルの周波数およびQ値の特性例を示す図である。

[図28]第5の実施形態に係る平面回路における単位格子とその2次元配置の構成例を示す図である。

[図29]第6の実施形態に係る平面回路における単位格子とその2次元配置の構成例を示す図である。

[図30]第7の実施形態に係る平面回路における単位格子の構成例を示す図である。

[図31]第8の実施形態に係る平面回路における単位格子とその2次元配置の構成例を示す図である。

[図32]第9の実施形態に係る平面回路における単位格子とその2次元配置の構成例を示す図である。

[図33]第10の実施形態に係る通信装置の分解斜視図である。

[図34]同通信装置の全体の構成を示すブロック図である。

[図35]解析経路と代表横軸とについて示す図である。

[図36]周期境界条件を持った1次元等価回路の構成を示す図である。

[図37]1次元等価回路におけるインピーダンス比に対する分布定数線路の接続行列との関係を示す図である。

[図38]第11の実施形態に係る高周波回路装置とそれに適用した単位格子の構成を示す図である。

[図39]同高周波回路装置のSパラメータと分散関係を示す図である。

[図40]第12の実施形態に係る平面回路および高周波回路装置で用いる単位格子の構成およびその回路を示す図である。

[図41]同高周波回路装置の構成を示す図である。

[図42]複数の単位格子の2次元配置の例を示す図である。

[図43]パターン化導体膜の外周境界におけるパターンの例を示す図である。

[図44]分散関係の計算例を示す図である。

[図45]誘導性領域の導体パターンの線数 n を6としたときのM点における解析結果を示す図である。

[図46]誘導性領域の導体パターンの線数 n を8としたときのM点における解析結果を示す図である。

[図47]誘導性領域の導体パターンの線数 n を10としたときのM点における解析結果を示す図である。

[図48]誘導性領域の線幅依存性を示す図である。

[図49]誘導性領域の線数依存性を示す図である。

[図50]各種単位格子の特性の違いについて示す図である。

[図51]各種単位格子の特性の違いについて示す図である。

[図52]第13の実施形態に係る平面回路および高周波回路装置の構成を示す図で

ある。

[図53]第14の実施形態に係る平面回路および高周波回路装置の構成を示す図である。

[図54]解析領域の切り出し方の例を示す図である。

[図55]誘導性領域の線数 n を6、ライン／スペースを $11\mu\text{m}/11\mu\text{m}$ としたときのSパラメータとバンドギャップの例を示す図である。

[図56]誘導性領域の線数 n を8、ライン／スペースを $7\mu\text{m}/7\mu\text{m}$ としたときのSパラメータとバンドギャップの例を示す図である。

[図57]誘導性領域の線数 n を10、ライン／スペースを $5\mu\text{m}/5\mu\text{m}$ としたときのSパラメータとバンドギャップの例を示す図である。

[図58]第15の実施形態に係る平面回路および高周波回路装置における単位格子を示す図である。

[図59]第16の実施形態に係る平面回路における単位格子とその2次元配置の構成例を示す図である。

[図60]第17の実施形態に係る平面回路における単位格子の構成例を示す図である。

[図61]第18の実施形態に係る平面回路における単位格子とその2次元配置の構成例を示す図である。

[図62]第19の実施形態に係る平面回路における単位格子とその2次元配置の構成例を示す図である。

[図63]第20の実施形態に係る高周波回路装置とそれに適用した単位格子の構成を示す図である。

[図64]同高周波回路装置のSパラメータと分散関係を示す図である。

符号の説明

- [0027] 1－基板
2－グランド導体膜
3, 5－パターン化導体膜
4－線路導体

100－平面回路

101－高周波回路装置

102－通信装置

N－パターン非形成領域

P－パターン形成領域

CA－容量性領域

LA－誘導性領域

CL－単位格子

OA－外周領域

JA－中継領域

Pc－中心端

Po－外周端

SL－スロット

SA－切り出し領域

発明を実施するための最良の形態

[0028] 《第1の実施形態》

第1の実施形態に係る平面回路および高周波回路装置の構成を図4～図15、図35を参照して説明する。

図4は基板の導体膜に形成する基本導体パターンである単位格子CLおよびその等価回路を示している。単位格子CLは、その中央に容量性領域CAを備え、外周の各辺のそれぞれの中央付近に誘導性領域LAを備えている。図4の(B)は(A)に示した単位格子と基板を挟んで対向する裏面のグランド導体膜とによって構成される回路の等価回路図である。上記容量性領域CAとグランド導体膜との間にキャパシタンス成分Cが生じ、誘導性領域LAによってインダクタンス成分Lが生じる。

[0029] 図5は導波路を構成した基板に適用した例を示している。同図の(A)は上面図、(B)はその単位格子部分の拡大図、(C)は(A)におけるA－A部分の断面図、(D)は(B)におけるB－B部分の断面図である。基板の上面には線路導体4とパターン化導体膜3を形成している。基板1の下面には略全面にグランド導体膜2を形成している。

パターン化導体膜3のパターン形成領域Pには(B), (D)に示すように複数の単位格子を2次元状に配置している。また、パターン非形成領域Nにはこのような単位格子CLを形成することなく、単純に連続したグラウンド導体膜としている。

[0030] このようにしてパターン化導体膜3とグラウンド導体膜2および基板1とによって平面回路100を構成している。また、線路導体4、その両脇のパターン化導体膜3(特にそのパターン非形成領域N)および下面のグラウンド導体膜2によってグラウンデッドコプレーナ線路を構成している。

[0031] 単位格子CLは、(B)に示すように、その中央に正形状の容量性領域CA、外周の各辺のそれぞれの中央付近に誘導性領域LAをそれぞれ備えている。これらの誘導性領域LAは、後に示すように、隣接する単位格子の誘導性領域とともに構成される多重らせん状の導体パターンの一部である。

[0032] 図6は複数の単位格子の配置関係を示す図である。ここで単位格子CL00と、図において右方向に隣接する単位格子CL01とに着目すると、この2つの単位格子CL00, CL01の中央で、誘導性領域LAの中心端Pcを互いに接続し、誘導性領域LAの外周端Poを容量性領域CAにそれぞれ接続している。そして、この誘導性領域LAは2回回転対称の二重らせん状の導体パターンで構成している。

[0033] 同様に、単位格子CL00と、それに対して縦方向に隣接する単位格子CL10とに着目すると、この2つの単位格子CL00, CL10の中央で、誘導性領域LAの中心端Pcを互いに接続し、誘導性領域LAの外周端Poを容量性領域CAにそれぞれ接続している。この誘導性領域LAも2回回転対称の二重らせん状の導体パターンで構成している。

[0034] 他の縦方向および横方向に隣接する2つの単位格子の関係も同様であり、このように単位格子を2次元配置(タイリング)することによって、図5の(A)に示したパターン化導体膜3のパターン形成領域Pを構成している。

[0035] 図7は上記パターン化導体膜3の外周境界におけるパターンの例を示している。パターン化導体膜3の外周境界では、その外周境界付近の単位格子に外周端寄りの誘導性領域が形成できない場合が生じる。このような場合は、外周領域OAを連続したグラウンド導体膜とし、本来なら誘導性領域となる領域に、多重らせん状の導体パタ

ーのない連続した導体中膜からなる中継領域IAを形成する。

- [0036] 図8は、隣接する2つの単位格子の誘導性領域を二重らせん状の導体パターンで構成した場合と、特許文献1のようにメアンダライン状の導体パターンで構成した場合とについて、バンドギャップ(この第1の実施形態に係る平面回路によって生じるバンドギャップについては後に詳しく述べる。)における電流のベクトルと電流強度分布を単純化して示したものである。
- [0037] 隣接する2つの単位格子の誘導性領域を二重らせん状の導体パターンで構成した場合、誘導性領域LAにおける電流ベクトルは(A)のように一方の外周端Po→中心端Pc→他方の外周端Poの経路で流れ、誘導性領域LAにおける電流の振幅は、一方の外周端Po－中心端Pc－他方の外周端Poの経路に沿って、(B)に示すように節－腹－節の分布となる。
- [0038] ただし、隣接線路との線間容量により、必ずしも正弦波状とはならない。このようにして、全ての容量性領域CAが電流の節となることにより、波の伝搬しない遮断特性が得られる。
- [0039] 一方、図8の(C)は(A)に示した誘導性領域LAをメアンダライン状の線路に置換したものである。この場合にも、メアンダラインの一方の外周端Po' →中心端Pc' →他方の外周端Po' の経路で流れ、誘導性領域LA' における電流の振幅は、一方の外周端Po' －中心端Pc' －他方の外周端Po' の経路に沿って、(D)に示すように節－腹－節の分布となる。ただし、この場合も隣接線路との線間容量により、必ずしも正弦波状の分布とはならない。
- [0040] このようなメアンダライン状の線路では、隣接する線路同士で電流の向きが交互に逆転するため、誘導性のエネルギーが相殺され、得られるインダクタンス成分が小さく、逆に抵抗成分が大きくなる。これに対し、(A)に示したように誘導性領域LAをらせん状の導体パターンで構成すれば、Q値の大きな動作が可能となる。なお、(A)に示したように、二重らせん状の導体パターンであれば、隣接する線路に流れる電流の向きは交互に反転するため、高Q動作を行うためには線数(単位格子の中心を通る断面に現れる導体線路の数)を少なく設計する。
- [0041] 以上に示した構造によれば、パターン化導体膜3は、その全体が直流的に導通す

るので直流電圧のバイアスを印加する際の実取扱が容易となる。

[0042] さて、ここでこの発明に係る平面回路の特性の解析について図9～図15を参照して説明する。

図9は周期境界条件を用いた解析モデルについて示している。(A)はその斜視図、(B)はその上面図である。ここでは、底面導体壁、上面開放境界のモデルを考え、基板H1部分の比誘電率を24、上部空間H2の比誘電率を1、基板上面の導体膜の導電率を53MS/mとする。また、単位格子寸法は可変とし、x軸方向での単位格子の境界間の位相差を θ_x 、y軸方向での単位格子の境界間の位相差を θ_y とする。

[0043] この解析経路と解析経路における周波数の変化のグラフ化について図35を基に説明する。

図35の(A)は解析経路について示している。このシミュレーションでは、まず θ_y を0に固定し、 θ_x を0から180°まで増大させ、その後は θ_x を180°に固定し、 θ_y を0°から180°まで増大させ、さらにその後は θ_x 、 θ_y を共に減じて最後に元の位置へ戻るという解析経路をとる。Kaは θ_x と θ_y の増加減にともなう角度を単調増加させた値である。

[0044] 図35の(B)において、 Γ は $(\theta_x, \theta_y) = (0^\circ, 0^\circ)$ の点、Xは $(\theta_x, \theta_y) = (180^\circ, 0^\circ)$ の点、Mは $(\theta_x, \theta_y) = (180^\circ, 180^\circ)$ の点である。

[0045] 図35の(C)は、格子寸法(一辺の長さ) $A = 208 \mu\text{m}$ 、比誘電率 $\epsilon_r = 24$ としたときの解析経路における周波数の変化の例である。このグラフ作成の便宜上、その横軸を上記Kaとしている。

[0046] 図10の(A)に示す例では、 $H1 = 0.3\text{mm}$ 、 $H2 = 0.3\text{mm}$ 、単位格子を $160 \mu\text{m}$ 角、誘導性領域のライン/スペースを $5 \mu\text{m}/5 \mu\text{m}$ としている。なお、図中に前記解析経路 $\Gamma-X-M-\Gamma$ を示している。図10の(B)は、その横軸に解析経路 $\Gamma-X-M-\Gamma$ をとり、縦軸に周波数を取った分散関係を示す図である。ここで全体に山型の実線FSは図35の(C)に示したものに等しい。この線FSの内側がスローウェーブ(slow wave)であり、その外側がファーストウェーブ(fast wave)である。このスロー/ファーストは、基板誘電率の自由媒質中を伝搬する波の位相速度に対する遅い/速いである。スローウェーブは電力をパターン平面内で伝搬する波(=guided wave)であるが

、ファーストウェーブはパターン平面に垂直方向に波数ベクトルをもち、放射方向または厚み方向で共振する波(=leaky wave)である。スローウェーブの領域内において、この構造はバンドギャップ(禁止帯)をもって振る舞う。

[0047] ここで、X点とM点の特性は次のとおりである。

[0048] X点特性

禁止帯(f_1 - f_2): 53.5-76.0GHz (Δ 22.5GHz)

比帯域(f_1 - f_2): 34.6%

M点特性

禁止帯(f_1 - f_2): 61.7-75.9GHz (Δ 14.2GHz)

比帯域(f_1 - f_2): 20.5%

である。

[0049] このように、図10の(B)においてX点、M点部分でそれぞれ2つの矢印で挟んで示すとおり、 Γ -X-M- Γ の全経路に亘ってスローウェーブとなるモード f_1 と、それより周波数の高いモード f_2 との間にバンドギャップが生じていることが分かる。

[0050] 図10の(C)、(D)は、(A)、(B)に対比して示した、誘導性領域をメアンダラインで構成したものの例である。ここで、誘導性領域のライン/スペースは $5\mu\text{m}/5\mu\text{m}$ であり、その他の条件も(A)の場合と同様である。(D)はその分散関係を示している。

[0051] ここで、X点とM点の特性は次のとおりである。

[0052] X点特性

禁止帯(f_1 - f_2): 79.8-131.7GHz (Δ 51.9GHz)

比帯域(f_1 - f_2): 49.1%

M点特性

禁止帯(f_1 - f_2): 113.1-128.9GHz (Δ 15.8GHz)

比帯域(f_1 - f_2): 13.1%である。

[0053] 図10の(B)と対比すれば明らかなように、X点でバンドギャップが広がっているが、M点ではボトルネック状に狭くなっている。また、スローウェーブの領域内部における第1のモード f_1 と第3のモード f_3 の平坦性が悪い。これは、周波数110GHzの波で励振した場合に、第1モード f_1 の分散関係から、この第1モード f_1 の波が約 45° の方

向に伝搬する傾向にあるものと考えられる。

- [0054] 次に、誘導性領域の線数と所定の周波数にバンドギャップを生じさせるための設計例を図11～13を参照して説明する。

図11は誘導性領域の線数 n を6とした場合の例であり、単位格子の一边(格子寸法)を A 、容量性領域および誘導性領域の幅を W 、誘導性領域のライン幅を L 、スペース幅を S とし、格子寸法 A を変化させたときの5つのモード $f_1 \sim f_5$ の周波数変化を示している。ここで基板の厚さ H_1 および上部空間の厚さ H_2 は共に 0.3mm で一定としている。誘導性領域の線数 n を一定としつつ格子寸法 A を変化させることに伴って W 、 L 、 S を変化させている。(C)は格子寸法 A を $0.052\text{mm} \sim 0.234\text{mm}$ の範囲で変化させた例である。

- [0055] このように格子寸法 A の変化に伴って第1のモード f_1 と第2のモード f_2 の周波数が変化するが、この2つのモードの間に生じるバンドギャップの周波数を 60GHz とするためには、(C)に示した設計番号No7を採用すればよい。この設計番号No7の条件で、第1のモード f_1 の周波数が 54.2GHz 、第2のモード f_2 の周波数が 68.5GHz であるので、 $54.2\text{GHz} \sim 68.5\text{GHz}$ の間にバンドギャップが生じる。すなわち使用周波数である 60GHz のスプリアスモードの伝搬が、このバンドギャップによって阻止される。

- [0056] 図12は誘導性領域の線数 n を8とした場合の例である。この場合、第1のモード f_1 と第2のモード f_2 との間に生じるバンドギャップの周波数を 60GHz とするためには、設計番号No4の単位格子を採用すればよい。

- [0057] 図13は誘導性領域の線数 n を10とした場合の例である。この場合、第1のモード f_1 と第2のモード f_2 との間に生じるバンドギャップの周波数を 60GHz とするためには、設計番号No2の単位格子を採用すればよい。

- [0058] 次に、誘導性領域の線幅および線数の依存性について、図14・図15を参照して説明する。

図14の(A)は、誘導性領域の線数 n を6として、ライン幅 L /スペース幅 S を $5\mu\text{m}/5\mu\text{m}$ から $9\mu\text{m}/9\mu\text{m}$ まで変化させたときのバンドギャップの周波数 f_0 およびバンドギャップの周波数幅 Δf について示している。また(B)は比帯域 $\Delta f/f_0$ および小

型化指標 A/λ_g (λ_g : 基板内での波長)を示している。ここで、周期境界解析の条件は、波数 $\times$ 格子定数 $= (180^\circ, 180^\circ)$ すなわちM点としている。

[0059] なお、ラインL/スペースSを増大することに伴って格子寸法Aを増大させている。例えばラインL/スペースS $=5\mu\text{m}/5\mu\text{m}$ のとき、格子寸法Aを $130\mu\text{m}$ 、ラインL/スペースS $=9\mu\text{m}/9\mu\text{m}$ のとき、格子寸法Aを $234\mu\text{m}$ としている。この格子寸法Aの増大に伴い、第1のモードと第2のモードの平均周波数 f_0 (第1のモードの周波数を f_1 、第2のモードの周波数を f_2 とすると、 $f_0 = (f_1 + f_2)/2$ である。)は低下した。いずれのモデルも、比帯域 $\Delta f/f_0$ は約23%、小型化指標 A/λ_g は約21%となった。

[0060] 図15は誘導性領域のラインL/スペースSを $5\mu\text{m}/5\mu\text{m}$ で一定とし、線数 n を6, 8, 10と変化させた例を示している。なお、線数 n を増大することに伴い格子寸法Aを増大させている。例えば線数 $n=6$ のとき、格子寸法Aを $130\mu\text{m}$ 、線数 $n=10$ のとき、格子寸法Aを $210\mu\text{m}$ としている。この格子寸法Aの増大に伴い第1のモードと第2のモードの平均周波数 f_0 は低下した。また、比帯域 $\Delta f/f_0$ は単調を増加し、小型化指標 A/λ_g は単調減少した。したがって、比帯域を広くとるためには線数を多くし、小型化するためには線数を少なくすればよい。

[0061] ここで、1次元等価回路の解析により、バンドギャップ設計に関する考え方を図36・図37を参照して示す。

[0062] 図36は、前記容量性領域と誘導性領域とで構成される回路であり、周期境界条件をもった1次元等価回路である。図36に示す2つの回路F1, F2の接続行列が式(1)で表されとする。

[0063] (1)接続行列

[0064] [数1]

$$F_1 = \begin{pmatrix} A_1 & B_1 \\ C_1 & D_1 \end{pmatrix}, \quad F_2 = \begin{pmatrix} A_2 & B_2 \\ C_2 & D_2 \end{pmatrix} \quad \text{式(1)}$$

[0065] 端子T1、端子T2の電圧、電流は周期境界条件を満たすことから、2つの接続行列を用いて式(2)の関係を満足する。

[0066] (2)周期境界条件

[0067] [数2]

$$\begin{pmatrix} V_1 \\ I_1 \end{pmatrix} = F_1 F_2 \begin{pmatrix} V_2 \\ I_2 \end{pmatrix} = e^{j\theta} \begin{pmatrix} V_2 \\ I_2 \end{pmatrix} \quad \text{式(2)}$$

[0068] ただし θ (rad)は位相差であり、波数 k (rad/m)と寸法 a (m), b (m)を用いて式(3)で表される。

[0069] (3)位相差

[0070] [数3]

$$\theta = k(a + b) \quad \text{式(3)}$$

[0071] 式(2)で電圧、電流がゼロでない解を持つためには、式(4)の固有値方程式を満足する必要がある。

[0072] (4)固有値方程式(分散関係)

[0073] [数4]

$$\det(F_1 F_2 - e^{j\theta} E) = 0$$

$$\cos \theta = \frac{1}{2}(A_1 A_2 + D_1 D_2 + B_1 C_2 + C_1 B_2) \quad \text{式(4)}$$

[0074] 式(4)の左辺は波数ベクトル(k)の関数であり、右辺は周波数(ω)の関数である。すなわち分散関係を表す式となっている。

[0075] 式(4)において右辺の絶対値が1以下となる場合は、位相差(θ)が実数解をもつ条件となる。このとき波数ベクトル(k)は実数となり、伝搬することを意味する。逆に右辺の絶対値が1を超える場合は波数ベクトル(k)が虚数となり、遮断(cut off)状態となる。すなわち、このような条件を満たす周波数の帯域が禁止帯(バンドギャップ)となる。

[0076] 図36に示した1次元等価回路を構成する2つの回路が、分布定数線路である場合を考える。分布定数線路は特性インピーダンス(Z)と伝搬定数(γ)を用いてそれぞれ式(5)で表される。

[0077] (5)分布定数線路の接続行列

[0078] [数5]

$$F_1 = \begin{pmatrix} \cosh \gamma_1 a & Z_1 \sinh \gamma_1 a \\ \frac{1}{Z_1} \sinh \gamma_1 a & \cosh \gamma_1 a \end{pmatrix}, \quad F_2 = \begin{pmatrix} \cosh \gamma_2 b & Z_2 \sinh \gamma_2 b \\ \frac{1}{Z_2} \sinh \gamma_2 b & \cosh \gamma_2 b \end{pmatrix}$$

式(5)

[0079] 式(5)の表現を式(4)に代入することにより、式(6)のような分散関係式が得られる。

[0080] (6)分布定数線路の周期境界条件による分散関係

[0081] [数6]

$$\cos(k(a+b)) = \cosh \gamma_1 a \cdot \cosh \gamma_2 b + \frac{1}{2} \left(\frac{Z_1}{Z_2} + \frac{Z_2}{Z_1} \right) \cdot \sinh \gamma_1 a \cdot \sinh \gamma_2 b$$

式(6)

[0082] 禁止帯(バンドギャップ)を大きくするための条件は、右辺の絶対値ができる限り、1よりも大きな値をもつことである。分布定数線路の伝搬定数(γ)は位相定数($j\beta$)である場合を考える。この条件で右辺を1よりも大きくするための因子は、式(7)に示すインピーダンスの比で計算される因子であることがわかる。

[0083] [数7]

$$F_z = \frac{1}{2} \left(\frac{Z_1}{Z_2} + \frac{Z_2}{Z_1} \right) \quad \text{式(7)}$$

[0084] 図37は、インピーダンスの比 Z_1/Z_2 を横軸とする上記 F_z のグラフである。

[0085] 上記グラフから、インピーダンス比が1のときに F_z は最小値1をもつことがわかる。

[0086] 禁止帯(バンドギャップ)を大きくするための条件は、 F_z ができる限り大きい値をもつことであるから、線路条件に关していえば、低インピーダンス線路と高インピーダンス線路のインピーダンス比を大きくすることである。

[0087] 1次元等価回路によるこれらの解析的な理解は、2次元の回路設計においても有効である。

[0088] 《第2の実施形態》

次に、第2の実施形態に係る平面回路および高周波回路装置の例を図16を参照して説明する。

第1の実施形態ではグラウンデッドコプレーナ線路の線路導体両脇のグラウンド導体膜をパターン化導体膜とした例を示したが、この第2の実施形態は導波路をグラウン

デッドスロットラインとした例である。同図の(A)は上面図、(B)はその単位格子部分の拡大図、(C)は(A)におけるA-A部分の断面図、(D)は(B)におけるB-B部分の断面図である。基板1の上面にはパターン化導体膜3を形成するとともに、スロットSLを形成している。基板1の下面には略全面にグランド導体膜2を形成している。パターン化導体膜3のパターン形成領域Pには(B), (D)に示すように複数の単位格子を2次元状に配置している。この単位格子CLは第1の実施形態で示したものと同様である。また、パターン非形成領域Nにはこのような単位格子CLを形成することなく、単純に連続したグランド導体膜としている。

[0089] このようにしてスロットSL、その両脇のパターン化導体膜3(特にそのパターン非形成領域N)および下面のグランド導体膜2によってグラウンデッドスロットラインを構成している。このようなスロットラインにおいても、第1の実施形態の場合と同様に、基板1内を伝搬しようとする平行平板モード等のスプリアスモードの伝搬を阻止できる。

[0090] 《第3の実施形態》

次に、第3の実施形態に係る平面回路および高周波回路装置について図17～図25を参照して説明する。

図17の(A)は上面図、(B)はその単位格子部分の拡大図、(C)は(A)におけるA-A部分の断面図、(D)は(B)におけるB-B部分の断面図である。基板1の上面にはパターン化導体膜3を形成するとともに、スロットSLを形成している。基板1の下面にもパターン化導体膜5を形成するとともに、スロットSLを形成している。パターン化導体膜3, 5のパターン形成領域Pには(B), (D)に示すように複数の単位格子CLを2次元状に配置している。この単位格子CLは第1・第2の実施形態で示したものと同様である。下面のパターン化導体膜5に形成した単位格子の容量性領域CAと誘導性領域LAのパターンは上面のパターンと面対称の関係にあり、上面または下面から透視すれば、上下面の容量性領域CAのパターン同士、誘導性領域LAのパターン同士は重なる。また、パターン非形成領域Nは、このような単位格子CLを形成することなく、単純に連続したグランド導体膜としている。このようにして、両面スロット線路またはPDTL(平面誘電体線路)を構成している。

[0091] なお、基板1を上面または下面から透視したときに、上下面の容量性領域CAのパ

ターン同士、誘導性領域LAのパターン同士がぴったり重なることが理想的であるが、誘導性領域のらせんの巻く向きは逆向きであってもよい。また透視したときに多少のずれがあっても特性が極端に劣化することはない。

[0092] 図18は、基板の両面の導体膜を共にパターン化導体膜で形成した場合と片面の導体膜のみをパターン化導体膜とした場合とについて特性の違いを示している。ここで単位格子の各部の寸法は次の通りである。

[0093] 格子寸法: $A=208\ \mu\text{m}$

線数 $n:6$

ライン L / スペース $S:8\ \mu\text{m} / 8\ \mu\text{m}$

容量性領域の幅 $W:104\ \mu\text{m}$

基板厚さ $H1:300\ \mu\text{m}$

上下空間 $H2:300\ \mu\text{m}$

図18の(A)は両面電極形成モデル、(B)は片面電極形成モデルの分散関係を示している。この(A)に示すように、両面電極形成モデルでは、60GHz前後にバンドギャップが確認される。これに対し、片面電極形成モデルでは、(B)に示すように直流から30GHz付近でバンドギャップが存在するが、60GHz付近ではファーストウェーブ領域(直線FSの外側)内に分散関係が存在する。これは、波長が長いため、アンテナとして放射するか、遮蔽ケースで反射されることを意味している。したがって、この条件でスプリアスモードの伝搬を阻止するためには、図17に示したように基板1の両面にパターン化導体膜3, 5を形成して両面スロット線路またはPDTL(平面誘電体線路)を構成する必要がある。

[0094] 図19は基板の厚み依存性を示すものである。(A)は基板厚みを0.6mm、(B)は基板厚みを0.4mm、(C)は基板厚みを0.2mmとした場合について示している。ここで横軸は代表横軸 Ka である。

[0095] 基板厚み以外の単位格子の各部の寸法は次の通りである。

[0096] 格子寸法: $A=170\ \mu\text{m}$

線数 $n:8$

ライン L / スペース $S:5\ \mu\text{m} / 5\ \mu\text{m}$

容量性領域の幅 $W: 85 \mu\text{m}$

上下空間 $H2: 300 \mu\text{m}$

この図19に示すように、基板厚みが 0.6mm ではバンドギャップが形成されず、基板厚みが薄いほうが広いバンドギャップが得られる。また、片面のグラウンド導体膜をパターン化しない場合の特性は、両面モデルの基板厚みを半分に読み変えた特性に一致する。たとえば(A), (B), (C)は 0.3mm , 0.2mm , 0.1mm の片面モデルにそれぞれ相当する。したがって、基板両面のグラウンド導体膜をパターン化することによって、および基板厚みを薄くすることによって、広いバンドギャップが得られる。

[0097] 次に、この発明に係る平面回路を4端子Sパラメータで解析した例を図20～図25を参照して説明する。

図20の(A)は解析モデルの斜視図、(B)はその上面図、(C)はその正面図である。(B)に示すように、単位格子の4辺をポート1～ポート4としている。Sパラメータの解析は、端子(ポート)におけるモードが平行平板モードの成分を含んだモードであることを特定して行う必要がある。ここで、平行平板モードは、(C)に示すように基板内部において厚さ方向(z 方向)に電界成分をもち、水平方向(x または y 方向)に磁界成分 H をもつ。

[0098] 図21は解析領域の切り出し方の例を示している。ここではSAで示す(単位格子CLの二倍の面積に相当する正方形)を4端子とするSパラメータを求めた。もし単位格子CLの4辺を4端子とすると、断面に微細電極の現れる多導体端子となり、マイクロストリップラインのようなモードによる励振ができない。

[0099] 図22～図25は、誘導性領域の線数 n を変えたときのSパラメータと分散関係の例を示している。

[0100] 図22は、線数 $n=6$ 、ライン L /スペース $S=8 \mu\text{m}/8 \mu\text{m}$ の例であり、ここで単位格子の各部の寸法は次の通りである。

[0101] 格子寸法: $A=208 \mu\text{m}$

容量性領域の幅 $W: 104 \mu\text{m}$

基板厚さ $H1: 300 \mu\text{m}$

上下空間 $H2: 300 \mu\text{m}$

図23は、線数 $n=8$ 、ライン L ／スペース $S=5\mu\text{m}/5\mu\text{m}$ の例であり、
ここで単位格子の各部の寸法は次の通りである。

[0102] 格子寸法: $A=170\mu\text{m}$

容量性領域の幅 $W:85\mu\text{m}$

基板厚さ $H1:300\mu\text{m}$

上下空間 $H2:300\mu\text{m}$

図24は、線数 $n=10$ 、ライン L ／スペース $S=5\mu\text{m}/5\mu\text{m}$ の例であり、
ここで単位格子の各部の寸法は次の通りである。

[0103] 格子寸法: $A=210\mu\text{m}$

容量性領域の幅 $W:105\mu\text{m}$

基板厚さ $H1:300\mu\text{m}$

上下空間 $H2:300\mu\text{m}$

このような条件で両面の導体膜をパターン化導体膜とすることによって、60GHz前後にバンドギャップが形成された。単位格子の対角線を一边とする正方形で4端子の S パラメータを解析することにより、バンドギャップにおいて S_{11} は高く(反射が大きく)なり、 $S_{21}\sim S_{41}$ は減衰する傾向を確認した。また、パターンの対称性から、 S_{31} と S_{41} は重なった。

[0104] 図25は誘導性領域をメアンダライン状にした場合の例を比較例として示している。
ここで、単位格子の各部の寸法は次の通りである。

[0105] 格子寸法: $A=210\mu\text{m}$

ライン L ／スペース $S:5\mu\text{m}/5\mu\text{m}$

容量性領域の幅 $W:95\mu\text{m}$

基板厚さ $H1:300\mu\text{m}$

上下空間 $H2:300\mu\text{m}$

このように、メアンダライン型の場合は、同じ格子寸法のらせん型に比べてバンドギャップが高周波側にずれる。したがって、メアンダライン型の場合は、同じ格子寸法のらせん型に比べて所望の周波数にバンドギャップを生じさせるために必要な格子寸法が大きい。また、メアンダライン型の場合、バンドギャップにおいて S_{11} は高く(反射

が大きく)なるが、 $S_{21} \sim S_{41}$ の減衰は少ない傾向を示した。このように、メアンダライン型の場合は、バンドギャップの周波数での平行平板モード等のスプリアスモードの伝搬阻止効果が少ないことが分かる。

[0106] 《第4の実施形態》

次に、第4の実施形態に係る高周波回路装置について図26・図27を参照して説明する。

図26は単位格子の平面図である。単位格子CLの中央には容量性領域CAを備えるが、図5に示した例と異なり、単位格子の四隅部分の空間にも容量性領域CAsを延長している。誘導性領域LAについては図5に示したものと同様である。

[0107] 図27は図5に示した単位格子と図26に示した単位格子とによる平面回路の特性の違いについて示している。(A)は代表横軸 K_a に対する周波数、(B)は K_a に対するQ値(Q_0)を示している。このように単位格子の四隅に容量性領域を付加することにより、格子寸法を一定のままで周波数を低下することができる。また、第1のモード(f_1)と第2のモード(f_2)との間のバンドギャップも増大できる。Q値については、周波数に比例する程度の変化であるので、実質的に劣化しないことが分かる。

[0108] 《第5の実施形態》

次に、第5の実施形態に係る平面回路について図28を参照して説明する。

図28は複数の単位格子を2次元配置した部分を示している。この例では、誘導性領域LAを四重らせん状の導体パターンで構成し、外周端Poを容量性領域CAに接続し、中心端Pcで各導体パターンを互いに接続している。このように多重らせんの多重数を増しても誘導性領域LAを構成できる。同様にして六重らせん状の導体パターン等も可能である。

[0109] このらせん状導体パターンの線幅が動作周波数の表皮深さよりも細い場合は、表皮効果の緩和による損失低減効果が期待できる。このように誘導性領域の多重らせんの線数を増すことにより、誘導性領域がより高いQ値を持つ誘導素子として作用する。但し、多重らせんの線数を増せば単位格子の寸法が増大するので、また各らせん状の導体に流れる電流のバランスが悪い場合には、却ってQ値が劣化する場合もあるので、線数および線幅の設計にはその点に注意する。

[0110] 《第6の実施形態》

次に、第6の実施形態に係る平面回路の例を、図29を参照して説明する。この図は複数の単位格子を2次元配置した部分の図である。この例では、単位格子CLの四隅部分にまで誘導性領域LAの導体パターンを広げて配置し、単位格子CLの各辺方向の導体パターンのピッチを大きくしている。このような導体パターンの形状であっても、既に示した各実施形態の場合と同様の作用効果を奏する。

[0111] 《第7の実施形態》

図30は第7の実施形態に係る平面回路で用いる単位格子の構成を示している。(A)は図5等で示した基本形であり、(B)はその変形例である。ここでは単位格子の一边aと、それに直交する辺bの寸法を異ならせて縦横比を1:1から変えている。このように単位格子を2回回転対称形である長方形とすることも有効である。また、この縦横比の設計自由度を積極的に利用することにより、その縦方向と横方向についてのバンドギャップの特性に異方性をもたせることもできる。

[0112] 《第8の実施形態》

図31は第8の実施形態に係る平面回路における単位格子の構成およびその2次元配置の例を示している。これまでに示した実施形態では正方形または長方形の単位格子を用いたが、この例では単位格子CLを3回回転対称形である正三角形とし、それらを充填配置している。単位格子CLの中央には容量性領域CAを備え、外周の各辺のそれぞれの中央付近に誘導性領域LAを備えている。そして、隣接する2つの単位格子に着目したとき、その2つの単位格子の中央で中心端Pcを互いに接続し、外周端Poを容量性領域CAにそれぞれ接続した2回回転対称の二重らせん状の導体パターンで誘導性領域LAを構成している。このように3回回転対称の単位格子を2次元配置しても同様の作用効果が得られる。

[0113] 《第9の実施形態》

図32は第9の実施形態に係る平面回路における単位格子の構成およびその2次元配置の例を示している。この例では、6回回転対称形である正六角形状の単位格子CLを2次元状に充填配置している。各単位格子CLの中央には容量性領域CAを備え、外周の各辺のそれぞれの中央付近に誘導性領域LAを備えている。そして、

隣接する2つの単位格子に着目したとき、その2つの単位格子の中央で中心端Pcを互いに接続し、外周端Poを容量性領域CAにそれぞれ接続した2回回転対称の二重らせん状の導体パターンで誘導性領域LAを構成している。このように6回回転対称の単位格子を2次元配置しても同様の作用効果が得られる。

[0114] 《第10の実施形態》

次に、第10の実施形態に係る高周波回路装置およびそれを備えた通信装置の構成を図33・図34を基に説明する。

図33は送受信装置の分解斜視図、図34はその回路のブロックである。図33において、通信装置の外形をなす樹脂パッケージ41は、上面側が開口した箱形状のケーシング42と、このケーシング42の開口側を施蓋する略四角形の板状をなす蓋体43とによって構成している。また、蓋体43の中央部には、略四角形の開口部43Aを設け、この開口部43A内に電磁波が透過可能な閉塞板44を配設している。

[0115] ケーシング42内に収容した誘電体基板45は、例えば5枚の分割基板45A～45Eによって構成していて、これら分割基板45A～45Eの両面は平面導体46、47によってそれぞれ覆っている。そして、各分割基板45A～45Eには、機能ブロックとして、後述するアンテナブロック48、デュプレクサブロック49、送信ブロック50、受信ブロック51、発振器ブロック52をそれぞれ設けている。

[0116] 送信電波を送信し、受信電波を受信するアンテナブロック48は、誘電体基板45の中央部側に位置する分割基板45Aに設け、平面導体46に形成した四角形状の開口をなす放射スロット48Aによって構成している。また、この放射スロット48Aは、PDTLからなる伝送線路53によってデュプレクサブロック49に接続している。

[0117] アンテナ共用器をなすデュプレクサブロック49は、分割基板45Bの平面導体46に形成した四角形状の開口からなる共振器49A等によって構成している。そして、共振器49Aは、PDTLからなる伝送線路53によってアンテナブロック48、送信ブロック50、受信ブロック51にそれぞれ接続している。

[0118] アンテナブロック48へ送信信号を出力する送信ブロック50は、分割基板45Cに実装した電界効果トランジスタ等の電子部品で構成していて、発振器ブロック52から出力される搬送波に中間周波信号IFを混合して送信信号にアップコンバートするミキ

サ50Aと、そのミキサ50Aによる送信信号から雑音を除去する帯域通過フィルタ50Bと、送信信号の電力を増幅する電力増幅器50Cとによって構成している。

[0119] これらのミキサ50A、帯域通過フィルタ50B、電力増幅器50Cは、PDTLからなる伝送線路53を用いて相互に接続するとともに、ミキサ50Aは、伝送線路53によって発振器ブロック52に接続していて、電力増幅器50Cは、伝送線路53によってデュプレクサブロック49に接続している。

[0120] 受信ブロック51は、分割基板45Dに設け、アンテナブロック48によって受信した受信信号を入力し、その受信信号と発振器ブロック52から出力される搬送波とを混合して中間周波信号IFにダウンコンバートする。この受信ブロック51は、受信信号を低雑音で増幅する低雑音増幅器51Aと、該低雑音増幅器51Aによる受信信号から雑音を除去する帯域通過フィルタ51Bと、発振器ブロック52から出力される搬送波と該帯域通過フィルタ51Bから出力される受信信号とを混合して中間周波信号IFにダウンコンバートするミキサ51Cとによって構成している。

[0121] そして、これらの低雑音増幅器51A、帯域通過フィルタ51B、ミキサ51Cは、伝送線路53を用いて相互に接続していて、低雑音増幅器51Aは、伝送線路53によってデュプレクサブロック49に接続していて、ミキサ51Cは、伝送線路53によって発振器ブロック52に接続している。

[0122] 発振器ブロック52は、分割基板45Eに設けていて、搬送波となる所定周波数の信号(例えばマイクロ波、ミリ波等の高周波信号)を発振する。この発振器ブロック52は、制御信号Vcに応じた周波数の信号を発振する電圧制御発振器52Aと、該電圧制御発振器52Aによる信号を送信ブロック50と受信ブロック51とに供給するための分岐回路52Bとによって構成している。

[0123] これらの電圧制御発振器52A、分岐回路52Bは、PDTLからなる伝送線路53を用いて相互に接続している。また、分岐回路52Bは、伝送線路53によって送信ブロック50と受信ブロック51とに接続している。

[0124] 図33中、各分割基板45A～45Eの表面側の網状のパターンで示す箇所は平面回路100を構成している。この平面回路100は、第1～第9の実施形態で示したいずれかの平面回路または後に第12～第19の実施形態で示すいずれかの平面回路であ

る。この例では、放射スロット48A、共振器49A、帯域通過フィルタ50B、帯域通過フィルタ51B、電圧制御発振器52A、伝送線路53等の周囲に配設している。

[0125] このように各分割基板45A～45Eに平面回路100を設けたので、誘電体基板45の平面導体46, 47間を伝搬する不要波を遮断できる。このため、例えば平行平板モード等のスプリアス波が分割基板45A～45E間で結合するのを防止してアイソレーションを向上でき、不要波による電力損失を抑圧して高効率化できるとともに、不要波による雑音を低減することができる。

[0126] なお、この第10の実施形態では、送受信装置として通信装置を例に挙げて説明したが、本発明はこれに限らず、例えばレーダ装置等の送受信装置に広く適用できるものである。

[0127] 《第11の実施形態》

この発明の平面回路を備えた高周波回路装置の特性をシミュレーションにより求めた例を第11の実施形態として示す。

[0128] 図38の(A)は、平面回路の単位格子の形状と寸法、(B)は高周波回路装置の構造を示している。単位格子は(A)に示すパターンであり、ラインL/スペースS=9 μ m/9 μ m、線数n=6で、一辺が234 μ mの正方形である。高周波回路装置は、比誘電率24、厚み0.3mmで、5.0mm×7.5mmの基板に導体パターンを形成したものである。この例では、(1)裏面にグランド導体膜のない通常のコプレーナ線路CPW、(2)裏面にグランド導体膜を設けたグラウンデッドコプレーナ線路CBCPW、(3)CBCPWのグランド導体膜部分に上記単位格子を2次元配置した高周波回路装置、それぞれについて特性を求めた。この高周波回路装置については、具体的には、コプレーナ線路の両側に広がるグランド導体膜の片方で単位格子を8行×29列配置している。

[0129] 図39は、そのSパラメータと分散関係を示している。図の下段は透過特性S₂₁、上段は5つのモードとバンドギャップBGをそれぞれ表している。この結果から次のことが分かる。

[0130] (1) CPWは約80GHzまで比較的平坦な挿入損失特性を持つ。

[0131] ただし、80GHzを超える辺りから表面波によるリップルの発生が大きくなる。

- [0132] (2) CBCPWには約20GHz以上で平行平板モードによるリップルが多く見られる。
- [0133] (3) 格子配置モデルではCBCPWに見られるようなリップルが抑圧できている。
- [0134] 特に60GHz付近ではバンドギャップ(BG)による挿入損失の改善効果が見られる。
- [0135] また、約90GHz付近では損失が大きいものの表面波によるリップルの平坦化が見られる。
- [0136] このように、単位格子を2次元配置した平面回路によって、平行平板モードが抑圧され、平面波によるリップルも殆ど生じることがないので、広帯域にわたってリップルの少ない透過特性が得られる。
- [0137] 《第12の実施形態》
- 第12の実施形態に係る平面回路および高周波回路装置の構成を図40～図51を参照して説明する。
- 図40は基板の導体膜に形成する基本導体パターンである単位格子CLおよびその等価回路を示している。単位格子CLは、その中央に誘導性領域LAを備え、外周の各辺のそれぞれの中央付近に容量性領域CAを備えている。図40の(B)は(A)に示した単位格子と基板を挟んで対向する裏面のグランド導体膜とによって構成される回路の等価回路図である。上記容量性領域CAとグランド導体膜との間にキャパシタンス成分Cが生じ、誘導性領域LAによって相互誘導リアクタンス成分Mが生じる。
- [0138] 図41は導波路を構成した基板に適用した例を示している。同図の(A)は上面図、(B)はその単位格子部分の拡大図、(C)は(A)におけるA-A部分の断面図、(D)は(B)におけるB-B部分の断面図である。基板の上面には線路導体4とパターン化導体膜3を形成している。基板1の下面には略全面にグランド導体膜2を形成している。パターン化導体膜3のパターン形成領域Pには(B)、(D)に示すように複数の単位格子を2次元状に配置している。また、パターン非形成領域Nにはこのような単位格子CLを形成することなく、単純に連続したグランド導体膜としている。
- [0139] このようにしてパターン化導体膜3とグランド導体膜2および基板1とによって平面回路100を構成している。また、線路導体4、その両脇のパターン化導体膜3(特にそのパターン非形成領域N)および下面のグランド導体膜2によってグラウンデッドコプレーナ線路を構成している。

- [0140] 単位格子CLは、(B)に示すように、その中央に4重らせん形状の導体パターンからなる誘導性領域LA、外周の各辺のそれぞれの中央付近に容量性領域CAをそれぞれ備えている。これらの容量性領域CAは、後に示すように、隣接する単位格子の容量性領域に連続している。この単位格子CLは4回回転対称形である。
- [0141] 図42は複数の単位格子の配置関係を示す図である。単位格子CL00, CL01, CL10等はいずれも同一の基本導体パターンから成る。単位格子CL00について説明すると、この単位格子CL00の中央に配置した誘導性領域LAの4重らせん状導体パターンの外周端は単位格子CL00の外周の四辺の容量性領域に接続している。
- [0142] ここで単位格子CL00と、図において右方向に隣接する単位格子CL01とに着目すると、この2つの単位格子CL00, CL01の中央に容量性領域CAを配置するように容量性領域同士を接続している。
- [0143] 同様に、単位格子CL00と、それに対して縦方向に隣接する単位格子CL10とに着目すると、この2つの単位格子CL00, CL10の中央で、この2つの単位格子CL00, CL01の中央に容量性領域CAを配置するように容量性領域同士を接続している。
- [0144] 他の縦方向および横方向に隣接する2つの単位格子の関係も同様であり、このように単位格子を2次元配置(タイリング)することによって、図41の(A)に示したパターン化導体膜3のパターン形成領域Pを構成している。
- [0145] 図43は上記パターン化導体膜3の外周境界におけるパターンの例を示している。各単位格子の外周の各辺に容量性領域を備えているので、パターン化導体膜3の外周領域OAを連続したグラウンド導体膜とし、単位格子の容量性領域LAをその外周領域OAにそのまま接続すればよい。
- [0146] 以上に示した構造によれば、パターン化導体膜3が直流的に全体が導通しているので、直流電圧のバイアスを印加する際の取扱が容易となる。
- [0147] さて、ここでこの発明に係る平面回路の特性の解析について図44～図51を参照して説明する。
- 周期境界条件を用いた解析モデルは図9に示したとおりである。
- [0148] また、その解析経路と解析経路における周波数の変化のグラフ化については既に図35を用いて説明した通りである。

[0149] 図44の(A)に示す例では、 $H1=0.3\text{mm}$ 、 $H2=0.3\text{mm}$ 、単位格子を $230\mu\text{m}$ 角、誘導性領域のライン／スペースを $5\mu\text{m}/5\mu\text{m}$ としている。なお、図中に前記解析経路 $\Gamma-X-M-\Gamma$ を示している。図44の(B)は、その横軸に解析経路 $\Gamma-X-M-\Gamma$ をとり、縦軸に周波数を取った分散関係を示す図である。ここで全体に山型の実線FSは図35の(C)に示したものに等しい。この線FSの内側がスローウェーブ(slow wave)であり、その外側がファーストウェーブ(fast wave)である。このスロー／ファーストは、基板誘電率の自由媒質中を伝搬する波の位相速度に対する遅い／速いである。スローウェーブは電力をパターン平面内で伝搬する波(=guided wave)であるが、ファーストウェーブはパターン平面に垂直方向に波数ベクトルをもち、放射方向または厚み方向で共振する波(=leaky wave)である。スローウェーブの領域内において、この構造はバンドギャップ(禁止帯)をもって振る舞う。

[0150] ここで、X点とM点の特性は次のとおりである。

[0151] X点特性($f1-f2$:バンドギャップなし)

禁止帯($f2-f3$): $58.4-85.4\text{GHz}$ ($\Delta 27.0\text{GHz}$)

比帯域($f2-f3$):37.6%

M点特性($f1-f2$:バンドギャップなし)

禁止帯($f2-f3$): $57.8-83.9\text{GHz}$ ($\Delta 26.1\text{GHz}$)

比帯域($f2-f3$):36.9%

である。

[0152] このように、図44の(B)においてX点、M点部分でそれぞれ両端矢じりの2つの矢印で示すとおり、 $\Gamma-X-M-\Gamma$ の全経路に亘ってスローウェーブとなるモード $f2$ と、それより周波数の高いモード $f3$ との間にバンドギャップが生じていることが分かる。

[0153] 図44の(C)、(D)は、(A)、(B)に対比して示した、特許文献1に示されている単位格子とその特性の例である。ここで、誘導性領域のライン／スペースは $5\mu\text{m}/5\mu\text{m}$ であり、その他の条件も(A)の場合と同様である。(D)はその分散関係を示している。

[0154] ここで、X点とM点の特性は次のとおりである。

[0155] X点特性

禁止帯(f_1 - f_2):79.8-131.7GHz(Δ 51.9GHz)

比帯域(f_1 - f_2):49.1%

M点特性

禁止帯(f_1 - f_2):113.1-128.9GHz(Δ 15.8GHz)

比帯域(f_1 - f_2):13.1%である。

[0156] 図44の(B)と対比すれば明らかなように、X点でバンドギャップが広がっているが、M点ではボトルネック状に狭くなっている。また、スローウェーブの領域内部における第1のモード f_1 と第3のモード f_3 の平坦性が悪い。これは、周波数110GHzの波で励振した場合に、第1モード f_1 の分散関係から、この第1モード f_1 の波が約 45° の方向に伝搬する傾向にあるものと考えられる。

[0157] 次に、誘導性領域の線数(単位格子の中心を通る断面に現れる導体線路の数) n と所定の周波数にバンドギャップを生じさせるための設計例を図45～49を参照して説明する。

図45は誘導性領域の線数 n を6とした場合の例であり、単位格子の一边(格子寸法)を A 、容量性領域および誘導性領域の幅を W 、誘導性領域のライン幅を L 、スペース幅を S とし、格子寸法 A を変化させたときの5つのモード $f_1 \sim f_5$ の周波数変化を示している。ここで基板の厚さ H_1 および上部空間の厚さ H_2 は共に0.3mmで一定としている。誘導性領域の線数 n を一定としつつ格子寸法 A を変化させることに伴って W 、 L 、 S を変化させている。(C)は格子寸法 A を0.130mm～0.286mmの範囲で変化させた例である。

[0158] このように格子寸法 A の変化に伴って第2のモード f_2 と第3のモード f_3 の周波数が変化するが、この2つのモードの間に生じるバンドギャップの周波数を60GHzとするためには、(C)に示した設計番号No6を採用すればよい。この設計番号No6の条件で、第2のモード f_2 の周波数が54.8GHz、第3のモード f_3 の周波数が80.4GHzであるので、54.8GHz～80.4GHzの間にバンドギャップが生じる。すなわち使用周波数である60GHzのスプリアスモードの伝搬が、このバンドギャップによって阻止される。

[0159] 図46は誘導性領域の線数 n を8とした場合の例である。この場合、第2のモード f_2 と

第3のモード f_3 との間に生じるバンドギャップの周波数を60GHzとするためには、設計番号No3の単位格子を採用すればよい。

[0160] 図47は誘導性領域の線数 n を10とした場合の例である。この場合、第2のモード f_2 と第3のモード f_3 との間に生じるバンドギャップの周波数を60GHzとするためには、設計番号No4の単位格子を採用すればよい。

[0161] 次に、誘導性領域の線幅および線数の依存性について、図48・図49を参照して説明する。

図48の(A)は、誘導性領域の線数 n を6として、ライン幅 L ／スペース幅 S を $5\mu\text{m}$ ／ $5\mu\text{m}$ から $9\mu\text{m}$ ／ $9\mu\text{m}$ まで変化させたときのバンドギャップの周波数 f_0 およびバンドギャップの周波数幅 Δf について示している。また(B)は比帯域 $\Delta f/f_0$ および小型化指標 A/λ_g (λ_g : 基板内での波長)を示している。ここで、周期境界解析の条件は、波数 $\times$ 格子定数 $= (180^\circ, 180^\circ)$ すなわちM点としている。

[0162] なお、ライン L ／スペース S を増大することに伴って格子寸法 A を増大させている。例えばライン L ／スペース $S=5\mu\text{m}/5\mu\text{m}$ のとき、格子寸法 A を $130\mu\text{m}$ 、ライン L ／スペース $S=9\mu\text{m}/9\mu\text{m}$ のとき、格子寸法 A を $234\mu\text{m}$ としている。この格子寸法 A の増大に伴い、第1のモードと第2のモードの平均周波数 f_0 (第1のモードの周波数を f_1 、第2のモードの周波数を f_2 とすると、 $f_0=(f_1+f_2)/2$ である。)は低下した。いずれのモデルも、比帯域 $\Delta f/f_0$ は約37%、小型化指標 A/λ_g は約28%となった。

[0163] 図49は誘導性領域のライン L ／スペース S を $5\mu\text{m}/5\mu\text{m}$ で一定とし、線数 n を6, 8, 10と変化させた例を示している。なお、線数 n を増大することに伴い格子寸法 A を増大させている。例えば線数 $n=6$ のとき、格子寸法 A を $130\mu\text{m}$ 、線数 $n=10$ のとき、格子寸法 A を $210\mu\text{m}$ としている。この格子寸法 A の増大に伴い第1のモードと第2のモードの平均周波数 f_0 は低下した。また、比帯域 $\Delta f/f_0$ は単調を増加し、小型化指標 A/λ_g は単調減少した。したがって、比帯域を広くとるためには線数を多くし、小型化するためには線数を少なくすればよい。

[0164] 次に、単位格子の中央部を誘導性領域、外周部を容量性領域としたことによる効果について、図50・図51を参照して示す。

[0165] 図50・図51のそれぞれにおいて、(A)は、図40に示した単位格子(L分岐型)、(B)は、単位格子の中央部を容量性領域、外周部を誘導性領域とした単位格子(C分岐型)、(C)は(B)における誘導性領域をメアンダライン状にした単位格子(メアンダライン型)の例である。(D)は(A)、(B)、(C)に示した各単位格子を用いた場合のバンドギャップの周波数 f_0 およびバンドギャップの周波数幅 Δf について示している。また(E)は比帯域 $\Delta f/f_0$ および小型化指標 A/λ_g (λ_g :基板内での波長)を示している。図50は誘導性領域の線数 n が8、図51は誘導性領域の線数 n が10の場合についてそれぞれ示している。

[0166] このように、同じ設計条件(格子寸法、線数、線幅)で比較すると、誘導性領域と容量性領域のインピーダンス比が大きくなることにより、比帯域が40%以上にもなり、メアンダライン型やC分岐型に比較して優れた広帯域特性が得られる。すなわちバンドギャップが広いため、単一伝送特性に優れることが分かる。このことは線数が変わっても同様の傾向を示す。なお、この発明のL分岐型はC分岐型との比較では小型化指標で劣るが、従来のメアンダライン型に比べて小型化できる。

[0167] ここで、1次元等価回路の解析により、バンドギャップ設計を行う考え方は既に図36・図37を用いて説明した通りである。

[0168] 《第13の実施形態》

次に、第13の実施形態に係る平面回路および高周波回路装置の例を、図52を参照して説明する。

第12の実施形態ではグラウンデッドコプレーナ線路の線路導体両脇のグランド導体膜をパターン化導体膜とした例を示したが、この第13の実施形態は導波路をグラウンデッドスロットラインとした例である。同図の(A)は上面図、(B)はその単位格子部分の拡大図、(C)は(A)におけるA-A部分の断面図、(D)は(B)におけるB-B部分の断面図である。基板1の上面にはパターン化導体膜3を形成するとともに、スロットSLを形成している。基板1の下面には略全面にグランド導体膜2を形成している。パターン化導体膜3のパターン形成領域Pには(B)、(D)に示すように複数の単位格子を2次元状に配置している。この単位格子CLは第1の実施形態で示したものと同様である。また、パターン非形成領域Nにはこのような単位格子CLを形成するこ

となく、単純に連続したグラウンド導体膜としている。

[0169] このようにしてスロットSL、その両脇のパターン化導体膜3(特にそのパターン非形成領域N)および下面のグラウンド導体膜2によってグラウンデッドスロットラインを構成している。このようなスロットラインにおいても、第1の実施形態の場合と同様に、基板1内を伝搬しようとする平行平板モード等のスプリアスモードの伝搬を阻止できる。

[0170] 《第14の実施形態》

次に、第14の実施形態に係る平面回路および高周波回路装置について図53～図57を参照して説明する。

図53の(A)は上面図、(B)はその単位格子部分の拡大図、(C)は(A)におけるA-A部分の断面図、(D)は(B)におけるB-B部分の断面図である。基板1の上面にはパターン化導体膜3を形成するとともに、スロットSLを形成している。基板1の下面にもパターン化導体膜5を形成するとともに、スロットSLを形成している。パターン化導体膜3、5のパターン形成領域Pには(B)、(D)に示すように複数の単位格子CLを2次元状に配置している。この単位格子CLは第1・第2の実施形態で示したものと同様である。下面のパターン化導体膜5に形成した単位格子の容量性領域CAと誘導性領域LAのパターンは上面のパターンと面对称の関係にあり、上面または下面から透視すれば、上下面の容量性領域CAのパターン同士、誘導性領域LAのパターン同士は重なる。また、パターン非形成領域Nは、このような単位格子CLを形成することなく、単純に連続したグラウンド導体膜としている。このようにして、両面スロット線路またはPDTL(平面誘電体線路)を構成している。

[0171] 次に、この発明に係る平面回路を4端子Sパラメータで解析した例を図54～図57を参照して説明する。

解析モデルについては図20に示したとおりである。

[0172] 図54は解析領域の切り出し方の例を示している。ここでは一つの単位格子CLを4端子とするSパラメータを求めた。

[0173] 図55～図57は、誘導性領域の線数nを変えたときのSパラメータと分散関係の例を示している。

[0174] 図55は、線数n=6、ラインL/スペースS=11 μ m/11 μ mの例であり、

ここで単位格子の各部の寸法は次の通りである。

[0175] 格子寸法: $A=286\ \mu\text{m}$

容量性領域の幅 $W:143\ \mu\text{m}$

基板厚さ $H1:300\ \mu\text{m}$

上下空間 $H2:300\ \mu\text{m}$

図56は、線数 $n=8$ 、ライン L / スペース $S=7\ \mu\text{m} / 7\ \mu\text{m}$ の例であり、

ここで単位格子の各部の寸法は次の通りである。

[0176] 格子寸法: $A=238\ \mu\text{m}$

容量性領域の幅 $W:119\ \mu\text{m}$

基板厚さ $H1:300\ \mu\text{m}$

上下空間 $H2:300\ \mu\text{m}$

図57は、線数 $n=10$ 、ライン L / スペース $S=5\ \mu\text{m} / 5\ \mu\text{m}$ の例であり、

ここで単位格子の各部の寸法は次の通りである。

[0177] 格子寸法: $A=210\ \mu\text{m}$

容量性領域の幅 $W:105\ \mu\text{m}$

基板厚さ $H1:300\ \mu\text{m}$

上下空間 $H2:300\ \mu\text{m}$

このように、線数を変化させた場合でも、各条件で両面の導体膜をパターン化導体膜とすることによって、60GHz前後にバンドギャップが形成された。単位格子の対角線を一辺とする正方形で4端子のSパラメータを解析することにより、バンドギャップにおいて S_{11} は高く(反射が大きく)なり、 $S_{21} \sim S_{41}$ は減衰する傾向を確認した。また、パターンの対称性から、 S_{31} と S_{41} は重なった。

[0178] 《第15の実施形態》

次に、第15の実施形態に係る高周波回路装置について図58を参照して説明する。

図58は単位格子の平面図である。単位格子 CL の中央には誘導性領域 LA を備え、外周の各辺に容量性領域 CA を備えるが、図41に示した例と異なり、単位格子の四隅部分の空間にも容量性領域 CA を延長している。誘導性領域 LA については図

41に示したものと同様である。このようにして容量性領域の面積を広げてもよい。

[0179] 《第16の実施形態》

次に、第16の実施形態に係る平面回路について図59を参照して説明する。

図59は複数の単位格子を2次元配置した部分を示している。この例では、誘導性領域LAを12重らせん状の導体パターンで構成し、外周端Poを容量性領域CAに接続し、中心端Pcで各導体パターン同士を互いに接続している。このように多重らせんの多重数を増しても誘導性領域LAを構成できる。

[0180] 同様に、8重らせん状の導体パターンや16重らせん状の導体パターンも可能である。このらせん状導体パターンの線幅が動作周波数の表皮深さよりも細い場合は、表皮効果の緩和による損失低減効果が期待できる。このように誘導性領域の多重らせんの線数を増すことにより、誘導性領域がより高いQ値を持つ誘導素子として作用する。但し、多重らせんの線数を増せば単位格子の寸法が増大するので、また各らせん状の導体に流れる電流のバランスが悪い場合には、却ってQ値が劣化する場合もあるので、線数および線幅の設計にはその点に注意する。

[0181] なお、図59に示した例では、容量性領域を誘導性領域の各線路導体毎に分離したが、単位格子CLの外周の4辺の中央部で一体の容量性領域を構成してもよい。

[0182] 《第17の実施形態》

図60は第17の実施形態に係る平面回路で用いる単位格子の構成を示している。(A)は図41等で示した基本形であり、(B)はその変形例である。ここでは単位格子の一边aと、それに直交する辺bの寸法を異ならせて縦横比を1:1から変えている。このように単位格子を2回回転対称形である長方形とすることも有効である。また、この縦横比の設計自由度を積極的に利用することにより、その縦方向と横方向についてのバンドギャップの特性に異方性をもたせることもできる。

[0183] 《第18の実施形態》

図61は第18の実施形態に係る平面回路における単位格子の構成およびその2次元配置の例を示している。これまでに示した実施形態では正方形または長方形の単位格子を用いたが、この例では単位格子CLを3回回転対称形である正三角形とし、それらを充填配置している。単位格子CLの中央には誘導性領域LAを備え、外周の

各辺のそれぞれの中央付近に容量性領域CAを備えている。そして、隣接する2つの単位格子に着目したとき、その2つの単位格子の中央で容量性領域同士を互いに接続している。このように3回回転対称の単位格子を2次元配置しても同様の作用効果が得られる。

[0184] 《第19の実施形態》

図62は第19の実施形態に係る平面回路における単位格子の構成およびその2次元配置の例を示している。この例では、6回回転対称形である正六角形状の単位格子CLを2次元状に充填配置している。各単位格子CLの中央には誘導性領域LAを備え、外周の各辺のそれぞれの中央付近に容量性領域CAを備えている。そして、隣接する2つの単位格子に着目したとき、その2つの単位格子の中央で容量性領域同士を互いに接続している。このように6回回転対称の単位格子を2次元配置しても同様の作用効果が得られる。

[0185] 《第20の実施形態》

この発明の平面回路を備えた高周波回路装置の特性をシミュレーションにより求めた例を第20の実施形態として示す。

[0186] 図63の(A)は、平面回路の単位格子の形状と寸法、(B)は高周波回路装置の構造を示している。単位格子は(A)に示すパターンであり、ラインL/スペースS=9 μ m/9 μ m、線数n=6で、一辺が234 μ mの正方形である。高周波回路装置は、比誘電率24、厚み0.3mmで、5.0mm×7.5mmの基板に導体パターンを形成したものである。この例では、(1)裏面にグランド導体膜のない通常のコプレーナ線路CPW、(2)裏面にグランド導体膜を設けたグラウンデッドコプレーナ線路CBCPW、(3)CBCPWのグランド導体膜部分に上記単位格子を2次元配置した高周波回路装置、それぞれについて特性を求めた。この高周波回路装置については、具体的には、コプレーナ線路の両側に広がるグランド導体膜の片方で単位格子を8行×29列配置している。

[0187] 図64は、そのSパラメータと分散関係を示している。図の下段は透過特性S₂₁、上段は5つのモードとバンドギャップBGをそれぞれ表している。この結果から次のことが分かる。

- [0188] (1) CPWは約80GHzまで比較的平坦な挿入損失特性を持つ。
- [0189] ただし、80GHzを超える辺りから表面波によるリップルの発生が大きくなる。
- [0190] (2) CBCPWには約20GHz以上で平行平板モードによるリップルが多く見られる。
- [0191] (3) 格子配置モデルではCBCPWに見られるようなリップルが抑圧できている。
- [0192] 特に70-90GHz付近では広帯域なバンドギャップ(BG)による挿入損失の改善効果が見られる。
- [0193] このように、単位格子を2次元配置した平面回路によって、平行平板モードが抑圧され、平面波によるリップルも殆ど生じることがないので、広帯域にわたってリップルの少ない透過特性が得られる。

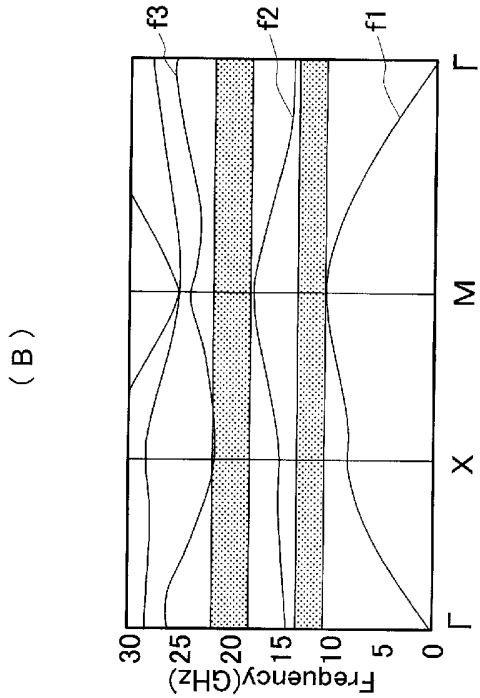
請求の範囲

- [1] 基板と、その両主面に形成された導体膜とによる平面回路であって、
前記基板の少なくとも一方の主面に形成された導体膜は、基本導体パターンである単位格子が2次元配置の周期性をもって所定範囲に亘ってパターンニングされたパターン形成領域を備えていて、
前記単位格子は回転対称であり、
前記単位格子の中央は、前記基板の対向面に形成された導体膜との間で容量が生じる1つの容量性領域であり、外周の各辺のそれぞれの中央付近は誘導性領域であり、
前記誘導性領域は、隣接する2つの単位格子に着目したときに、その2つの単位格子の中央で中心端が互いに接続され、外周端が前記容量性領域にそれぞれ接続された2回回転対称の多重らせん状の導体パターンである、
平面回路。
- [2] 基板と、その両主面に形成された導体膜とによる平面回路であって、
前記基板の少なくとも一方の主面に形成された導体膜は、単位格子となる基本導体パターンが2次元配列の周期性をもって所定範囲に亘ってパターンニングされたパターン形成領域を備えていて、
前記単位格子は回転対称形であり、
前記単位格子の中央は誘導性領域であり、前記単位格子の外周の各辺のそれぞれの少なくとも中央付近は、前記基板の対向面に形成された導体膜との間で容量が生じる容量性領域であり、
前記誘導性領域は、中心で互いに接続され、外周端が前記容量性領域にそれぞれ接続された多重らせん状の導体パターンからなり、
隣接する2つの単位格子に着目したときに、その2つの単位格子の中央で前記容量性領域同士が接続された、
平面回路。
- [3] 請求項1または2に記載の平面回路を備え、該平面回路の前記基板の一方の主面の導体膜で線路導体パターンを形成し、他方の主面の導体膜でグランド導体を形成

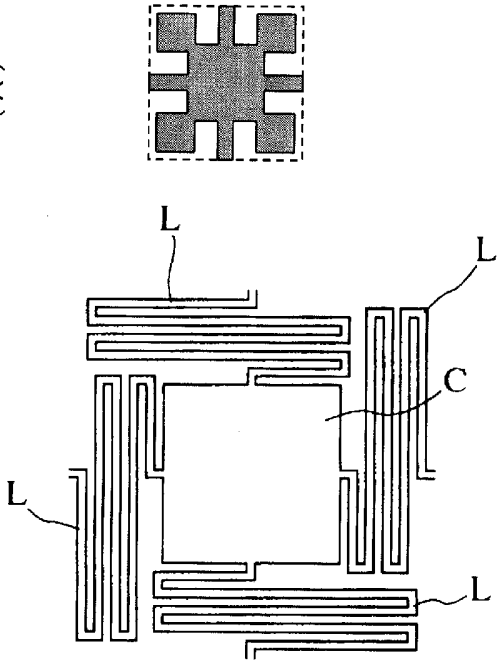
してグラウンデッド導波路を構成するとともに、前記グラウンデッド導波路の電磁波導波領域から所定距離離れた前記導体膜の領域を前記パターン形成領域とした高周波回路装置。

- [4] 請求項1または2に記載の平面回路を備え、該平面回路の前記基板の両主面の導体膜で、基板を挟んで対向する面对称の線路導体パターンを形成して導波路を構成するとともに、前記導波路の電磁波導波領域から所定距離離れた前記導体膜の領域を前記パターン形成領域とした高周波回路装置。
- [5] 請求項1または2に記載の平面回路を備えるとともに、前記基板に高周波回路を構成してなる高周波回路装置。
- [6] 請求項1または2に記載の平面回路または請求項3～5のいずれかに記載の高周波回路装置を高周波信号処理部に備えた送受信装置。

[図1]

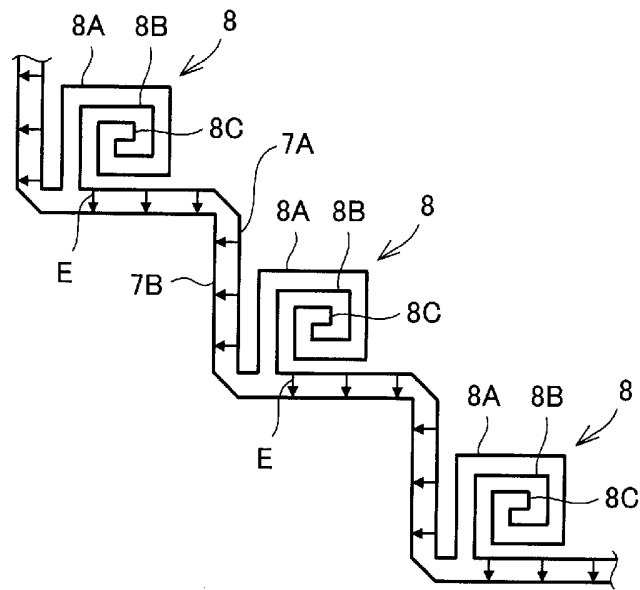


(A)

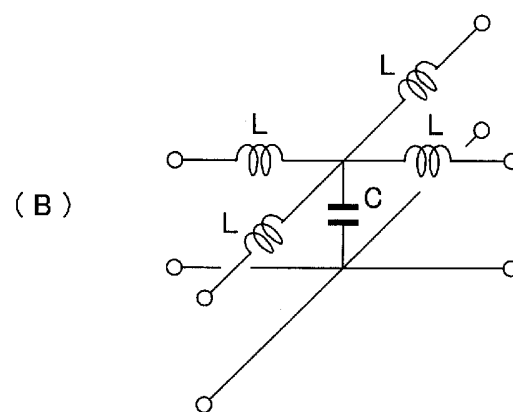
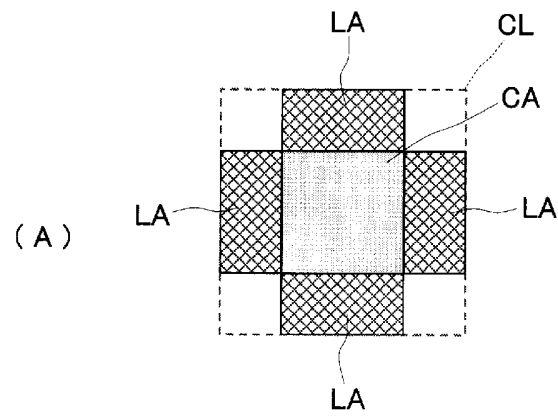


[図2]

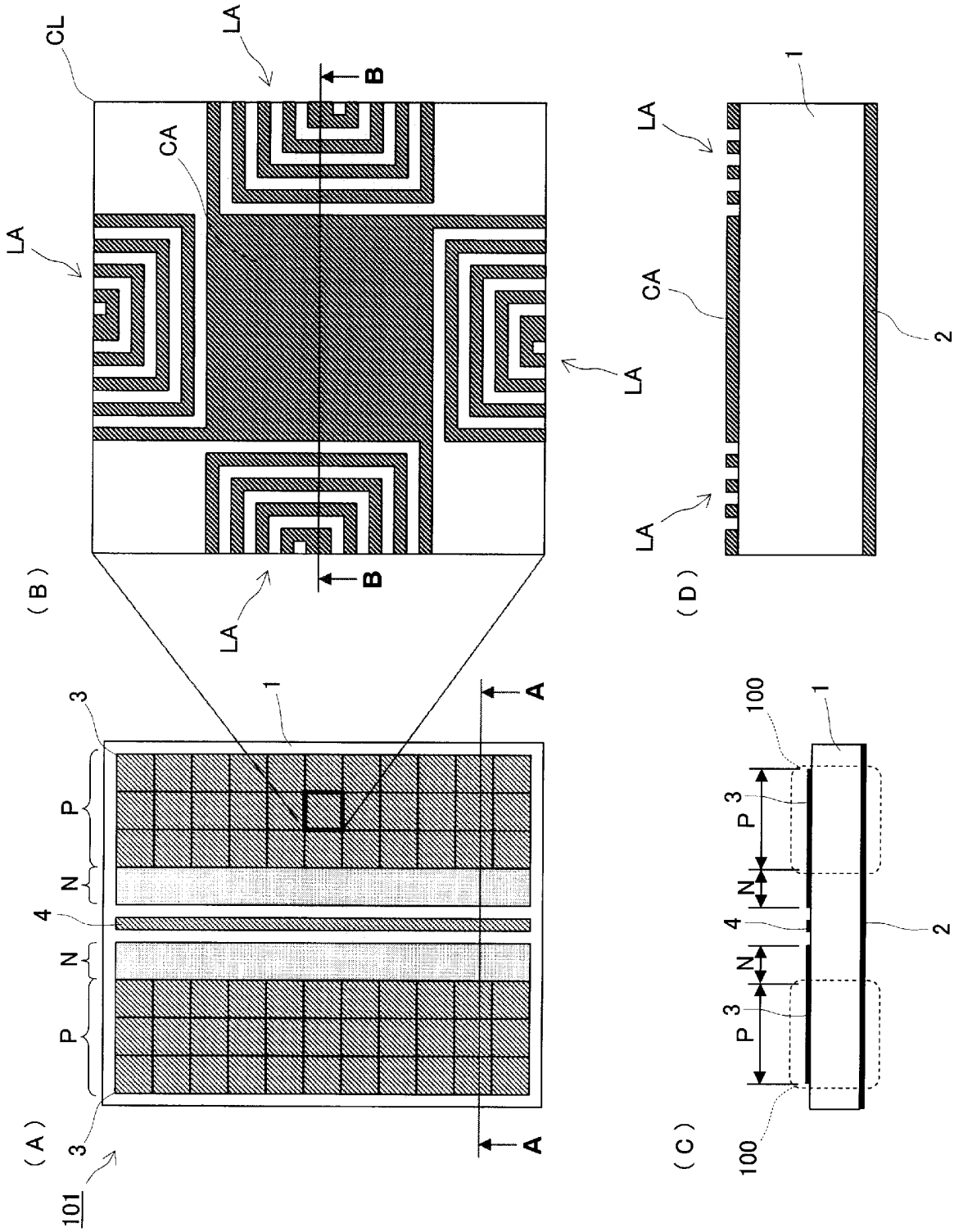
[図3]



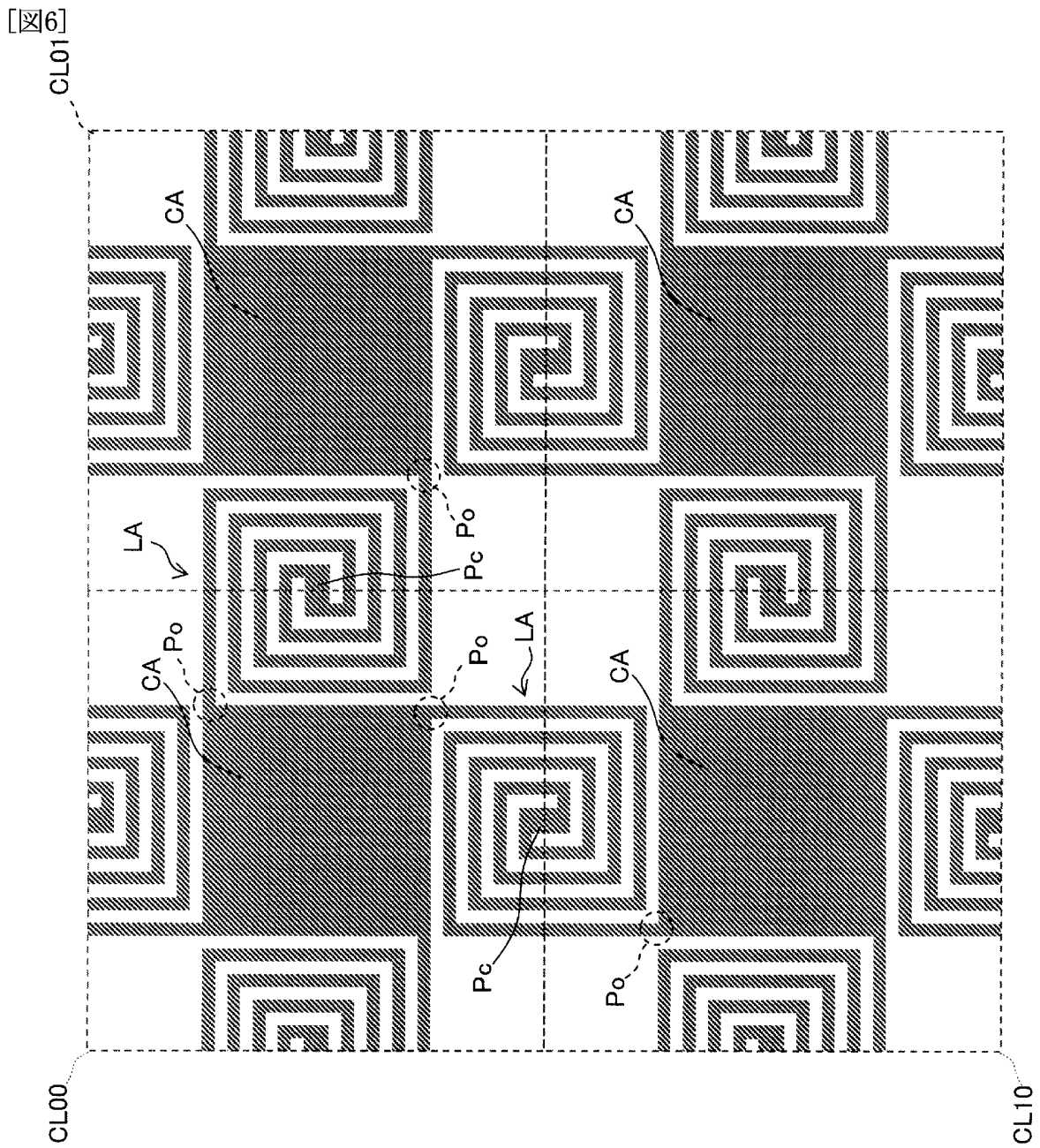
[図4]



[図5]

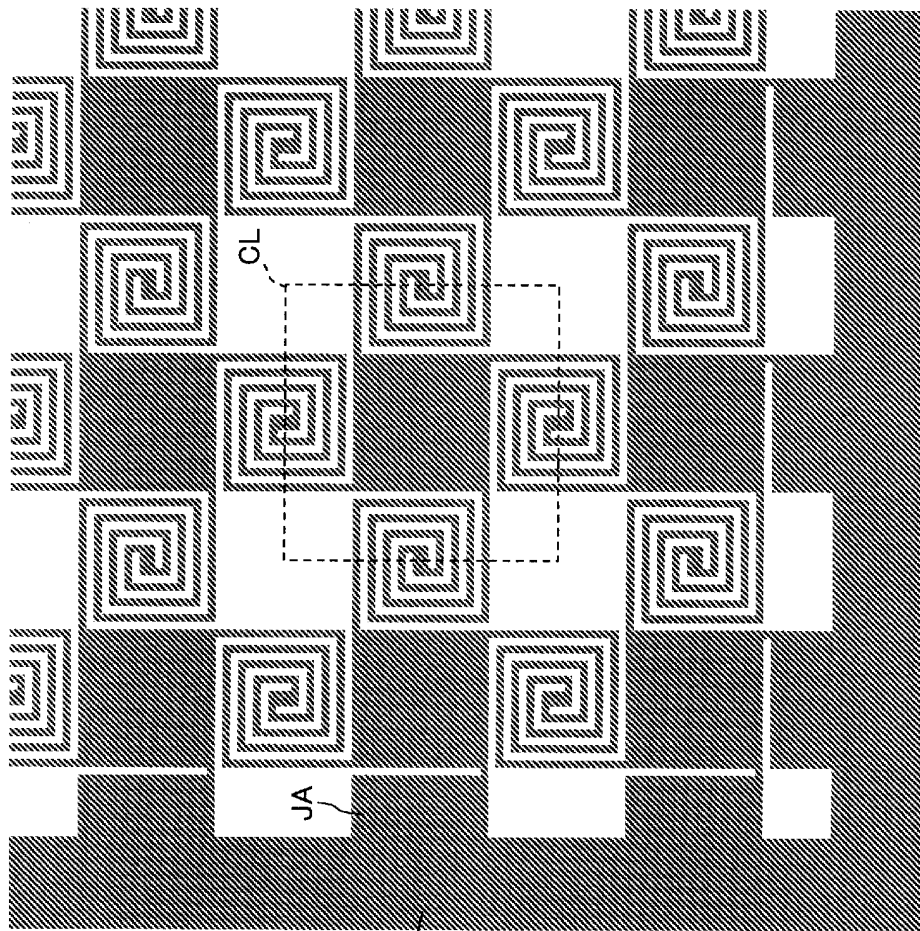


[図6]

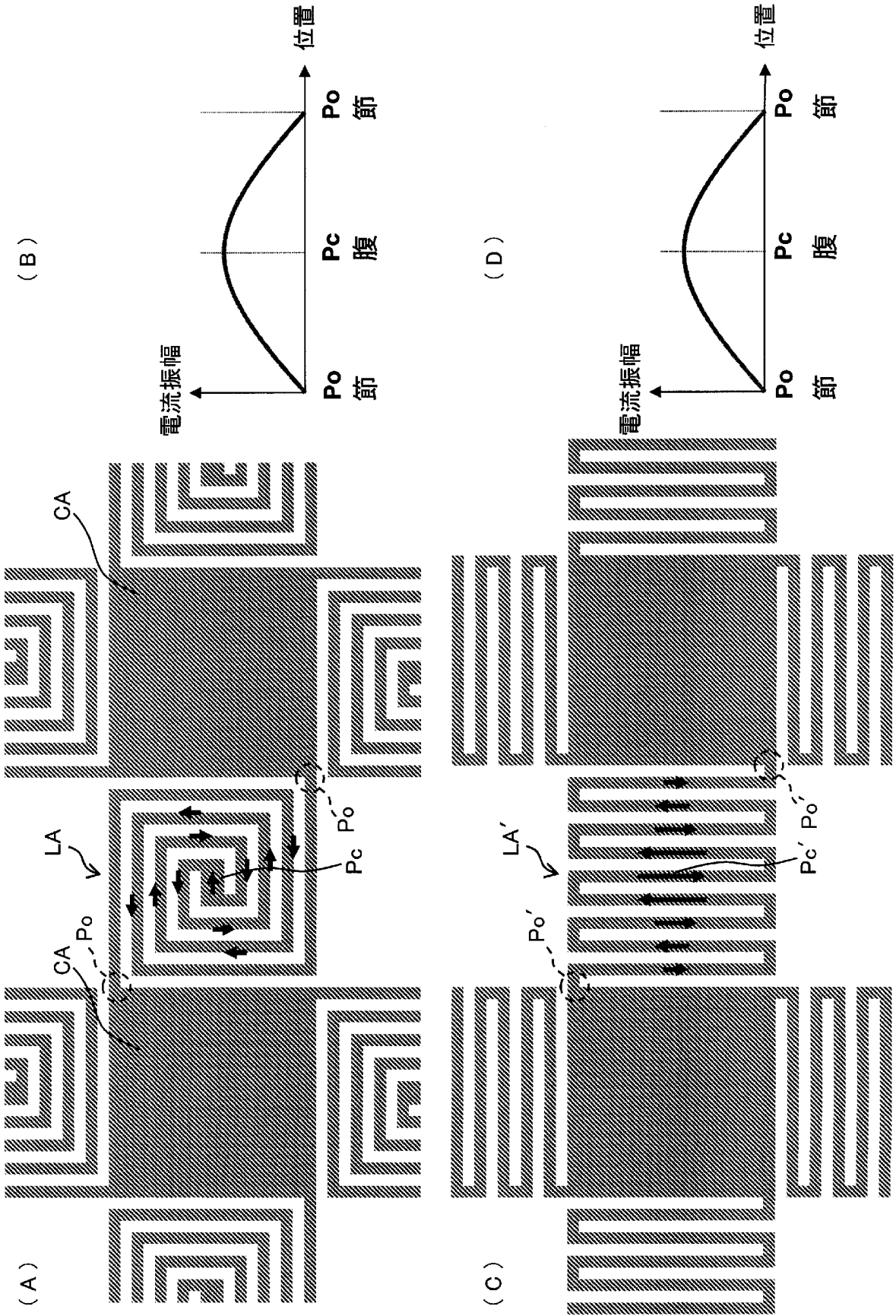


[図7]

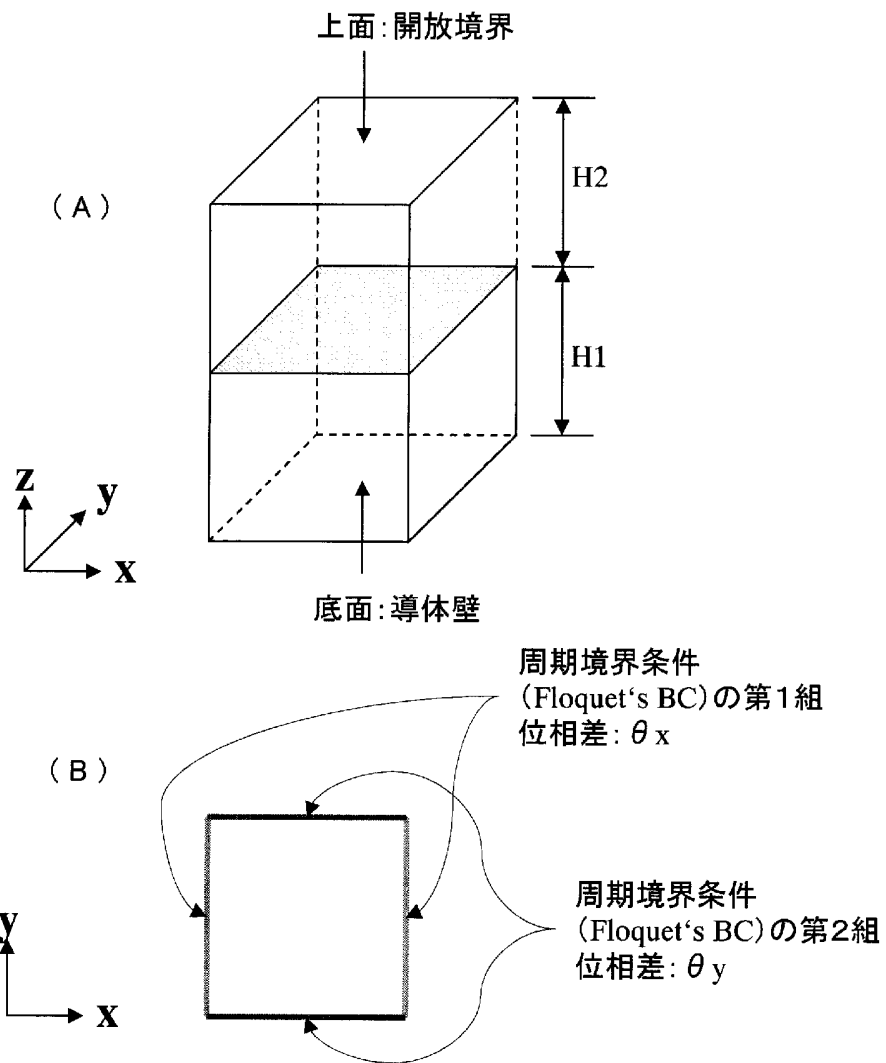
3



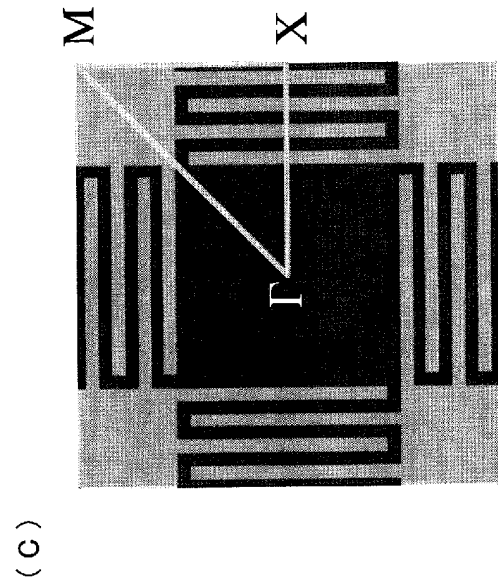
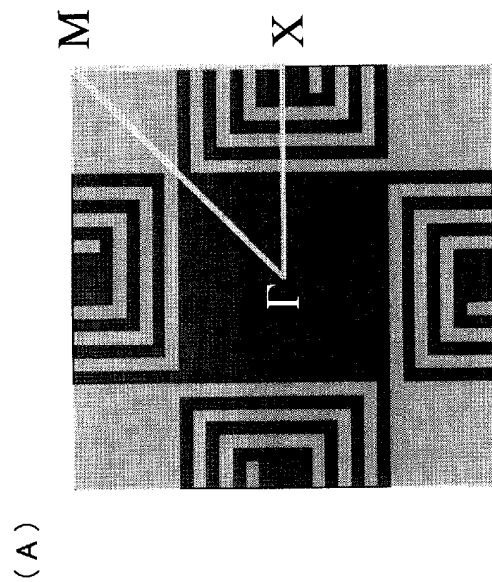
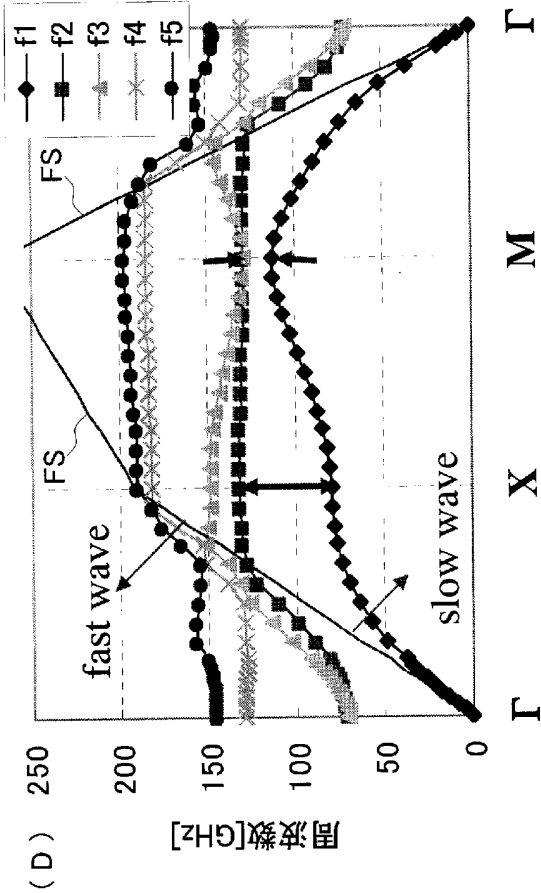
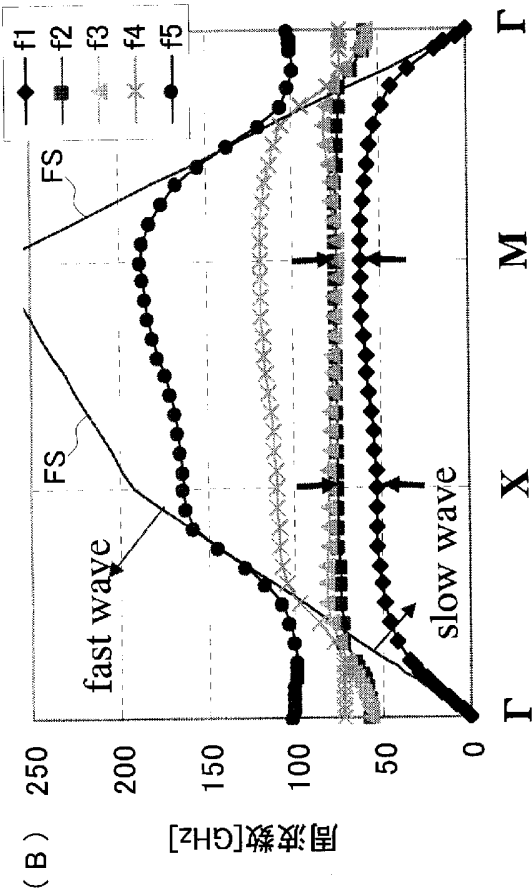
[図8]



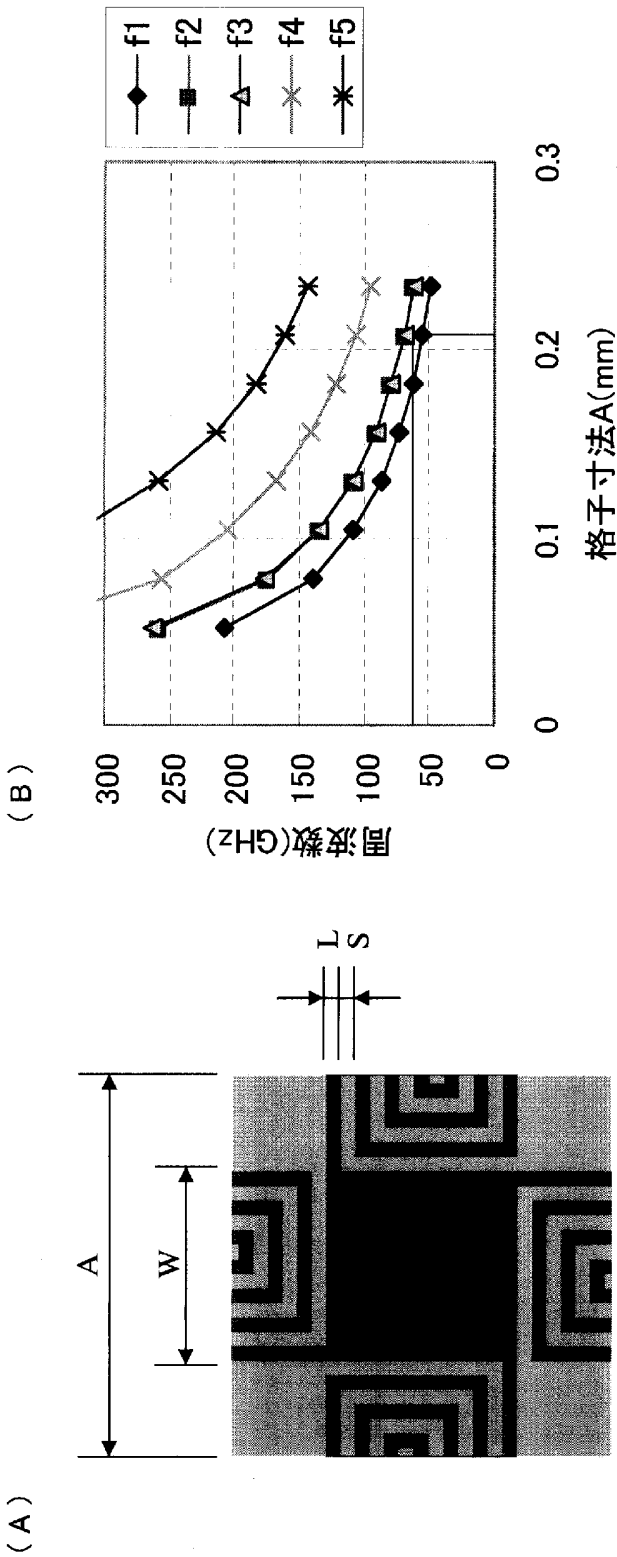
[図9]



[図10]



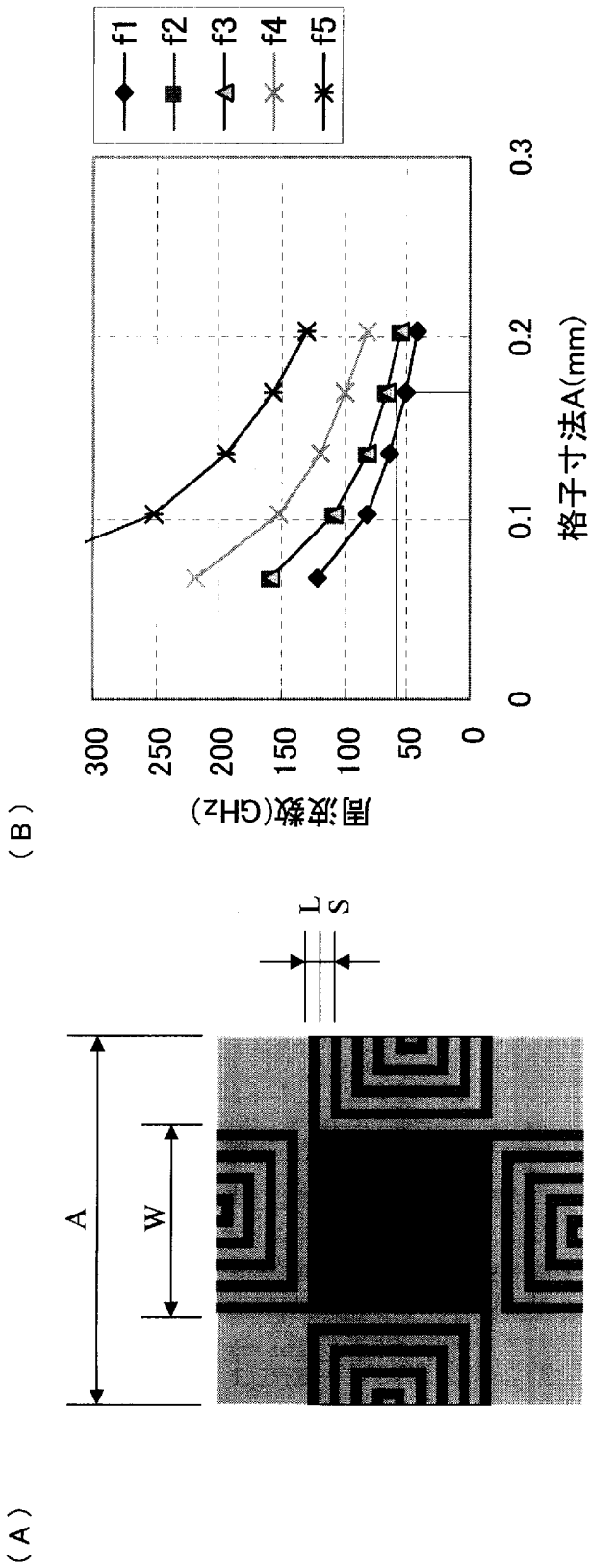
[図11]



(C)

No	A (mm)	W (mm)	H1 (mm)	H2 (mm)	L (mm)	S (mm)	f1 (GHz)	f2 (GHz)	f3 (GHz)	f4 (GHz)	f5 (GHz)
1	0.052	0.026	0.300	0.300	0.002	0.002	207.0	259.2	262.0	370.7	571.0
2	0.078	0.039	0.300	0.300	0.003	0.003	138.8	174.9	175.4	256.8	409.8
3	0.104	0.052	0.300	0.300	0.004	0.004	107.1	135.4	135.6	205.9	319.0
4	0.130	0.065	0.300	0.300	0.005	0.005	86.5	109.1	109.1	167.6	257.3
5	0.156	0.078	0.300	0.300	0.006	0.006	72.1	91.2	91.2	140.8	214.0
6	0.182	0.091	0.300	0.300	0.007	0.007	62.0	78.5	78.5	121.8	183.2
7	0.208	0.104	0.300	0.300	0.008	0.008	54.2	68.5	68.5	105.9	160.2
8	0.234	0.117	0.300	0.300	0.009	0.009	48.2	60.8	60.9	94.0	143.2

[図12]

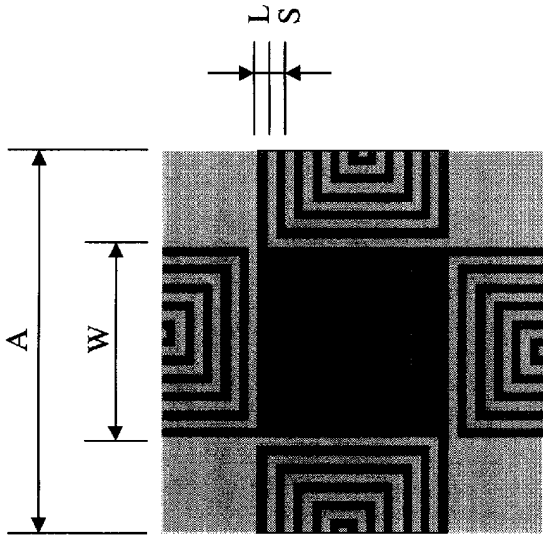


(C)

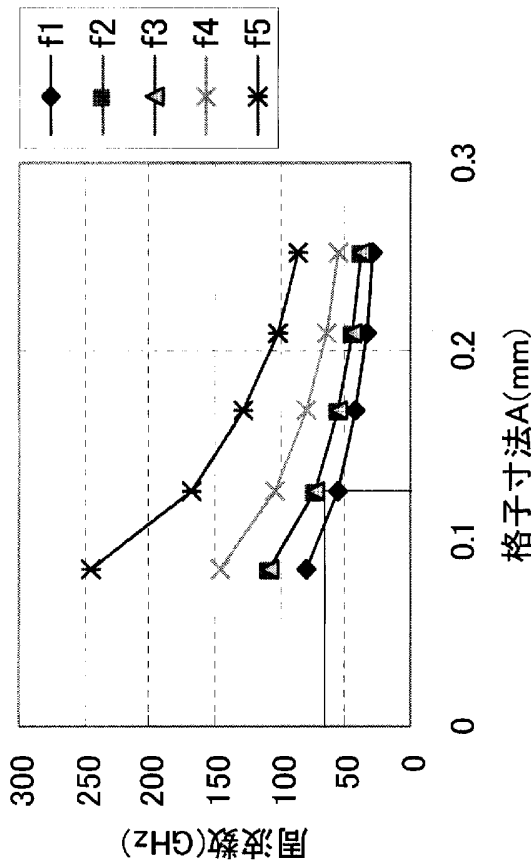
No	A (mm)	W (mm)	H1 (mm)	H2 (mm)	L (mm)	S (mm)	f1 (GHz)	f2 (GHz)	f3 (GHz)	f4 (GHz)	f5 (GHz)
1	0.068	0.034	0.300	0.300	0.002	0.002	122.0	158.7	158.9	217.5	378.1
2	0.102	0.051	0.300	0.300	0.003	0.003	82.4	107.7	108.2	152.6	251.5
3	0.136	0.068	0.300	0.300	0.004	0.004	63.4	82.2	82.5	119.8	193.3
4	0.170	0.085	0.300	0.300	0.005	0.005	51.4	66.6	66.6	98.7	155.9
5	0.204	0.102	0.300	0.300	0.006	0.006	42.8	55.5	55.5	82.3	129.2

[図13]

(A)



(B)

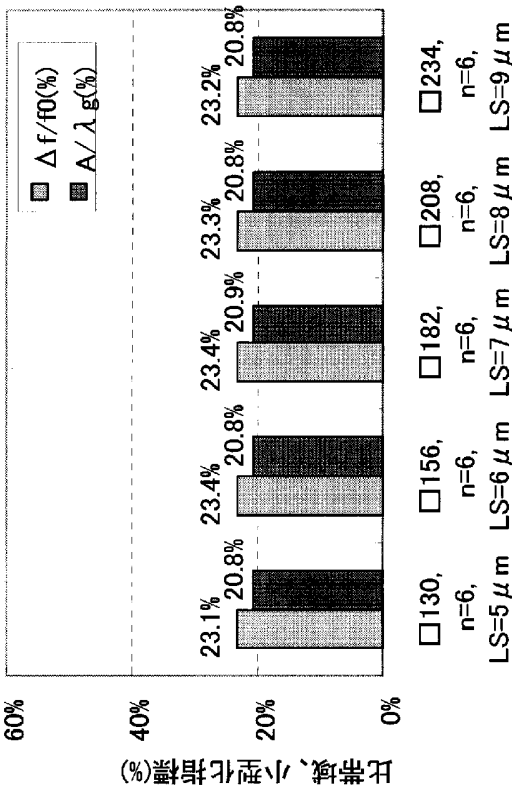


(C)

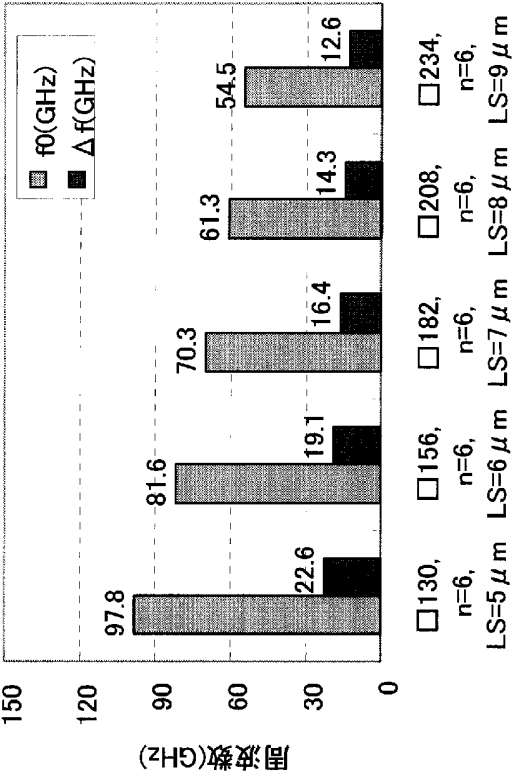
No	A (mm)	W (mm)	H1 (mm)	H2 (mm)	L (mm)	S (mm)	f1 (GHz)	f2 (GHz)	f3 (GHz)	f4 (GHz)	f5 (GHz)
1	0.084	0.042	0.300	0.300	0.002	0.002	80.3	107.2	107.5	145.2	244.5
2	0.126	0.063	0.300	0.300	0.003	0.003	55.4	73.5	73.6	103.7	168.6
3	0.168	0.084	0.300	0.300	0.004	0.004	42.4	55.7	55.7	80.5	128.1
4	0.210	0.105	0.300	0.300	0.005	0.005	34.0	44.8	44.8	64.9	102.3
5	0.252	0.126	0.300	0.300	0.006	0.006	28.4	37.4	37.4	54.7	85.6

[図14]

(B)

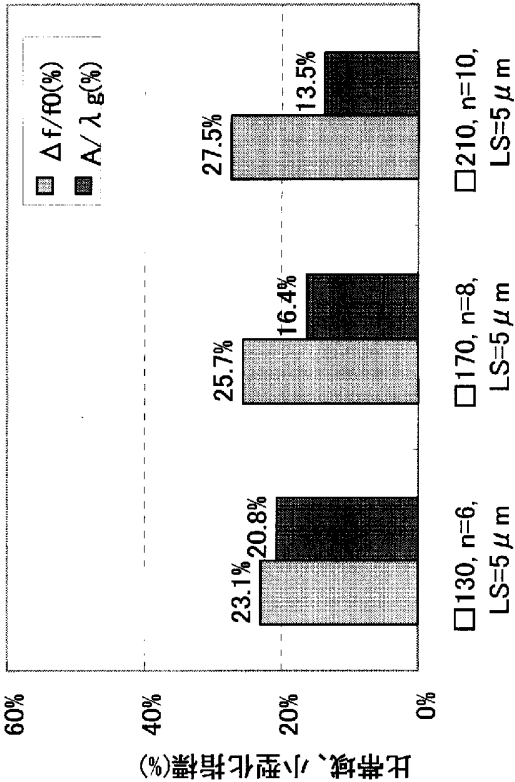


(A)

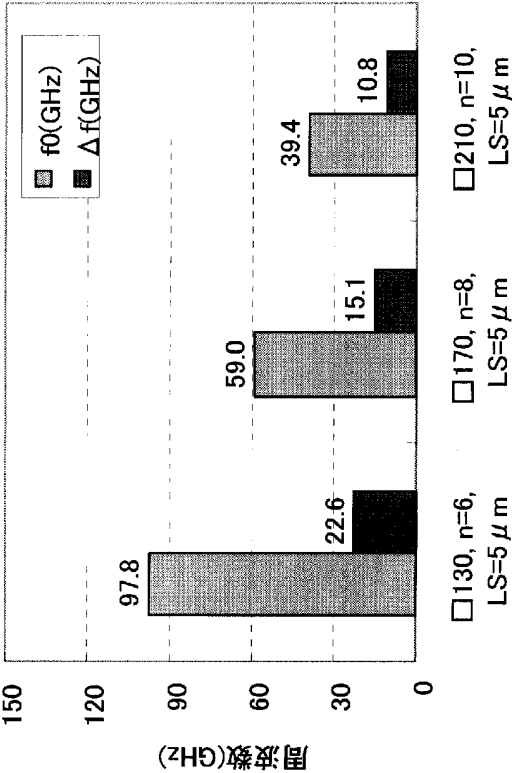


[図15]

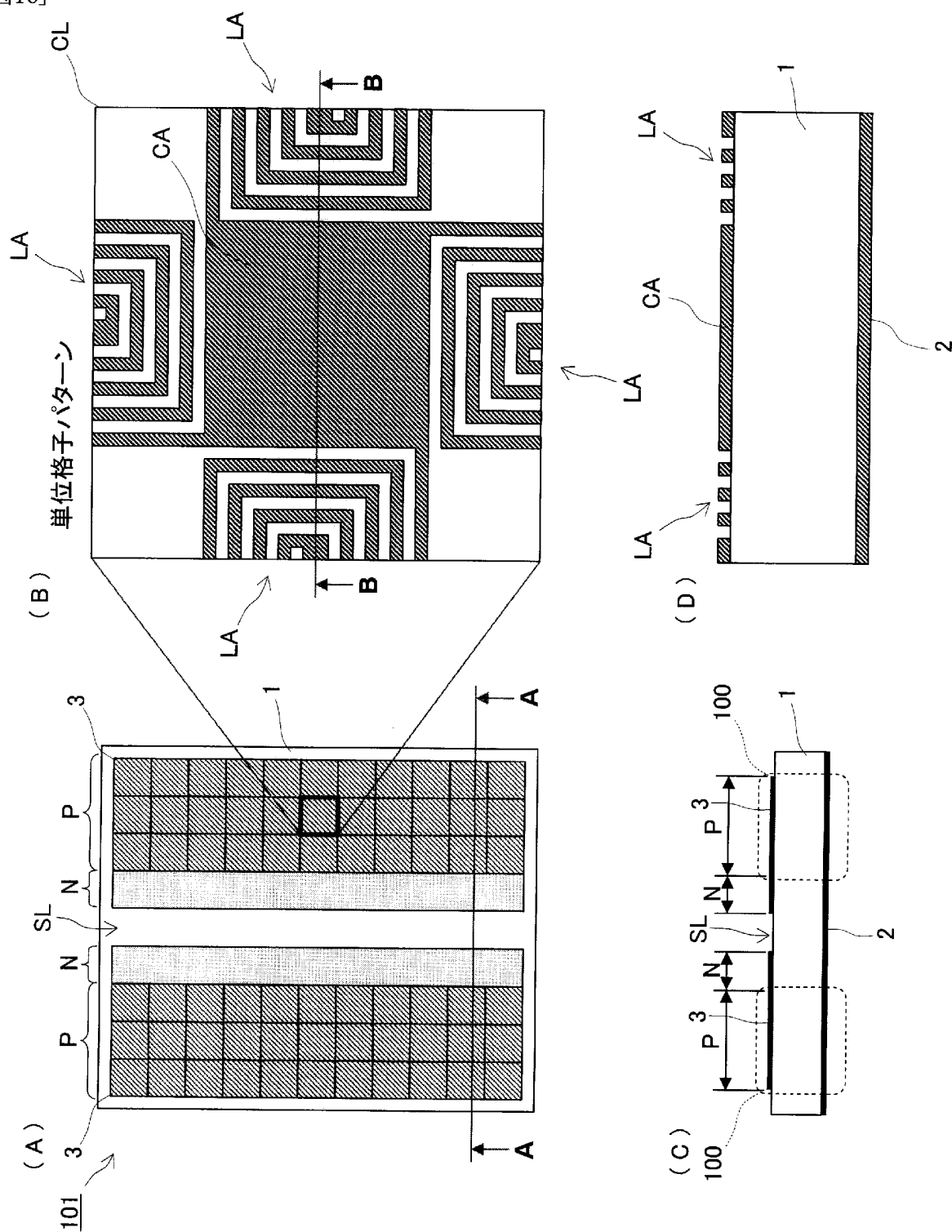
(B)



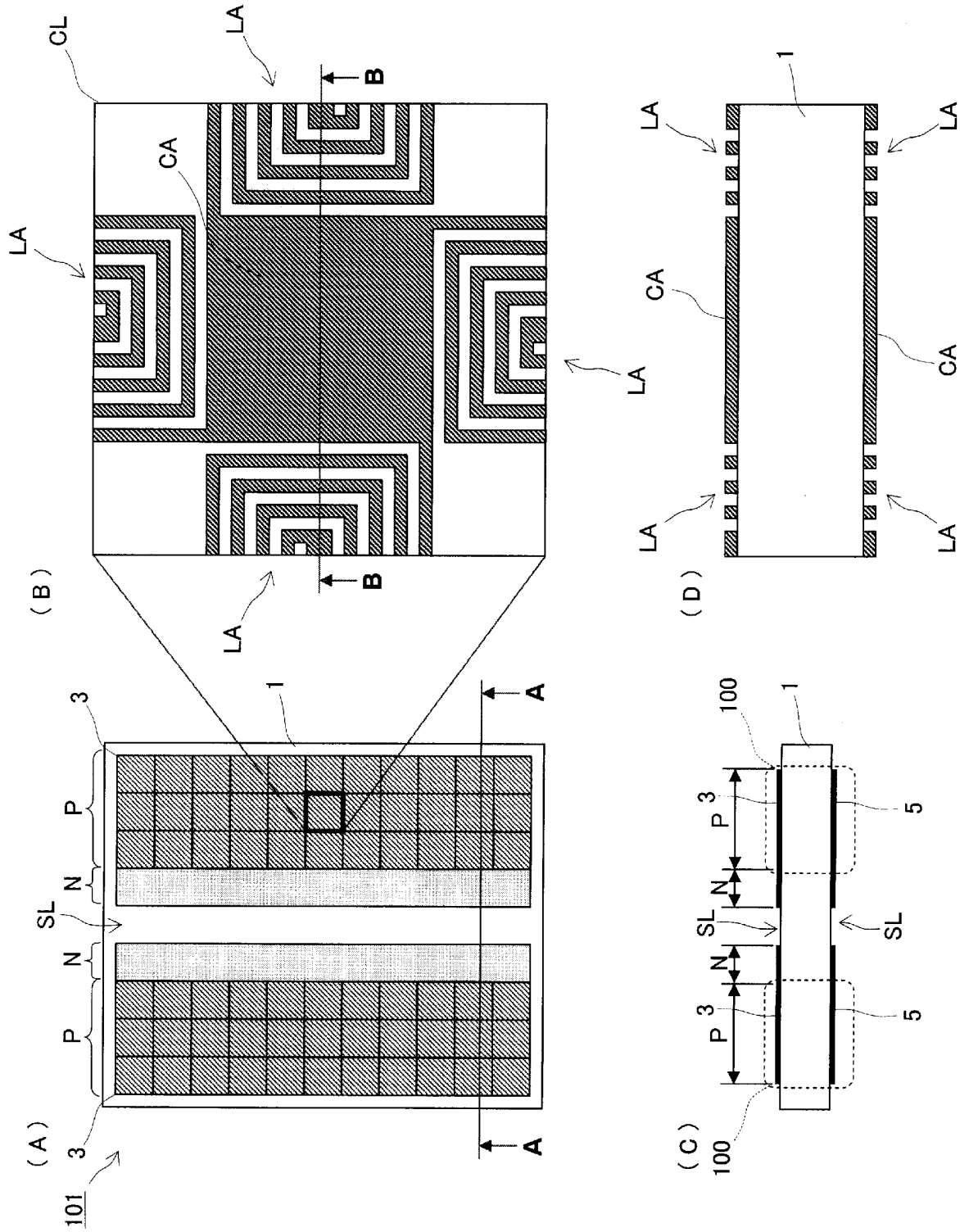
(A)



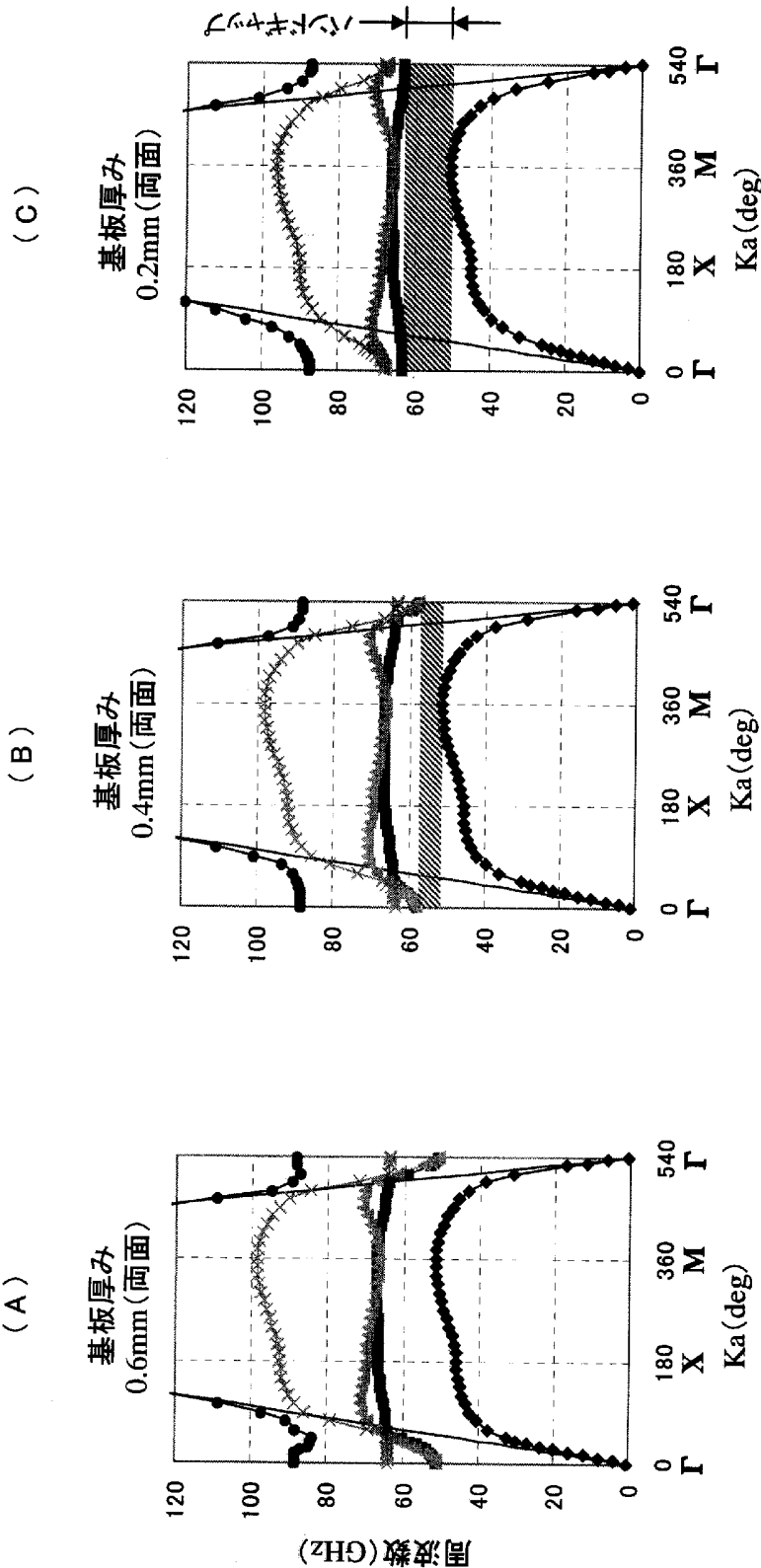
[図16]



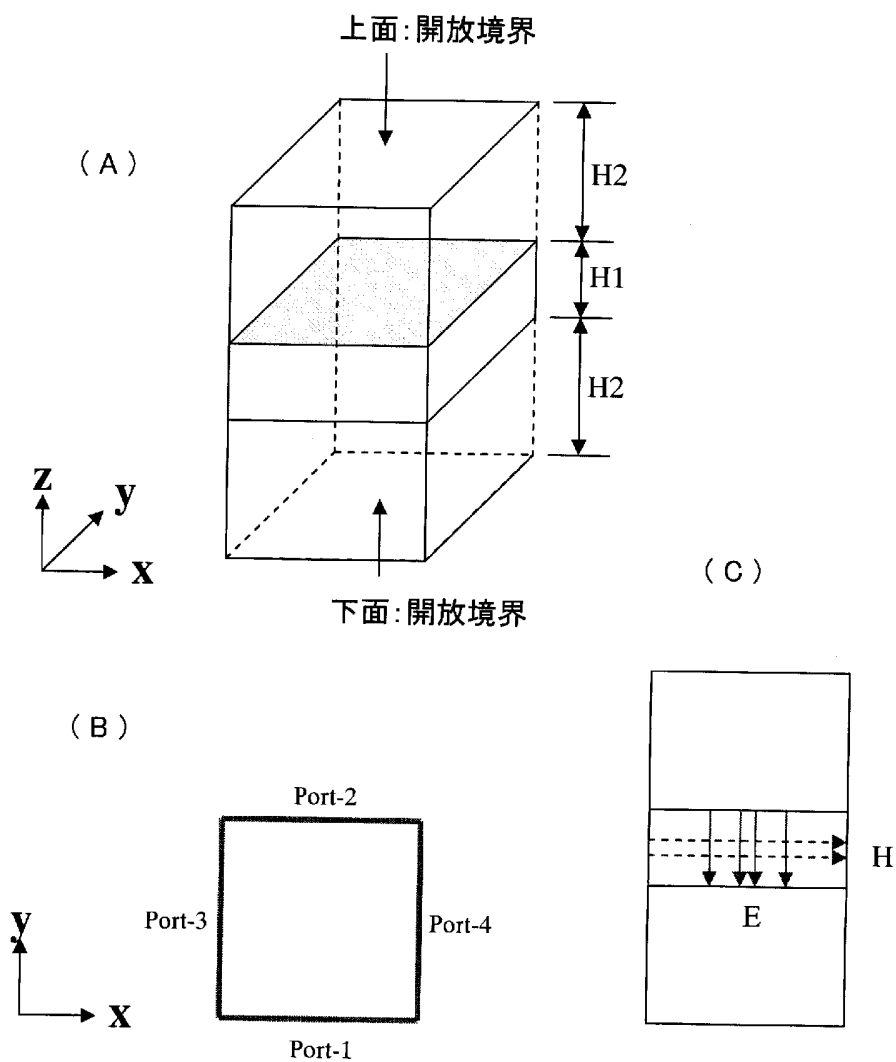
[図17]



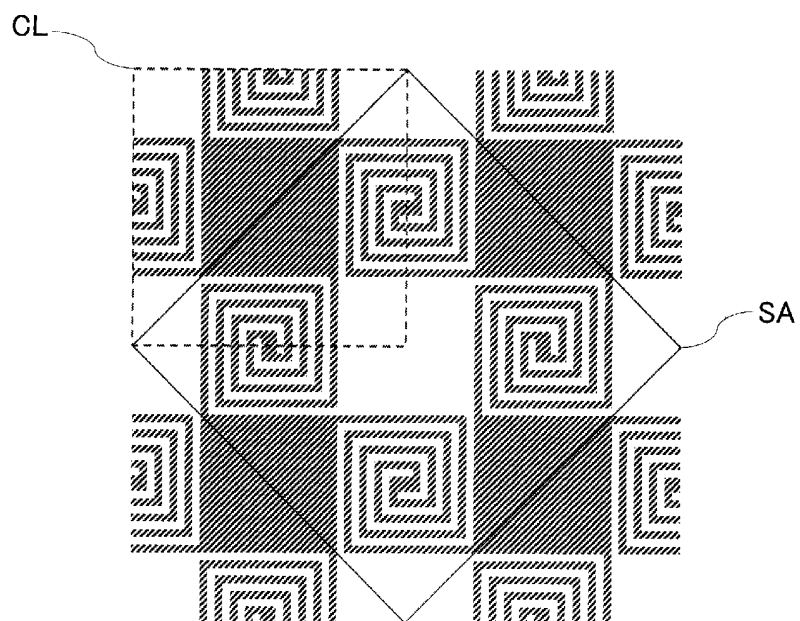
[図19]



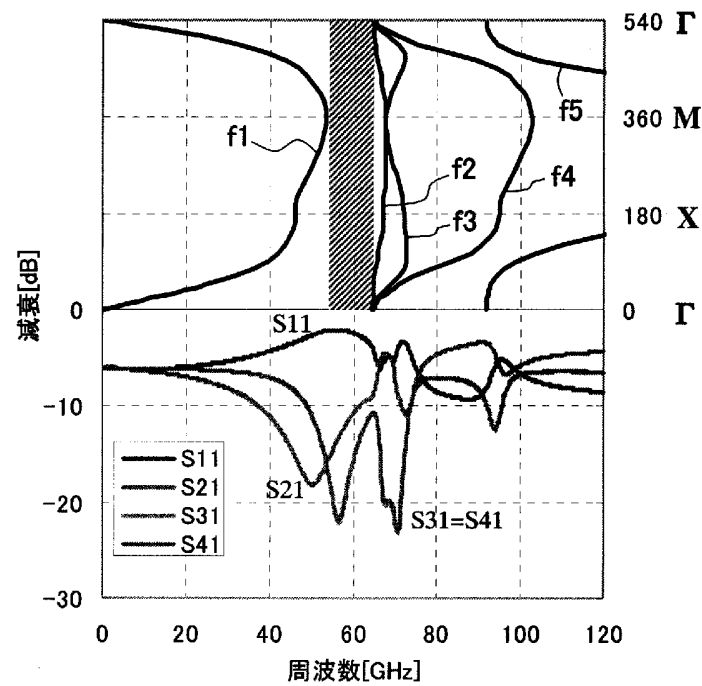
[図20]



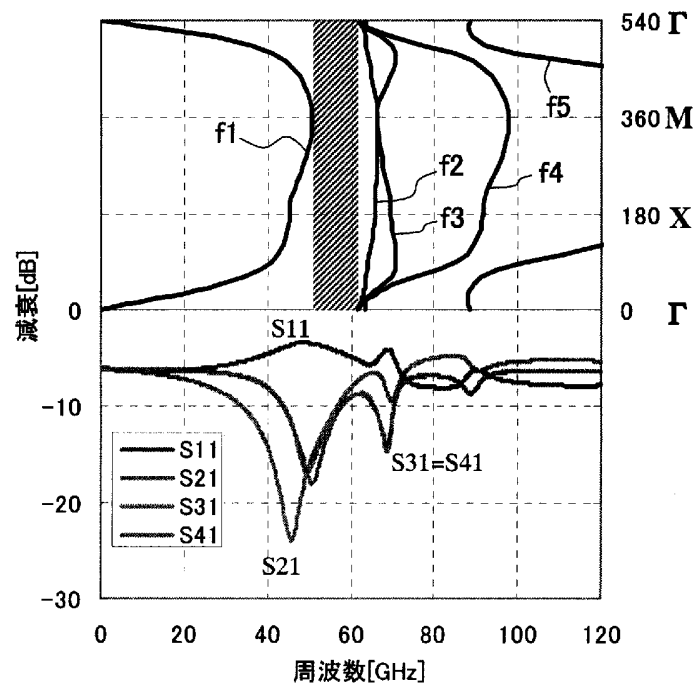
[図21]



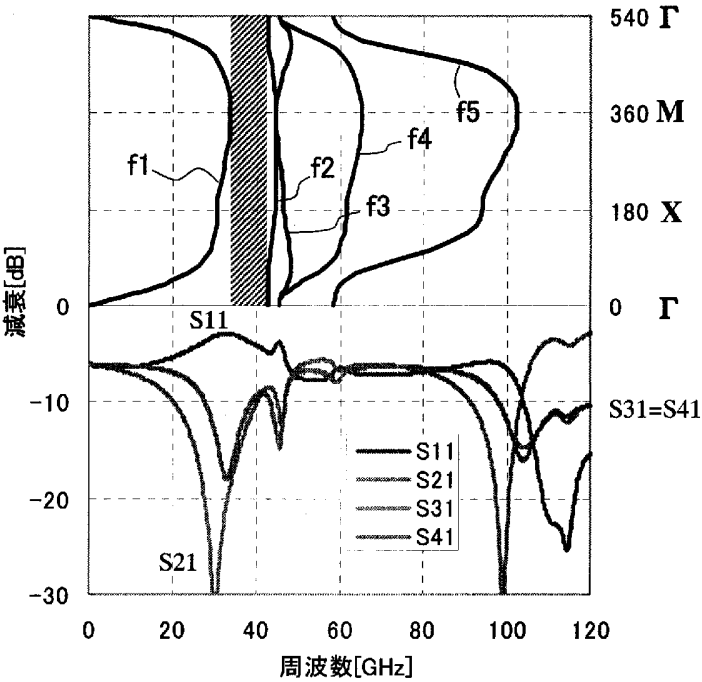
[図22]



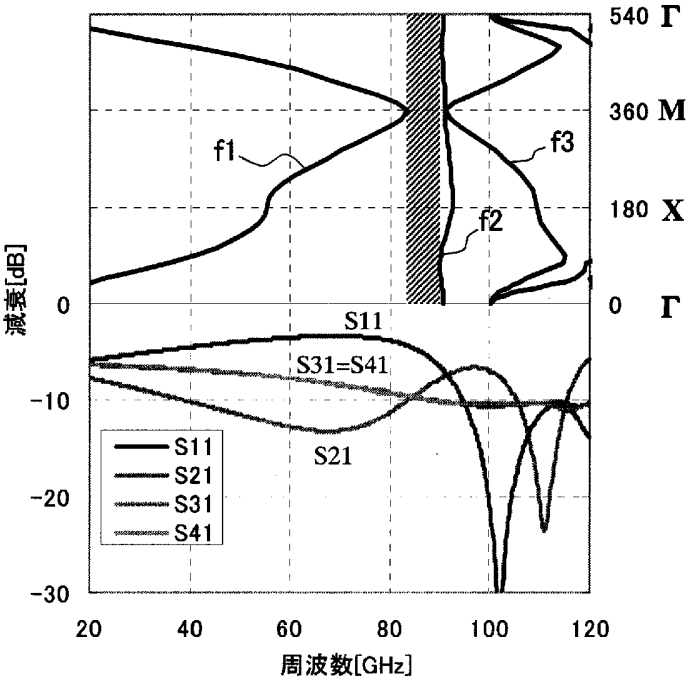
[図23]



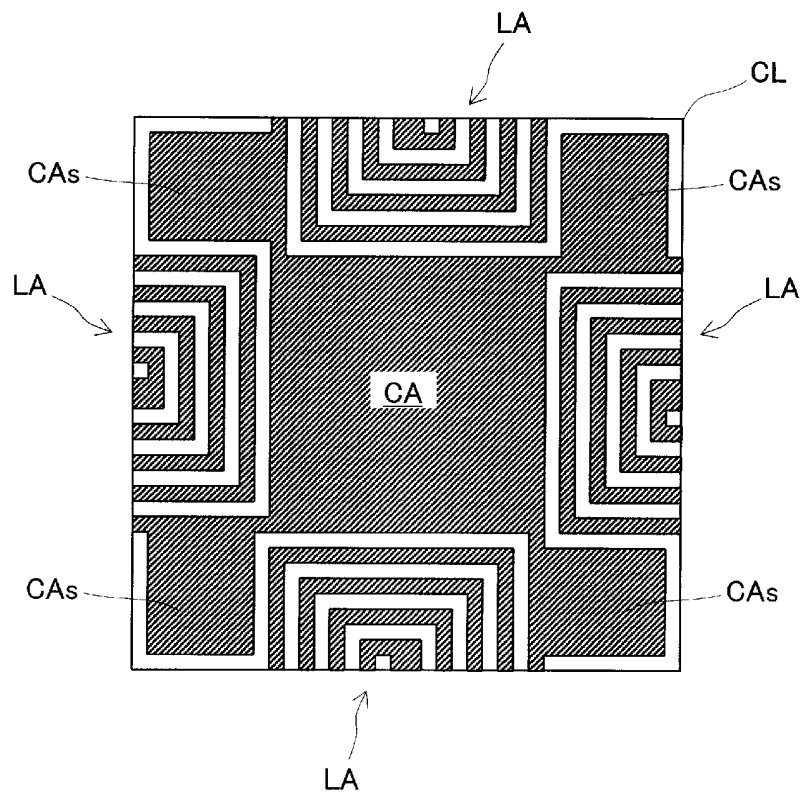
[図24]



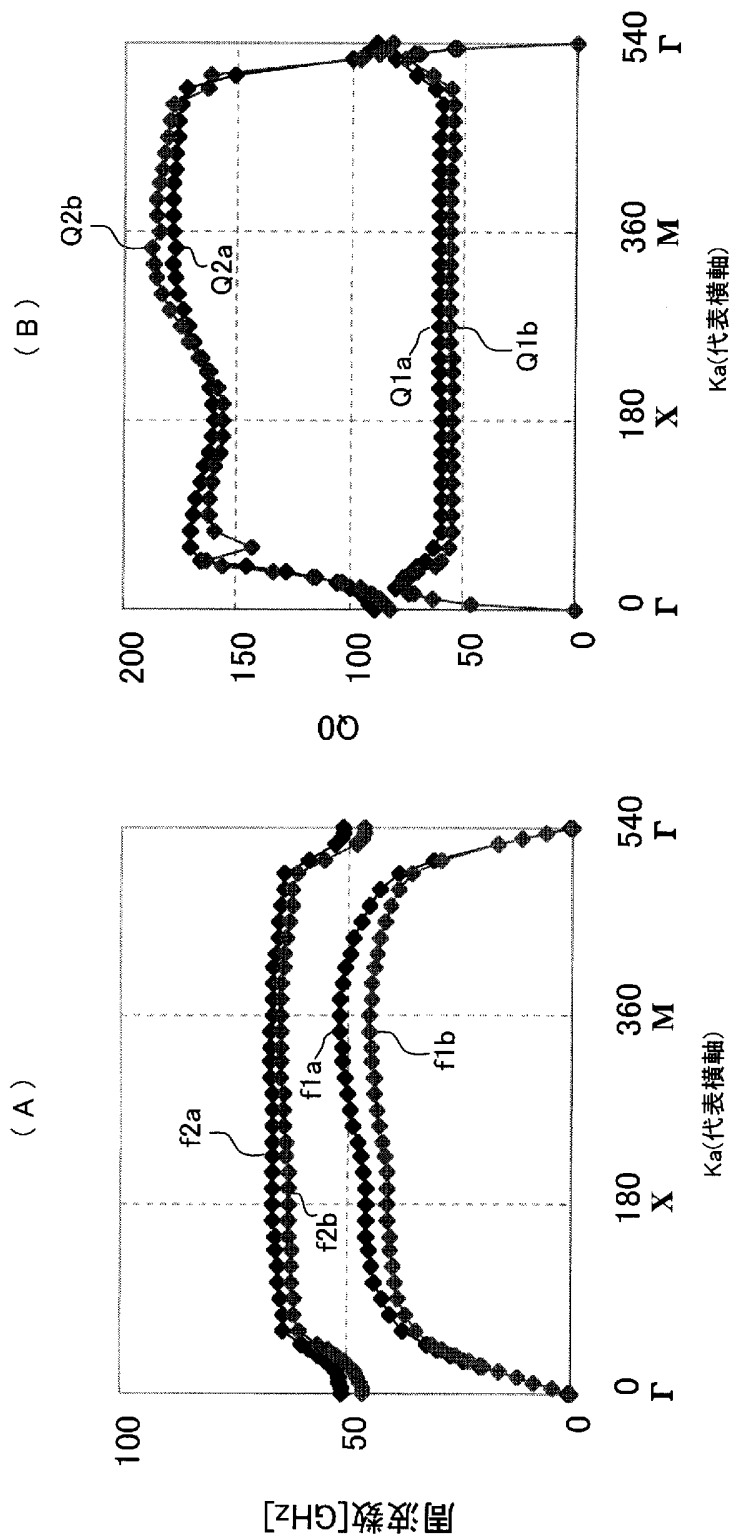
[図25]



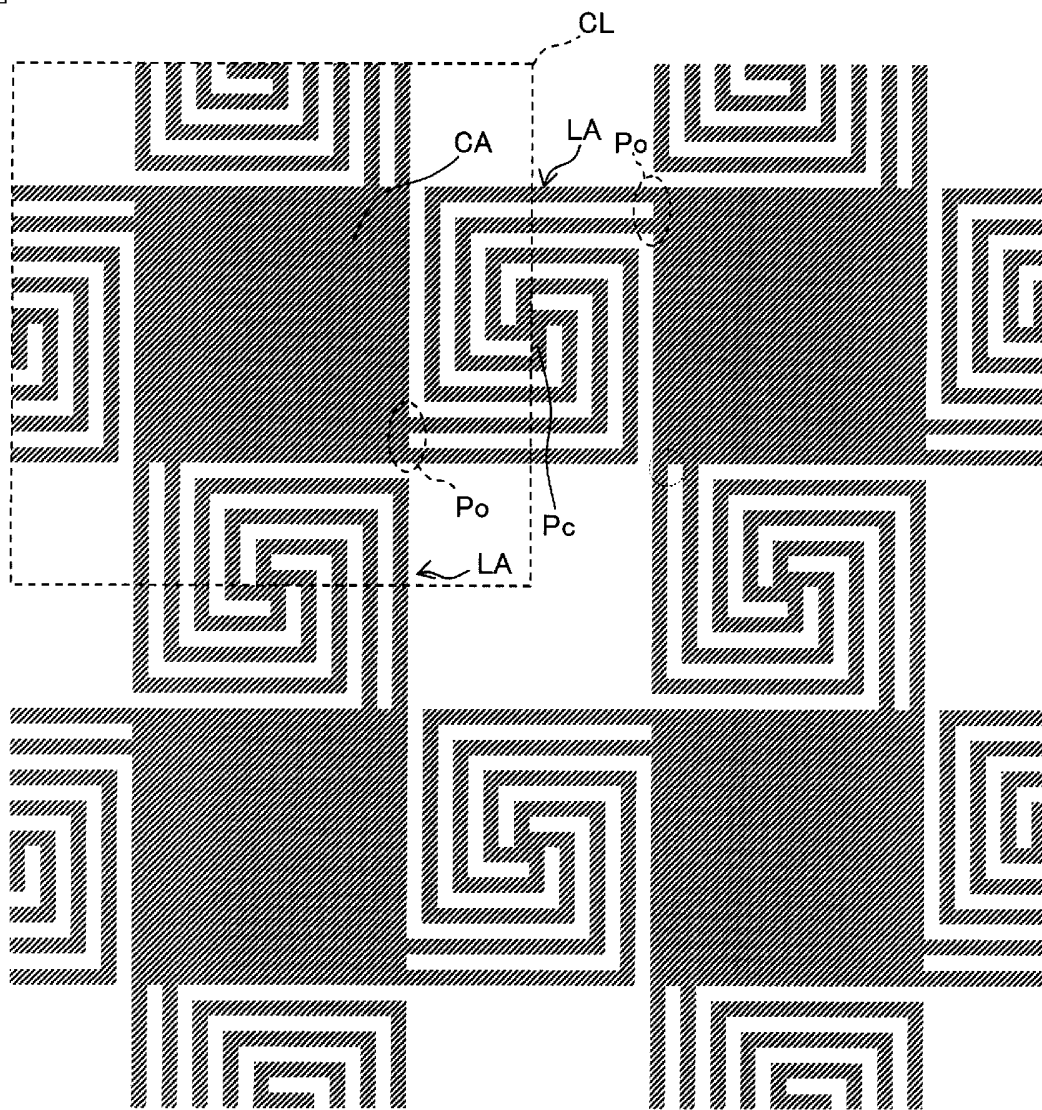
[図26]



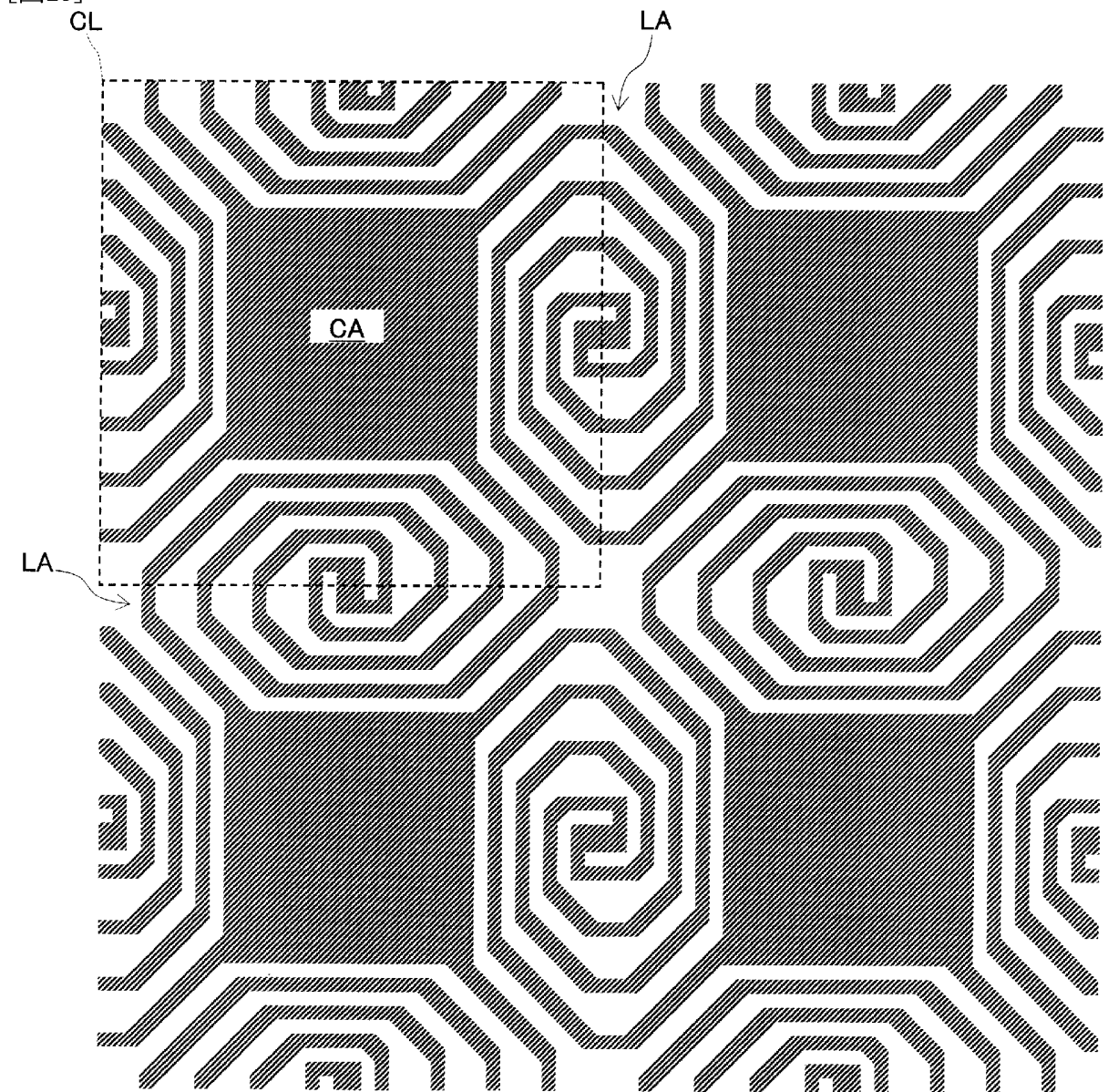
[図27]



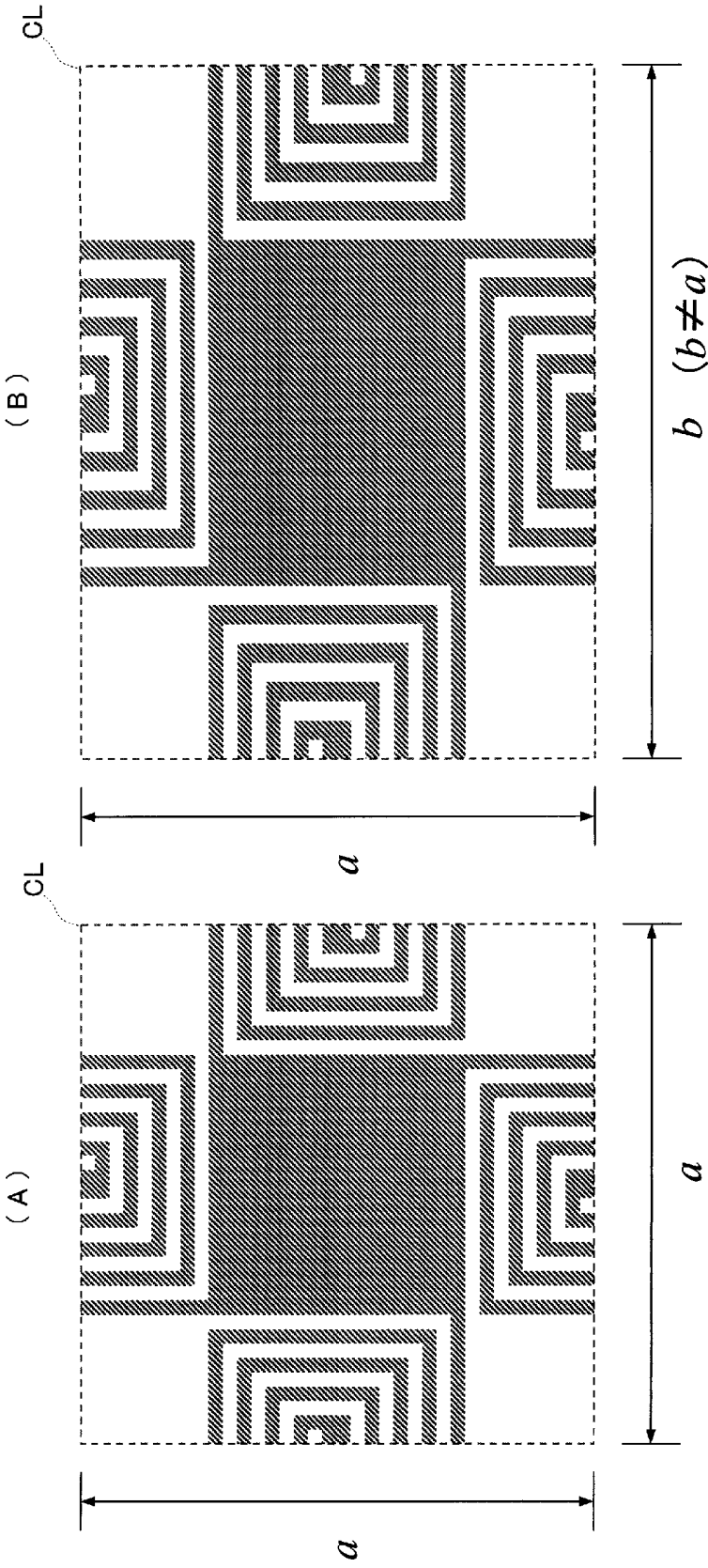
[図28]



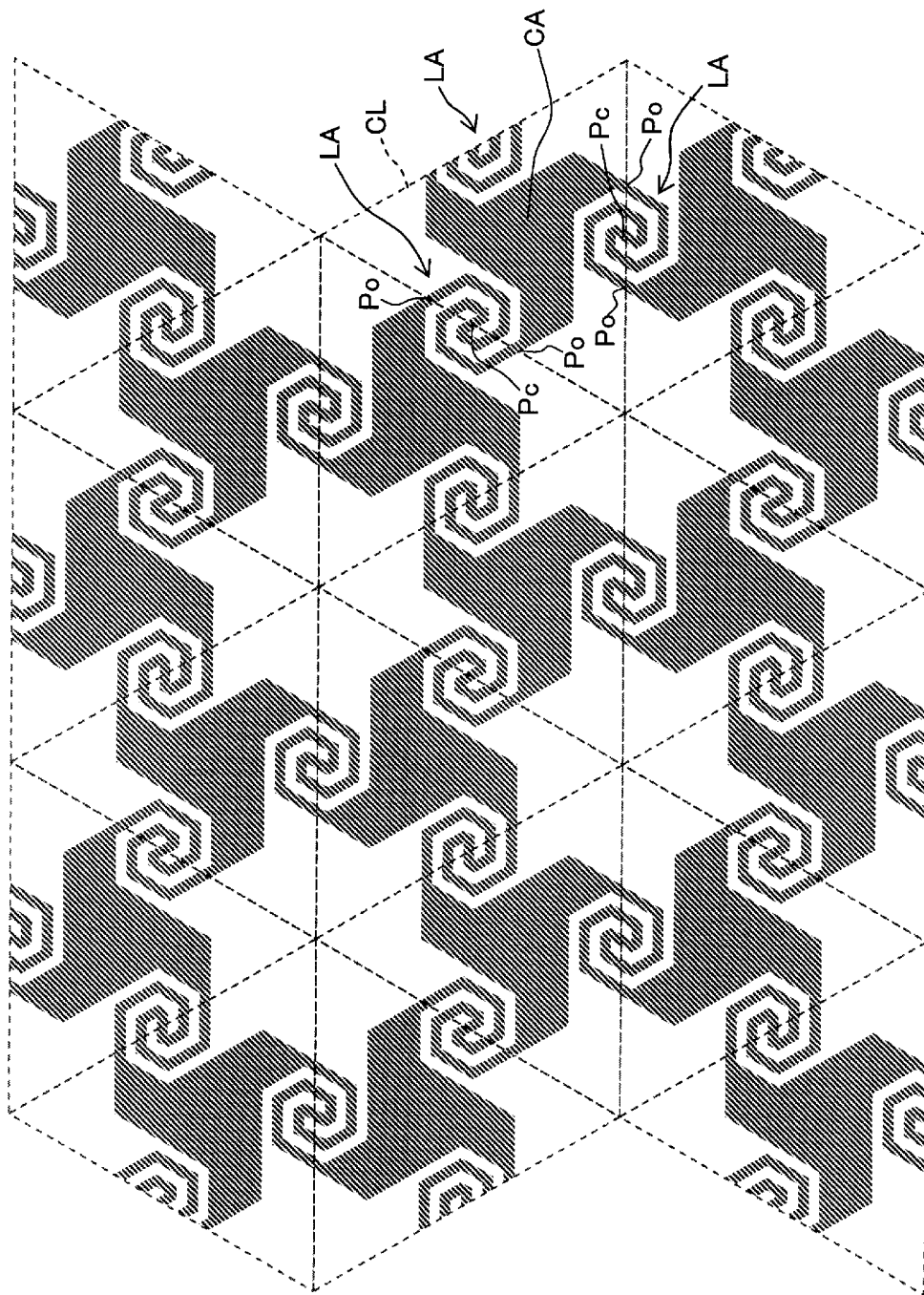
[図29]



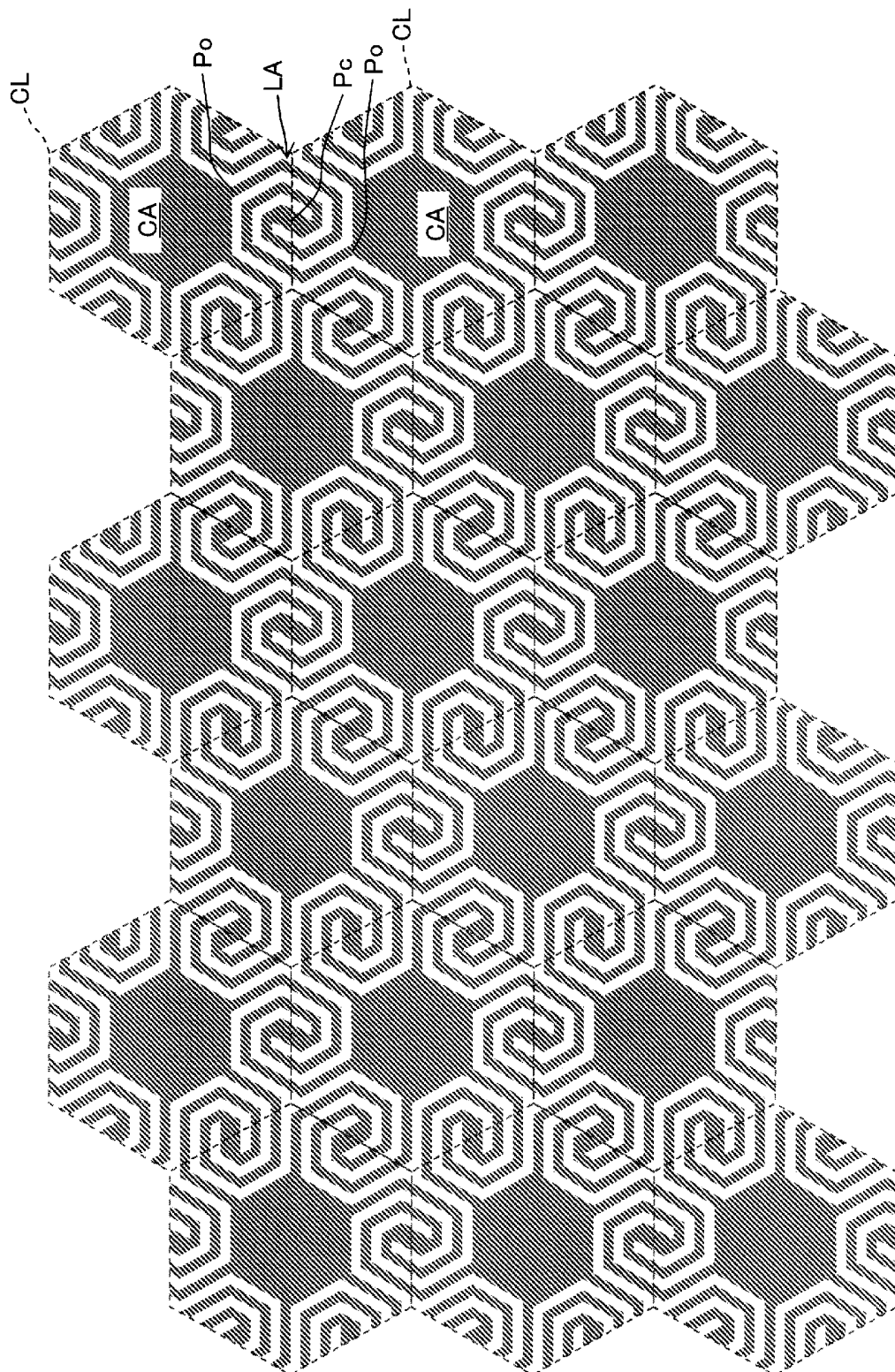
[図30]



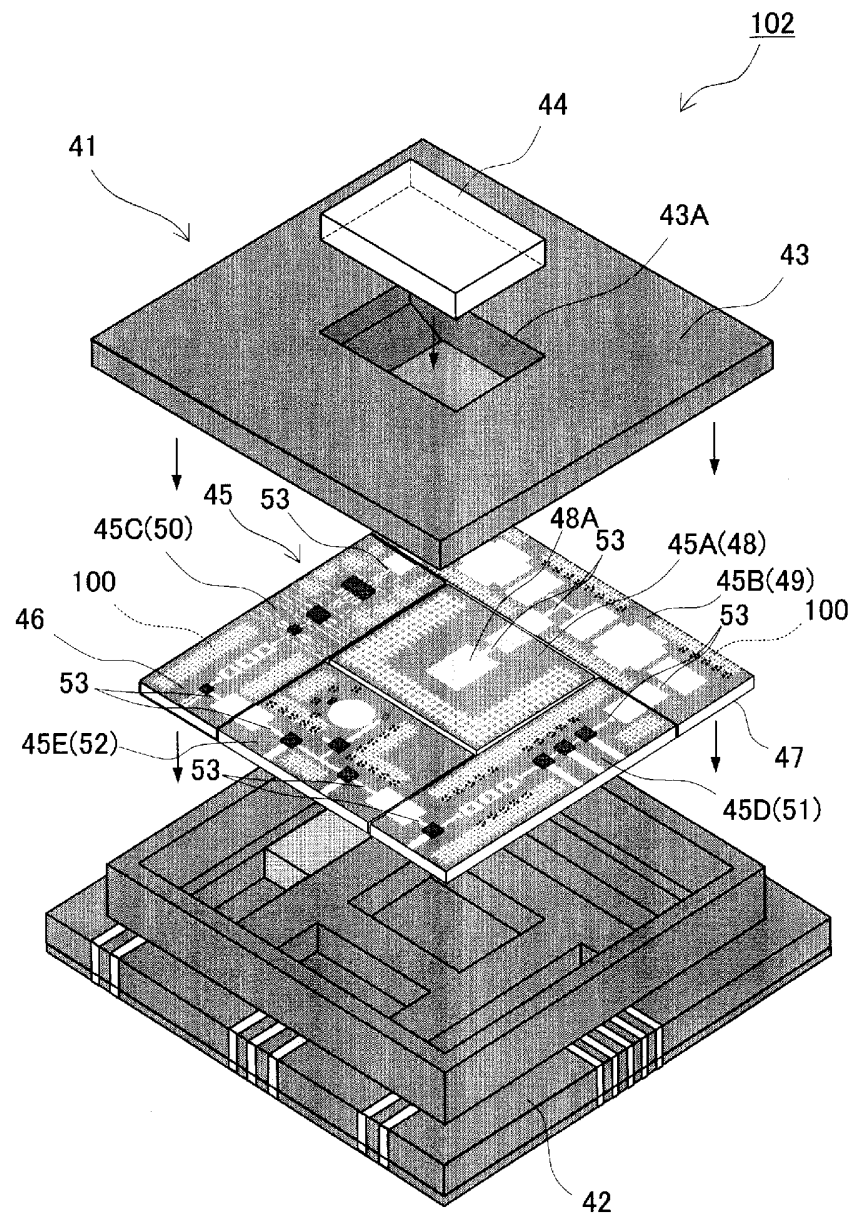
[図31]



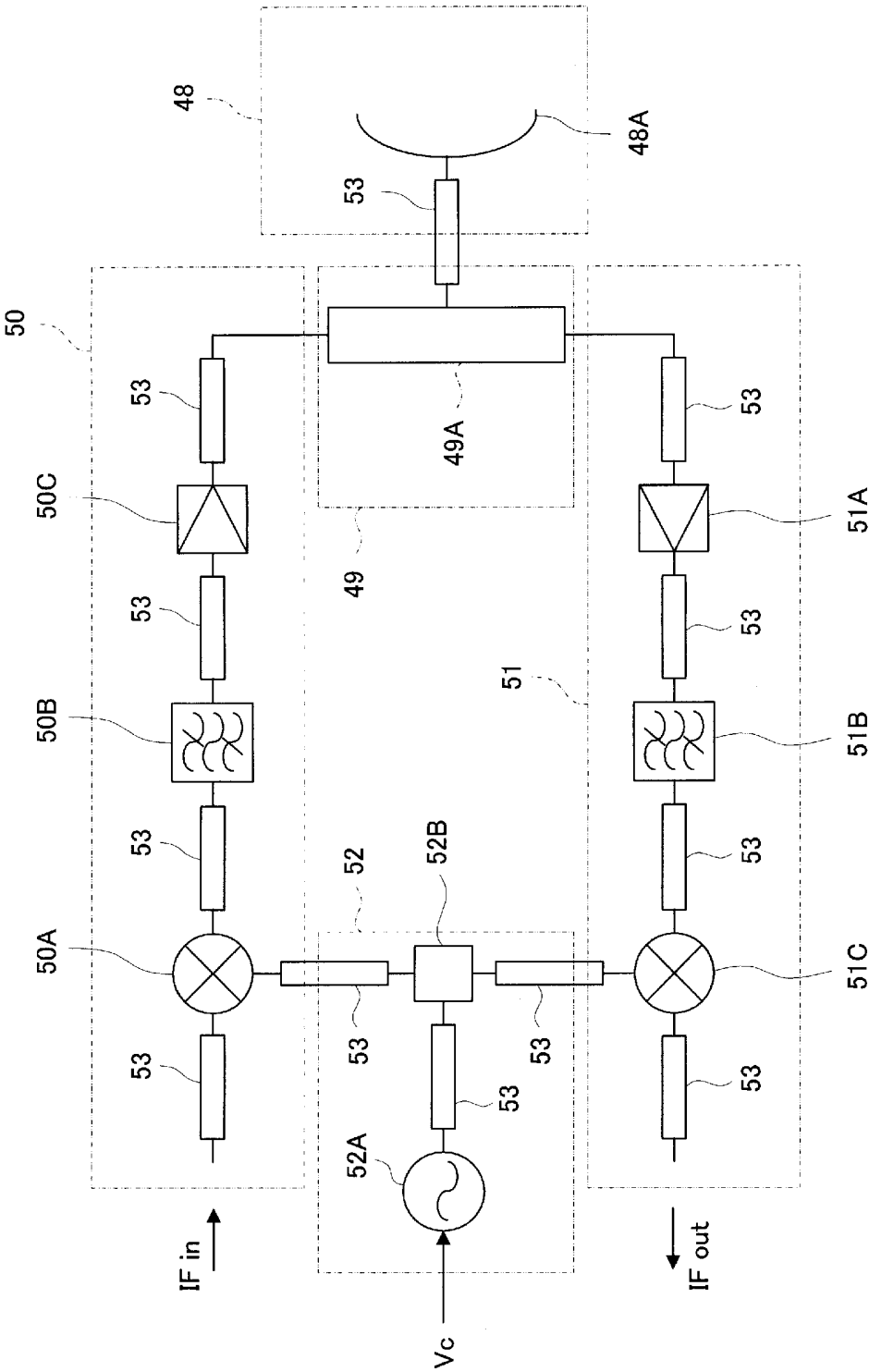
[図32]



[図33]



[図34]

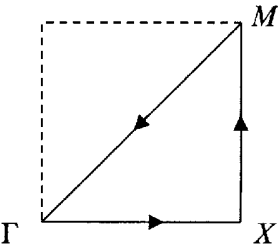


[図35]

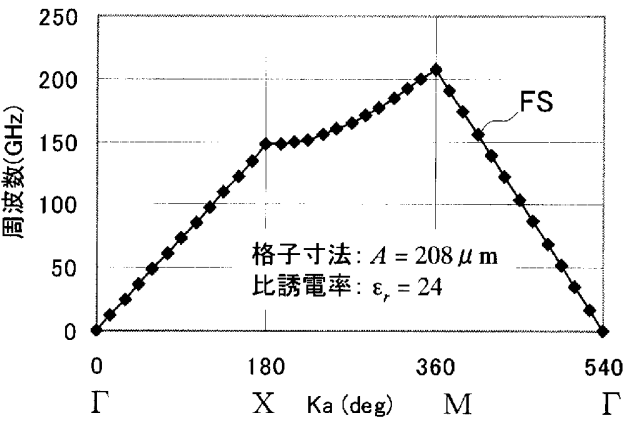
(A)

(単位: deg)										
記号	Γ			X			M			Γ
θ_x	0	15	...	180	180	...	180	165	...	0
θ_y	0	0	...	0	15	...	180	165	...	0
Ka	0	15	...	180	195	...	360	375	...	540

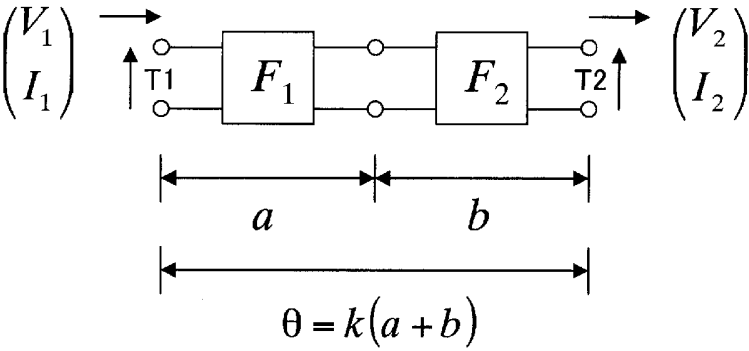
(B)



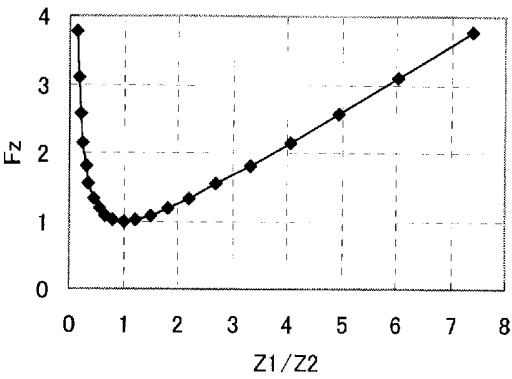
(C)



[図36]

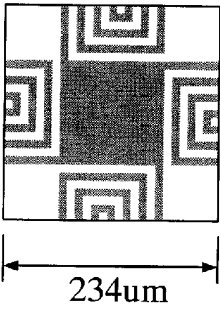


[図37]

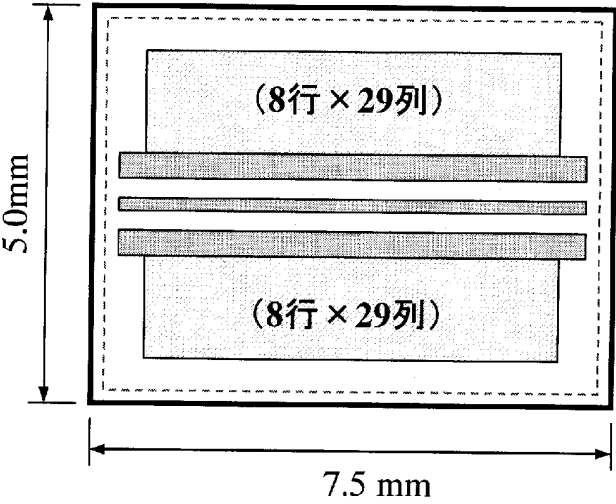


[図38]

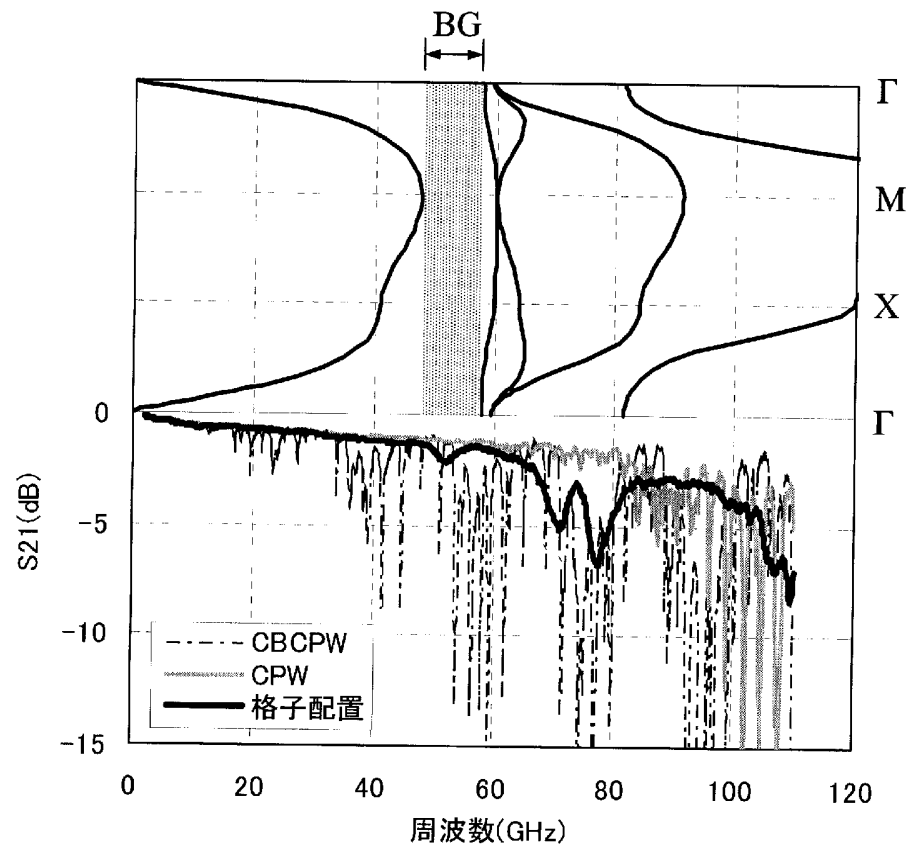
(A)



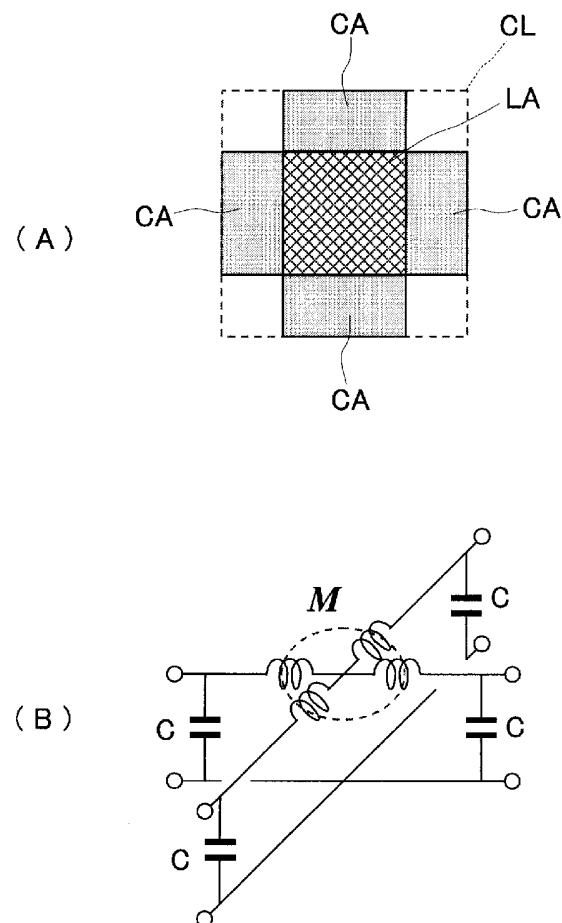
(B)



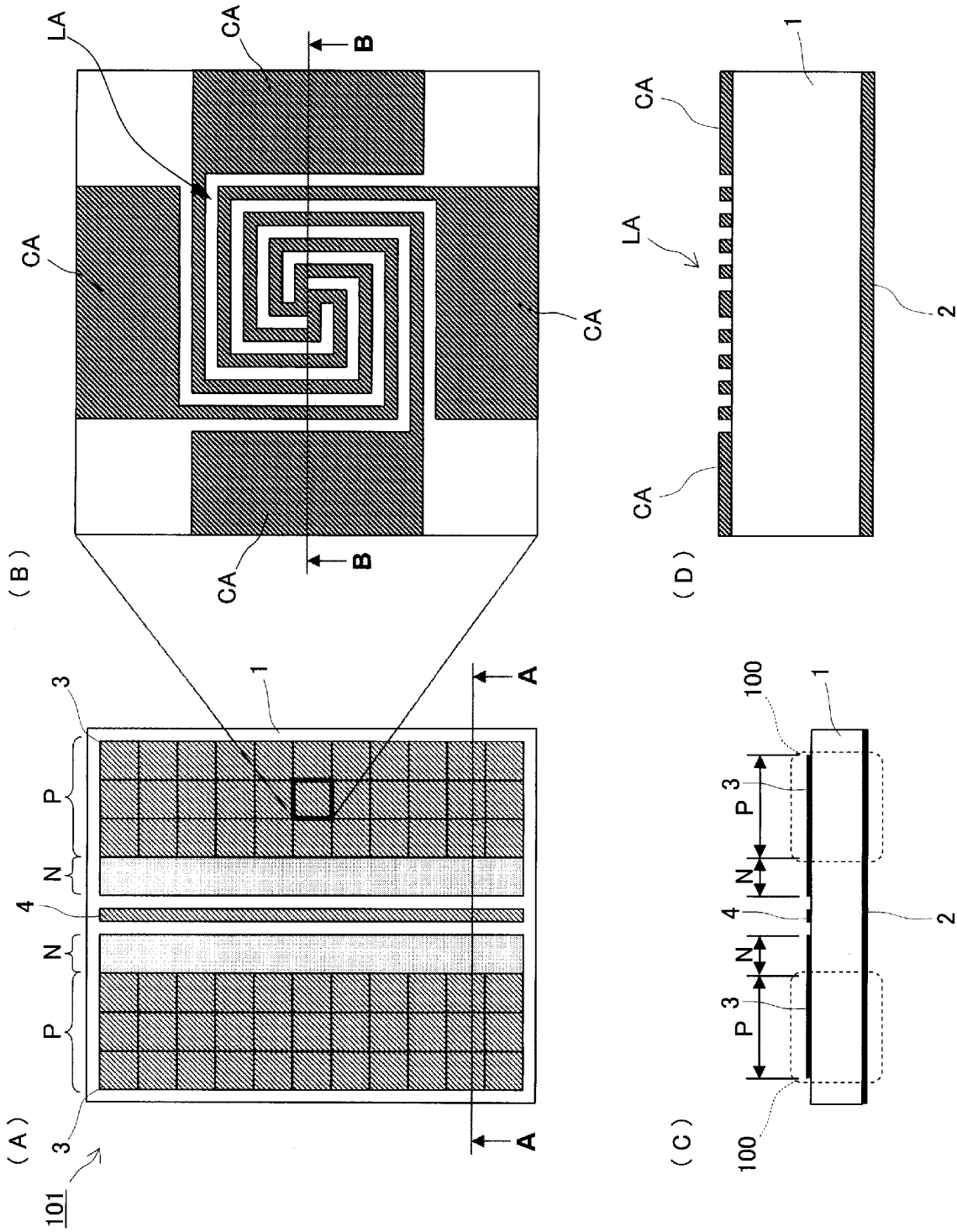
[図39]



[図40]

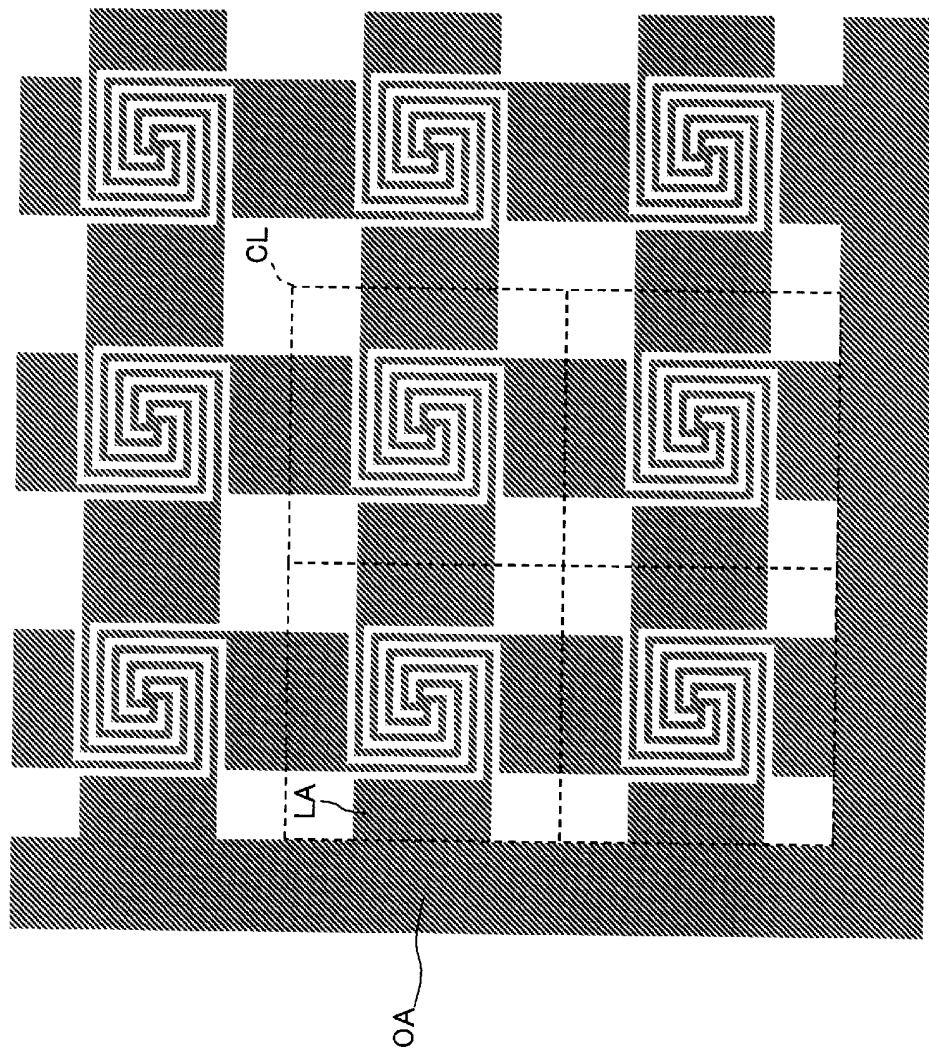


[図41]

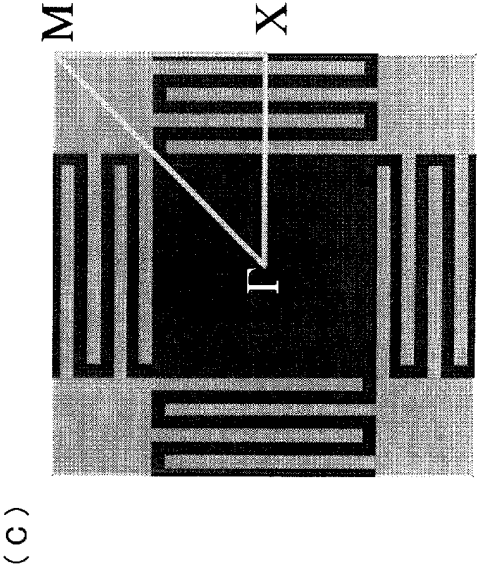
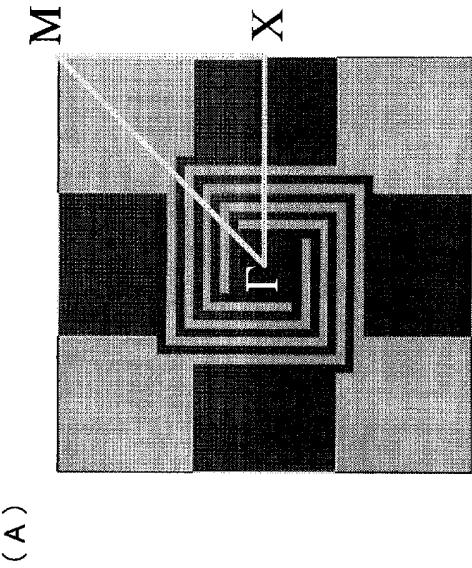
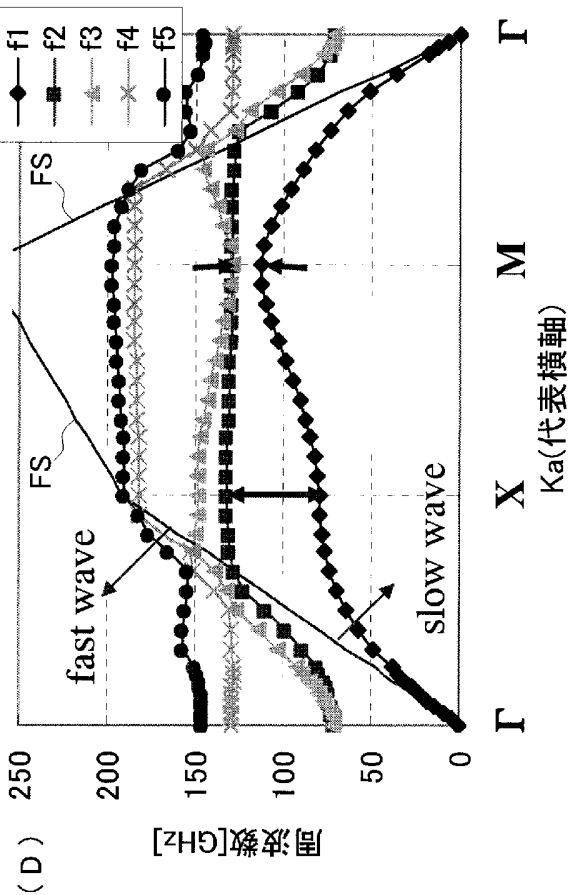
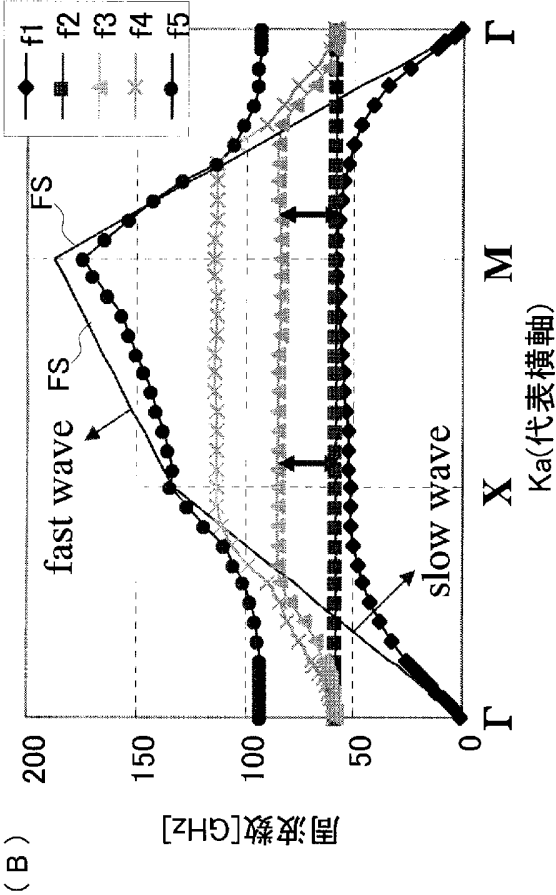


[図43]

3

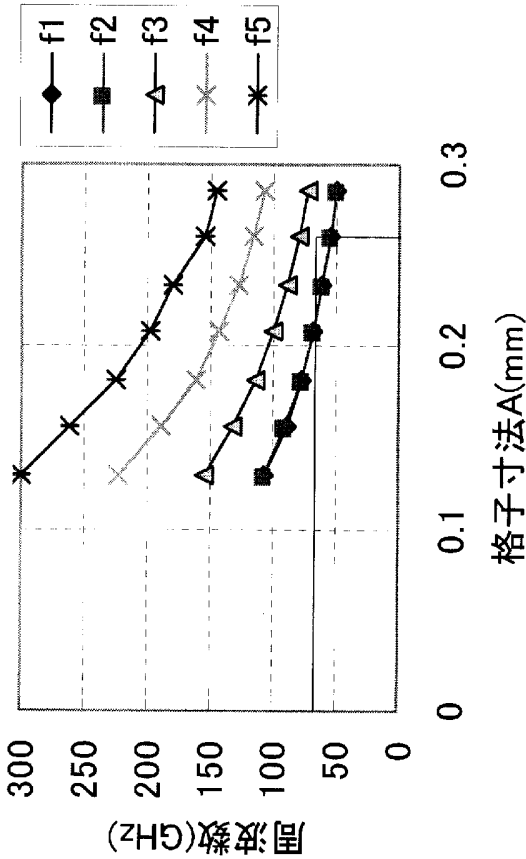


[図44]

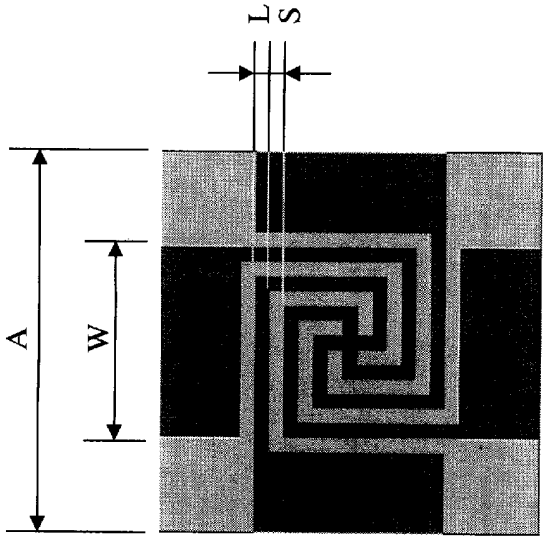


[図45]

(B)



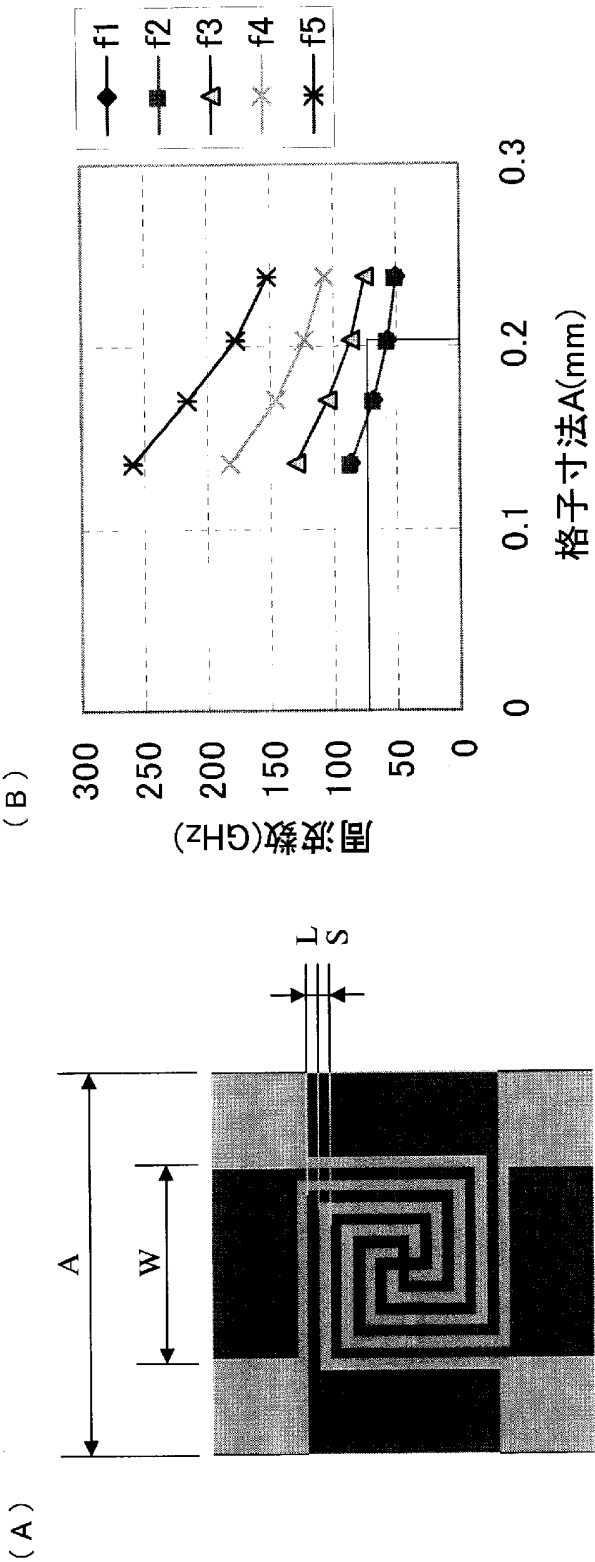
(A)



(C)

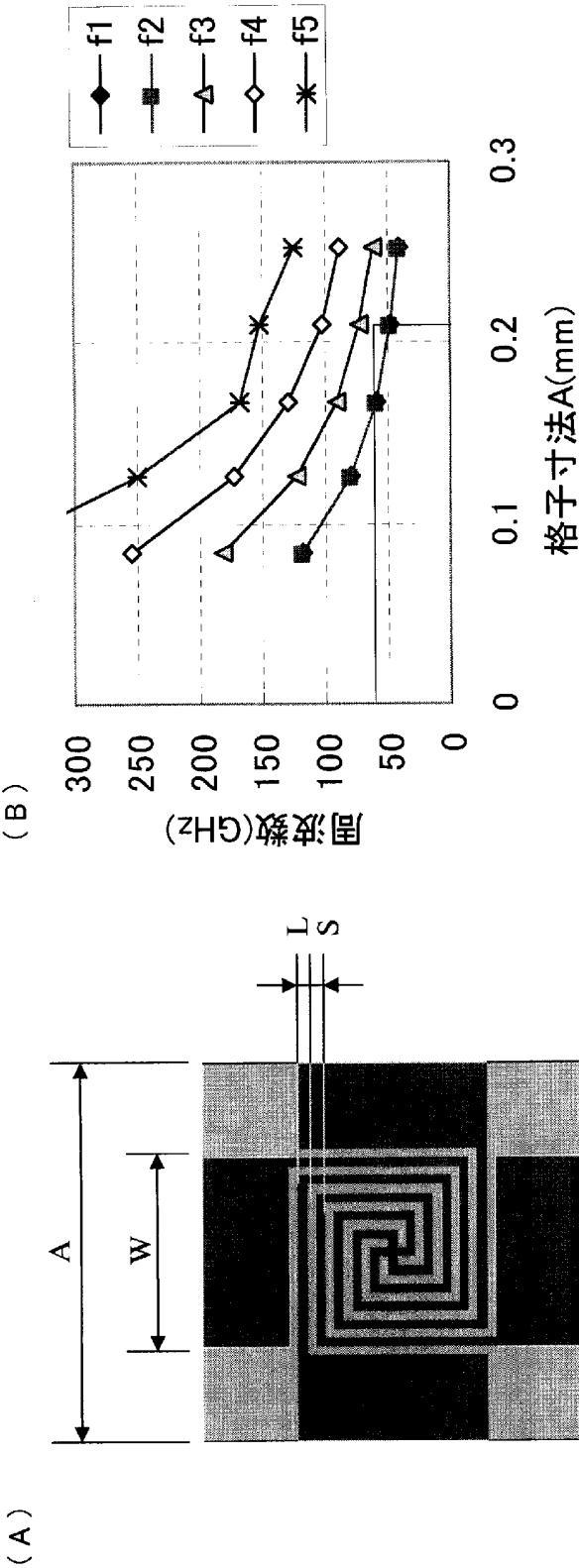
No	A (mm)	W (mm)	H1 (mm)	H2 (mm)	L (mm)	S (mm)	f1 (GHz)	f2 (GHz)	f3 (GHz)	f4 (GHz)	f5 (GHz)
1	0.130	0.065	0.300	0.300	0.005	0.005	106.3	106.7	154.9	223.2	299.7
2	0.156	0.078	0.300	0.300	0.006	0.006	89.7	90.0	131.2	188.2	260.7
3	0.182	0.091	0.300	0.300	0.007	0.007	77.3	77.4	113.6	160.5	225.5
4	0.208	0.104	0.300	0.300	0.008	0.008	67.7	68.1	99.6	142.8	198.2
5	0.234	0.117	0.300	0.300	0.009	0.009	60.5	60.7	88.8	127.0	179.3
6	0.260	0.130	0.300	0.300	0.010	0.010	54.7	54.8	80.4	117.0	155.5
7	0.286	0.143	0.300	0.300	0.011	0.011	49.7	49.8	73.3	106.5	145.4

[図46]



No	A (mm)	W (mm)	H1 (mm)	H2 (mm)	L (mm)	S (mm)	f1 (GHz)	f2 (GHz)	f3 (GHz)	f4 (GHz)	f5 (GHz)
1	0.136	0.068	0.300	0.300	0.004	0.004	86.5	86.7	129.2	180.8	260.2
2	0.170	0.085	0.300	0.300	0.005	0.005	68.8	68.9	103.6	145.9	215.0
3	0.204	0.102	0.300	0.300	0.006	0.006	57.7	57.8	86.8	122.5	177.1
4	0.238	0.119	0.300	0.300	0.007	0.007	49.7	49.7	74.9	106.9	153.1

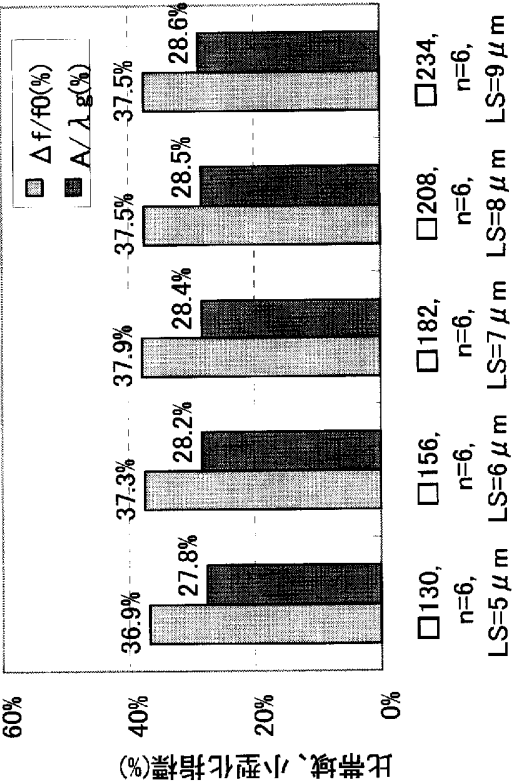
[図47]



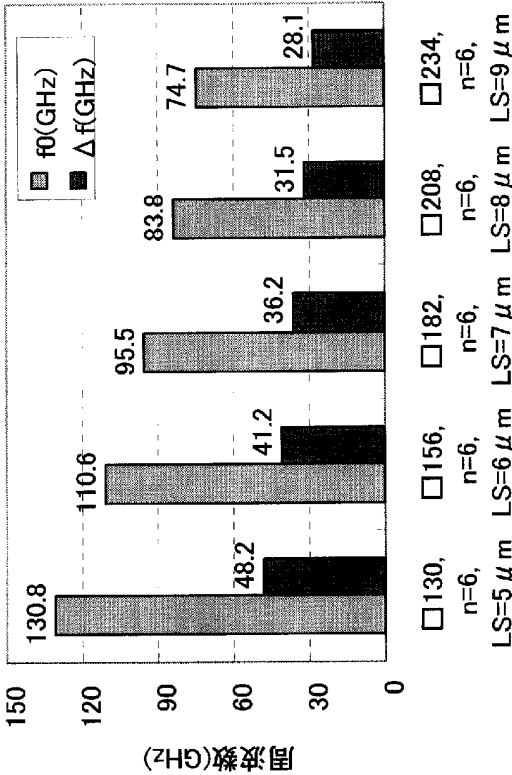
No	A (mm)	W (mm)	H1 (mm)	H2 (mm)	L (mm)	S (mm)	f1 (GHz)	f2 (GHz)	f3 (GHz)	f4 (GHz)	f5 (GHz)
1	0.084	0.042	0.300	0.300	0.002	0.002	119.2	119.2	181.7	253.6	374.1
2	0.126	0.063	0.300	0.300	0.003	0.003	80.3	80.4	122.4	172.2	249.0
3	0.168	0.084	0.300	0.300	0.004	0.004	60.0	60.2	91.6	129.2	168.7
4	0.210	0.105	0.300	0.300	0.005	0.005	48.3	48.4	73.5	103.3	151.9
5	0.252	0.126	0.300	0.300	0.006	0.006	40.5	40.5	61.6	87.6	125.4

[図48]

(B)

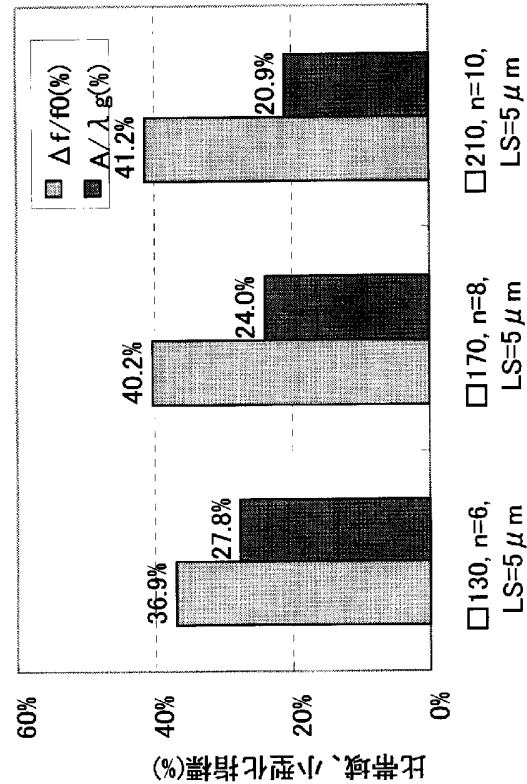


(A)

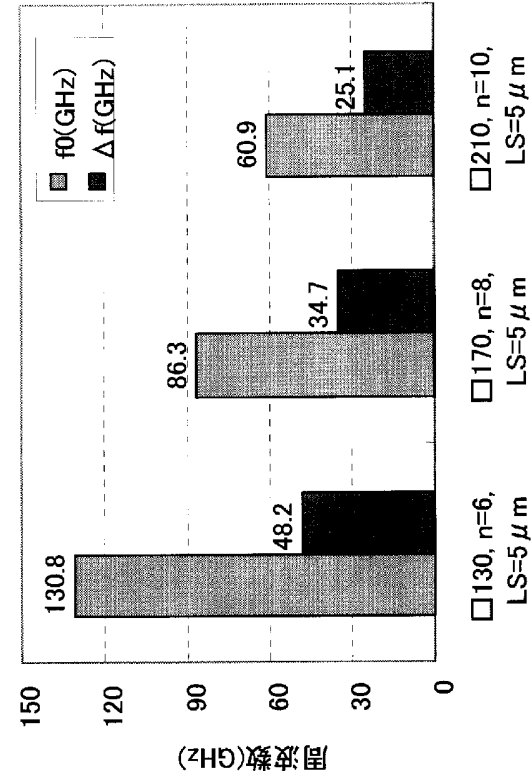


[図49]

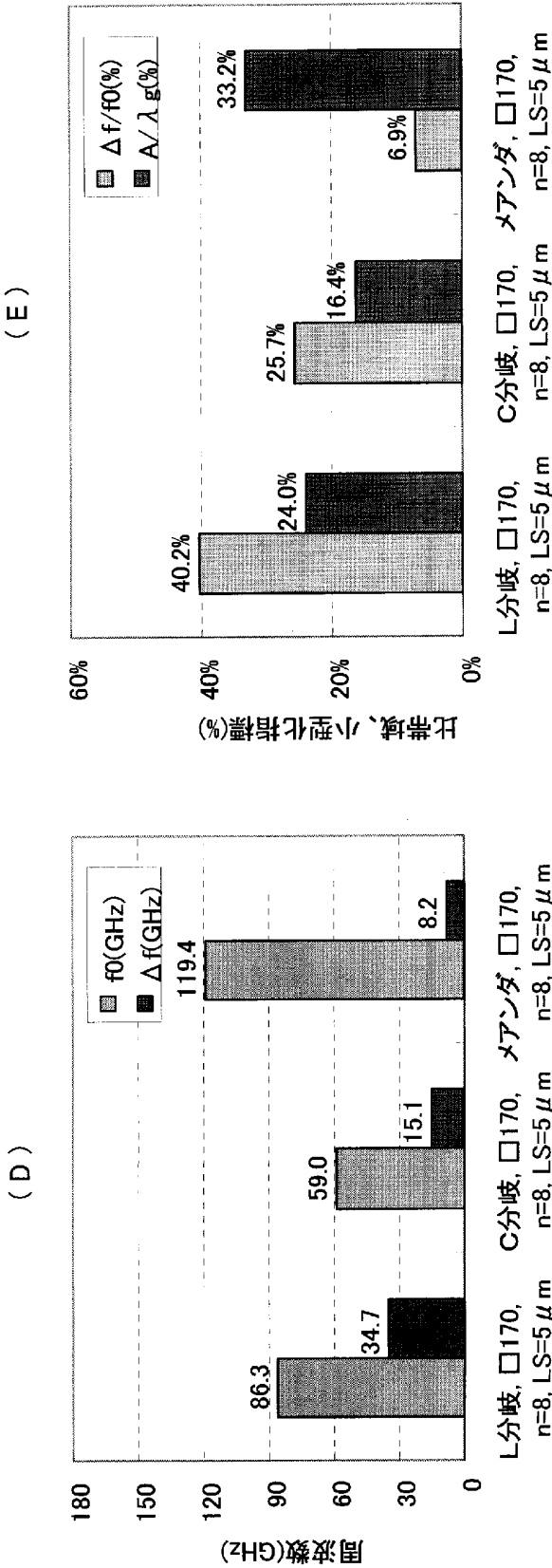
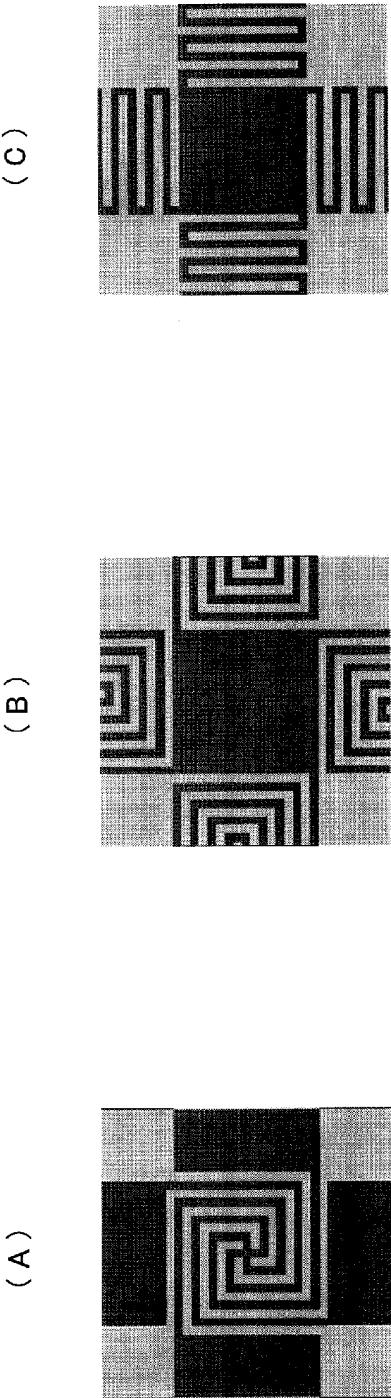
(B)



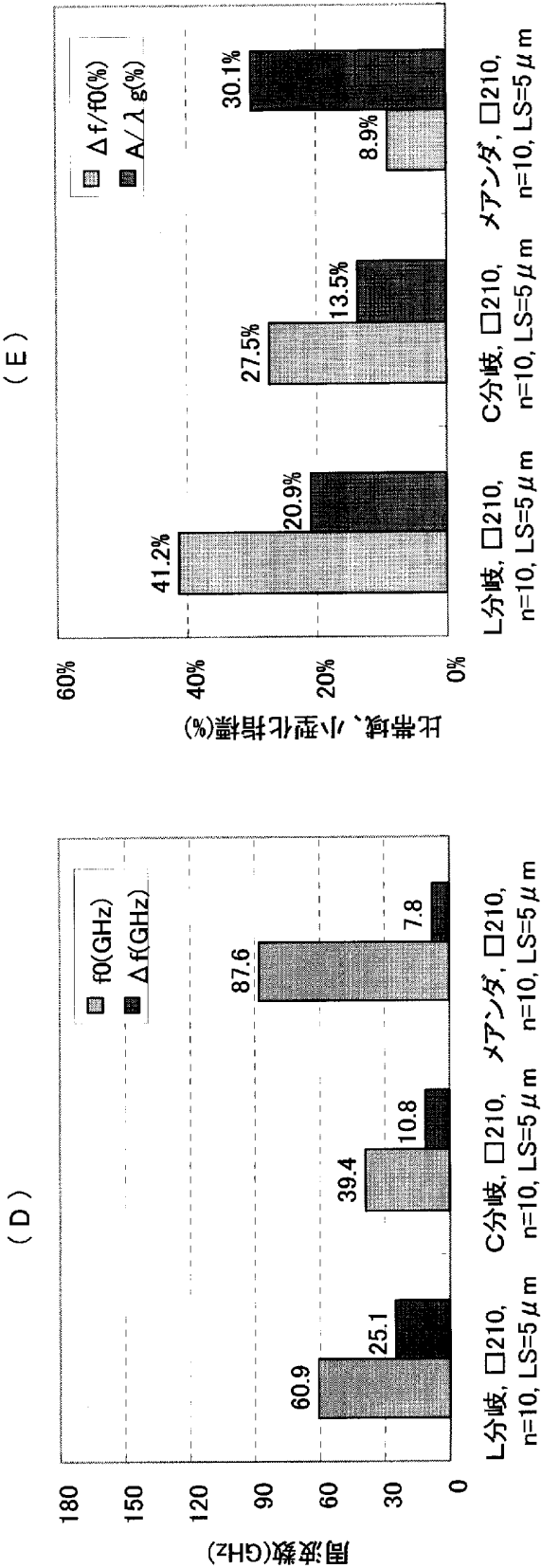
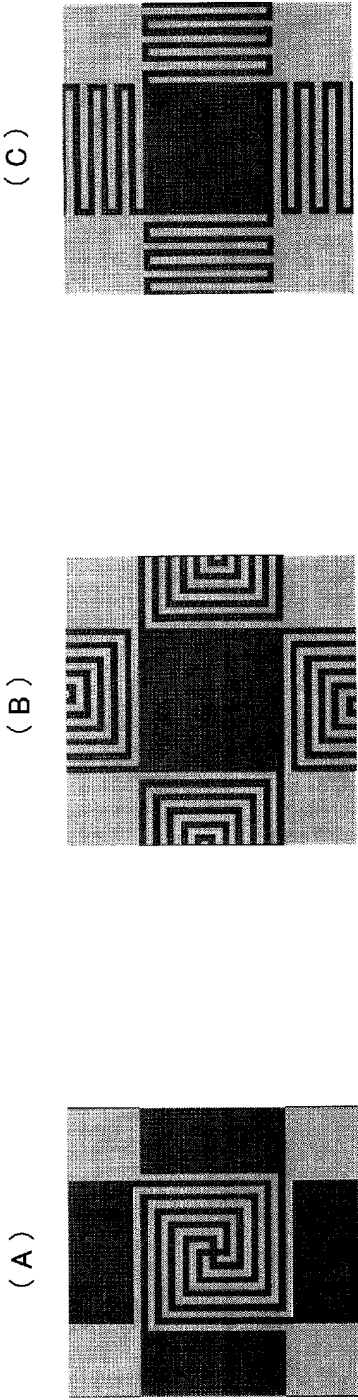
(A)



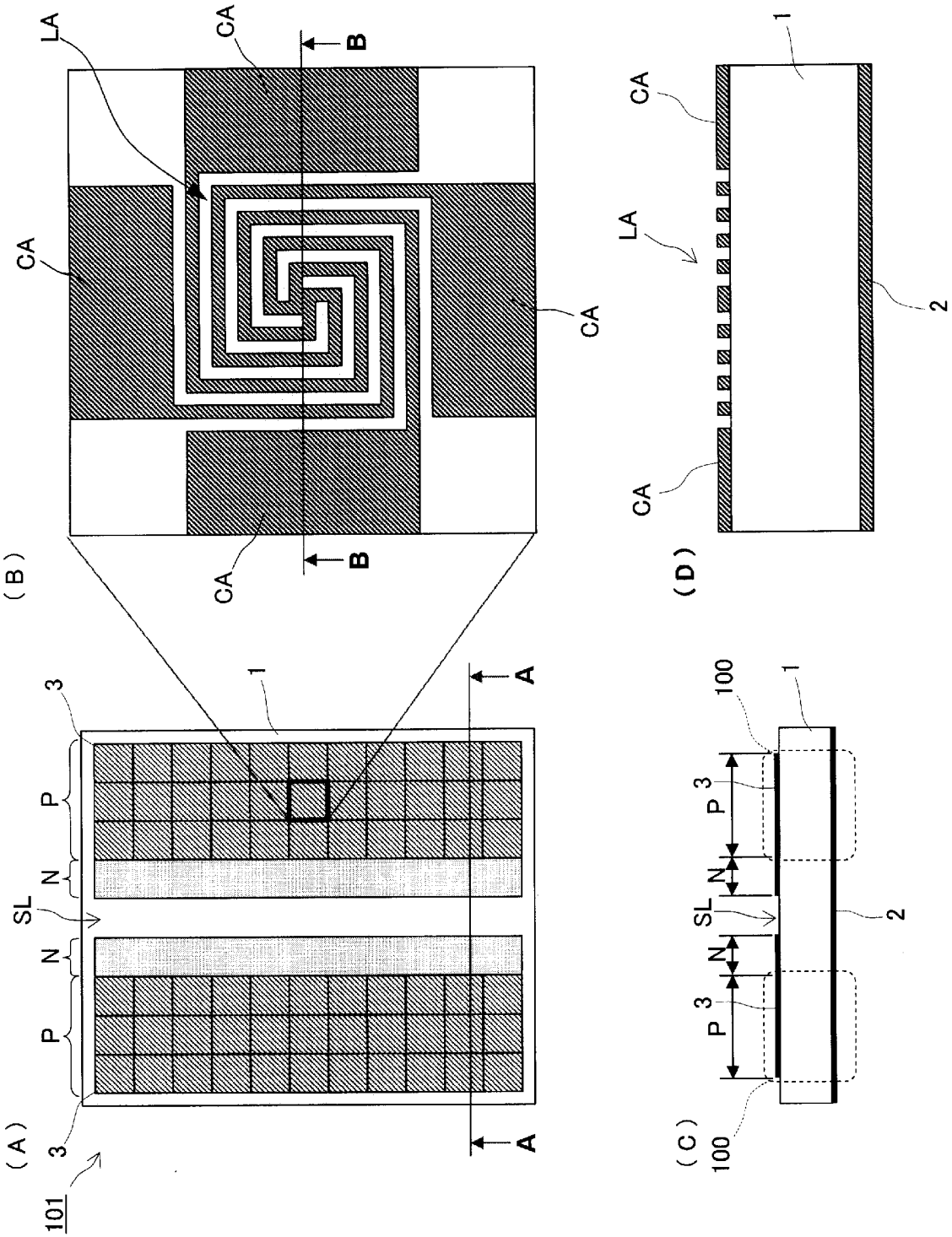
[図50]



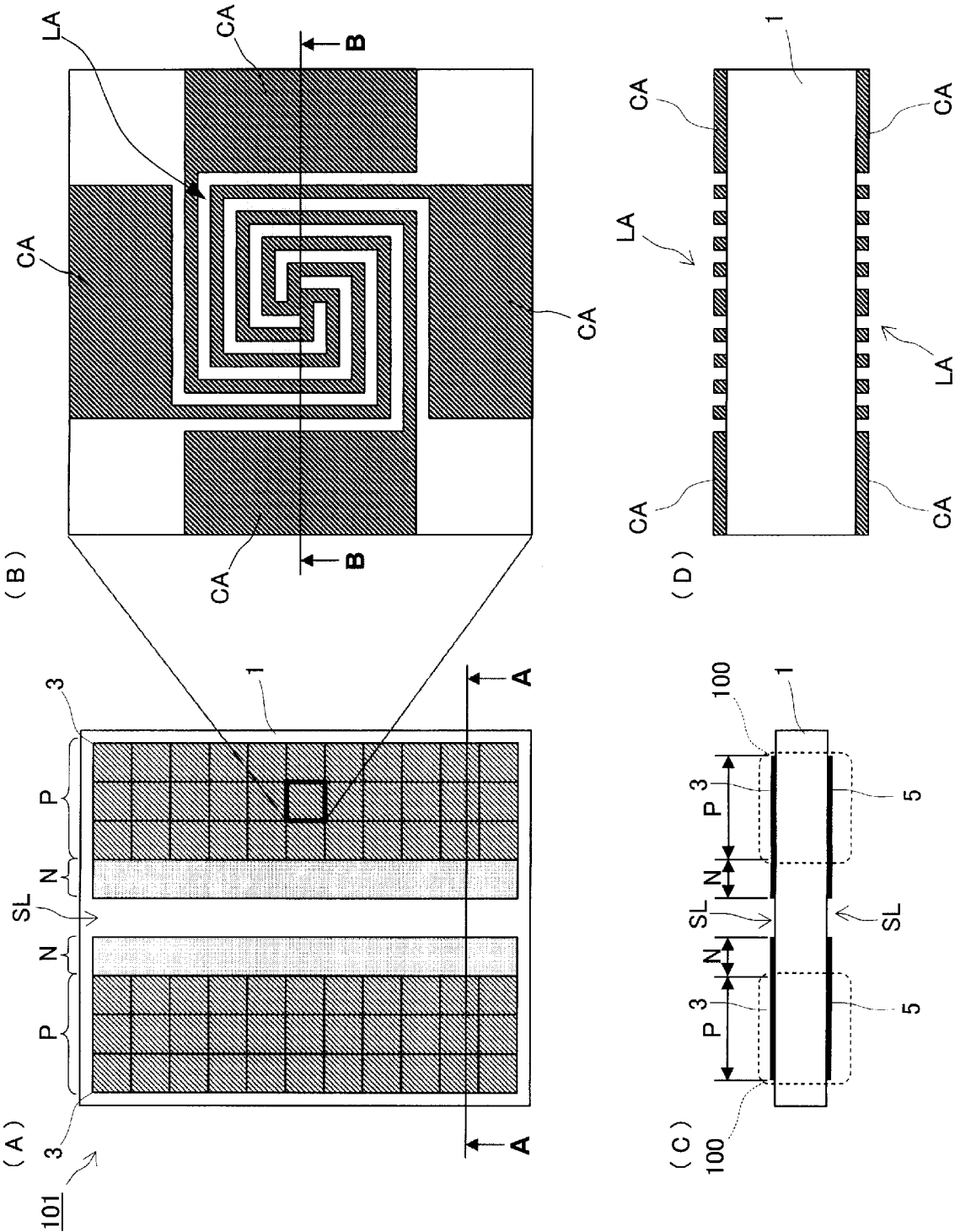
[図51]



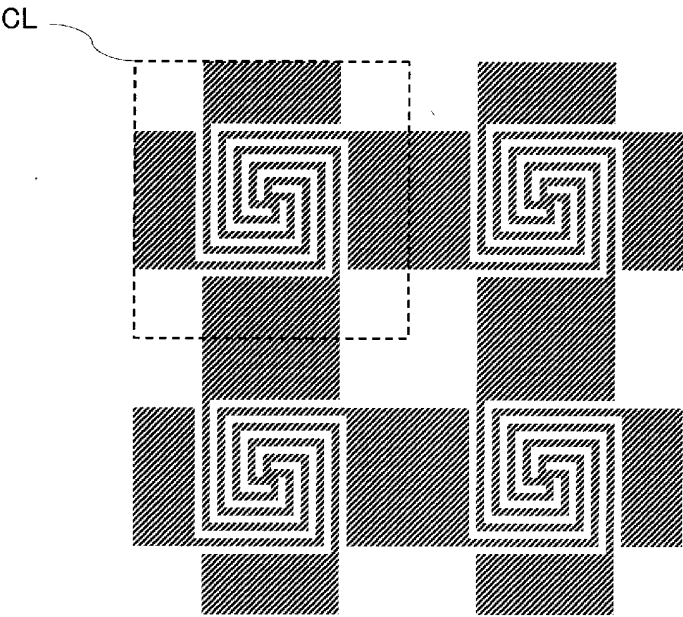
[図52]



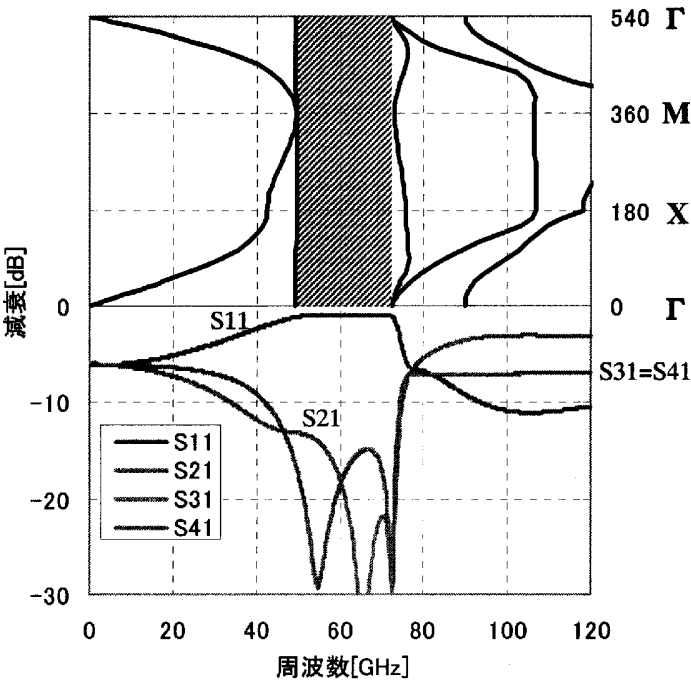
[図53]



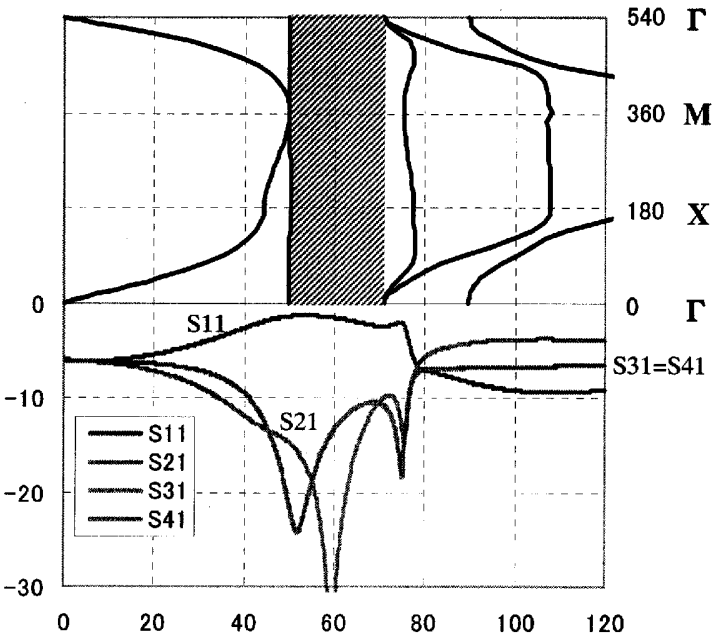
[図54]



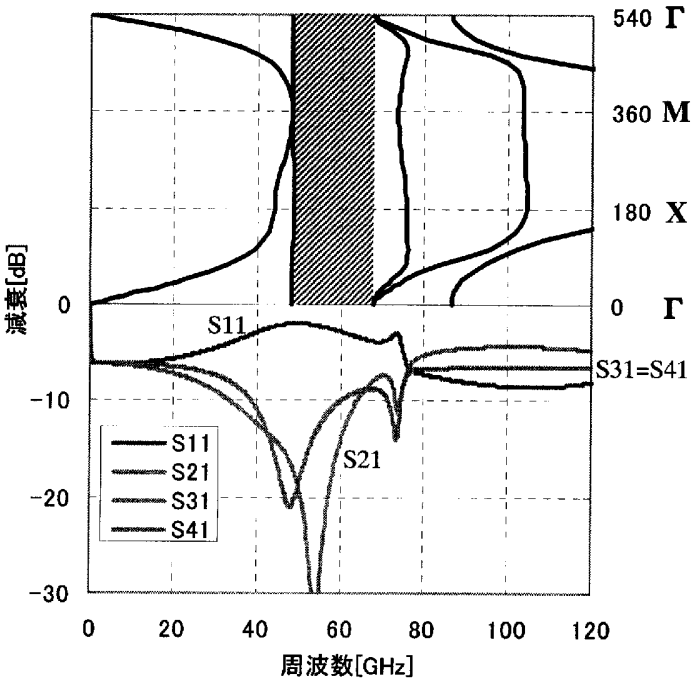
[図55]



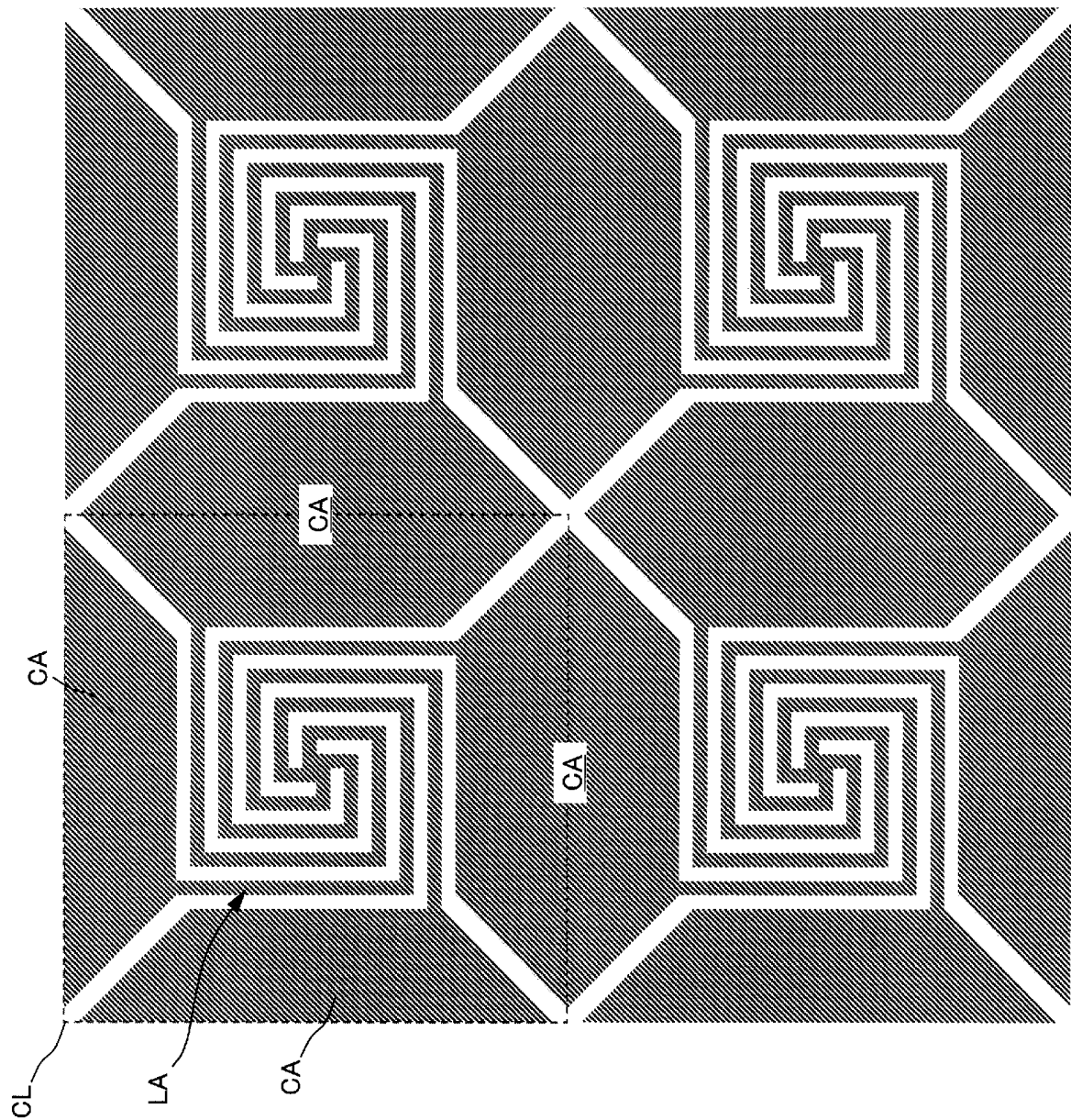
[図56]



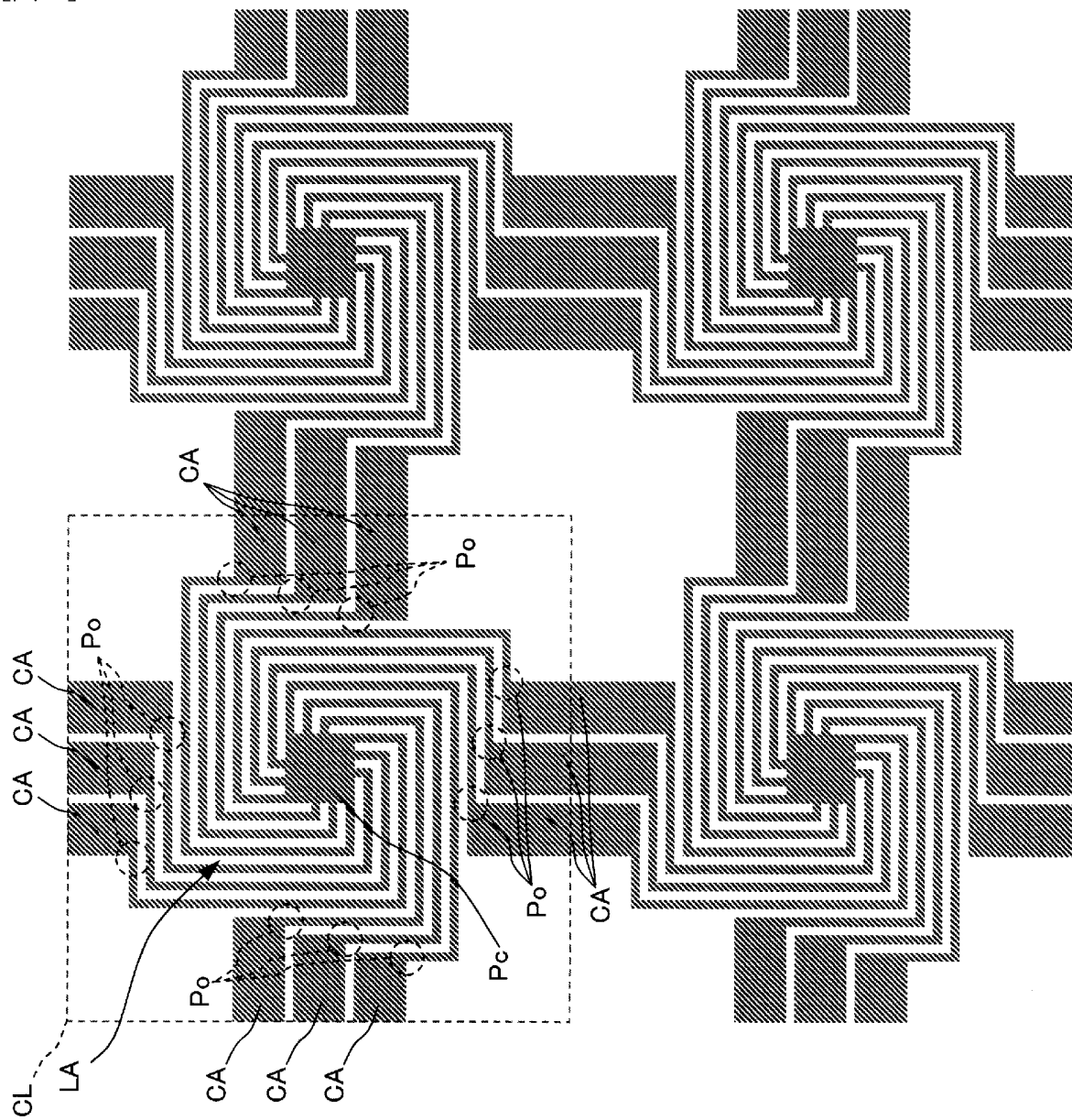
[図57]



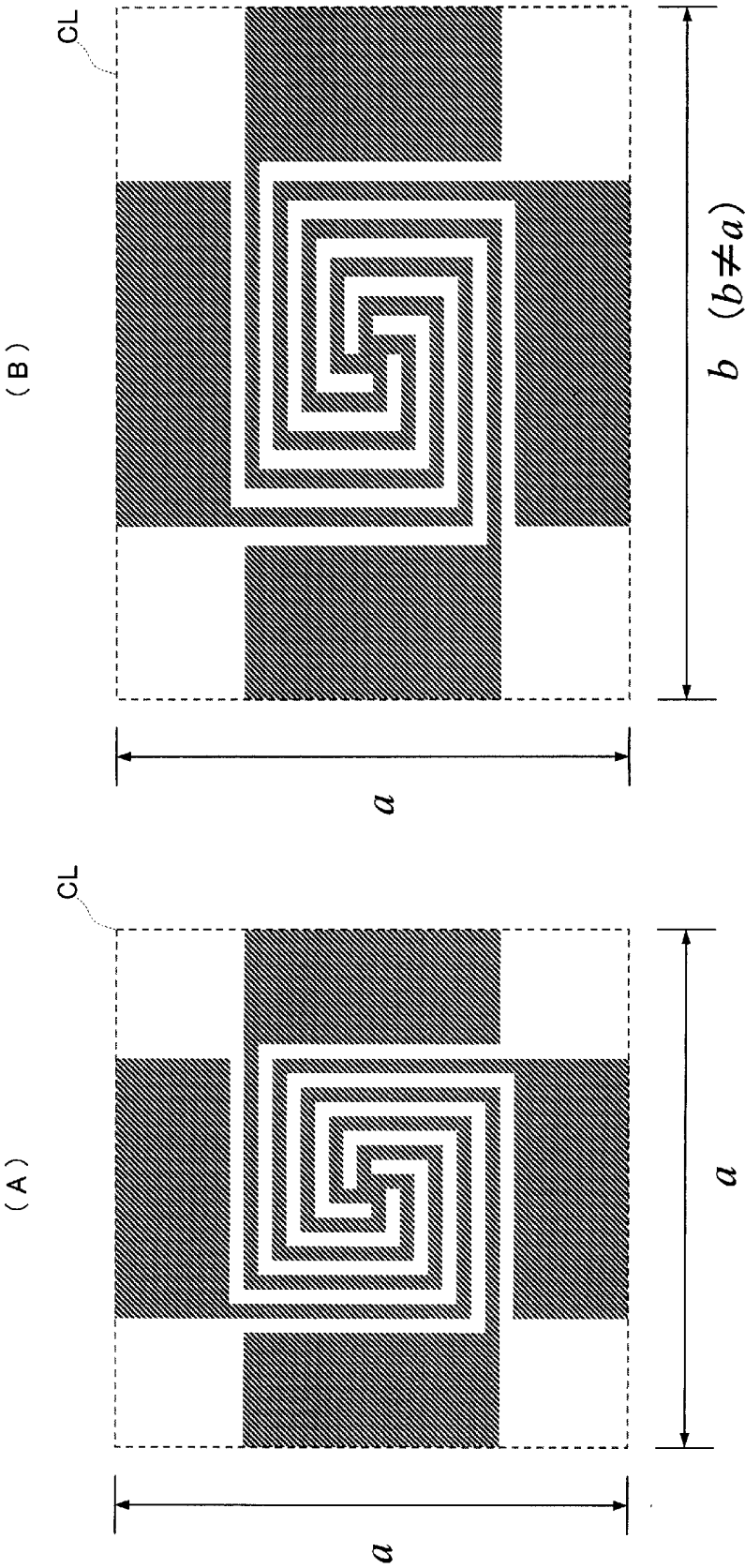
[図58]



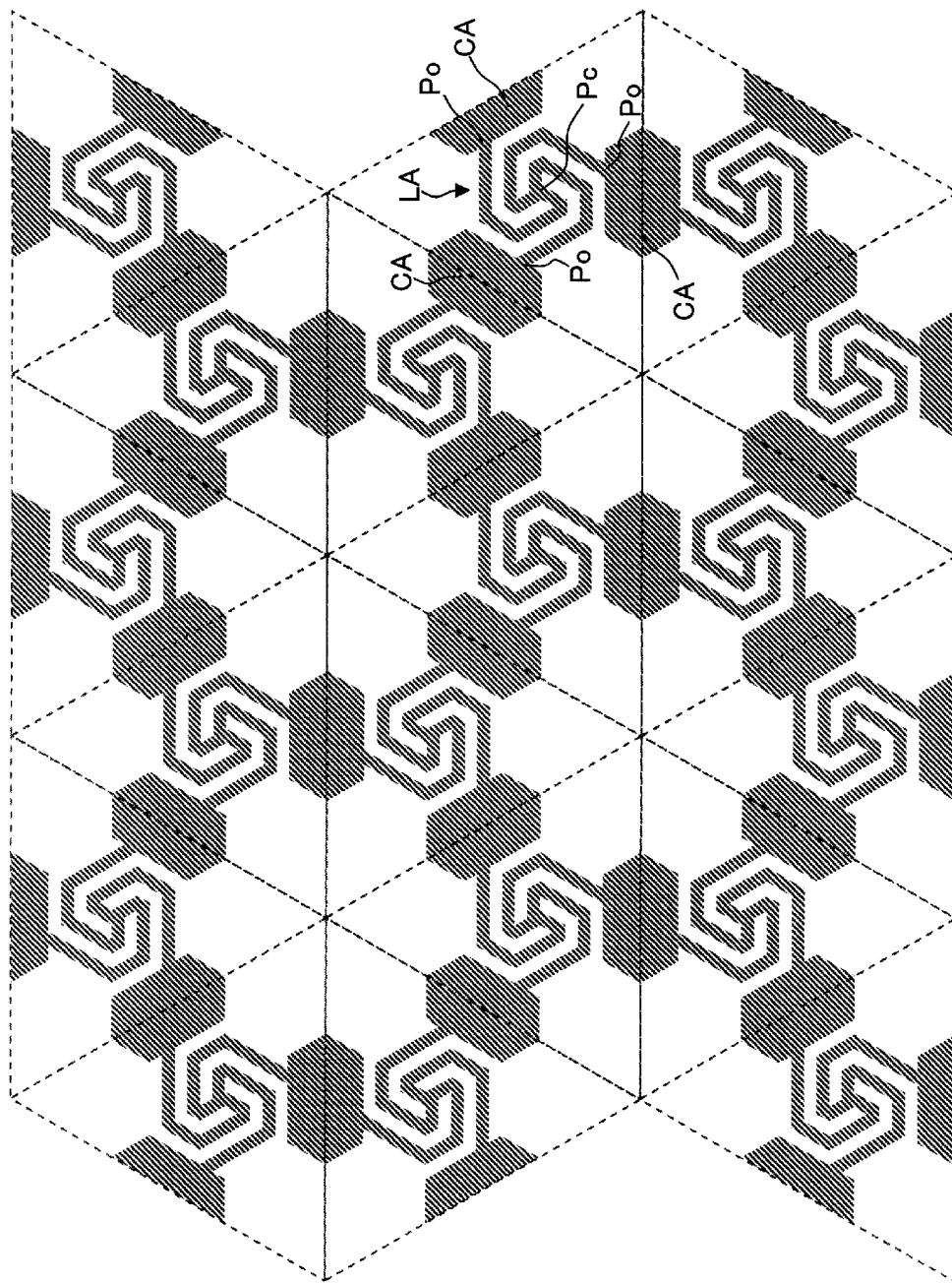
[図59]



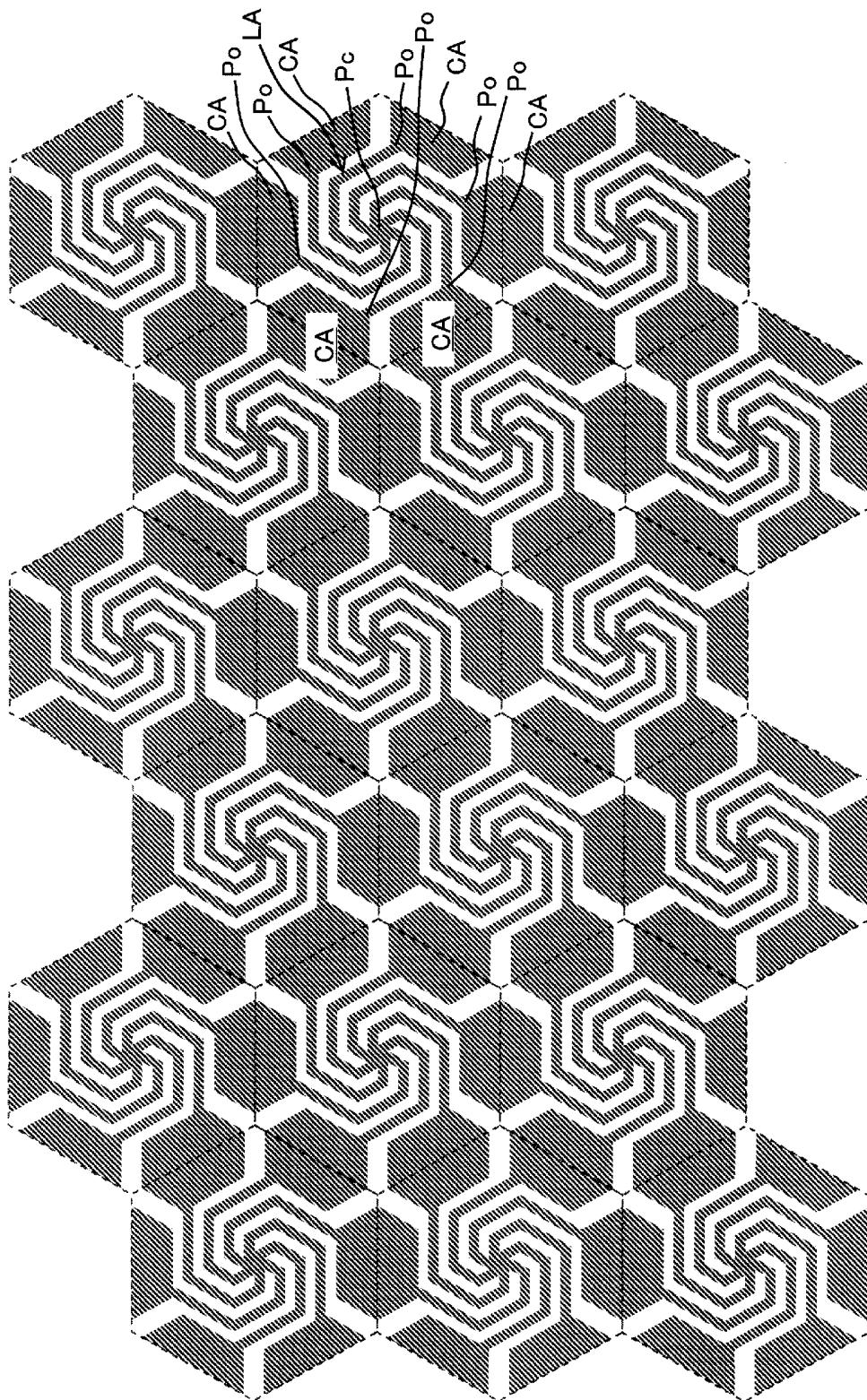
[図60]



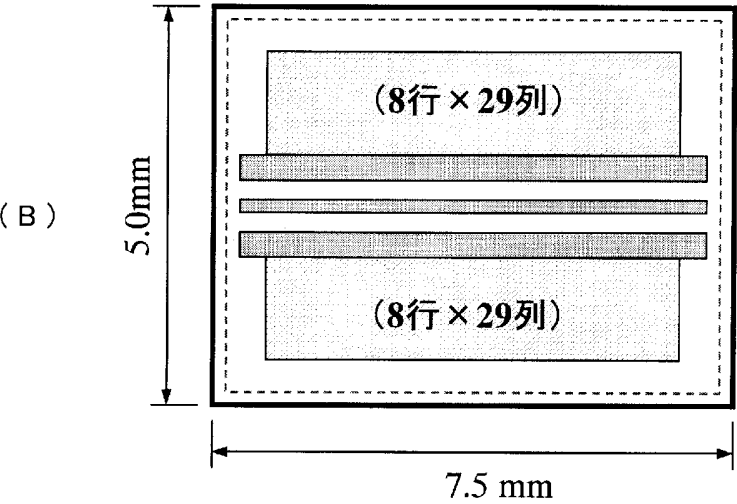
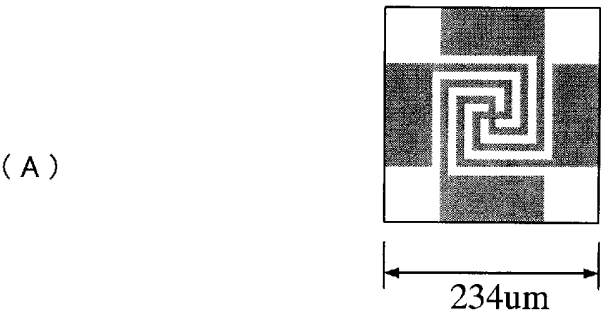
[図61]



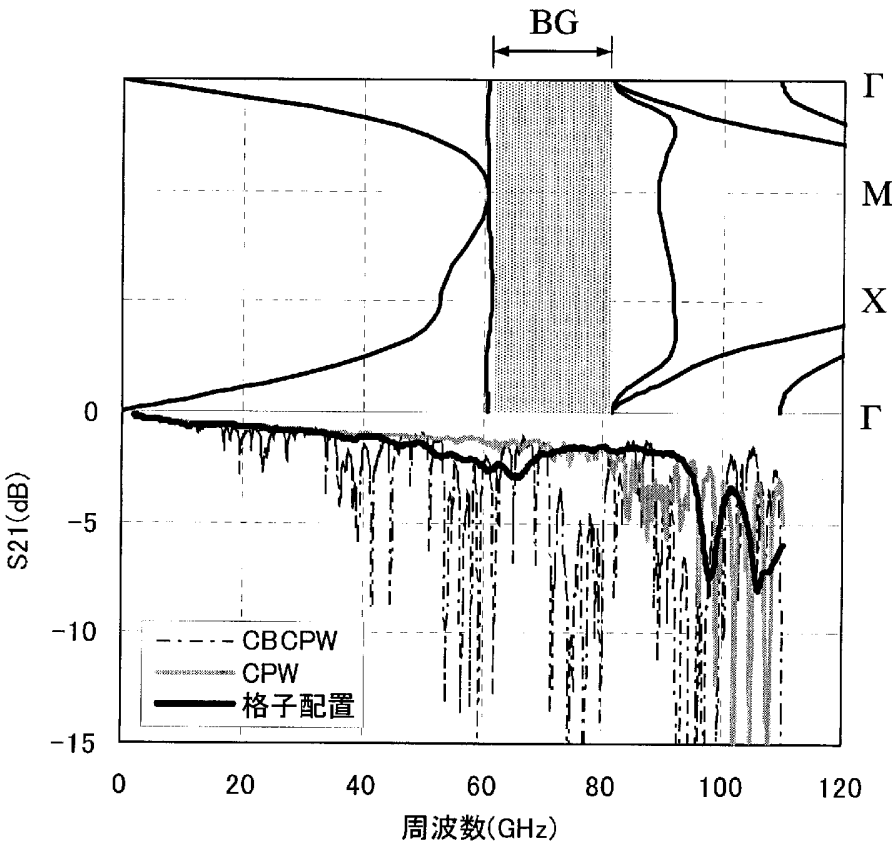
[図62]



[図63]



[図64]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/305794

A. CLASSIFICATION OF SUBJECT MATTER

H01P1/16(2006.01), **H01P3/02**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01P1/16(2006.01), **H01P3/02**(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-101301 A (Murata Mfg. Co., Ltd.), 07 April, 2000 (07.04.00), Full text; all drawings & US 6323740 B1 & EP 0975043 A2	1-6
A	JP 2003-258504 A (Murata Mfg. Co., Ltd.), 12 September, 2003 (12.09.03), Full text; all drawings & US 2004/0041668 A1 & EP 1339130 A2	1-6

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 May, 2006 (02.05.06)Date of mailing of the international search report
16 May, 2006 (16.05.06)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01P1/16(2006.01), H01P3/02(2006.01)

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01P1/16(2006.01), H01P3/02(2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2 0 0 0 - 1 0 1 3 0 1 A (株式会社村田製作所) 2 0 0 0 . 0 4 . 0 7 , 全文, 全図 & U S 6 3 2 3 7 4 0 B 1 & E P 0 9 7 5 0 4 3 A 2	1 - 6
A	J P 2 0 0 3 - 2 5 8 5 0 4 A (株式会社村田製作所) 2 0 0 3 . 0 9 . 1 2 , 全文, 全図 & U S 2 0 0 4 / 0 0 4 1 6 6 8 A 1 & E P 1 3 3 9 1 3 0 A 2	1 - 6

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

02.05.2006

国際調査報告の発送日

16.05.2006

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

麻生 哲朗

電話番号 03-3581-1101 内線 3568

5 T

2953