



(12) 发明专利申请

(10) 申请公布号 CN 102779782 A

(43) 申请公布日 2012. 11. 14

(21) 申请号 201210293164. 9

(22) 申请日 2012. 08. 16

(71) 申请人 上海华力微电子有限公司

地址 201203 上海市浦东新区张江高科技园
区高斯路 497 号

(72) 发明人 李磊 梁学文 胡友存 陈玉文
姬峰

(74) 专利代理机构 上海思微知识产权代理事务
所（普通合伙） 31237

代理人 陆花

(51) Int. Cl.

H01L 21/768 (2006. 01)

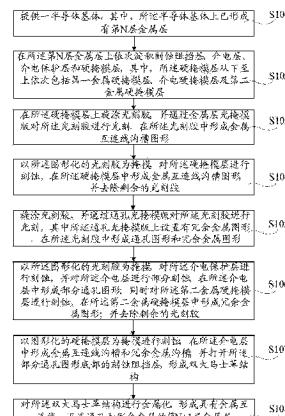
权利要求书 2 页 说明书 5 页 附图 5 页

(54) 发明名称

双大马士革浅冗余金属制备工艺

(57) 摘要

本发明公开了一种双大马士革浅冗余金属制造工艺，通过在通孔光掩模版上添加冗余金属图形，采用金属-介电层-金属作为硬掩模的部分沟槽优先双大马士革工艺形成带有浅冗余金属的双大马士革结构，从而可以在降低金属互连线寄生电容，改善互连 RC 延迟同时，不会恶化化学机械研磨(CMP) 工艺；且工艺简单，不增加工艺步骤，能够完全兼容硬掩模部分沟槽优先铜双大马士革制造工艺。



1. 一种双大马士革浅冗余金属制备工艺,其特征在于,包括如下步骤:
 - 提供一半导体基体,其中,所述半导体基体上已形成有第 N 层金属层;
 - 在所述第 N 层金属层上依次淀积刻蚀阻挡层、介电层、介电保护层和硬掩模层,其中,所述硬掩模层从下至上依次包括第一金属硬掩模层、介电硬掩模层及第二金属硬掩模层;
 - 在所述硬掩模层上旋涂光刻胶,并通过金属层光掩模版对所述光刻胶进行光刻,在所述光刻胶中形成金属互连线沟槽图形;
 - 以所述图形化的光刻胶为掩模,对所述硬掩模层进行刻蚀,在所述硬掩模层中形成金属互连线沟槽图形,并去除剩余的光刻胶;
 - 旋涂光刻胶,并通过通孔光掩模版对所述光刻胶进行光刻,其中所述通孔光掩模版上设置有冗余金属图形,在所述光刻胶中形成通孔图形和冗余金属图形;
 - 以所述图形化的光刻胶为掩模,对所述介电保护层进行刻蚀,并对所述介电层进行部分刻蚀,在所述介电层中形成部分通孔图形;同时对所述第二金属硬掩模层进行刻蚀,在所述第二金属硬掩模层中形成冗余金属图形;并去除剩余的光刻胶;
 - 以图形化的硬掩模层为掩模进行刻蚀,在所述介电层中形成金属互连线沟槽和冗余金属沟槽,并打开所述部分通孔图形底部的刻蚀阻挡层,形成双大马士革结构;
 - 对所述双大马士革结构进行金属化,形成具有金属互连线、互连通孔和冗余金属的第 N+1 层金属层。
2. 如权利要求 1 所述的双大马士革浅冗余金属制备工艺,其特征在于,所述 N 层金属层为第一层金属层,所述第 N+1 层金属层为第二层金属层。
3. 如权利要求 1 所述的双大马士革浅冗余金属制备工艺,其特征在于,所述淀积刻蚀阻挡层、介电层及介电保护层的工艺为化学气相淀积法。
4. 如权利要求 3 所述的双大马士革浅冗余金属制备工艺,其特征在于,所述刻蚀阻挡层的材料为 SiCN、SiN、SiC、SiCO 中的一种或多种。
5. 如权利要求 3 所述的双大马士革浅冗余金属制备工艺,其特征在于,所述介电层的材料为低 K 介电材料。
6. 如权利要求 5 所述的双大马士革浅冗余金属制备工艺,其特征在于,所述低 K 介电材料为 SiOCH。
7. 如权利要求 3 所述的双大马士革浅冗余金属制备工艺,其特征在于,所述介电保护层的材料为 SiO₂、SiON、SiN 中的任一种。
8. 如权利要求 1 所述的双大马士革浅冗余金属制备工艺,其特征在于,所述淀积第一金属硬掩模层及第二金属硬掩模层的工艺为物理气相淀积法。
9. 如权利要求 8 所述的双大马士革浅冗余金属制备工艺,其特征在于,所述第一金属硬掩模层的材料为 TiN、Ti、TaN、Ta、WN、W 中的一种或多种。
10. 如权利要求 8 所述的双大马士革浅冗余金属制备工艺,其特征在于,所述第二金属硬掩模层的材料为 TiN、Ti、TaN、Ta、WN、W 中的一种或多种。
11. 如权利要求 1 所述的双大马士革浅冗余金属制备工艺,其特征在于,所述第二金属硬掩模层的厚度大于第一金属硬掩模层的厚度的两倍。
12. 如权利要求 11 所述的双大马士革浅冗余金属制备工艺,其特征在于,所述第一金属硬掩模层的厚度为 20~200 Å,所述第二金属硬掩模层的厚度大于 100 Å,所述介电硬掩模

层的厚度为20~200Å。

13. 如权利要求 1 所述的双大马士革浅冗余金属制备工艺,其特征在于,所述淀积介电硬掩模层的工艺为化学气相淀积法。

14. 如权利要求 13 所述的双大马士革浅冗余金属制备工艺,其特征在于,所述介电硬掩模层的材料为 SiO₂、SiON、SiN 中的任一种。

15. 如权利要求 1 所述的双大马士革浅冗余金属制备工艺,其特征在于,所述在介电层中形成的部分通孔图形的深度为互连通孔高度的 120%~200%。

16. 如权利要求 1 所述的双大马士革浅冗余金属制备工艺,其特征在于,所述对双大马士革结构进行金属化包括如下步骤:首先依次进行金属阻挡层淀积、铜籽晶层淀积、电镀填充金属铜;然后化学机械研磨平坦化去除多余金属至介电层,形成具有金属互连线、互连通孔和冗余金属的第 N+1 层金属层。

17. 如权利要求 16 所述的双大马士革浅冗余金属制备工艺,其特征在于,所述冗余金属沟槽的深度位于化学机械研磨去除的介电层高度与金属互连线沟槽深度之间。

18. 如权利要求 17 所述的双大马士革浅冗余金属制备工艺,其特征在于,所述冗余金属沟槽的深度等于化学机械研磨去除的介电层高度。

双大马士革浅冗余金属制备工艺

技术领域

[0001] 本发明涉及半导体工艺技术领域，尤其涉及一种双大马士革浅冗余金属制备工艺。

背景技术

[0002] 随着半导体集成电路特征尺寸的持续减小，后段互连电阻电容(Resistor Capacitor，简称 RC)延迟呈现显著增加的趋势，为了减少后段互连 RC 延迟，引入低介电常数(Low-k)材料，并且铜互连取代铝互连成为主流工艺。由于铜互连线的制作方法不能像铝互连线那样通过刻蚀金属层而形成，因此铜大马士革镶嵌工艺成为铜互连线制作的标准方法。

[0003] 铜大马士革工艺制程为：在平面基体上淀积一介电层；通过光刻和刻蚀工艺在介电层中形成镶嵌的通孔和沟槽；淀积金属阻挡层和铜籽晶层；电镀金属铜填满介电层中通孔和沟槽；化学机械研磨(CMP)平坦化去除介电层上多余金属，形成平面铜互连。

[0004] 为了改善 CMP 工艺均匀性，减少 CMP 工艺引起的金属铜碟形(Dishing)和介电材料侵蚀(Erosion)缺陷，冗余金属填充技术应运而生；所谓冗余金属填充，是指在版图的空白区域填充冗余(Dummy)金属来改善金属层图形密度均匀性。通常冗余金属在金属层掩模版制作过程中填充在金属层掩模版上，并与金属层互连线一同制作。因此，双大马士革工艺最终形成的冗余金属厚度与金属互连线厚度一致。

[0005] 然而，冗余金属的引入会引起互连线寄生电容的增加，恶化后段互连电阻电容(Resistor Capacitor，简称 RC)延迟，特别是随着特征尺寸的减小其影响更加明显。降低冗余金属对互连线寄生电容的影响成为不得不考虑的问题。

[0006] 为了解决上述问题，目前提出的一种方式是降低冗余金属的厚度。然而，通常浅冗余金属的制作，需要增加一块独立冗余金属掩模版来进行光刻刻蚀，以形成浅冗余金属沟槽；这会增加工艺步骤，提高生产成本。

[0007] 此外，随着低 K 材料的引入，特别是在 45nm 及以下制程多孔低介电常数材料(Porous Low-k)的引入，为了降低刻蚀工艺对 Porous Low-k 材料的损伤，硬掩模部分沟槽优先双大马士革工艺成为主流工艺。而上述目前采用的通过增加一块独立冗余金属掩模版来制作浅冗余金属的方法并不能与金属硬掩模部分沟槽优先双大马士革工艺兼容。

[0008] 因此，有必要提出一种简单的并能够完全兼容金属硬掩模部分沟槽优先双大马士革工艺的浅冗余金属制造方法，以降低冗余金属引起的互连线寄生电容。

发明内容

[0009] 本发明的目的在于提供一种双大马士革浅冗余金属制备工艺，以降低冗余金属引起的互连线寄生电容，并能够完全兼容金属硬掩模部分沟槽优先双大马士革工艺的浅冗余金属制造方法。

[0010] 为解决上述问题，本发明提出一种双大马士革浅冗余金属制备工艺，包括如下步

骤：

- [0011] 提供一半导体基体，其中，所述半导体基体上已形成有第 N 层金属层；
- [0012] 在所述第 N 层金属层上依次淀积刻蚀阻挡层、介电层、介电保护层和硬掩模层，其中，所述硬掩模层从下至上依次包括第一金属硬掩模层、介电硬掩模层及第二金属硬掩模层；
- [0013] 在所述硬掩模层上旋涂光刻胶，并通过金属层光掩模版对所述光刻胶进行光刻，在所述光刻胶中形成金属互连线沟槽图形；
- [0014] 以所述图形化的光刻胶为掩模，对所述硬掩模层进行刻蚀，在所述硬掩模层中形成金属互连线沟槽图形，并去除剩余的光刻胶；
- [0015] 旋涂光刻胶，并通过通孔光掩模版对所述光刻胶进行光刻，其中所述通孔光掩模版上设置有冗余金属图形，在所述光刻胶中形成通孔图形和冗余金属图形；
- [0016] 以所述图形化的光刻胶为掩模，对所述介电保护层进行刻蚀，并对所述介电层进行部分刻蚀，在所述介电层中形成部分通孔图形；同时对所述第二金属硬掩模层进行刻蚀，在所述第二金属硬掩模层中形成冗余金属图形；并去除剩余的光刻胶；
- [0017] 以图形化的硬掩模层为掩模进行刻蚀，在所述介电层中形成金属互连线沟槽和冗余金属沟槽，并打开所述部分通孔图形底部的刻蚀阻挡层，形成双大马士革结构；
- [0018] 对所述双大马士革结构进行金属化，形成具有金属互连线、互连通孔和冗余金属的第 N+1 层金属层。
- [0019] 可选的，所述 N 层金属层为第一层金属层，所述第 N+1 层金属层为第二层金属层。
- [0020] 可选的，所述淀积刻蚀阻挡层、介电层及介电保护层的工艺为化学气相淀积法。
- [0021] 可选的，所述刻蚀阻挡层的材料为 SiCN、SiN、SiC、SiCO 中的一种或多种。
- [0022] 可选的，所述介电层的材料为低 K 介电材料。
- [0023] 可选的，所述低 K 介电材料为 SiOCH。
- [0024] 可选的，所述介电保护层的材料为 SiO₂、SiON、SiN 中的任一种。
- [0025] 可选的，所述淀积第一金属硬掩模层及第二金属硬掩模层的工艺为物理气相淀积法。
- [0026] 可选的，所述第一金属硬掩模层的材料为 TiN、Ti、TaN、Ta、WN、W 中的一种或多种。
- [0027] 可选的，所述第二金属硬掩模层的材料为 TiN、Ti、TaN、Ta、WN、W 中的一种或多种。
- [0028] 可选的，所述第二金属硬掩模层的厚度大于第一金属硬掩模层的厚度的两倍。
- [0029] 可选的，所述第一金属硬掩模层的厚度为 20~200Å，所述第二金属硬掩模层的厚度大于 100Å，所述介电硬掩模层的厚度为 20~200Å。
- [0030] 可选的，所述淀积介电硬掩模层的工艺为化学气相淀积法。
- [0031] 可选的，所述介电硬掩模层的材料为 SiO₂、SiON、SiN 中的任一种。
- [0032] 可选的，所述在介电层中形成的部分通孔图形的深度为互连通孔高度的 120%~200%。
- [0033] 可选的，所述对双大马士革结构进行金属化包括如下步骤：首先依次进行金属阻挡层淀积、铜籽晶层淀积、电镀填充金属铜；然后化学机械研磨平坦化去除多余金属至介电层，形成具有金属互连线、互连通孔和冗余金属的第 N+1 层金属层。
- [0034] 可选的，所述冗余金属沟槽的深度位于化学机械研磨去除的介电层高度与金属互

连线沟槽深度之间。

[0035] 可选的,所述冗余金属沟槽的深度等于化学机械研磨去除的介电层高度。

[0036] 与现有技术相比,本发明提供的双大马士革浅冗余金属制造工艺通过在通孔光掩模版上添加冗余金属图形,采用金属 - 介电层 - 金属作为硬掩模的硬掩模部分沟槽优先双大马士革工艺形成带有浅冗余金属的双大马士革结构,从而可以在降低金属互连线寄生电容,改善互连 RC 延迟同时,不会恶化化学机械研磨(CMP)工艺;且工艺简单,不增加工艺步骤,能够完全兼容硬掩模部分沟槽优先铜双大马士革制造工艺。

附图说明

[0037] 图 1 为本发明实施例提供的双大马士革浅冗余金属制造工艺的流程图;

[0038] 图 2A 至图 2G 为本发明实施例提供的双大马士革浅冗余金属制造工艺的各步骤对应的器件结构示意图。

具体实施方式

[0039] 以下结合附图和具体实施例对本发明提出的双大马士革浅冗余金属制造工艺作进一步详细说明。根据下面说明和权利要求书,本发明的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比率,仅用于方便、明晰地辅助说明本发明实施例的目的。

[0040] 本发明的核心思想在于,提供一种双大马士革浅冗余金属制造工艺,通过在通孔光掩模版上添加冗余金属图形,采用金属 - 介电层 - 金属作为硬掩模的部分沟槽优先双大马士革工艺形成带有浅冗余金属的双大马士革结构,从而可以在降低金属互连线寄生电容,改善互连 RC 延迟同时,不会恶化化学机械研磨(CMP)工艺;且工艺简单,不增加工艺步骤,能够完全兼容硬掩模部分沟槽优先铜双大马士革制造工艺。

[0041] 请参考图 1 以及图 2A 至图 2G,其中,图 1 为本发明实施例提供的双大马士革浅冗余金属制造工艺的流程图,图 2A 至图 2G 为本发明实施例提供的双大马士革浅冗余金属制造工艺的各步骤对应的器件结构示意图,结合图 1 以及图 2A 至图 2G 所示,本发明实施例提供的双大马士革浅冗余金属制造工艺包括如下步骤:

[0042] S101、提供一半导体基体 101,其中,所述半导体基体 101 上已形成有第 N 层金属层 102;在本发明实施例中,该第 N 层金属层 102 为第一金属层;

[0043] S102、在所述第 N 层金属层 102 上依次淀积刻蚀阻挡层 103、介电层 104、介电保护层 105 和硬掩模层,其中,所述硬掩模层从下至上依次包括第一金属硬掩模层 106、介电硬掩模层 107 及第二金属硬掩模层 108,如图 2A 所示;

[0044] S103、在所述硬掩模层上旋涂光刻胶 109,并通过金属层光掩模版对所述光刻胶 109 进行光刻,在所述光刻胶 109 中形成金属互连线沟槽图形,如图 2B 所示;

[0045] S104、以所述图形化的光刻胶 109 为掩模,对所述硬掩模层进行刻蚀,在所述硬掩模层中形成金属互连线沟槽图形,并去除剩余的光刻胶;去除剩余的光刻胶后的器件结构图如图 2C 所示;

[0046] S105、旋涂光刻胶 110,并通过通孔光掩模版对所述光刻胶 110 进行光刻,其中所述通孔光掩模版上设置有冗余金属图形,在所述光刻胶 110 中形成通孔图形和冗余金属图

形,如图 2D 所示;

[0047] S106、以所述图形化的光刻胶 110 为掩模,对所述介电保护层 105 进行刻蚀,并对所述介电层 104 进行部分刻蚀,在所述介电层 104 中形成部分通孔图形 111;同时对所述第二金属硬掩模层 108 进行刻蚀,在所述第二金属硬掩模层 108 中形成冗余金属图形 112;并去除剩余的光刻胶;去除剩余的光刻胶后的器件结构图如图 2E 所示;

[0048] S107、以图形化的硬掩模层为掩模进行刻蚀,在所述介电层 104 中形成金属互连线沟槽 113 和冗余金属沟槽 115,并打开所述部分通孔图形底部的刻蚀阻挡层 103,形成互连通孔图形 114,从而形成双大马士革结构;该步骤完成后的器件结构图如图 2F 所示;

[0049] S108、对所述双大马士革结构进行金属化,形成具有金属互连线 116、互连通孔 117 和冗余金属 118 的第 N+1 层金属层,如图 2G 所示;其中在本发明实施例中,所述第 N+1 层金属层为第二金属层。

[0050] 进一步地,所述淀积刻蚀阻挡层 103、介电层 104 及介电保护层 105 的工艺为化学气相淀积法;其中,所述刻蚀阻挡层 103 的材料为 SiCN、SiN、SiC、SiCO 中的一种或多种;所述介电层 104 的材料为低 K 介电材料,具体地,所述低 K 介电材料为 SiOCH;所述介电保护层 105 的材料为 SiO₂、SiON、SIN 中的任一种。

[0051] 进一步地,所述淀积第一金属硬掩模层 106 及第二金属硬掩模层 108 的工艺为物理气相淀积法;其中,所述第一金属硬掩模层 106 的材料为 TiN、Ti、TaN、Ta、WN、W 中的一种或多种,所述第二金属硬掩模层 108 的材料为 TiN、Ti、TaN、Ta、WN、W 中的一种或多种。

[0052] 进一步地,所述第二金属硬掩模层 108 的厚度大于第一金属硬掩模层 106 的厚度的两倍;优选地,所述第一金属硬掩模层 106 的厚度为 20~200Å,所述第二金属硬掩模层 108 的厚度大于 100Å。

[0053] 进一步地,所述淀积介电硬掩模层 107 的工艺为化学气相淀积法;所述介电硬掩模层 107 的材料为 SiO₂、SiON、SIN 中的任一种;所述介电硬掩模层 107 的厚度为 20~200Å。

[0054] 进一步地,所述在介电层 104 中形成的部分通孔图形 111 的深度为互连通孔 117

高度的 120%~200%,从而可保证后续沟槽介电层刻蚀既不至于刻蚀不充分也不发生过刻蚀。

[0055] 进一步地,所述对双大马士革结构进行金属化包括如下步骤:首先依次进行金属阻挡层淀积、铜籽晶层淀积、电镀填充金属铜;然后化学机械研磨平坦化去除多余金属至介电层,形成具有金属互连线、互连通孔和冗余金属的第 N+1 层金属层。

[0056] 进一步地,所述冗余金属沟槽 115 的深度位于化学机械研磨去除的介电层高度与金属互连线沟槽 113 深度之间。

[0057] 优选地,所述冗余金属沟槽 115 的深度等于化学机械研磨去除的介电层高度,从而可在 CMP 过程中正好完全去除冗余金属,消除冗余金属对互连线寄生电容的影响。

[0058] 其中,在本发明的一个具体实施例中,所述 N 层金属层为第一层金属层,所述第 N+1 层金属层为第二层金属层;然而应该认识到,重复上述步骤,可制作更多层带有浅冗余金属的金属层;即所述 N 层金属层还可以为第二层金属层,所述第 N+1 层金属层可为第三层金属层等。

[0059] 综上所述,本发明提供了一种双大马士革浅冗余金属制造工艺,通过在通孔光掩模版上添加冗余金属图形,采用金属-介电层-金属作为硬掩模的部分沟槽优先双大马士革工艺形成带有浅冗余金属的双大马士革结构,从而可以在降低金属互连线寄生电容,改

善互连 RC 延迟同时,不会恶化化学机械研磨(CMP)工艺;且工艺简单,不增加工艺步骤,能够完全兼容硬掩模部分沟槽优先铜双大马士革制造工艺。

[0060] 显然,本领域的技术人员可以对发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

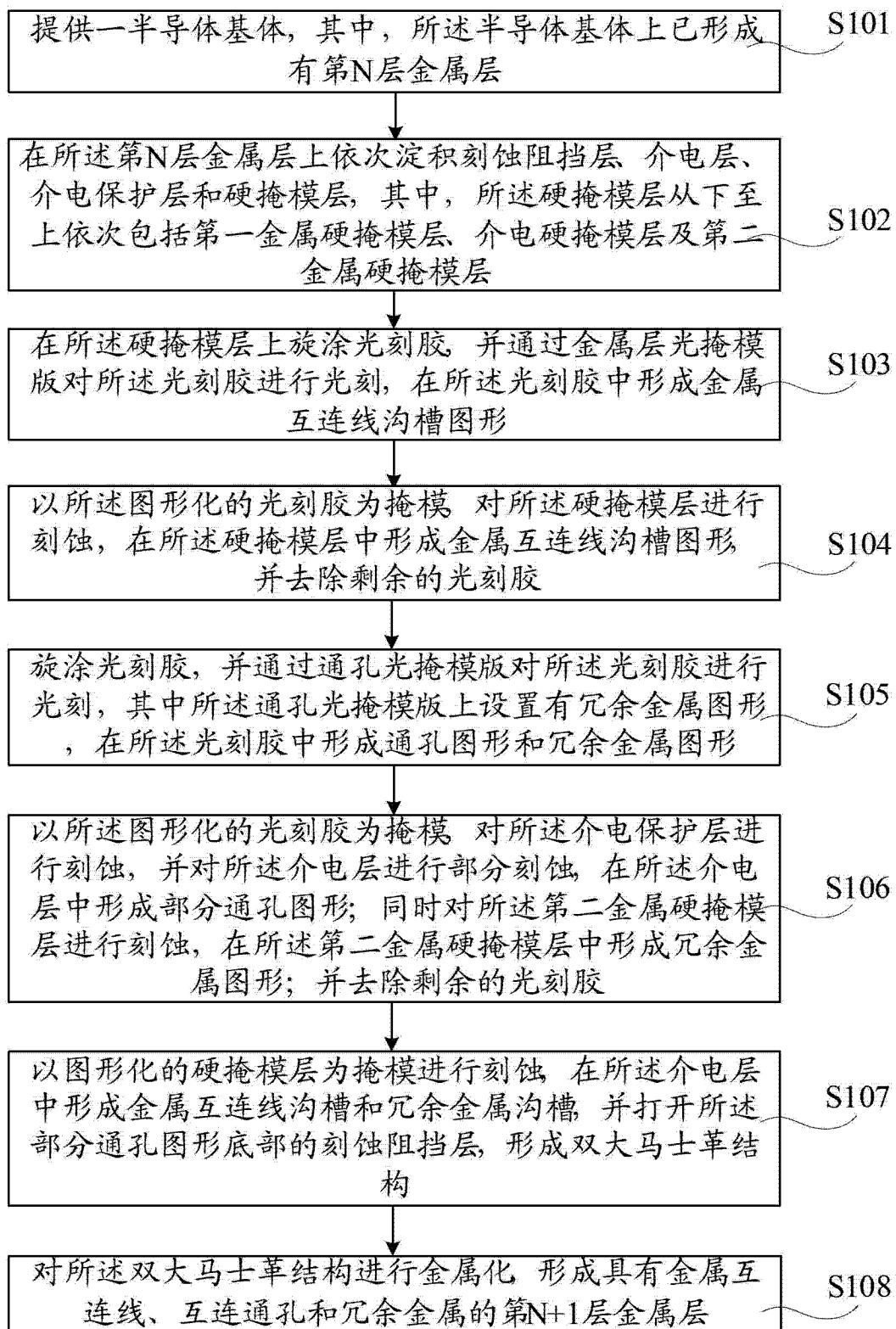


图 1

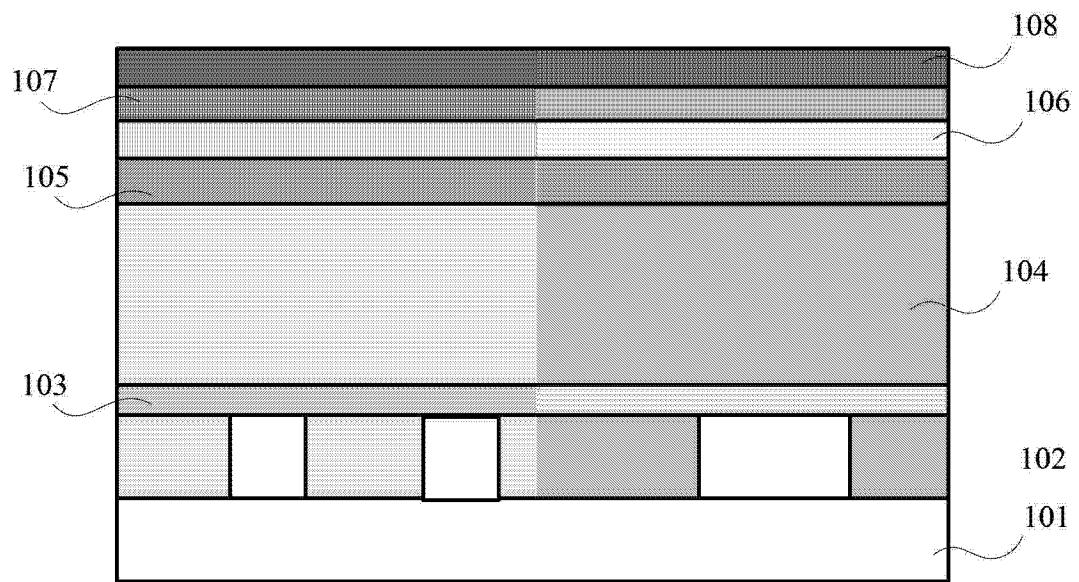


图 2A

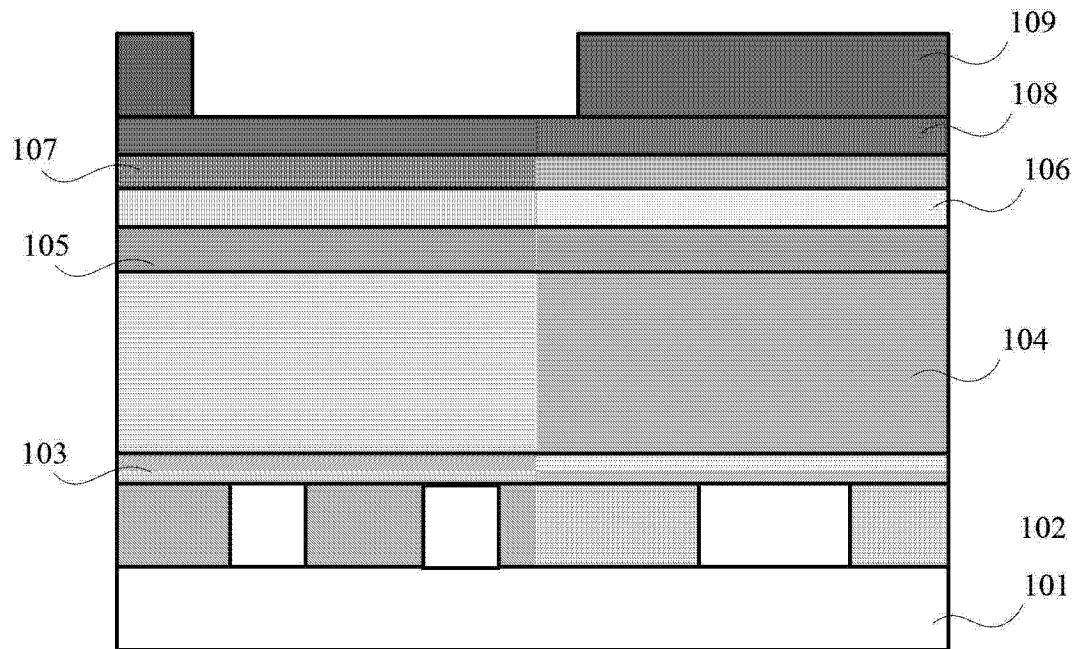


图 2B

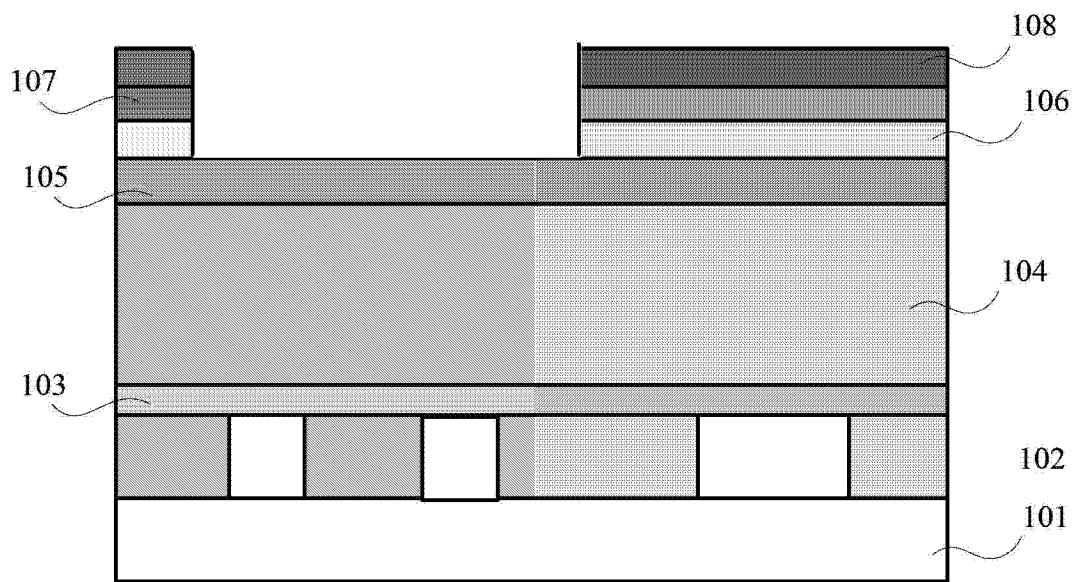


图 2C

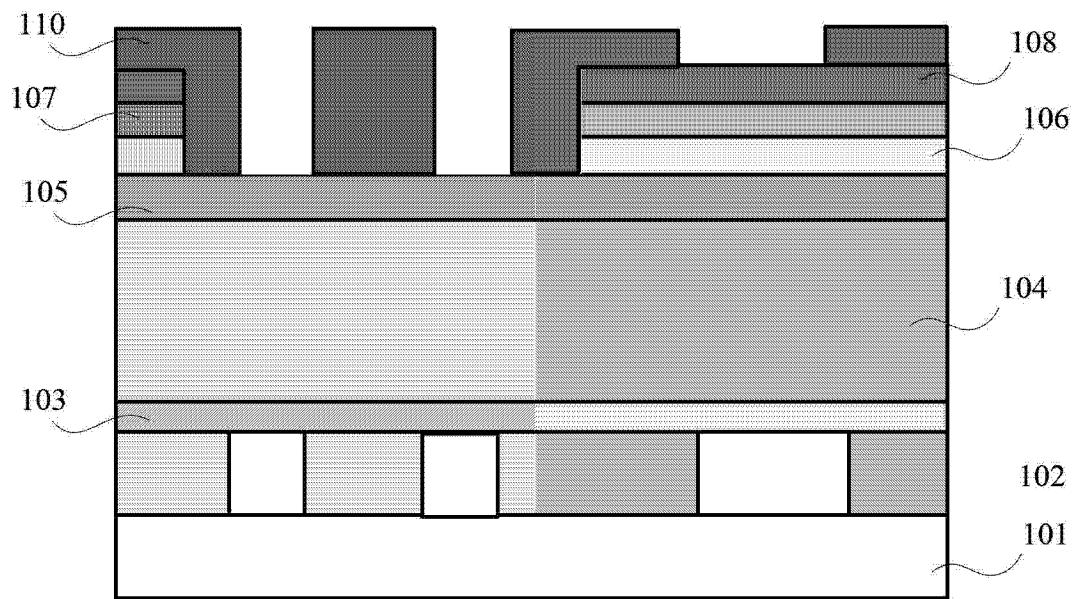


图 2D

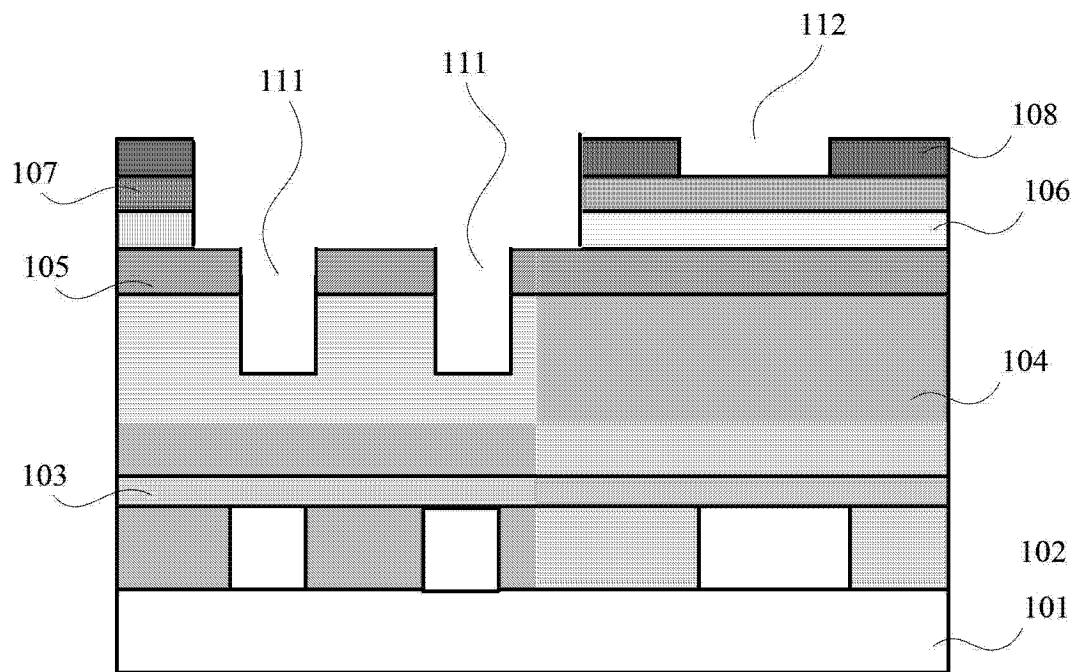


图 2E

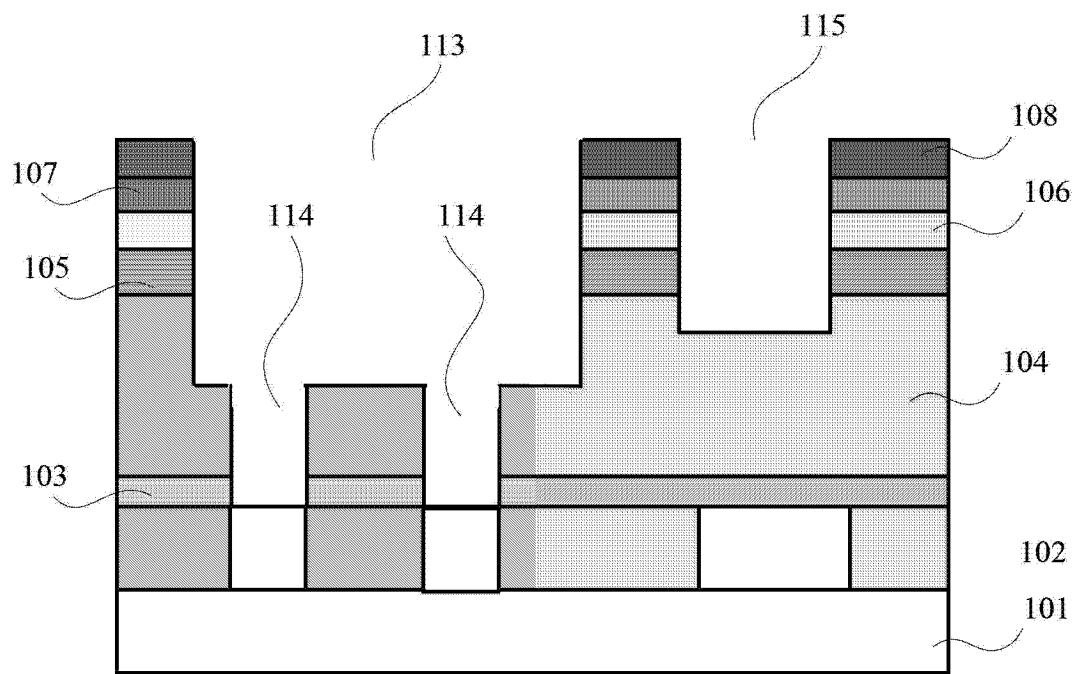


图 2F

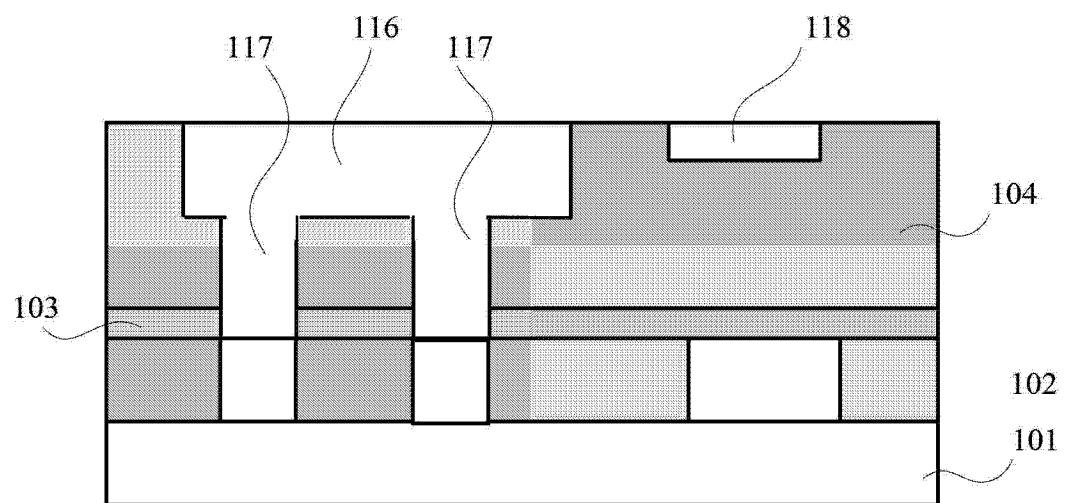


图 2G