

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 10 月 6 日(06.10.2016)



(10) 国際公開番号

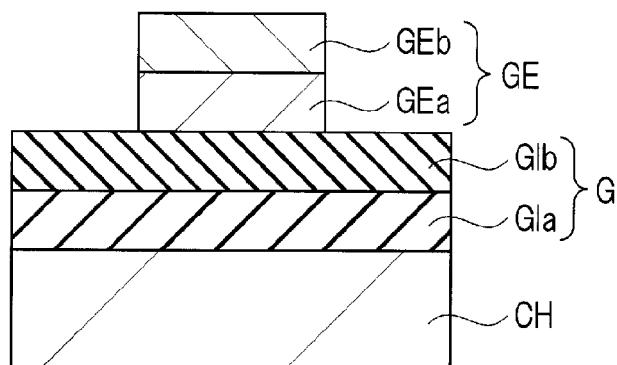
WO 2016/157371 A1

- (51) 国際特許分類:
H01L 21/338 (2006.01) H01L 29/49 (2006.01)
H01L 21/28 (2006.01) H01L 29/778 (2006.01)
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
H01L 29/423 (2006.01) H01L 29/812 (2006.01)
- (21) 国際出願番号: PCT/JP2015/059956
- (22) 国際出願日: 2015 年 3 月 30 日(30.03.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: ルネサスエレクトロニクス株式会社
(RENESAS ELECTRONICS CORPORATION)
[JP/JP]; 〒1350061 東京都江東区豊洲三丁目 2 番
2 4 号 Tokyo (JP).
- (72) 発明者: 加藤 芳健(KATO, Yoshitake); 〒3128504
茨城県ひたちなか市堀口 7 5 1 番地 ルネサス
セミコンダクタマニュファクチャリング株式
会社内 Ibaraki (JP).
- (74) 代理人: 特許業務法人筒井国際特許事務所
(TSUTSUI & ASSOCIATES); 〒1600022 東京都新宿
区新宿 2 丁目 3 番 1 0 号 新宿御苑ビル 3 階
Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法

図 1



(57) Abstract: To improve characteristics of a semiconductor device. In a semiconductor device (MISFET) having a gate electrode GE that is formed on a nitride semiconductor layer CH with a gate insulating film GI therebetween, the gate insulating film GI is configured such that the gate insulating film has a first gate insulating film (oxide film formed of a first metal) GIa formed on the nitride semiconductor layer CH, and a second gate insulating film (oxide film formed of a second metal) GIb. The second metal (for instance, Hf) has a lower electronegativity than the first metal (for instance, Al). In this manner, a threshold voltage (V_{th}) can be shifted in the positive direction by having the electronegativity of the second metal lower than the electronegativity of the first metal. Furthermore, the gate electrode GE is configured such that the gate electrode has a first gate electrode (nitride film formed of a third metal) GEa formed on the second gate insulating film GIb, and a second gate electrode (fourth metal) GEb. Consequently, oxygen is prevented from diffusing to the gate insulating film GI, and fluctuation of the threshold voltage (V_{th}) can be reduced.

(57) 要約:

[続葉有]

WO 2016/157371 A1



半導体装置の特性を向上させる。窒化物半導体層CH上にゲート絶縁膜GIを介して形成されたゲート電極GEを有する半導体装置(MISFET)において、ゲート絶縁膜GIを、窒化物半導体層CH上に形成された第1ゲート絶縁膜(第1金属の酸化膜)GIaと、第2ゲート絶縁膜(第2金属の酸化膜)GIbと、を有するように構成する。そして、第2金属(例えば、Hf)は、第1金属(例えば、Al)より電気陰性度が低い。このように、第1金属の電気陰性度よりも、第2金属の電気陰性度を低くすることにより、閾値電圧(V_{th})を正方向にシフトすることができる。また、ゲート電極GEを、第2ゲート絶縁膜GIb上に形成された第1ゲート電極(第3金属の窒化膜)GEaと、第2ゲート電極(第4金属)GEbと、を有するように構成する。これにより、ゲート絶縁膜GIへの酸素の拡散を防止し、閾値電圧(V_{th})のばらつきを低減することができる。

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置および半導体装置の製造方法に関し、例えば、窒化物半導体を用いた半導体装置およびその製造方法に好適に利用できるものである。

背景技術

[0002] 近年、Siよりも大きなバンドギャップを有するIII-V族の化合物を用いた半導体装置が注目されている。その中でも、窒化ガリウム（GaN）などの窒化物半導体を用いた半導体装置は、高速かつ低損失で動作する特性を備えている。また、窒化ガリウム系の窒化物半導体を用いたパワーMISFET（Metal Insulator Semiconductor Field Effect Transistor）は、ノーマリーオフ動作が可能であり、その開発が進められている。

[0003] 例えば、以下の特許文献1（特開2014-183125号公報）には、i-GaNにより形成された電子走行層、AlGaNにより形成された電子供給層、ソース電極、ドレイン電極、および絶縁膜上に形成されたゲート電極を有するノーマリーオフ型の半導体装置が開示されている。ゲート電極は、Ni/Auを用い、リフトオフにより形成される。

先行技術文献

特許文献

[0004] 特許文献1：特開2014-183125号公報

発明の概要

発明が解決しようとする課題

[0005] 本発明者は、上記のような窒化物半導体を用いた半導体装置の研究開発に従事しており、ノーマリーオフ型の半導体装置の特性向上について、鋭意検討している。その過程において、窒化物半導体を用いた半導体装置および半導体装置の製造方法について更なる改善の余地があることが判明した。

[0006] その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0007] 本願において開示される実施の形態のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0008] 本願において開示される一実施の形態に示される半導体装置は、第1ゲート絶縁膜、第2ゲート絶縁膜、第1ゲート電極および第2ゲート電極を有する。そして、第1ゲート絶縁膜は、第1金属を含む酸化膜またはシリコンを含む酸化膜であり、第2ゲート絶縁膜は、第2金属を含む酸化膜であり、第2金属の電気陰性度は、第1金属またはシリコンの電気陰性度より小さい。また、第1ゲート電極は、第3金属を含む窒化膜であり、第2ゲート電極は、第4金属よりなる。

[0009] 本願において開示される一実施の形態に示される半導体装置の製造方法は、窒化物半導体層上に、第1金属を含む酸化膜またはシリコンを含む酸化膜よりなる第1ゲート絶縁膜を形成する工程を有する。そして、第1ゲート絶縁膜上に、第2金属の酸化膜よりなる第2ゲート絶縁膜を形成する工程、第2ゲート絶縁膜上に、第3金属を含む窒化膜よりなる第1ゲート電極を形成する工程を有する。さらに、第1ゲート電極上に、第4金属よりなる第2ゲート電極を形成する工程を有する。そして、第1ゲート絶縁膜は、第1金属を含む酸化膜またはシリコンを含む酸化膜であり、第2ゲート絶縁膜は、第2金属を含む酸化膜であり、第2金属の電気陰性度は、第1金属またはシリコンの電気陰性度より小さい。

発明の効果

[0010] 本願において開示される以下に示す代表的な実施の形態に示される半導体装置によれば、半導体装置の特性を向上させることができる。

[0011] 本願において開示される以下に示す代表的な実施の形態に示される半導体装置の製造方法によれば、特性の良好な半導体装置を製造することができる。

図面の簡単な説明

- [0012] [図1]実施の形態1の半導体装置の構成を示す断面図である。
- [図2]実施の形態1の半導体装置の他の構成を示す断面図である。
- [図3]実施の形態1の半導体装置の比較例1の構成を示す断面図である。
- [図4]実施の形態1の半導体装置の比較例2の構成を示す断面図である。
- [図5]サンプル1～4中の酸素濃度分布を示す図である。
- [図6]実施の形態1の半導体装置の製造工程を示す断面図である。
- [図7]実施の形態1の半導体装置の製造工程を示す断面図であって、図6に続く製造工程を示す断面図である。
- [図8]実施の形態1の半導体装置の製造工程を示す断面図であって、図7に続く製造工程を示す断面図である。
- [図9]実施の形態1の半導体装置の製造工程を示す断面図であって、図8に続く製造工程を示す断面図である。
- [図10]実施の形態1の半導体装置の製造工程を示す断面図であって、図9に続く製造工程を示す断面図である。
- [図11]実施の形態1の半導体装置の製造工程を示す断面図であって、図10に続く製造工程を示す断面図である。
- [図12]実施の形態1の半導体装置の特徴的な構成を示す断面図である。
- [図13]実施の形態2の半導体装置の構成を示す断面図である。
- [図14]実施の形態2の半導体装置の製造工程を示す断面図である。
- [図15]実施の形態2の半導体装置の製造工程を示す断面図であって、図14に続く製造工程を示す断面図である。
- [図16]実施の形態2の半導体装置の製造工程を示す断面図であって、図15に続く製造工程を示す断面図である。
- [図17]実施の形態2の半導体装置の製造工程を示す断面図であって、図16に続く製造工程を示す断面図である。
- [図18]実施の形態2の半導体装置の製造工程を示す断面図であって、図17に続く製造工程を示す断面図である。

[図19]実施の形態2の半導体装置の製造工程を示す断面図であって、図18に続く製造工程を示す断面図である。

[図20]実施の形態2の半導体装置の製造工程を示す断面図であって、図19に続く製造工程を示す断面図である。

[図21]実施の形態2の半導体装置の製造工程を示す断面図であって、図20に続く製造工程を示す断面図である。

[図22]実施の形態2の半導体装置の製造工程を示す断面図であって、図21に続く製造工程を示す断面図である。

[図23]実施の形態2の半導体装置の製造工程を示す断面図であって、図22に続く製造工程を示す断面図である。

[図24]実施の形態2の半導体装置の製造工程を示す断面図であって、図23に続く製造工程を示す断面図である。

[図25]実施の形態2の半導体装置の製造工程を示す断面図であって、図24に続く製造工程を示す断面図である。

[図26]実施の形態2の半導体装置の構成を示す平面図の一例である。

[図27]実施の形態2の半導体装置の構成を示す断面図である。

[図28]実施の形態3の半導体装置の構成を示す断面図である。

[図29]ゲート絶縁膜の積層効果を示すグラフである。

[図30]実施の形態4の半導体装置の構成を示す断面図である。

[図31]実施の形態5の半導体装置の構成を示す断面図である。

[図32]実施の形態6の半導体装置の構成を示す断面図である。

発明を実施するための形態

[0013] 以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、応用例、詳細説明、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除

き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

[0014] さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数等（個数、数値、量、範囲等を含む）についても同様である。

[0015] 以下、実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一または関連する符号を付し、その繰り返しの説明は省略する。また、複数の類似の部材（部位）が存在する場合には、総称の符号に記号を追加し個別または特定の部位を示す場合がある。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

[0016] また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。

[0017] また、断面図および平面図において、各部位の大きさは実デバイスと対応するものではなく、図面を分かりやすくするため、特定の部位を相対的に大きく表示する場合がある。また、断面図と平面図が対応する場合においても、図面を分かりやすくするため、特定の部位を相対的に大きく表示する場合がある。

[0018] （実施の形態１）

以下、図面を参照しながら本実施の形態の半導体装置について詳細に説明する。

[0019] [構造説明]

図１は、本実施の形態の半導体装置の構成を示す断面図である。図１に示

す半導体装置は、窒化物半導体を用いたMIS（Metal Insulator Semiconductor）型の電界効果トランジスタ（FET；Field Effect Transistor）である。図1は、例えば、図2の破線で囲んだ矩形部分の構成を模式的に示した図である。図2は、本実施の形態の半導体装置の他の構成を示す断面図である。図2に示すような半導体装置については、実施の形態2で詳細に説明する。図3は、本実施の形態の半導体装置の比較例1の構成を示す断面図である。図4は、本実施の形態の半導体装置の比較例2の構成を示す断面図である。

[0020] 図1に示すように、本実施の形態の半導体装置においては、窒化物半導体よりなるチャネル層CH上にゲート絶縁膜GIを介して配置されたゲート電極GEを有する。

[0021] ここで、ゲート絶縁膜GIは、チャネル層CH上に形成された第1ゲート絶縁膜GIaと、第1ゲート絶縁膜GIa上に形成された第2ゲート絶縁膜GIbとを有する。また、ゲート電極GEは、第2ゲート絶縁膜GIb上に形成された第1ゲート電極GEaと、第1ゲート電極GEa上に形成された第2ゲート電極GEbとを有する。

[0022] 以下に、ゲート絶縁膜GI（GIa、GIb）およびゲート電極GE（GEa、GEb）について説明する。

[0023] 前述したように、ゲート絶縁膜GIは、チャネル層CH上に形成された第1ゲート絶縁膜GIaと、第1ゲート絶縁膜GIa上に形成された第2ゲート絶縁膜GIbとを有する。第1ゲート絶縁膜GIaは、第1金属の酸化物（第1金属を含む酸化物、第1金属の酸化膜）よりなる。第2ゲート絶縁膜GIbは、第2金属の酸化物（第2金属を含む酸化物、第2金属の酸化膜）よりなる。そして、第2金属の電気陰性度は、第1金属の電気陰性度より低い。

[0024] また、第1ゲート絶縁膜GIaは、チャネル層（窒化物半導体）CHを熱酸化して形成された膜ではなく、いわゆる、堆積法（デポジション法）により形成された膜である。

[0025] 第1金属は、例えば、アルミニウム（Al）である。この場合、第1金属の酸化物は、酸化アルミニウム（ Al_2O_3 ）となる。

[0026] 第2金属は、Hf、Zr、Ta、Ti、Nb、La、Y、Mgの群から選ばれる1以上の元素である。この場合、第2金属の酸化物は、例えば、酸化ハフニウム（ HfO_2 ）、酸化ジルコニウム（ ZrO_2 ）、酸化タンタル（ Ta_2O_5 ）、酸化チタン（ TiO_2 ）、酸化ニオブ（ Nb_2O_5 ）、酸化ランタン（ La_2O_3 ）、酸化イットリウム（ Y_2O_3 ）、酸化マグネシウム（ MgO ）となる。第2金属と酸素の組成比は上記のものに限られるものではない。また、第2金属として、2種以上の元素を含んでもよい。この場合、2種の金属と酸素の化合物となる。但し、この場合、2種以上の元素のいずれもが、第1金属の電気陰性度より低くなければならない。但し、不純物程度の金属（例えば、0.01%濃度以下の金属）を含むことは、製造上やむを得ないため、不純物程度の金属は電気陰性度の大小に関わらず含有することがある。

[0027] 前述したように、ゲート電極GEは、第2ゲート絶縁膜Glb上に形成された第1ゲート電極GEaと、第1ゲート電極GEa上に形成された第2ゲート電極GEbとを有する。

[0028] 第1ゲート電極GEaは、第3金属の窒化物である。第3金属としては、Ti、Ta、Wなどを用いることができる。この場合、第3金属の窒化物（第3金属を含む窒化物、第3金属の窒化膜）は、 TiN 、 TaN 、 WN となる。第3金属としては、導電性を有し、加工性が高く、酸素の吸収性や供給性が低いものが好ましい。この点において、第3金属として、Tiを用いて好適である。

[0029] 第2ゲート電極GEbは、第4金属よりなる。第4金属としては、W、Ru、Irを用いることができる。第4金属としては、酸化後においても導電性を有し、加工性が高く、下層の第1ゲート電極GEaへの酸素の侵入をブロックするものが好ましい。この点において、第4金属として、Wを用いて好適である。

- [0030] このように、ゲート絶縁膜G1として、電気陰性度の異なる第1金属および第2金属のそれぞれの酸化物を積層して用い、上層に電気陰性度の低い第2金属の酸化膜を配置したので、閾値電圧 (V_{th}) を正 ($V_{th} > 0$) とすることができる (ゲート絶縁膜の積層効果)。
- [0031] また、ゲート電極GEとして、第3金属を含む窒化物および第4金属を積層して用い、上層に第4金属を配置したので、ゲート絶縁膜G1への酸素の拡散を防止し、閾値電圧 (V_{th}) のばらつきを低減することができる。特に、後述するアニール処理を経ても、酸素の拡散を低減し、ゲート絶縁膜の積層効果を維持することができる。
- [0032] 第3金属の窒化膜(MN)としては、第3金属(M)と窒素(N)の比(化学量論比)である N/M が1以上であることが好ましい。このように、第3金属(M)と窒素(N)の比(化学量論比)である N/M を1より大きく(窒素リッチ)とすることで、グレインとグレインの間のグレインバウンダリーに生じ得るダングリングボンドに窒素(N)が結合し、酸素との反応性(酸素の取り込みともいう)を低減することができる。第3金属(M)と窒素(N)の比は、例えば、XPS(X-ray Photoelectron Spectroscopy)により測定することができる。本発明者の検討によれば、第3金属の窒化膜(MN)として窒化チタン膜(TiN膜)を用いた場合、TiNのTiとNの比である N/Ti は、最大1.2程度とすることが可能である。これより、 $1 < N/Ti \leq 1.2$ とすることが好ましい。
- [0033] 第4金属の膜厚としては、50nm以上が好ましい。第4金属は、前述したように、ゲート電極GEの表面から第1ゲート電極GEaへの酸素の拡散を防止する役割を有する。50nm程度の膜厚の第4金属(第2ゲート電極GEb)を第1ゲート電極GEa上に積層すれば、ゲート電極GEの表面の酸素濃度を、第1ゲート電極GEaの表面において、1桁程度下げることができる。このため、第4金属(例えば、タングステン膜(W膜))の膜厚を50nm以上とすることで、第1ゲート電極GEaへの酸素の拡散を効果的に抑制することができる。

[0034] 例えば、ゲート絶縁膜G1として、酸化アルミニウム膜を単層で用いた比較例1（図3）の場合、閾値電圧（ V_{th} ）が負（ $V_{th} < 0$ ）となる。閾値電圧（ V_{th} ）が負（ $V_{th} < 0$ ）となると、ノーマリーオン状態になってしまう。これに対し、図4に示す比較例2のように、ゲート絶縁膜G1のうち、第1ゲート絶縁膜G1aとして、酸化アルミニウム（ Al_2O_3 ）を用い、その上層の第2ゲート絶縁膜G1bとして、酸化ハフニウム（ HfO_2 ）を用いた場合、HfはAlより電気陰性度が低いため、閾値電圧（ V_{th} ）を正（ $V_{th} > 0$ ）とすることができる（ゲート絶縁膜の積層効果）。

[0035] これは、 Al_2O_3 と HfO_2 との積層により、ゲート絶縁膜中の酸素の電子が電気陰性度の高い元素側に引きよせられる分極の効果によるものである。即ち、この分極に対応して、フラットバンド V_{fb} が大きくなり（正（ $V_{fb} > 0$ ）となる）、このフラットバンド V_{fb} に対応して、閾値電圧（ V_{th} ）を正（ $V_{th} > 0$ ）とすることができるのである。

[0036] しかしながら、本発明者の検討によれば、ゲート絶縁膜（ Al_2O_3 と HfO_2 ）より上の層（例えば、ゲート電極や配線（ソース電極、ドレイン電極を含む））の形成の際、成膜時に生じるプラズマや荷電粒子により、ゲート絶縁膜（ Al_2O_3 と HfO_2 ）中にダメージが加わりトラップ（トラップ準位、欠陥）が生じ得る。このようなダメージをチャージアップダメージということがある。特に、ゲート絶縁膜（ Al_2O_3 と HfO_2 ）より上の層をPVD法（スパッタリング法など）で形成する場合には、ゲート絶縁膜（ Al_2O_3 と HfO_2 ）に加わるダメージが大きく、このトラップ（トラップ準位、欠陥）の影響で、閾値電圧（ V_{th} ）が低下してしまう（ $V_{th} < 0$ ）。

[0037] そこで、このダメージの回復、即ち、トラップ（トラップ準位、欠陥）の低減については、熱処理（アニール、アニール処理、ポストアニール、回復アニールともいう）が有効である。即ち、ゲート絶縁膜（ Al_2O_3 と HfO_2 ）より上の層（例えば、ゲート電極や配線（ソース電極、ドレイン電極を含む））の形成後に熱処理を施すことにより、閾値電圧（ V_{th} ）を再び上昇させ、正（ $V_{th} > 0$ ）とすることができる。

[0038] しかしながら、本発明者の実験によれば、フラットバンド V_{fb} が、 $V_{fb} > 0$ まで回復するものもあれば、 $V_{fb} < 0$ に留まるものもあり、回復の程度にばらつきがあることが判明した。

[0039] 本発明者は、上記フラットバンド V_{fb} の回復の程度のばらつきについて、その原因を鋭意検討し、原因を追求するための実験の一つとして、前述の比較例 2（図 4）の半導体装置を用いて以下のような実験を行った。デバイス 1 として、第 1 ゲート絶縁膜（ Al_2O_3 ） G_1a と第 2 ゲート絶縁膜（ HfO_2 ） G_1b を積層し、その後、不活性ガスに酸素を添加した雰囲気中でアニールし、ゲート絶縁膜 G_1 上のゲート電極 GE として、 Au を抵抗加熱真空蒸着法で形成したものを作製した。また、デバイス 2 として、第 1 ゲート絶縁膜 G_1a と第 2 ゲート絶縁膜 G_1b を積層し、不活性ガスのみの雰囲気中でアニールし、ゲート絶縁膜 G_1 上のゲート電極 GE として、 Au を抵抗加熱真空蒸着法で形成したものを作製した。なお、 Au の蒸着時には、金属マスク（シャドウマスク）を用いて、ゲート電極を形成した。このような Au の蒸着によれば、チャージアップダメージの影響を回避することができ、アニール雰囲気中の酸素の影響を検証することができる。

[0040] デバイス 1 およびデバイス 2 の $C-V$ 特性を測定し、 V_{fb} を調べた。その結果、不活性ガスに酸素を添加した雰囲気中でアニールしたデバイス 1 においては、フラットバンド V_{fb} が、 $V_{fb} < 0$ に留まった。一方、不活性ガスのみの雰囲気中でアニールしたデバイス 2 においては、フラットバンド V_{fb} が、 $V_{fb} > 0$ まで回復した。

[0041] 以上の実験を含む各種検討により、アニール雰囲気中の酸素により、第 1 ゲート絶縁膜 G_1a と第 2 ゲート絶縁膜 G_1b 界面に形成される酸素の分極が壊され、または、その程度が低減し、この分極の効果に基づくフラットバンド V_{fb} のシフト効果が低減されることが判明した。

[0042] 特に、ゲート電極 GE に TiN を用いた場合には、成膜後、空气中に一旦出して、アニールを行うと、 TiN 膜に入り込まれた酸素、または TiN 膜の表面に吸着した酸素が膜中に拡散してしまう。また、 TiN 膜に入り込ま

れた水分子も膜中に拡散してしまう。このようなTiN膜中に拡散した酸素（酸素元素）が、ゲート絶縁膜中に形成された上記分極を壊し、この分極の効果をなくしてしまうものと考えられる。

[0043] これに対し、本実施の形態の半導体装置（図1）によれば、また、ゲート電極GEとして、第3金属を含む窒化物および第4金属を積層して用い、上層に第4金属を配置したので、ゲート絶縁膜GIへの酸素の拡散を防止し、酸素の分極（ゲート絶縁膜の積層効果）を維持し、フラットバンドVfbのシフト効果を維持することができる。これにより、閾値電圧（Vth）を正（ $V_{th} > 0$ ）とすることができる。また、閾値電圧（Vth）のばらつきを是正することができる。特に、ゲート絶縁膜GIの形成後に、アニール処理（例えば、500℃以上の熱処理）が施される場合であっても、アニール処理による酸素の拡散を低減し、ゲート絶縁膜の積層効果を維持することができる。

[0044] 次いで、第2ゲート電極GEbによる酸素の拡散の抑制効果について説明する。この酸素の拡散の抑制効果を検証するための実験の一つとして、以下のような実験を行った。

[0045] サンプル1（TiN（as））として、Si基板上に、スパッタ法でTiN膜を形成した。また、サンプル2（TiN（anneal））として、Si基板上に、スパッタ法でTiN膜を形成し、このTiN膜に、上記回復アニール相当の条件でアニールを行った。

[0046] また、サンプル3（W/TiN（as））として、Si基板上に、スパッタ法でTiN膜を形成し、連続してTiN膜上にW膜を形成した。また、サンプル4（TiN（anneal））として、Si基板上に、スパッタ法でTiN膜を形成し、連続してTiN膜上にW膜を形成し、このTiN膜とW膜の積層膜に、上記回復アニール相当の条件でアニールを行った。

[0047] これらのサンプル（サンプル1～サンプル4）中の酸素濃度分布を測定した。測定には、SIMS（Secondary Ion Mass Spectrometry）法を用いた。

[0048] 図5に、各サンプル中の酸素濃度分布を示す。図5（a）は、4つのサン

プル（サンプル1～4）の酸素濃度のグラフを併記したものであり、図5（b）は、サンプル1、2のグラフのみを記載し、図5（c）はサンプル3、4のグラフのみを記載したものである。図5の横軸は、深さ（Depth、[nm]）であり、縦軸は、酸素濃度（Oxygen concentration、[atoms/cm³]）である。例えば、1.0E+17は、 1.0×10^{17} を示す。なお、図5のTiN膜（サンプル1、2）において、深さの起点を、W膜の膜厚分（90nm程度）ずらして表記した。また、深さ120nmの位置、即ち、TiN膜とSi基板との境界に対応する位置において確認されるピークは、Si基板上の自然酸化膜によるものである。

[0049] 図5（a）、（b）に示すように、サンプル1（TiN（as））よりサンプル2（TiN（anneal））において、TiN膜中の酸素濃度が高くなっている（矢印a部参照）。これに対し、図5（a）、（c）に示すように、サンプル3（W/TiN（as））およびサンプル4（W/TiN（anneal））においては、W膜中の酸素濃度は高くなっているものの（矢印b部参照）、W膜の下方である、深さ75nm以降においては（c部参照）、サンプル3、4のグラフが重なっており、酸素濃度の上昇は確認できなかった。また、サンプル3、4においては、サンプル1、2の場合と比較し、TiN膜の表面の酸素濃度が低く抑えられている。

[0050] 上記結果から、本実施の形態の積層ゲート電極構造を採用したサンプル3、4では、第2ゲート電極GEb表面に吸着した酸素や水分子は、アニール後においても第1ゲート電極GEaであるTiN膜まで拡散しないことが判明した。これにより、ゲート絶縁膜GI内に形成された分極によるフラットバンドVfbのシフト効果を維持することができる。

[0051] ここで、第1ゲート電極GEaであるTiN膜への酸素の拡散を防止するための第2ゲート電極GEbの膜厚について検討する。例えば、図5においては、W膜の膜厚が50nm程度で、酸素濃度が1桁下がることが確認される。表面の酸素濃度が1桁下がれば、TiN膜への酸素の拡散をかなり抑制すると考えられるため、第2ゲート電極GEbの膜厚については、50nm

程度で充分効果的と考えられる。

[0052] また、前述したとおり、TiN膜を窒素リッチ、即ち、TiN膜のTiとNの比であるN/Tiを1より大きくすることで、グレインバウンダリーに生じ得るダングリングボンドを窒素(N)でパッシベーションすることができる。これにより、大気暴露時の酸素や水分子の吸着を抑制することができる。一方、TiN膜がTiリッチである場合には、第2ゲート電極GEbであるHfO₂などの酸素が第1ゲート電極GEaに移動し、第2ゲート電極GEb中に酸素欠損(酸素空孔)が発生する。この酸素空孔は正の電荷を持ち、フラットバンドVfbを負にシフトさせる。よって、TiN膜を窒素リッチとした場合には、このようなフラットバンドVfbの負側へのシフトを抑制することができる。

[0053] [製法説明]

次いで、図6～図11を参照しながら、本実施の形態の半導体装置の製造方法を説明するとともに、当該半導体装置の構成をより明確にする。図6～図11は、本実施の形態の半導体装置の製造工程を示す断面図である。

[0054] 図6に示すように、チャネル層CHが形成された基板を準備する。チャネル層CHは、窒化物半導体層であり、例えば、窒化ガリウム層(GaN層)を用いる。基板として、GaN基板を用い、この基板をチャネル層CHとして用いてもよい。また、Si基板などの支持基板上に、GaN層を形成してもよい。例えば、Si基板上に有機金属化学気相成長(MOCVD: Metal Organic Chemical Vapor Deposition)法などを用いてi-GaN層をヘテロエピタキシャル成長させる。この際、意図的な不純物のドーピングを行わずに成長させる。

[0055] まず、チャネル層(i-GaN層、GaN基板)CHの表面を、希釈HCl溶液などを用いて洗浄する。次いで、チャネル層CH上に、第1ゲート絶縁膜Glaと第2ゲート絶縁膜Glbとを有するゲート絶縁膜G1を形成する。

[0056] まず、図7に示すように、チャネル層CH上に、第1ゲート絶縁膜(第1

金属の酸化膜) $G1a$ を形成する。例えば、第1ゲート絶縁膜 $G1a$ として、酸化アルミニウム膜 (Al_2O_3 膜) を堆積法を用いて堆積する。例えば、トリメチルアルミニウム ($Al(CH_3)_3$ 、TMA) および H_2O (酸化剤) を原料ガスとし、 $400^\circ C$ の雰囲気中で、ALD法を用いて、 $50\text{ nm} \sim 100\text{ nm}$ 程度の膜厚の酸化アルミニウム膜 (Al_2O_3 膜) を堆積する。ALD法によれば、制御性、被覆性がよく、膜質の良好な膜を形成することができる。なお、酸化剤として、 H_2O の他、オゾン (O_3) を用いてもよい。なお、ALD法その他、酸素プラズマCVD法を用いて酸化アルミニウム膜 (Al_2O_3 膜) を形成してもよい。

[0057] 次いで、熱処理を行う。例えば、窒素 (N_2) 雰囲気中で、 $750^\circ C$ 、1分程度の熱処理を施す。この熱処理により、第1ゲート絶縁膜 $G1a$ (ここでは、酸化アルミニウム膜) 中のトラップ (トラップ準位、欠陥) が低減する。特に、 GaN 上に、酸化アルミニウムを堆積法により形成した場合、膜中のトラップ密度が高くなり、容量-電圧特性 ($C-V$ 特性) のヒステリシスがしばしば見られる。この $C-V$ 特性のヒステリシスとは、例えば、 -10 V から $+10\text{ V}$ まで電圧を高めながら測定した $C-V$ 波形と、 $+10$ から -10 V まで電圧を低下させながら測定した $C-V$ 波形が同一ではなく、波形が重ならないことを言う。このため、熱処理を施すことで、トラップ密度を低減し、ヒステリシスを改善することができる。

[0058] 次いで、図8に示すように、第1ゲート絶縁膜 $G1a$ (ここでは、酸化アルミニウム膜) 上に、例えば、第2ゲート絶縁膜 (第2金属の酸化膜) $G1b$ として、酸化ハフニウム膜 (HfO_2 膜) を形成する。例えば、 Hf 金属ターゲットと、アルゴン (Ar) と酸素 (O_2) の混合ガスを用いた反応性スパッタリング法により、酸化ハフニウム膜を堆積する。

[0059] 酸化ハフニウム膜の膜厚は、例えば、 $1 \sim 10\text{ nm}$ 程度の範囲で調整することができる。但し、本発明者の検討によれば、 $2 \sim 3\text{ nm}$ の膜厚でも、前述の酸素の分極により、十分なフラットバンド Vfb のシフト効果を得ることができる。反応性スパッタリング法は、PVD法的一种である。第2ゲ

ト絶縁膜G1bの形成に際しては、PVD (Physical Vapor Deposition) 法
の他、ALD法やCVD法を用いてもよい。

[0060] 次いで、熱処理を行う。例えば、窒素 (N₂) 雰囲気中で、750℃、1分
程度の熱処理を施す。この熱処理により、第2ゲート絶縁膜G1b（ここ
では、酸化ハフニウム膜）中のトラップ（トラップ準位、欠陥）が低減する。
なお、上記工程においては、第1ゲート絶縁膜G1a（酸化アルミニウム膜）
の形成後の熱処理と、第2ゲート絶縁膜G1b（酸化ハフニウム膜）の形
成後の熱処理とを個別に行ったが、第1ゲート絶縁膜G1aの形成後の熱処
理を省略し、第1ゲート絶縁膜G1a（酸化アルミニウム膜）と第2ゲート
絶縁膜G1b（酸化ハフニウム膜）との積層膜の形成後において一括して熱
処理を行ってもよい。

[0061] このようにして、第1ゲート絶縁膜G1a（酸化アルミニウム膜）と第2
ゲート絶縁膜G1b（酸化ハフニウム膜）との積層膜を有するゲート絶縁膜
G1が形成される。

[0062] 次いで、ゲート絶縁膜G1上にゲート電極GEを形成する。例えば、図9
および図10に示すように、第1ゲート電極GEaとして、窒化チタン膜（
TiN膜）を形成し、さらに、その上に、第2ゲート電極GEbとして、タ
ングステン膜（W膜）を形成する。例えば、第2ゲート絶縁膜G1b上に、
Ti金属ターゲットと、アルゴン（Ar）と窒素（N₂）の混合ガスを用いた
反応性スパッタリング法により、20nm程度の窒化チタン膜を堆積する。
続けて、図10に示すように、第1ゲート電極GEa上に、W金属ターゲッ
トと、アルゴン（Ar）ガスを用いたスパッタリング法により、100nm
程度のタングステン膜を堆積する。TiN膜の成膜工程とW膜の成膜工程と
の間は、空気に暴露することなく、これらの工程を連続して行うことが好ま
しい。TiN膜の成膜装置と、W膜の成膜装置との間を真空搬送することで
、空気に暴露することなく、連続した成膜を行うことができる。成膜方法と
しては、上記スパッタリング法のようなPVD法の他に、ALD法やCVD
法を用いてもよい。また、第2ゲート絶縁膜G1bの形成に際しても、P V

D法に限定されない。

[0063] 但し、マルチターゲットスパッタリング装置を用いれば、容易に連続成膜を行うことができる。この装置では、反応処理室内に、複数のターゲットを配置し、シャッターを切り替えることにより、膜種を容易に変更することができる。よって、装置構成や製造工程が煩雑になることがなく、空気に暴露することなく連続した成膜が可能となるため、W膜／TiN膜の積層膜の形成に用いて好適である。

[0064] このように、空気に暴露することなく連続した成膜を行うことにより、第1ゲート電極GEaの表面に取り込まれる酸素の量を低減することができ、酸素の拡散を抑制することができる。その結果、酸素の分極（ゲート絶縁膜の積層効果）を維持し、フラットバンドVfbのシフト効果を維持することができる。

[0065] また、前述したように、第2ゲート電極（W膜）GEbの膜厚が50nm程度で、酸素濃度が1桁下がることが確認されることから、第2ゲート電極（W膜）GEbの膜厚については、50nm以上が好ましい。また、第2ゲート電極（W膜）GEbを成膜後、大気に暴露し、以降の工程において熱処理（回復アニール）を行う場合には、100nm以上の膜厚のW膜を形成することが好ましい。また、第2ゲート電極（W膜）GEbの膜厚の上限は、例えば、500nm程度である。

[0066] 次いで、熱処理を行う。この熱処理は、ゲート電極GEの成膜時のプラズマや荷電粒子に起因するゲート絶縁膜（ Al_2O_3 と HfO_2 ）中のトラップ（トラップ準位、欠陥）を低減させるための熱処理である。熱処理条件としては、第1ゲート電極GEaと第2ゲート電極GEbのPVD条件（例えば、パワーや時間）により、最適な温度、時間などを選択すればよい。本発明者の検討によれば、温度としては、400℃～600℃、時間としては、10分～60分の範囲で行うことが好ましい。また、熱処理雰囲気としては、例えば、窒素（ N_2 ）などの不活性ガスの雰囲気を用いることが好ましい。

[0067] 次いで、図11に示すように、フォトリソグラフィ技術およびエッチング

技術を用いて、窒化チタン膜とタングステン膜の積層膜をパターニング（加工）することにより所望の形状のゲート電極GE（第1ゲート電極GEaと第2ゲート電極GEb）を形成する。第2ゲート電極GEbは、第1ゲート電極GEaの上面全体を覆うこととなる。なお、このゲート電極GEのエッチングの際、下層のゲート絶縁膜GIをエッチングしてもよい。また、上記熱処理は、このパターニング工程の後に行ってもよい。

[0068] このようにして、第1ゲート電極GEaと第2ゲート電極GEbとの積層膜を有するゲート電極GEが形成される。また、第1ゲート電極GEaの材料としては、ゲートエッチングが容易な、例えば、Ta₂N₅、WNなどを用いてもよく、第2ゲート電極GEbとしては、例えば、RuやIrなどを用いてもよい。

[0069] このように、本実施の形態によれば、第1金属の酸化膜と第1金属より電気陰性度が低い第2金属の酸化膜とを積層し、ゲート絶縁膜として用いることで、閾値電圧（ V_{th} ）を正方向にシフトすることができる。

[0070] また、ゲート電極GEとして、第3金属を含む窒化物および第4金属を積層して用い、上層に第4金属を配置したので、ゲート絶縁膜GIへの酸素の拡散を防止し、酸素の分極（ゲート絶縁膜の積層効果）を維持し、フラットバンド V_{fb} のシフト効果を維持することができる。これにより、閾値電圧（ V_{th} ）を正（ $V_{th} > 0$ ）とすることができる。また、閾値電圧（ V_{th} ）のばらつきを是正することができる。特に、ゲート絶縁膜GIの形成後に、アニール処理が施される場合であっても、アニール処理による酸素の拡散を低減し、ゲート絶縁膜の積層効果を維持することができる。

[0071] また、本実施の形態においては、ゲート絶縁膜およびゲート電極を、図2に示す半導体装置の一部として、適用し得る例を説明したが、本実施の形態のゲート絶縁膜およびゲートを他のタイプの半導体装置に適用してもよい。このような適用例の一部を、後述の実施の形態2や実施の形態6において説明する。

[0072] （まとめ）

図 1 2 を参照しながら、本実施の形態の半導体装置の特徴的な構成を以下にまとめて説明しておく。図 1 2 は、本実施の形態の半導体装置の特徴的な構成を示す断面図である。

[0073] 本実施の形態の半導体装置は、図 1 2 に示すように、チャネル層（窒化物半導体）C H 上にゲート絶縁膜 G I を介して形成されたゲート電極 G E を有する。

[0074] <ゲート絶縁膜について>

ゲート絶縁膜 G I は、チャネル層（窒化物半導体）C H 上に形成された第 1 金属 M 1 の酸化膜 M 1 O と、酸化膜 M 1 O 上に形成された第 2 金属 M 2 の酸化膜 M 2 O と、を有する。M 1 と O の組成比、M 2 と O の組成比は、選択される元素によって変化することは言うまでもない。

[0075] そして、第 2 金属 M 2 の電気陰性度は、第 1 金属 M 1 の電気陰性度より小さい。第 1 金属 M 1 および第 2 金属 M 2 は、以下の表 1（ポーリングの電気陰性度）に示す、第 2 族、第 3 族、第 4 族、第 5 族および第 1 3 族から選択される。第 1 金属 M 1 および第 2 金属 M 2 としては、特に、その酸化物がデバイス動作範囲温度（例えば < 2 0 0 °C）において固体で存在し、かつ、薄膜で良好な絶縁性を有することが好ましい。これらの金属のうち、電気陰性度の関係から下層の酸化膜および上層の酸化膜の組み合わせを選択すればよい。

[0076] 第 1 金属 M 1、即ち、下層の酸化膜を構成する金属（元素）としては、A l が好ましい。なお、後述の実施の形態 3 等で説明するように、S i（第 1 4 族）を用いてもよい。第 1 金属の酸化物の形成時に窒化物半導体表面が酸化されると、絶縁性の低い界面酸化物層が形成され、ゲート絶縁膜の特性を損なう。上記 A l の酸化物、即ち、酸化アルミニウムは、窒化物半導体（特に、G a N）上に形成してもこの界面反応層が形成され難い点で下層に用いて好適である。

[0077]

[表1]

[illegible]

[0078] <ゲート電極について>

ゲート電極GEは、ゲート絶縁膜GI上に形成された第3金属M3の窒化物M3Nと、第3金属M3の窒化物M3N上に形成された第4金属M4と、

を有する。

[0079] 前述した本実施の形態において用いて好適な金属（M3、M3N、M4）を以下の表2にまとめて示す。

[0080] [表2]

金属または金属化合物	
M3	Ti、Ta、W
M3N	TiN、TaN、WN
M4	W、Ru、Ir

[0081] また、前述したように、NとM3の組成比、N/M3は1より大きいことが好ましい。また、M4の膜厚は、50nm以上が好ましい。

[0082] （実施の形態2）

以下、図面を参照しながら本実施の形態の半導体装置について詳細に説明する。

[0083] [構造説明]

図13は、本実施の形態の半導体装置の構成を示す断面図である。図13に示す半導体装置は、窒化物半導体を用いたMISFETである。この半導体装置は、高電子移動度トランジスタ（HEMT：High Electron Mobility Transistor）やパワートランジスタとも呼ばれる。本実施の形態の半導体装置は、いわゆるリセスゲート型の半導体装置である。

[0084] 本実施の形態の半導体装置においては、基板S上に形成された複数の窒化物半導体層を有する。具体的には、基板S上に核生成層NUC、歪緩和層STR、バッファ層BU、チャネル層（電子走行層ともいう）CHおよび障壁層BAが順に形成されている。ゲート電極GEは、絶縁膜IFおよび障壁層BAを貫通し、チャネル層CHの途中まで掘り込まれた溝（トレンチ、リセスともいう）Tの内部にゲート絶縁膜GIを介して形成されている。

[0085] ここで、ゲート絶縁膜GIは、チャネル層CH上に形成された第1ゲート絶縁膜GIaと、第1ゲート絶縁膜GIa上に形成された第2ゲート絶縁膜GIbとを有し、実施の形態1で説明したゲート絶縁膜（第1ゲート絶縁膜

G 1 a、第2ゲート絶縁膜G 1 b)と同様の材料よりなる。即ち、第1ゲート絶縁膜G 1 aは、第1金属の酸化物よりなる。第2ゲート絶縁膜G 1 bは、第2金属の酸化物よりなる。そして、第2金属の電気陰性度は、第1金属の電気陰性度より低い。第1ゲート絶縁膜G 1 aは、チャネル層(窒化物半導体)CHを熱酸化して形成された膜ではなく、いわゆる、堆積法(デポジション法)により形成された膜である。即ち、下層の第1金属の酸化膜は、窒化物半導体層を構成する元素の酸化物ではない。このように、第1金属の酸化膜は、チャネル層(窒化物半導体)の直接酸化により形成されたものではないため、第1金属は、チャネル層(窒化物半導体)を構成する元素と異なる。

[0086] また、ゲート電極GEは、チャネル層CH上に形成された第1ゲート電極GE aと、第1ゲート電極GE a上に形成された第2ゲート電極GE bとを有し、実施の形態1で説明したゲート電極(第1ゲート電極GE a、第2ゲート電極GE b)と同様の材料よりなる。即ち、第1ゲート電極GE aは、第3金属の窒化物(第3金属を含む窒化物、第3金属の窒化膜)よりなる。第2ゲート電極GE bは、第4金属よりなる。そして、第3金属の窒化物の窒素(N)と第3金属(M3)の組成比、 $N/M3$ は1より大きいことが好ましい。また、第4金属の膜厚は、50nm以上が好ましい。

[0087] また、ソース電極SEおよびドレイン電極DEは、ゲート電極GEの両側の障壁層BA上に形成されている。

[0088] 図13に示すように、基板S上には、核生成層NUCが形成され、核生成層NUC上に、歪緩和層STRが形成されている。核生成層NUCは、歪緩和層STRなどの上部に形成される層が成長する際の結晶核を生成させるために形成する。また、上部に形成される層から基板Sに、上部に形成される層の構成元素(例えば、Gaなど)が拡散して、基板Sが変質することを防ぐために形成する。また、歪緩和層STRは、基板Sに対する応力を緩和して、基板Sに反りやクラックが発生することを抑制するために形成する。

[0089] この歪緩和層STR上には、バッファ層BUが形成され、バッファ層BU

上に、窒化物半導体よりなるチャネル層（電子走行層ともいう）CHが形成され、チャネル層CH上に、窒化物半導体よりなる障壁層BAが形成されている。ゲート電極GEの両側の障壁層BA上には、ソース電極SEおよびドレイン電極DEが形成されている。このソース電極SEおよびドレイン電極DEと障壁層BAとは、それぞれオーミック接続される。また、ゲート電極GE上には、絶縁層IL1が形成され、この絶縁層IL1のうち、ソース電極SEの形成領域およびドレイン電極DEの形成領域の絶縁層IL1は除去されコンタクトホールが形成されている。このコンタクトホールの内部には、導電性膜が埋め込まれ、この導電性膜により上記ソース電極SEおよびドレイン電極DEが構成される。ソース電極SEおよびドレイン電極DE上には、絶縁層IL2が形成されている。

[0090] ここで、本実施の形態の半導体装置においては、チャネル層CHと障壁層BAとの界面近傍のチャネル層側に、2次元電子ガス2DEGが生成される。また、ゲート電極GEに正の電圧（閾値電圧）が印加された場合には、ゲート電極GEとチャネル層CHとの界面近傍には、チャネルが形成される。

[0091] 上記2次元電子ガス2DEGは次のメカニズムで形成される。チャネル層CHや障壁層BAを構成する窒化物半導体（ここでは、窒化ガリウム系の半導体）は、それぞれ、禁制帯幅（バンドギャップ）や電子親和力が異なる。このため、これらの半導体の接合面に、井戸型ポテンシャルが生成される。この井戸型ポテンシャル内に電子が蓄積されることにより、チャネル層CHと障壁層BAとの界面近傍に、2次元電子ガス2DEGが生成される。

[0092] そして、チャネル層CHと障壁層BAとの界面近傍に形成される、2次元電子ガス2DEGは、ゲート電極GEが形成されている溝Tにより分断されている。このため、本実施の形態の半導体装置においては、チャネルの形成の有無により、オン・オフを切り替えることができる。

[0093] そして、本実施の形態においては、第1金属の酸化物とその上に配置された第1金属より電気陰性度の低い第2金属の酸化物との積層膜をゲート絶縁膜GIとして用いたので、実施の形態1の場合と同様に、フラットバンド電

圧 (V_{fb}) を正の方向にシフトさせることができる。これにより、閾値電圧 (V_{th}) を正方向にシフトすることができる。そして、シフト量を調整することにより閾値電圧 (V_{th}) を正 ($V_{th} > 0$) とすることができ、ノーマリーオフ特性を向上させることができる。

[0094] また、ゲート電極GEとして、第3金属を含む窒化物および第4金属を積層して用い、上層に第4金属を配置したので、実施の形態1の場合と同様に、ゲート絶縁膜GIへの酸素の拡散を防止し、閾値電圧 (V_{th}) のばらつきを低減することができる。特に、後述するアニール処理を経ても、酸素の拡散を低減し、ゲート絶縁膜の積層効果を維持することができる。

[0095] さらに、第3金属の窒化物の窒素 (N) と第3金属 (M3) の組成比、 $N/M3$ を1より大きくすることで、実施の形態1と同様の効果を奏することができる。また、第4金属の膜厚を、50nm以上とすることで、実施の形態1と同様の効果を奏することができる。

[0096] [製法説明]

次いで、図14～図25を参照しながら、本実施の形態の半導体装置の製造方法を説明するとともに、当該半導体装置の構成をより明確にする。図14～図25は、本実施の形態の半導体装置の製造工程を示す断面図である。

[0097] 図14に示すように、基板Sとして、例えば、(111)面が露出しているシリコン (Si) よりなる半導体基板を用い、その上部に、核生成層NUCとして、例えば、窒化アルミニウム (AlN) 層を有機金属化学気相成長法などを用いてヘテロエピタキシャル成長させる。次いで、核生成層NUC上に、歪緩和層STRとして、窒化ガリウム (GaN) 層と窒化アルミニウム (AlN) 層との積層膜 (AlN/GaN膜) を、繰り返し積層した超格子構造体を形成する。例えば、窒化ガリウム (GaN) 層および窒化アルミニウム (AlN) 層を、有機金属気相成長法などを用いて、それぞれ2～3nm程度の膜厚で、それぞれ100層 (合計200層) 程度、繰り返しヘテロエピタキシャル成長させる。なお、基板Sとしては、上記シリコンの他、SiCやサファイアなどよりなる基板を用いてもよい。

- [0098] 次いで、歪緩和層STR上に、バッファ層BUを形成する。歪緩和層STR上に、バッファ層BUとして、例えば、AlGa_{0.9}N層を、有機金属気相成長法などを用いてヘテロエピタキシャル成長させる。
- [0099] 次いで、図15に示すように、バッファ層BU上に、チャンネル層CHを形成する。例えば、バッファ層BU上に、窒化ガリウム層(i-GaN層)をヘテロエピタキシャル成長させる。この際、意図的な不純物のドーピングを行わずに成長させる。このチャンネル層CHの電子親和力は、バッファ層BUの電子親和力より大きい。また、このチャンネル層CHは、バッファ層BUよりバンドギャップが狭い窒化物半導体である。
- [0100] 次いで、チャンネル層CH上に、障壁層BAとして、例えば、AlGa_{0.9}N層を、有機金属気相成長法などを用いてヘテロエピタキシャル成長させる。この障壁層BAの電子親和力は、チャンネル層CHの電子親和力より小さい。また、この障壁層BAは、チャンネル層CHよりバンドギャップが広い窒化物半導体である。
- [0101] このようにして、バッファ層BU、チャンネル層CHおよび障壁層BAの積層体が形成される。この積層体は、上記ヘテロエピタキシャル成長、即ち、[0001]結晶軸(C軸)方向に積層するIII族面成長により形成される。言い換えれば、(0001)Ga面成長により上記積層体が形成される。この積層体のうち、チャンネル層CHと障壁層BAとの界面近傍には、2次元電子ガス2DEGが生成される。
- [0102] 次いで、図16に示すように、障壁層BA上に、開口部を有する絶縁膜IFを形成する。例えば、絶縁膜IFとして、窒化シリコン膜を熱CVD法などを用いて、障壁層BA上に堆積する。次いで、フォトリソグラフィ技術およびエッチング技術を使用することにより、絶縁膜IFに開口部を形成する。
- [0103] 次いで、絶縁膜IFをマスクとして、障壁層BAおよびチャンネル層CHをエッチングすることにより、絶縁膜IFおよび障壁層BAを貫通してチャンネル層CHの途中まで達する溝Tを形成する(図17)。このエッチングの後

、エッチングダメージの回復のために、熱処理を行ってもよい。

[0104] 次いで、図18および図19に示すように、溝T内および絶縁膜IF上に、第1ゲート絶縁膜G1aと第2ゲート絶縁膜G1bとを有するゲート絶縁膜G1を形成する。例えば、チャネル層CHがその底部に露出した溝T内および絶縁膜IF上に、第1ゲート絶縁膜G1aを形成する。例えば、第1ゲート絶縁膜G1aとして、酸化アルミニウム膜（ Al_2O_3 膜）を、溝Tの底面、側壁および絶縁膜IF上に堆積する（図18）。具体的には、希釈HCl溶液にて基板Sの表面を洗浄した後、例えば、トリメチルアルミニウム（ $Al(CH_3)_3$ 、TMA）および H_2O （酸化剤）を原料ガスとし、 $400^\circ C$ の雰囲気中で、ALD法を用いて、 $50\text{ nm} \sim 100\text{ nm}$ 程度の膜厚の酸化アルミニウム膜（ Al_2O_3 膜）を、溝T内および絶縁膜IF上に堆積する。ALD法によれば、膜厚の制御性がよく、また、凹凸面にも被覆性よく膜を形成することができる。なお、酸化剤として、 H_2O の他、オゾン（ O_3 ）を用いてもよい。

[0105] 次いで、熱処理を行う。例えば、窒素（ N_2 ）雰囲気中で、 $750^\circ C$ 、1分程度の熱処理を施す。この熱処理により、第1ゲート絶縁膜G1a（ここでは、酸化アルミニウム膜）中のトラップ（トラップ準位、欠陥）が低減する。特に、GaN上に、酸化アルミニウムを堆積法により形成した場合、膜中のトラップ密度が高くなり、C-V特性のヒステリシスが大きくなる。このため、熱処理を施すことで、トラップ密度を低減することができる。

[0106] 次いで、図19に示すように、第1ゲート絶縁膜G1a（ここでは、酸化アルミニウム膜）上に、例えば、第2ゲート絶縁膜G1bとして、酸化ハフニウム膜（ HfO_2 膜）を形成する。例えば、Hf金属ターゲットと、アルゴン（Ar）と酸素（ O_2 ）の混合ガスを用いた反応性スパッタリング法により、酸化ハフニウム膜を堆積する。酸化ハフニウム膜の膜厚は、閾値電圧（ V_{th} ）によっても異なるが、好ましくは、 $1 \sim 10\text{ nm}$ 程度とする。反応性スパッタリング法は、PVD法的一种である。第2ゲート絶縁膜G1bの形成に際しては、PVD法の他、ALD法やCVD法を用いてもよい。

[0107] 次いで、熱処理を行う。例えば、窒素 (N_2) 雰囲気中で、 $750^\circ C$ 、1分程度の熱処理を施す。この熱処理により、第2ゲート絶縁膜 $G1b$ (ここでは、酸化ハフニウム膜) 中のトラップ (トラップ準位、欠陥) が低減する。なお、上記工程においては、第1ゲート絶縁膜 $G1a$ (酸化アルミニウム膜) の形成後の熱処理と、第2ゲート絶縁膜 $G1b$ (酸化ハフニウム膜) の形成後の熱処理とを個別に行ったが、第1ゲート絶縁膜 $G1a$ の形成後の熱処理を省略し、第1ゲート絶縁膜 $G1a$ (酸化アルミニウム膜) と第2ゲート絶縁膜 $G1b$ (酸化ハフニウム膜) との積層膜の形成後において一括して熱処理を行ってもよい。

[0108] このようにして、第1ゲート絶縁膜 $G1a$ (酸化アルミニウム膜) と第2ゲート絶縁膜 $G1b$ (酸化ハフニウム膜) との積層膜を有するゲート絶縁膜 $G1$ が形成される。

[0109] 次いで、図20および図21に示すように、ゲート絶縁膜 $G1$ 上にゲート電極 GE を形成する。例えば、第1ゲート電極 GEa として、窒化チタン膜 (TiN 膜) を形成し、さらに、その上に、第2ゲート電極 GEb として、タングステン膜 (W 膜) を形成する。これらの積層膜は、マルチターゲットスパッタリング装置を用い連続して形成する。例えば、第2ゲート絶縁膜 $G1b$ 上に、 Ti 金属ターゲットと、アルゴン (Ar) と窒素 (N_2) の混合ガスを用いた反応性スパッタリング法により、 $20nm$ 程度の窒化チタン膜を堆積する。この際、形成される TiN 膜の N と Ti の比である N/Ti を1より大きくする。 TiN 膜中の N の割合は、アルゴン (Ar) と窒素 (N_2) の混合ガス中の窒素の量を調整することにより制御することができる。

[0110] 続けて、図21に示すように、第1ゲート電極 GEa 上に、 W 金属ターゲットと、アルゴン (Ar) ガスを用いたスパッタリング法により、 $100nm$ 程度の膜厚のタングステン膜を堆積する。

[0111] 次いで、熱処理を行う。この熱処理は、ゲート電極 GE の成膜時のプラズマや荷電粒子に起因するゲート絶縁膜 (Al_2O_3 と HfO_2) 中のトラップ (トラップ準位、欠陥) を低減させるための熱処理である。熱処理条件として

は、第1ゲート電極GEaと第2ゲート電極GEbのPVD条件（例えば、パワーや時間）により、最適な温度、時間などを選択すればよい。本発明者の検討によれば、温度としては、400℃～600℃、時間としては、10分～60分の範囲で行うことが好ましい。また、熱処理雰囲気としては、例えば、窒素（N₂）などの不活性ガスの雰囲気を用いることが好ましい。

[0112] 次いで、図22に示すように、フォトリソグラフィ技術およびエッチング技術を用いて、窒化チタン膜とタングステン膜の積層膜をパターニングすることによりゲート電極GEを形成する。ゲート電極GEのエッチングの際、下層のゲート絶縁膜GIもエッチングする。なお、上記熱処理は、このパターニング工程の後に行ってもよい。

[0113] このようにして、第1ゲート電極GEaと第2ゲート電極GEbとの積層膜を有するゲート電極GEが形成される。また、第1ゲート電極GEaの材料としては、ゲートエッチングが容易な、例えば、Ta₂N₅、WNなどを用いてもよく、第2ゲート電極GEbとしては、例えば、RuやIrなどを用いてもよい。

[0114] 次いで、図23に示すように、ゲート電極GEおよび絶縁膜IF上に、絶縁層IL1として、例えば、酸化シリコン膜をCVD法などを用いて形成する。次いで、図24に示すように、フォトリソグラフィ技術およびエッチング技術を使用することにより、ソース電極SEの形成領域およびドレイン電極DEの形成領域上の絶縁層IL1および絶縁膜IFをエッチングにより除去し、コンタクトホールを形成する。次いで、ゲート電極GEの両側の障壁層BA上にソース電極SEおよびドレイン電極DEを形成する。例えば、コンタクトホール内を含む絶縁層IL1上に導電性膜を形成する。例えば、導電性膜として、窒化チタン（TiN）膜と、その上部のアルミニウム（Al）膜よりなる積層膜（Al/TiN）を、スパッタリング法などを用いて形成する。次いで、フォトリソグラフィ技術およびエッチング技術を使用することにより、上記積層膜（Al/TiN）をパターニングし、例えば、550℃で30分程度の熱処理を行う。この熱処理により、ソース電極SEおよ

びドレイン電極DEと障壁層BA（窒化物半導体膜）との界面の接触がオーミック接触となる。また、ゲート絶縁膜GIに対する、導電性膜の成膜時のチャージアップダメージを解消することができる。

[0115] この後、ソース電極SEおよびドレイン電極DE上を含む絶縁層IL1上に、絶縁層（カバー膜、表面保護膜ともいう）IL2を形成する。絶縁層IL2として、例えば、酸窒化シリコン（SiON）膜を、CVD法などを用いて堆積する（図25）。

[0116] 以上の工程により、本実施の形態の半導体装置を形成することができる。

[0117] このように、本実施の形態によれば、実施の形態1の場合と同様に、第1金属の酸化膜と第1金属より電気陰性度が低い第2金属の酸化膜とを積層し、ゲート絶縁膜として用いることで、閾値電圧（ V_{th} ）を正方向にシフトすることができる。そして、シフト量を調整することにより閾値電圧（ V_{th} ）を正（ $V_{th} > 0$ ）とするノーマリーオフ化を実現することができる。

[0118] また、ゲート電極GEとして、第3金属を含む窒化物および第4金属を積層して用い、上層に第4金属を配置したので、ゲート絶縁膜GIへの酸素の拡散を防止し、酸素の分極（ゲート絶縁膜の積層効果）を維持し、フラットバンド V_{fb} のシフト効果を維持することができる。これにより、閾値電圧（ V_{th} ）を正（ $V_{th} > 0$ ）とすることができる。また、閾値電圧（ V_{th} ）のばらつきを是正することができる。特に、ゲート絶縁膜GIの形成後に、アニール処理が施される場合であっても、アニール処理による酸素の拡散を低減し、ゲート絶縁膜の積層効果を維持することができる。

[0119] 上記ゲート電極GE、ソース電極SEおよびドレイン電極DEのレイアウトに制限はないが、これらの電極は、例えば、図26のように配置される。図26は、本実施の形態の半導体装置の構成を示す平面図の一例である。例えば、図13は、図26のA-A断面図と対応する。ソース電極SEとドレイン電極DEは、例えば、Y方向に延在するライン状である。言い換えれば、Y方向に長辺を有する矩形状（四角形状）である。ソース電極SEとドレイン電極DEは、交互にX方向に並んで配置される。そして、ソース電極S

Eとドレイン電極D Eとの間にゲート電極G Eが配置される。例えば、Y方向に延在するライン状の複数のゲート電極（G E）の一方の端部（図中上側）は、X方向に延在する線（ゲート線ともいう）に接続される。また、Y方向に延在するライン状の複数のゲート電極（G E）の他方の端部（図中下側）は、X方向に延在する線（ゲート線ともいう）に接続される。なお、2本のX方向に延在する線（ゲート線ともいう）のうち、いずれかを省略し、ゲート電極G Eを櫛歯状としてもよい。また、複数のソース電極S Eは、プラグ（接続部）P Gを介してX方向に延在するソース線S Lと接続されている。また、複数のドレイン電極D Eは、プラグ（接続部）P Gを介してX方向に延在するドレイン線D Lと接続されている。なお、ソース電極S Eとソース線S Lとを同層に配置してもよい。例えば、X方向に延在する線（ソース線部と対応）と、Y方向に延在するライン状のソース電極とを接続した形状（櫛歯状）としてもよい。同様に、ドレイン電極D Eとドレイン線D Lとを同層に配置してもよい。例えば、X方向に延在する線（ドレイン線部と対応）と、Y方向に延在するライン状のドレイン電極とを接続した形状（櫛歯状）としてもよい。このように、ゲート電極G E、ソース電極S E、ドレイン電極D Eおよび他の配線のレイアウトは適宜変更可能であり、配線層の数にも制限はない。

[0120] また、ゲート電極G Eは、例えば、活性領域の外側の素子分離領域I S O上（図26においては、右側のB-B部）まで引き出される。そして、この引き出し部は、例えば、プラグP Gを介して他の配線層の配線と接続される。なお、図27は、本実施の形態の半導体装置の構成を示す断面図である。図27は、例えば、図26のB-B断面部と対応する。プラグP Gは、例えば、A l / T i N膜よりなる。

[0121] （実施の形態3）

実施の形態1（図1）においては、ゲート絶縁膜G Iの下層の酸化膜（G I a）を第1金属の酸化膜としたが、この下層の酸化膜を酸化シリコン膜としてもよい。即ち、下層の酸化膜を構成する元素として、S i（半導体）を

用いる。

[0122] [構造説明]

図28は、本実施の形態の半導体装置の構成を示す断面図である。本実施の形態の半導体装置は、第1ゲート絶縁膜G1aが酸化シリコン膜であること以外は、実施の形態1の場合と同様である。

[0123] 図28に示すように、本実施の形態の半導体装置においては、実施の形態1の場合と同様に、窒化物半導体よりなるチャネル層CH上にゲート絶縁膜G1を介して配置されたゲート電極GE（GEa、GEb）を有する。

[0124] ここで、ゲート絶縁膜G1は、チャネル層CH上に形成された第1ゲート絶縁膜G1aである酸化シリコン膜（ SiO_2 ）と、第1ゲート絶縁膜G1a上に形成された第2ゲート絶縁膜G1bとを有する。また、ゲート電極GEは、第2ゲート絶縁膜G1b上に形成された第1ゲート電極GEaと、第1ゲート電極GEa上に形成された第2ゲート電極GEbとを有する。

[0125] このように、第1ゲート絶縁膜G1aとして酸化シリコン膜（ SiO_2 ）を設ける。また、第2ゲート絶縁膜G1bとして第2金属（M2）の酸化膜を設ける。第2金属は、Al、Hf、Zr、Ta、Ti、Nb、La、Y、Mgの群から選ばれる1以上の元素である。この場合、第2金属の酸化物は、例えば、酸化アルミニウム（ Al_2O_3 ）、酸化ハフニウム（ HfO_2 ）、酸化ジルコニウム（ ZrO_2 ）、酸化タンタル（ Ta_2O_5 ）、酸化チタン（ TiO_2 ）、酸化ニオブ（ Nb_2O_5 ）、酸化ランタン（ La_2O_3 ）、酸化イットリウム（ Y_2O_3 ）、酸化マグネシウム（ MgO ）となる。

[0126] この場合、2層のゲート絶縁膜（G1a、G1b）をそれぞれ構成する元素（Si、M2）の電気陰性度は、 $\text{Si} > \text{M2}$ である。この場合も、実施の形態1で説明した酸素の分極効果が生じ、フラットバンドVfbが正方向にシフトする。

[0127] また、実施の形態1の場合と同様に、ゲート電極GEを積層構造、即ち、第3金属を含む窒化物および第4金属を積層して用い、上層に第4金属を配置した構成とすることで、ゲート絶縁膜G1への酸素の拡散を防止し、酸素

の分極（ゲート絶縁膜の積層効果）を維持し、フラットバンド V_{fb} のシフト効果を維持することができる。特に、ゲート絶縁膜 G_1 の形成後に、アニール処理が施される場合であっても、アニール処理による酸素の拡散を低減し、ゲート絶縁膜の積層効果を維持することができる。

[0128] [製法説明]

次いで、本実施の形態の半導体装置の製造方法を説明する。本実施の形態の半導体装置の製造方法においては、ゲート絶縁膜 G_1 の形成工程以外は実施の形態1の場合と同様である。

[0129] 即ち、実施の形態1と同様にして、チャネル層（ i - GaN 層、 GaN 基板） CH の表面を洗浄した後、チャネル層 CH 上に、第1ゲート絶縁膜 G_{1a} として、酸化シリコン膜（ SiO_2 膜）を堆積法を用いて堆積する。

[0130] 例えば、トリスジメチルアミノシラン（ $SiH(N(CH_3)_2)_3$ 、TDMAS）およびオゾン（ O_3 、酸化剤）を原料ガスとし、 $480^\circ C$ の雰囲気中で、ALD法を用いて、 3 nm 程度の膜厚の酸化シリコン膜（ SiO_2 膜）を堆積する。酸化シリコン膜の膜厚は、例えば、 $3\text{ nm} \sim 20\text{ nm}$ の範囲で調整することができる。ALD法その他、CVD法（熱CVDやプラズマCVD法など）を用いて酸化シリコン膜を堆積してもよい。なお、本発明者の検討によれば、 $3 \sim 5\text{ nm}$ 程度の膜厚でも、前述の酸素の分極により、十分なフラットバンド V_{fb} のシフト効果を得ることができる。

[0131] 次いで、熱処理を行う。例えば、窒素（ N_2 ）雰囲気中で、 $750^\circ C$ 、1分程度の熱処理を施す。この熱処理により、第1ゲート絶縁膜 G_{1a} （ここでは、酸化シリコン膜）中のトラップ（トラップ準位、欠陥）が低減する。

[0132] 次いで、第1ゲート絶縁膜 G_{1a} 上に、第2ゲート絶縁膜（第2金属の酸化膜） G_{1b} を形成する。例えば、実施の形態1と同様にして、第2ゲート絶縁膜 G_{1b} として、 $50\text{ nm} \sim 100\text{ nm}$ 程度の膜厚の酸化アルミニウム膜（ Al_2O_3 膜）を堆積する。

[0133] 次いで、熱処理を行う。例えば、窒素（ N_2 ）雰囲気中で、 $750^\circ C$ 、1分程度の熱処理を施す。この熱処理により、第2ゲート絶縁膜 G_{1b} （ここで

は、酸化アルミニウム膜）中のトラップ（トラップ準位、欠陥）が低減する。なお、上記工程においては、各ゲート絶縁膜（G 1 a、G 1 b）の形成後に熱処理を個別に行ったが、第2ゲート絶縁膜G 1 bの形成後に、一括して熱処理を行ってもよい。

[0134] このようにして、第1ゲート絶縁膜G 1 a（酸化シリコン膜）および第2ゲート絶縁膜G 1 b（酸化アルミニウム膜）が、下から順に積層されたゲート絶縁膜G 1を形成することができる。

[0135] 次に、実施の形態1と同様にして、ゲート絶縁膜G 1上にゲート電極G E（G E a、G E b）を形成する。

[0136] なお、本実施の形態のゲート絶縁膜G 1を、実施の形態2のゲート絶縁膜G 1として用いてもよい。

[0137] 図29は、ゲート絶縁膜の積層効果を示すグラフである。横軸は、ゲート電圧（Gate Voltage [V]）を示し、縦軸は、電流（ J_g [A/cm²]）を示す。例えば、図28に示す半導体装置を用い、そのI-V特性を調べた。但し、ゲート電極は単層とした。Ref、No. 1、No. 2、No. 3として、それぞれ、Al₂O₃/SiO₂の積層膜を用い、SiO₂の膜厚を、0 nm、3 nm、5 nm、10 nmとした。No. 1、No. 2、No. 3、即ち、SiO₂の膜厚を、3 nm～10 nmとした場合、電流の立ち上がり電圧が高くなる。これは、フラットバンドV_{fb}のシフト効果および耐電圧向上効果によるものと考えられる。

[0138] そして、上記ゲート絶縁膜の積層構造にゲート電極の積層構造を加えれば、フラットバンドV_{fb}のシフト効果を維持できるため、上記電流の立ち上がり電圧を維持することができる。

[0139] （実施の形態4）

実施の形態1（図1）においては、ゲート絶縁膜G 1を2層（G 1 a、G 1 b）としたが、ゲート絶縁膜G 1を3層とし、第1ゲート絶縁膜G 1 aと第2ゲート絶縁膜G 1 bとの積層膜の下層（基板またはチャネル層側）に、第3ゲート絶縁膜（最下層ゲート絶縁膜）G 1 uを設けてもよい。そして、

この第3ゲート絶縁膜（最下層ゲート絶縁膜）G l uを構成する元素として、S i（半導体）を用いる。

[0140] [構造説明]

図30は、本実施の形態の半導体装置の構成を示す断面図である。本実施の形態の半導体装置は、ゲート絶縁膜G lが3層で構成されている以外は、実施の形態1の場合と同様である。

[0141] 図30に示すように、本実施の形態の半導体装置においては、実施の形態1の場合と同様に、窒化物半導体よりなるチャネル層C H上にゲート絶縁膜G lを介して配置されたゲート電極G E（G E a、G E b）を有する。

[0142] ここで、ゲート絶縁膜G lは、チャネル層C H上に形成された第3ゲート絶縁膜G l uである酸化シリコン膜（S i O₂）と、第3ゲート絶縁膜G l u上に形成された第1ゲート絶縁膜G l aと、第1ゲート絶縁膜G l a上に形成された第2ゲート絶縁膜G l bとを有する。第1ゲート絶縁膜G l aは、第1金属の酸化物よりなる。第2ゲート絶縁膜G l bは、第2金属の酸化物よりなる。そして、第2金属の電気陰性度は、第1金属の電気陰性度より低い。また、第1金属の電気陰性度は、S iの電気陰性度より低い。

[0143] また、ゲート電極G Eは、チャネル層C H上に形成された第1ゲート電極G E aと、第1ゲート電極G E a上に形成された第2ゲート電極G E bとを有し、実施の形態1で説明したゲート電極（第1ゲート電極G E a、第2ゲート電極G E b）と同様の材料よりなる。即ち、第1ゲート電極G E aは、第3金属の窒化物（第3金属を含む窒化物、第3金属の窒化膜）よりなる。第2ゲート電極G E bは、第4金属よりなる。そして、第3金属の窒化物の窒素（N）と第3金属（M3）の組成比、N/M3は1より大きいことが好ましい。また、第4金属の膜厚は、50nm以上が好ましい。

[0144] このように、第3ゲート絶縁膜（最下層ゲート絶縁膜）G l uとして酸化シリコン膜（S i O₂）を設ける。この場合、3層のゲート絶縁膜（G l u、G l a、G l b）をそれぞれ構成する元素（S i、M1、M2）の電気陰性度を、下層側から順次小さくすることができる。これにより、実施の形態1

で説明した酸素の分極の効果が大きくなり、フラットバンド V_{fb} のシフト量が大きくなる。

[0145] また、実施の形態1の場合と同様に、ゲート電極GEを積層構造、即ち、第3金属を含む窒化物および第4金属を積層して用い、上層に第4金属を配置した構成とすることで、ゲート絶縁膜GIへの酸素の拡散を防止し、酸素の分極（ゲート絶縁膜の積層効果）を維持し、フラットバンド V_{fb} のシフト効果を維持することができる。特に、ゲート絶縁膜GIの形成後に、アニール処理が施される場合であっても、アニール処理による酸素の拡散を低減し、ゲート絶縁膜の積層効果を維持することができる。

[0146] [製法説明]

次いで、本実施の形態の半導体装置の製造方法を説明する。本実施の形態の半導体装置の製造方法においては、ゲート絶縁膜GIの形成工程以外は実施の形態1の場合と同様である。

[0147] 即ち、実施の形態1と同様にして、チャネル層（ i -Ga₂N層、Ga₂N基板）CHの表面を洗浄した後、チャネル層CH上に、第3ゲート絶縁膜（最下層ゲート絶縁膜）GI_uとして、酸化シリコン膜（SiO₂膜）を堆積法を用いて堆積する。

[0148] 例えば、トリスジメチルアミノシラン（SiH(N(CH₃)₂)₃、TDMAS）およびオゾン（O₃、酸化剤）を原料ガスとし、480℃の雰囲気中で、ALD法を用いて、3nm程度の膜厚の酸化シリコン膜（SiO₂膜）を堆積する。酸化シリコン膜の膜厚は、例えば、3nm～20nmの範囲で調整することができる。ALD法その他、CVD法（熱CVDやプラズマCVD法など）を用いて酸化シリコン膜を堆積してもよい。なお、本発明者の検討によれば、3～5nm程度の膜厚でも、前述の酸素の分極により、十分なフラットバンド V_{fb} のシフト効果を得ることができる。

[0149] 次いで、熱処理を行う。例えば、窒素（N₂）雰囲気中で、750℃、1分程度の熱処理を施す。この熱処理により、第3ゲート絶縁膜GI_u（ここでは、酸化シリコン膜）中のトラップ（トラップ準位、欠陥）が低減する。

- [0150] 次いで、第3ゲート絶縁膜G1u上に、第1ゲート絶縁膜（第1金属の酸化膜）G1aを形成する。例えば、実施の形態1と同様にして、第1ゲート絶縁膜G1aとして、酸化アルミニウム膜（ Al_2O_3 膜）を50nm～100nm程度の膜厚で堆積する。
- [0151] 次いで、熱処理を行う。例えば、窒素（ N_2 ）雰囲気中で、750℃、1分程度の熱処理を施す。この熱処理により、第1ゲート絶縁膜G1a（ここでは、酸化アルミニウム膜）中のトラップ（トラップ準位、欠陥）が低減する。
- [0152] 次いで、第1ゲート絶縁膜G1a上に、第2ゲート絶縁膜（第2金属の酸化膜）G1bを形成する。例えば、実施の形態1と同様にして、第2ゲート絶縁膜G1bとして、酸化ハフニウム膜（ HfO_2 膜）を2nm程度の膜厚で堆積する。
- [0153] 次いで、熱処理を行う。例えば、窒素（ N_2 ）雰囲気中で、750℃、1分程度の熱処理を施す。この熱処理により、第2ゲート絶縁膜G1b（ここでは、酸化ハフニウム膜）中のトラップ（トラップ準位、欠陥）が低減する。なお、上記工程においては、各ゲート絶縁膜（G1u、G1a、G1b）の形成後に熱処理を個別に行ったが、第2ゲート絶縁膜G1bの形成後に、一括して熱処理を行ってもよい。
- [0154] このようにして、第3ゲート絶縁膜G1u（酸化シリコン膜）、第1ゲート絶縁膜G1a（酸化アルミニウム膜）および第2ゲート絶縁膜G1b（酸化ハフニウム膜）が、下から順に積層されたゲート絶縁膜G1を形成することができる。
- [0155] 次いで、実施の形態1と同様にして、ゲート絶縁膜G1上にゲート電極GE（GEa、GEb）を形成する。
- [0156] なお、本実施の形態の3層のゲート絶縁膜G1を、実施の形態2のゲート絶縁膜G1として用いてもよい。
- [0157] （実施の形態5）
- 実施の形態4（図30）においては、第3ゲート絶縁膜（最下層ゲート絶

縁膜) G_{lu} として、酸化シリコン膜を用いたが、窒化シリコン膜を設けてもよい。

[0158] [構造説明]

図31は、本実施の形態の半導体装置の構成を示す断面図である。本実施の形態の半導体装置は、ゲート絶縁膜 G_l の第3ゲート絶縁膜(最下層ゲート絶縁膜) G_{lu} 以外は、実施の形態4の場合と同様である。

[0159] 図31に示すように、本実施の形態の半導体装置においては、実施の形態1の場合と同様に、窒化物半導体よりなるチャネル層 CH 上にゲート絶縁膜 G_l を介して配置されたゲート電極 GE (GE_a 、 GE_b)を有する。

[0160] ここで、ゲート絶縁膜 G_l は、チャネル層 CH 上に形成された第3ゲート絶縁膜 G_{lu} である窒化シリコン膜(SiN_x)と、第3ゲート絶縁膜 G_{lu} 上に形成された第1ゲート絶縁膜 G_{la} と、第1ゲート絶縁膜 G_{la} 上に形成された第2ゲート絶縁膜 G_{lb} とを有する。また、ゲート電極 GE は、第2ゲート絶縁膜 G_{lb} 上に形成された第1ゲート電極 GE_a と、第1ゲート電極 GE_a 上に形成された第2ゲート電極 GE_b とを有する。

[0161] このように、第3ゲート絶縁膜(最下層ゲート絶縁膜) G_{lu} として窒化シリコン膜(SiN_x)を設ける。この場合、窒化シリコン膜(G_{lu})は酸素を含まないため、第1ゲート絶縁膜 G_{la} との界面には酸素の分極は生じず、第1ゲート絶縁膜 G_{la} と第2ゲート絶縁膜 G_{lb} の界面で生ずる分極によりフラットバンド V_{fb} が正方向シフトする。

[0162] また、第3ゲート絶縁膜(最下層ゲート絶縁膜) G_{lu} として窒化シリコン膜(SiN_x)を用いることにより、チャネル層 CH (ここでは、 $i-GaN$ 層)の酸化を抑制することができる。特に、 GaN 層などの窒化物半導体が酸化されると、ゲート絶縁膜 G_l との界面に界面準位が多く発生する。この場合、 $MISFET$ の移動度が低下する。これにより、 $MISFET$ の性能が低下する。

[0163] また、ゲート絶縁膜 G_l の膜質を向上させるために、成膜後の酸化アニールが有効である。しかしながら、 GaN 層などの窒化物半導体と酸化膜が接

していると、酸化アニールにより、さらに、窒化物半導体の酸化が進行する恐れがある。

[0164] これに対し、本実施の形態のように、最下層ゲート絶縁膜（第3ゲート絶縁膜） $G1u$ として、窒化膜を設けた場合は、上記酸化が抑制される。これにより、プロセスリスクのマージンが大きくなる。言い換えれば、ゲート絶縁膜 $G1$ との接触による窒化物半導体の酸化を抑制できる。また、酸化アニールを施した場合においても、窒化物半導体の酸化を抑制できる。

[0165] また、実施の形態1の場合と同様に、ゲート電極 GE を積層構造、即ち、第3金属を含む窒化物および第4金属を積層して用い、上層に第4金属を配置した構成とすることで、ゲート絶縁膜 $G1$ への酸素の拡散を防止し、酸素の分極（ゲート絶縁膜の積層効果）を維持し、フラットバンド Vfb のシフト効果を維持することができる。特に、ゲート絶縁膜 $G1$ の形成後に、アニール処理が施される場合であっても、アニール処理による酸素の拡散を低減し、ゲート絶縁膜の積層効果を維持することができる。

[0166] [製法説明]

次いで、本実施の形態の半導体装置の製造方法を説明する。本実施の形態の半導体装置の製造方法においては、第3ゲート絶縁膜（最下層ゲート絶縁膜） $G1u$ の形成工程以外は実施の形態4の場合と同様である。

[0167] 即ち、実施の形態1や4と同様にして、チャネル層（ $i-GaN$ 層、 GaN 基板） CH の表面を洗浄した後、チャネル層 CH 上に、第3ゲート絶縁膜（最下層ゲート絶縁膜） $G1u$ として、窒化シリコン膜（ SiN_x 膜）を堆積法を用いて堆積する。

[0168] 例えば、トリシジメチルアミノシラン（ $SiH(N(CH_3)_2)_3$ 、TDMAS）およびアンモニア（ NH_3 ）を原料ガスとし、 $480^\circ C$ の雰囲気中で、ALD法を用いて、 $4nm$ 程度の膜厚の窒化シリコン膜（ SiN_x 膜）を堆積する。窒化シリコン膜の膜厚は、例えば、 $1nm \sim 15nm$ の範囲で調整することができる。ALD法その他、CVD法（熱CVDやプラズマCVD法など）を用いて窒化シリコン膜を堆積してもよい。

- [0169] 次いで、熱処理を行う。例えば、窒素 (N_2) 雰囲気中で、 $750^\circ C$ 、1分程度の熱処理を施す。この熱処理により、第3ゲート絶縁膜 G_{lu} (ここでは、窒化シリコン膜) 中のトラップ (トラップ準位、欠陥) が低減する。
- [0170] 次いで、第3ゲート絶縁膜 G_{lu} 上に、第1ゲート絶縁膜 (第1金属の酸化膜) G_{la} を形成する。例えば、実施の形態1と同様にして、第1ゲート絶縁膜 G_{la} として、酸化アルミニウム膜 (Al_2O_3 膜) を $50\text{ nm} \sim 100\text{ nm}$ 程度の膜厚で堆積する。
- [0171] 次いで、熱処理を行う。例えば、窒素 (N_2) 雰囲気中で、 $750^\circ C$ 、1分程度の熱処理を施す。この熱処理により、第1ゲート絶縁膜 G_{la} (ここでは、酸化アルミニウム膜) 中のトラップ (トラップ準位、欠陥) が低減する。
- [0172] 次いで、第1ゲート絶縁膜 G_{la} 上に、第2ゲート絶縁膜 (第2金属の酸化膜) G_{lb} を形成する。例えば、実施の形態1と同様にして、第2ゲート絶縁膜 G_{lb} として、酸化ハフニウム膜 (HfO_2 膜) を 2 nm 程度の膜厚で堆積する。
- [0173] 次いで、熱処理を行う。例えば、窒素 (N_2) 雰囲気中で、 $750^\circ C$ 、1分程度の熱処理を施す。この熱処理により、第2ゲート絶縁膜 G_{lb} (ここでは、酸化ハフニウム膜) 中のトラップ (トラップ準位、欠陥) が低減する。なお、上記工程においては、各ゲート絶縁膜 (G_{lu} 、 G_{la} 、 G_{lb}) の形成後に熱処理を個別に行ったが、第2ゲート絶縁膜 G_{lb} の形成後に、一括して熱処理を行ってもよい。
- [0174] このようにして、第3ゲート絶縁膜 G_{lu} (窒化シリコン膜)、第1ゲート絶縁膜 G_{la} (酸化アルミニウム膜) および第2ゲート絶縁膜 G_{lb} (酸化ハフニウム膜) が、下から順に積層されたゲート絶縁膜 G_l を形成することができる。
- [0175] 次いで、実施の形態1と同様にして、ゲート絶縁膜 G_l 上にゲート電極 G_E ($G_E a$ 、 $G_E b$) を形成する。
- [0176] なお、本実施の形態の3層のゲート絶縁膜 G_l を、実施の形態2のゲート

絶縁膜G1として用いてもよい。

[0177] (実施の形態6)

上記実施の形態1～5においては、チャネル層CHとして窒化物半導体（GaN層）を用いたが、他の半導体層を用いてもよい。本実施の形態においては、SiC層（SiC基板）を用いる。

[0178] [構造説明]

図32は、本実施の形態の半導体装置の構成を示す断面図である。

[0179] 図32に示すように、本実施の形態の半導体装置においては、SiCよりなるチャネル層CH上にゲート絶縁膜G1を介して配置されたゲート電極GEを有する。

[0180] そして、ゲート絶縁膜G1は、チャネル層CH上に形成された第1ゲート絶縁膜G1aと、第1ゲート絶縁膜G1a上に形成された第2ゲート絶縁膜G1bとを有する。また、ゲート電極GEは、第2ゲート絶縁膜G1b上に形成された第1ゲート電極GEaと、第1ゲート電極GEa上に形成された第2ゲート電極GEbとを有する。Siなどの基板上に、チャネル層CHとして、SiC層を設けてもよく、また、基板として、SiC基板を用い、この基板をチャネル層CHとして用いてもよい。なお、ゲート電極GEの両側のチャネル層CH中には、n型またはp型の不純物の注入領域であるソース領域SRおよびドレイン領域DRが配置されている。そして、さらに、ソース領域SRおよびドレイン領域DR上には、ソース電極SEおよびドレイン電極DEが配置されている。

[0181] ここで、ゲート絶縁膜G1は、チャネル層CH上に形成された第1ゲート絶縁膜G1aと、第1ゲート絶縁膜G1a上に形成された第2ゲート絶縁膜G1bとを有する。第1ゲート絶縁膜G1aは、酸化シリコン膜（SiO₂）よりなる。また、第2ゲート絶縁膜G1bは、第2金属の酸化物よりなる。そして、第2金属の電気陰性度は、Siの電気陰性度より低い。別の言い方をすれば、このゲート絶縁膜G1は、実施の形態1のゲート絶縁膜G1の第1金属の酸化物を、酸化シリコン膜（SiO₂）としたものである。

[0182] また、第1ゲート絶縁膜 (SiO_2) G1aは、チャネル層 (SiC 層) CHの熱酸化膜でもよく、また、堆積膜でもよい。熱酸化法としては、ドライ酸化やウエット酸化を用いることができる。また、オゾンを用いて酸化してもよい。堆積法としては、ALD法、CVD法やPVD法を用いてもよい。酸化シリコン膜の膜厚は、 $1\text{ nm} \sim 10\text{ nm}$ の範囲で調整することができる。

[0183] 第2金属は、Siの電気陰性度より低い金属、例えば、アルミニウム (Al) である。この場合、第1金属の酸化物は、酸化アルミニウム (Al_2O_3) となる。この第1金属の酸化物の膜厚は、例えば、 60 nm 程度である。

[0184] 第2金属としては、Alの他、Hf、Zr、Ta、Ti、Nb、La、Y、Mgなどを用いることができる。この場合の酸化膜は、例えば、酸化ハフニウム (HfO_2)、酸化ジルコニウム (ZrO_2)、酸化タンタル (Ta_2O_5)、酸化チタン (TiO_2)、酸化ニオブ (Nb_2O_5)、酸化ランタン (La_2O_3)、酸化イットリウム (Y_2O_3)、酸化マグネシウム (MgO) となる。第2金属と酸素の組成比は上記のものに限られるものではない。また、第2金属として、2種以上の元素を含んでもよい。この場合、2種の金属と酸素の化合物となる。但し、この場合、2種以上の元素のいずれもが、Siの電気陰性度より低くなければならない。但し、不純物程度の金属（例えば、 0.01% 濃度以下の金属）を含むことは、製造上やむを得ないため、不純物程度の金属は電気陰性度の大小に関わらず含有することがある。また、第1ゲート絶縁膜 G1aと第2ゲート絶縁膜 G1bのそれぞれの膜厚は、ゲート絶縁膜 G1として求められる特性や堆積方法に起因した膜質（誘電率やリーク特性などの電気的特性）により、好適な組み合わせを選択することができる。

[0185] また、ゲート電極 GEは、第2ゲート絶縁膜 G1b上に形成された第1ゲート電極 GEaと、第1ゲート電極 GEa上に形成された第2ゲート電極 GEbとを有する。

[0186] 第1ゲート電極 GEaは、第3金属を含む窒化膜である。第3金属として

は、Ti、Ta、Wなどを用いることができる。この場合、第3金属を含む窒化膜は、TiN、TaN、WNとなる。第3金属としては、導電性を有し、加工性が高く、酸素の吸収性や供給性が低いものが好ましい。この点において、第3金属として、Tiを用いて好適である。

[0187] 第2ゲート電極GEbは、第4金属よりなる。第4金属としては、W、Ru、Irを用いることができる。第4金属としては、酸化後においても導電性を有し、加工性が高く、下層の第1ゲート電極GEaへの酸素の侵入をブロックするものが好ましい。この点において、第4金属として、Wを用いて好適である。

[0188] このように、本実施の形態においては、ゲート絶縁膜GIとして、Siおよび第2金属のそれぞれの酸化物を積層して用い、上層にSiより電気陰性度の低い第2金属の酸化膜を配置したので、閾値電圧 (V_{th}) を正 ($V_{th} > 0$) とすることができる (ゲート絶縁膜の積層効果)。

[0189] また、ゲート電極GEとして、第3金属を含む窒化物および第4金属を積層して用い、上層に第4金属を配置したので、ゲート絶縁膜GIへの酸素の拡散を防止し、閾値電圧 (V_{th}) のばらつきを低減することができる。特に、後述するアニール処理を経ても、酸素の拡散を低減し、ゲート絶縁膜の積層効果を維持することができる。

[0190] [製法説明]

次いで、本実施の形態の半導体装置の製造方法を説明するとともに、当該半導体装置の構成をより明確にする。

[0191] まず、チャネル層CHが形成された基板 (図示せず) を準備する。チャネル層CHは、SiC層である。SiC層は、例えば、CVD法などを用いて形成することができる。基板として、SiC基板を用い、この基板をチャネル層CHとして用いてもよい。

[0192] 次いで、チャネル層 (SiC層) CHの表面を、硫酸過水やアンモニア過水系溶液などを用いて洗浄する。次いで、チャネル層CH上に、第1ゲート絶縁膜Glaと第2ゲート絶縁膜Glbとを有するゲート絶縁膜GIを形成

する。

[0193] まず、チャネル層CH上に、第1ゲート絶縁膜G1aを形成する。例えば、第1ゲート絶縁膜G1aとして、酸化シリコン膜(SiO_2 膜)をドライ酸化により形成する。例えば、 O_2 と N_2 の混合ガス中で、酸化温度 1300°C のドライ酸化を行い、例えば、 10nm 程度の膜厚の酸化シリコン膜を形成する。なお、酸化法はドライ酸化に限定されず、他の酸化剤による熱酸化でもよい。また、CVD法、ALD法、PVD法などの堆積法を用いて酸化シリコン膜を形成してもよい。

[0194] 次に、第1ゲート絶縁膜G1aとチャネル層CHとの界面(SiO_2/SiC 界面)を窒化する。窒化処理としては、例えば、一酸化窒素(NO)を含有する雰囲気中で、 1000°C 、1時間の熱処理を行う。この窒化処理により、上記界面に発生している界面準位(ダングリングボンドなど)を低減させることができる。この窒化処理に用いるガスとしては、上記一酸化窒素(NO)の他、 N_2O 、 NH_3 などを用いてもよい。また、これらのガスの混合ガスを用いてもよい。また、複数のガスを時間ごとに切り替えながら用いてもよい。また、この窒化処理により、窒化反応のみならず、酸化反応が起こってもよい(酸窒化処理)。このように、酸化シリコン膜の成膜方法、膜質、界面の界面状態に応じて、適切な膜質改善処理を行うことが好ましい。ここでは、膜質改善処理として、界面準位を窒化処理する方法を示したが、この他、水素化処理や窒素以外のV族化処理(例えば、リン化)などを行ってもよい。これらの処理においても、界面準位の低減を図ることができる。

[0195] 次に、第1ゲート絶縁膜(酸化シリコン膜)G1a上に、第2ゲート絶縁膜(第2金属の酸化膜)G1bを形成する。例えば、第2ゲート絶縁膜G1bとして、酸化アルミニウム膜(Al_2O_3 膜)を堆積法を用いて堆積する。例えば、トリメチルアルミニウム($\text{Al}(\text{CH}_3)_3$ 、TMA)および H_2O (酸化剤)を原料ガスとし、 400°C の雰囲気中で、ALD法を用いて、 60nm 程度の膜厚の酸化アルミニウム膜(Al_2O_3 膜)を堆積する。ALD法によれば、制御性、被覆性がよく、膜質の良好な膜を形成することができ

る。なお、酸化剤として、 H_2O の他、オゾン (O_3) を用いてもよい。なお、ALD法その他、酸素プラズマCVD法を用いて酸化アルミニウム膜 (Al_2O_3 膜) を形成してもよい。次いで、熱処理を行う。例えば、窒素 (N_2) 雰囲気中で、 $600^{\circ}C$ 、30分程度の熱処理を施す。なお、ここでは、第2ゲート絶縁膜G1b用の金属として、Alを用いたが、第2金属は、例えば、Hf、Zr、Ta、Ti、Nb、La、Y、Mgの群から選ばれる1以上の元素の酸化物を用いてもよい。

[0196] このようにして、第1ゲート絶縁膜G1a (酸化シリコン膜) と第2ゲート絶縁膜G1b (酸化アルミニウム膜) との積層膜を有するゲート絶縁膜G1が形成される。

[0197] 次いで、実施の形態1の場合と同様にして、ゲート絶縁膜G1上にゲート電極GEを形成する。例えば、第1ゲート電極GEaとして、窒化チタン膜 (TiN膜) を形成し、さらに、その上に、第2ゲート電極GEbとして、タングステン膜 (W膜) を形成する。これらの積層膜は、マルチターゲットスパッタリング装置を用い連続して形成する。例えば、第2ゲート絶縁膜G1b上に、Ti金属ターゲットと、アルゴン (Ar) と窒素 (N_2) の混合ガスを用いた反応性スパッタリング法により、20nm程度の窒化チタン膜を堆積する。この際、形成されるTiN膜のNとTiの比であるN/Tiを1より大きくする。TiN中のNの割合は、アルゴン (Ar) と窒素 (N_2) の混合ガス中の窒素の量を調整することにより制御することができる。

[0198] 続けて、第1ゲート電極GEa上に、第2ゲート電極GEbとして、W金属ターゲットと、アルゴン (Ar) ガスを用いたスパッタリング法により、100nm程度のタングステン膜を堆積する。実施の形態1で説明したように、第2ゲート電極 (W膜) GEbの膜厚が50nm程度で、酸素濃度が1桁下がることが確認されることから、第2ゲート電極 (W膜) GEbの膜厚については、50nm以上が好ましい。また、第2ゲート電極 (W膜) GEbを成膜後、大気に暴露し、以降の工程において熱処理 (回復アニール) を行う場合には、100nm以上の膜厚のW膜を形成することが好ましい。ま

た、第2ゲート電極(W膜)GEbの膜厚の上限は、例えば、500nm程度である。

[0199] 次いで、熱処理を行う。この熱処理は、ゲート電極GEの成膜時のプラズマや荷電粒子に起因するゲート絶縁膜(Al_2O_3 と HfO_2)中のトラップ(トラップ準位、欠陥)を低減させるための熱処理である。熱処理条件としては、第1ゲート電極GEaと第2ゲート電極GEbのPVD条件(例えば、パワーや時間)により、最適な温度、時間などを選択すればよい。本発明者の検討によれば、温度としては、400℃～600℃、時間としては、10分～60分の範囲で行うことが好ましい。また、熱処理雰囲気としては、例えば、窒素(N_2)などの不活性ガスの雰囲気を用いることが好ましい。

[0200] 次いで、フォトリソグラフィ技術およびエッチング技術を用いて、第1ゲート電極GEaと第2ゲート電極GEbをパターニング(加工)することにより所望の形状のゲート電極GEを形成する。第2ゲート電極GEbは、第1ゲート電極GEaの上面全体を覆うこととなる。なお、このゲート電極GEのエッチングの際、下層のゲート絶縁膜GIをエッチングしてもよい。また、上記熱処理は、このパターニング工程の後に行ってもよい。第1ゲート電極GEaの材料としては、ゲートエッチングが容易な、例えば、 TaN 、 WN などを用いてもよく、第2ゲート電極GEbとしては、例えば、 Ru や Ir などを用いてもよい。

[0201] この後、ゲート電極GEの両側のチャネル層CH中に、n型またはp型の不純物を注入することにより、ソース領域SRおよびドレイン領域DRを形成する。次いで、ゲート電極GE、ソース領域SRおよびドレイン領域DR上に、絶縁層IL1として、例えば、酸化シリコン膜をCVD法などを用いて形成する。次いで、フォトリソグラフィ技術およびエッチング技術を使用することにより、ソース領域SR上およびドレイン領域DR上の絶縁層IL1をエッチングにより除去し、コンタクトホールを形成する。次いで、ゲート電極GEの両側のソース領域SRおよびドレイン領域DR上に、それぞれソース電極SEおよびドレイン電極DEを形成する。例えば、コンタクトホ

ール内を含む絶縁層 I L 1 上に導電性膜を形成する。次いで、フォトリソグラフィ技術およびエッチング技術を使用することにより、上記導電性膜をパターンニングする。なお、いわゆるダマシン法を用いてソース電極 S E およびドレイン電極 D E を形成してもよい。また、この後、絶縁層 I L 1 上に、複数の配線を形成してもよい。

[0202] 以上の工程により、本実施の形態の半導体装置を形成することができる。

[0203] このように、本実施の形態においては、S i の酸化物とその上に配置された S i より電気陰性度の低い第 2 金属の酸化物との積層膜をゲート絶縁膜 G I として用いたので、実施の形態 1 の場合と同様に、フラットバンド電圧 (V_{fb}) を正の方向にシフトさせることができる。これにより、閾値電圧 (V_{th}) を正方向にシフトすることができる。そして、シフト量を調整することにより閾値電圧 (V_{th}) を正 ($V_{th} > 0$) とすることができ、ノーマリーオフ特性を向上させることができる。

[0204] また、ゲート電極 G E として、第 3 金属を含む窒化物および第 4 金属を積層して用い、上層に第 4 金属を配置したので、実施の形態 1 の場合と同様に、ゲート絶縁膜 G I への酸素の拡散を防止し、閾値電圧 (V_{th}) のばらつきを低減することができる。特に、後述するアニール処理を経ても、酸素の拡散を低減し、ゲート絶縁膜の積層効果を維持することができる。

[0205] さらに、第 3 金属の窒化物の窒素 (N) と第 3 金属 (M3) の組成比、 $N/M3$ を 1 より大きくすることで、実施の形態 1 と同様の効果を奏することができる。

[0206] さらに、S i C 層をチャネル層 C H とし、フラットバンド V_{fb} を正方向にシフトさせ、閾値電圧 (V_{th}) を正方向にシフトすることで、チャネル層 C H の V_{th} 制御用の不純物濃度を下げることが可能となる。不純物は、チャネル層 C H を走行するキャリア（電子或いは正孔）の移動度を低下させる（不純物散乱）。よって、チャネル層の不純物濃度を低下させることで、キャリアの移動度が向上し、結果的に、M I S F E T のオン電流を増加させることができる。移動度は、M I S F E T を形成する結晶面に依存するが、

S i C 層の移動度は、S i 層の移動度に比べ小さいので、移動度の向上効果は有用である。

[0207] なお、本実施の形態においては、ゲート絶縁膜 G 1 として、酸化シリコン膜と酸化アルミニウム膜の積層膜（例えば、実施の形態 3 に対応）を用いたが、他の実施の形態 1、4、5 で説明したゲート絶縁膜 G 1 を適用してもよい。

[0208] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

[付記 1]

S i C 層と、
前記 S i C 層上に設けられた第 1 ゲート絶縁膜と、
前記第 1 ゲート絶縁膜上に設けられた第 2 ゲート絶縁膜と、
前記第 2 ゲート絶縁膜上に設けられた第 1 ゲート電極と、
前記第 1 ゲート電極上に設けられた第 2 ゲート電極と、
を有し、
前記第 1 ゲート絶縁膜は、第 1 金属を含む酸化膜またはシリコンを含む酸化膜であり、
前記第 2 ゲート絶縁膜は、第 2 金属を含む酸化膜であり、
前記第 2 金属の電気陰性度は、前記第 1 金属またはシリコンの電気陰性度より小さく、
前記第 1 ゲート電極は、第 3 金属を含む窒化膜であり、
前記第 2 ゲート電極は、第 4 金属よりなる、半導体装置。

[付記 2]

付記 1 記載の半導体装置において、
前記第 1 金属は、A l である、半導体装置。

[付記 3]

付記 2 記載の半導体装置において、

前記第2金属は、Hf、Zr、Ta、Ti、Nb、La、Y、Mgの群から選ばれる1以上の元素である、半導体装置。

[付記4]

付記3記載の半導体装置において、

前記第3金属は、Tiである、半導体装置。

[付記5]

付記4記載の半導体装置において、

前記第3金属を含む窒化膜は、窒化チタンであり、

チタン(Ti)と窒素(N)の比(N/Ti)は、1より大きい、半導体装置。

[付記6]

付記4記載の半導体装置において、

前記第4金属は、Wである、半導体装置。

[付記7]

付記6記載の半導体装置において、

前記第2ゲート電極の膜厚は、50nm以上である、半導体装置。

[付記8]

付記6記載の半導体装置において、

前記第1ゲート電極は、前記第2ゲート電極の上面全体を覆っている、半導体装置。

[付記9]

(a) 窒化物半導層を準備する工程、

(b) 前記窒化物半導体層上に、第1金属を含む酸化膜またはシリコンを含む酸化膜よりなる第1ゲート絶縁膜を形成する工程、

(c) 前記第1ゲート絶縁膜上に、第2金属の酸化膜よりなる第2ゲート絶縁膜を形成する工程、

(d) 前記第2ゲート絶縁膜上に、第3金属を含む窒化膜よりなる第1ゲート電極を形成する工程、

(e) 前記第1ゲート電極上に、第4金属よりなる第2ゲート電極を形成する工程、
を有し、

前記第2金属の電気陰性度は、前記第1金属またはシリコンの電気陰性度より小さい、半導体装置の製造方法。

[付記10]

付記8記載の半導体装置の製造方法において、
前記(d)工程から前記(e)工程において、
前記第1ゲート電極の形成後、空気に暴露することなく、前記第2ゲート電極を形成する、半導体装置の製造方法。

[付記11]

付記9記載の半導体装置の製造方法において、
前記第1ゲート絶縁膜は、シリコンを含む酸化膜よりなり、
前記第2金属は、Al、Hf、Zr、Ta、Ti、Nb、La、Y、Mgの群から選ばれる1以上の元素であり、
前記第3金属は、Tiであり、
前記第4金属は、Wである、半導体装置の製造方法。

[付記12]

付記1記載の半導体装置において、
前記第1ゲート絶縁膜は、シリコンを含む酸化膜よりなり、
前記第2金属は、Al、Hf、Zr、Ta、Ti、Nb、La、Y、Mgの群から選ばれる1以上の元素であり、
前記第3金属は、Tiであり、
前記第4金属は、Wである、半導体装置。

符号の説明

[0209] 2DEG 2次元電子ガス

BA 障壁層

BU バッファ層

CH チャネル層
DE ドレイン電極
DL ドレイン線
DR ドレイン領域
GE ゲート電極
GE a 第1ゲート電極
GE b 第2ゲート電極
GI ゲート絶縁膜
GI a 第1ゲート絶縁膜
GI b 第2ゲート絶縁膜
GI u 第3ゲート絶縁膜
IF 絶縁膜
IL 1 絶縁層
IL 2 絶縁層
NUC 核生成層
PG プラグ
S 基板
SE ソース電極
SL ソース線
SR ソース領域
STR 歪緩和層
T 溝

請求の範囲

- [請求項1] 窒化物半導体層と、
前記窒化物半導体層上に設けられた第1ゲート絶縁膜と、
前記第1ゲート絶縁膜上に設けられた第2ゲート絶縁膜と、
前記第2ゲート絶縁膜上に設けられた第1ゲート電極と、
前記第1ゲート電極上に設けられた第2ゲート電極と、
を有し、
前記第1ゲート絶縁膜は、第1金属を含む酸化膜またはシリコンを含む酸化膜であり、
前記第2ゲート絶縁膜は、第2金属を含む酸化膜であり、
前記第2金属の電気陰性度は、前記第1金属またはシリコンの電気陰性度より小さく、
前記第1ゲート電極は、第3金属を含む窒化膜であり、
前記第2ゲート電極は、第4金属よりなる、半導体装置。
- [請求項2] 請求項1記載の半導体装置において、
前記第1金属は、Alである、半導体装置。
- [請求項3] 請求項2記載の半導体装置において、
前記第2金属は、Hf、Zr、Ta、Ti、Nb、La、Y、Mgの群から選ばれる1以上の元素である、半導体装置。
- [請求項4] 請求項3記載の半導体装置において、
前記第3金属は、Tiである、半導体装置。
- [請求項5] 請求項4記載の半導体装置において、
前記第3金属を含む窒化膜は、窒化チタンであり、
チタン(Ti)と窒素(N)の比(N/Ti)は、1より大きい、
半導体装置。
- [請求項6] 請求項4記載の半導体装置において、
前記第4金属は、Wである、半導体装置。
- [請求項7] 請求項6記載の半導体装置において、

前記第2ゲート電極の膜厚は、50nm以上である、半導体装置。

[請求項8]

請求項6記載の半導体装置において、

前記第1ゲート電極は、前記第2ゲート電極の上面全体を覆っている、半導体装置。

[請求項9]

請求項6記載の半導体装置において、

前記窒化物半導体層は、GaNである、半導体装置。

[請求項10]

請求項6記載の半導体装置において、

前記窒化物半導体層と前記第1ゲート絶縁膜との間に、第3ゲート絶縁膜を有し、

前記第3ゲート絶縁膜は、酸化シリコン膜または窒化シリコン膜である、半導体装置。

[請求項11]

基板の上方に形成された第1窒化物半導体層と、

前記第1窒化物半導体層上に形成された第2窒化物半導体層と、

前記第2窒化物半導体層を貫通し、前記第1窒化物半導体層まで到達する溝と、

前記溝内にゲート絶縁膜を介して配置されたゲート電極と、を有し、

前記ゲート絶縁膜は、前記第1窒化物半導体層上に設けられた第1ゲート絶縁膜と、前記第1ゲート絶縁膜上に設けられた第2ゲート絶縁膜と、を有し、

前記ゲート電極は、前記第2ゲート絶縁膜上に設けられた第1ゲート電極と、前記第1ゲート電極上に設けられた第2ゲート電極と、を有し、

前記第1ゲート絶縁膜は、第1金属を含む酸化膜またはシリコンを含む酸化膜であり、

前記第2ゲート絶縁膜は、第2金属を含む酸化膜であり、

前記第2金属の電気陰性度は、前記第1金属またはシリコンの電気陰性度より小さく、

前記第 1 ゲート電極は、第 3 金属を含む窒化膜であり、

前記第 2 ゲート電極は、第 4 金属よりなる、半導体装置。

[請求項12]

(a) 窒化物半導層を準備する工程、

(b) 前記窒化物半導体層上に、第 1 金属を含む酸化膜またはシリコンを含む酸化膜よりなる第 1 ゲート絶縁膜を形成する工程、

(c) 前記第 1 ゲート絶縁膜上に、第 2 金属の酸化膜よりなる第 2 ゲート絶縁膜を形成する工程、

(d) 前記第 2 ゲート絶縁膜上に、第 3 金属を含む窒化膜よりなる第 1 ゲート電極を形成する工程、

(e) 前記第 1 ゲート電極上に、第 4 金属よりなる第 2 ゲート電極を形成する工程、

を有し、

前記第 2 金属の電気陰性度は、前記第 1 金属またはシリコンの電気陰性度より小さい、半導体装置の製造方法。

[請求項13]

請求項 1 2 記載の半導体装置の製造方法において、

前記 (d) 工程から前記 (e) 工程において、

前記第 1 ゲート電極の形成後、空気に暴露することなく、前記第 2 ゲート電極を形成する、半導体装置の製造方法。

[請求項14]

請求項 1 3 記載の半導体装置の製造方法において、

前記 (e) 工程の後、

(f) 不活性ガス雰囲気下で熱処理をおこなう工程、を有する、半導体装置の製造方法。

[請求項15]

請求項 1 3 記載の半導体装置の製造方法において、

前記 (e) 工程の後、

(g) 前記第 1 ゲート電極および前記第 2 ゲート電極の積層膜を第 1 形状に加工する工程、を有する、半導体装置の製造方法。

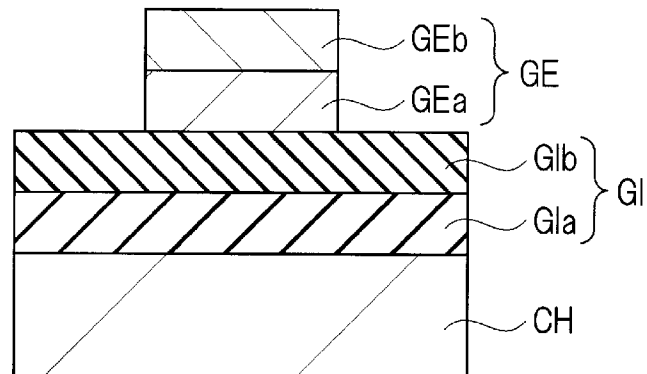
[請求項16]

請求項 1 2 記載の半導体装置の製造方法において、

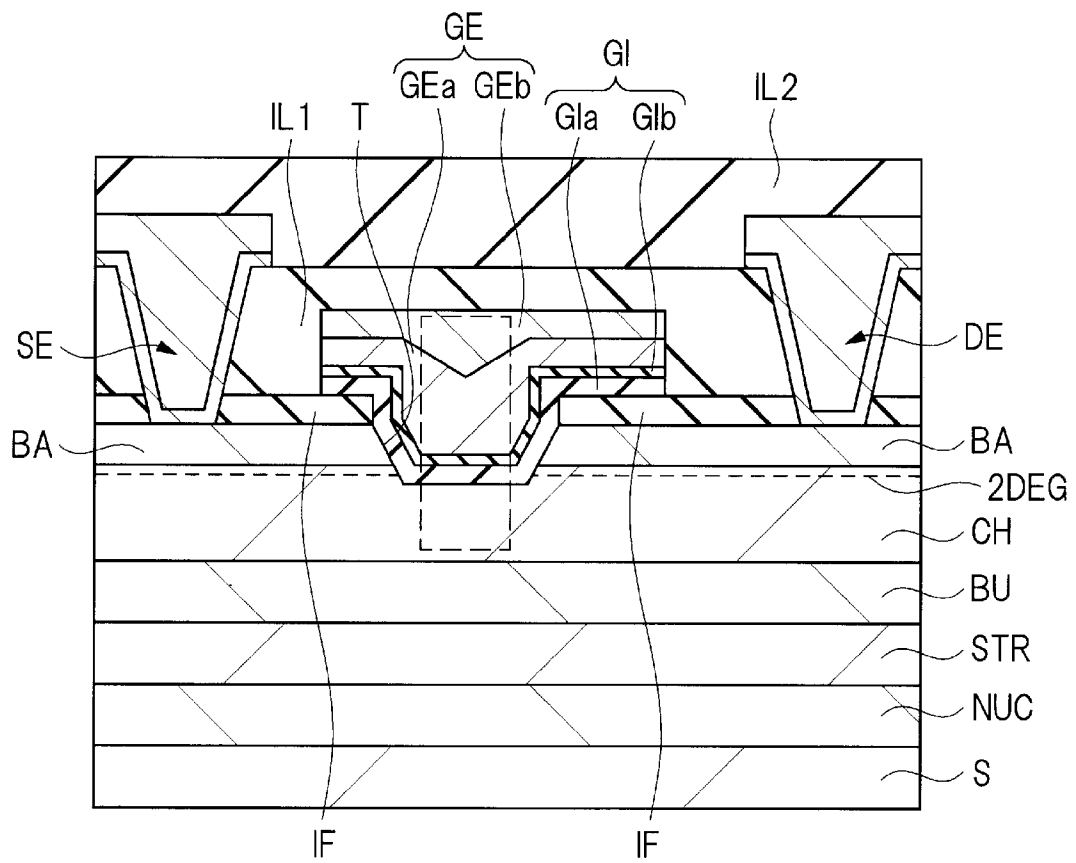
前記第 1 金属は、Al である、半導体装置の製造方法。

- [請求項17] 請求項 1 6 記載の半導体装置の製造方法において、
前記第 2 金属は、H f、Z r、T a、T i、N b、L a、Y、M g
の群から選ばれる 1 以上の元素である、半導体装置の製造方法。
- [請求項18] 請求項 1 7 記載の半導体装置の製造方法において、
前記第 3 金属は、T i である、半導体装置の製造方法。
- [請求項19] 請求項 1 8 記載の半導体装置の製造方法において、
前記第 4 金属は、W である、半導体装置の製造方法。
- [請求項20] 請求項 1 9 記載の半導体装置の製造方法において、
前記窒化物半導体層は、G a N である、半導体装置の製造方法。
- [請求項21] 請求項 1 2 記載の半導体装置の製造方法において、
前記第 1 ゲート絶縁膜は、シリコンを含む酸化膜よりなり、
前記第 2 金属は、A l、H f、Z r、T a、T i、N b、L a、Y
、M g の群から選ばれる 1 以上の元素であり、
前記第 3 金属は、T i であり、
前記第 4 金属は、W である、半導体装置の製造方法。

1

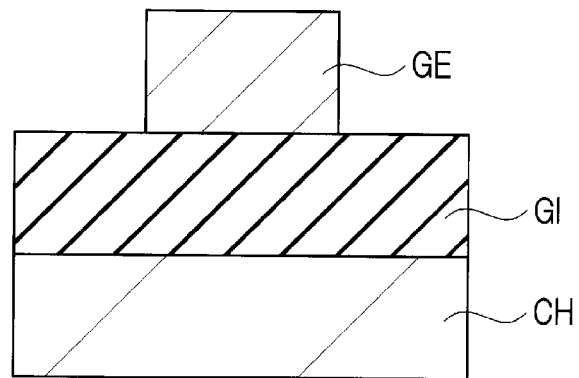


四 2



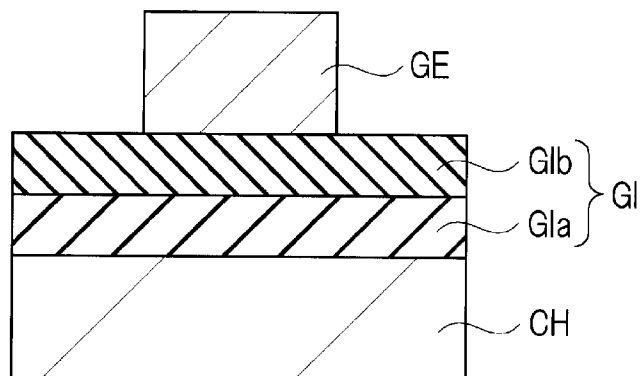
[図3]

図 3



[図4]

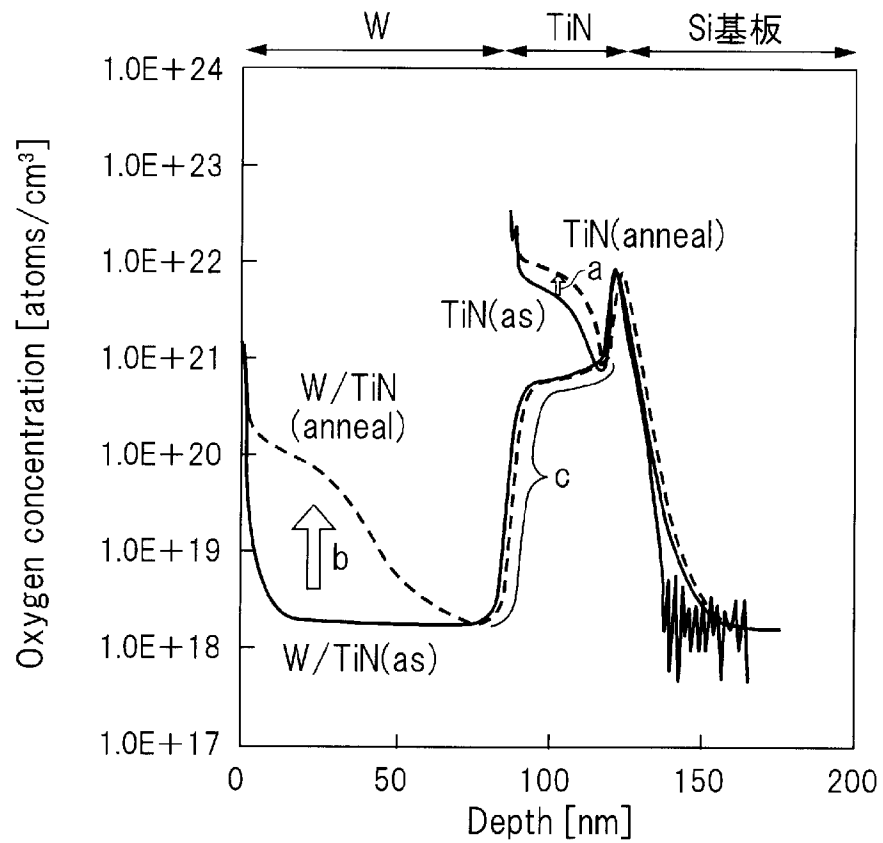
図 4



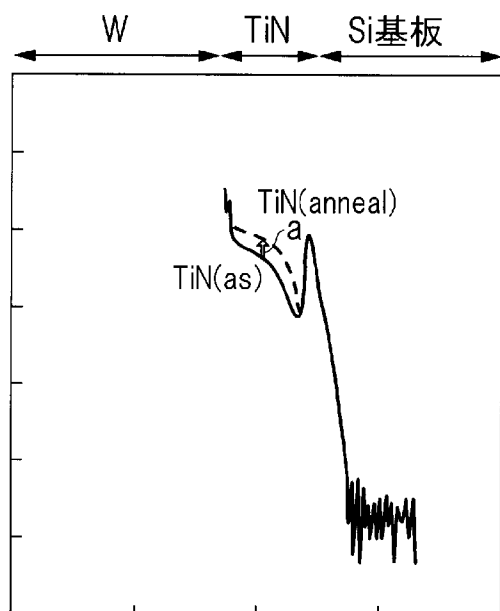
[図5]

図 5

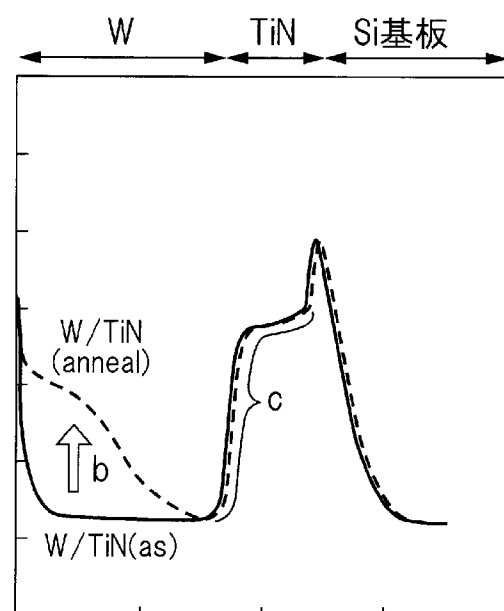
(a)



(b)

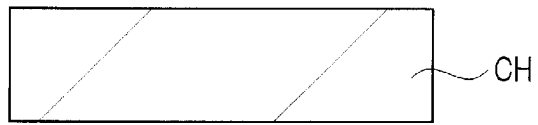


(c)



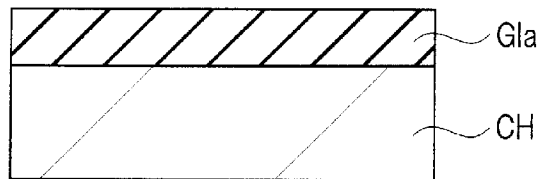
[図6]

図 6



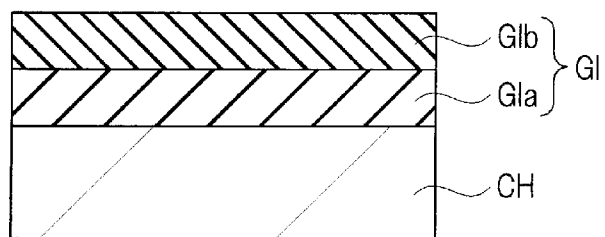
[図7]

図 7



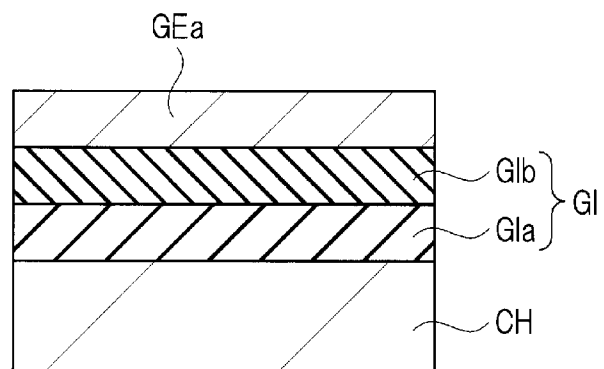
[図8]

図 8



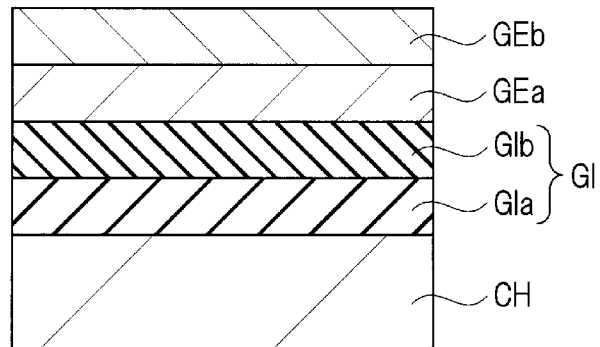
[図9]

図 9



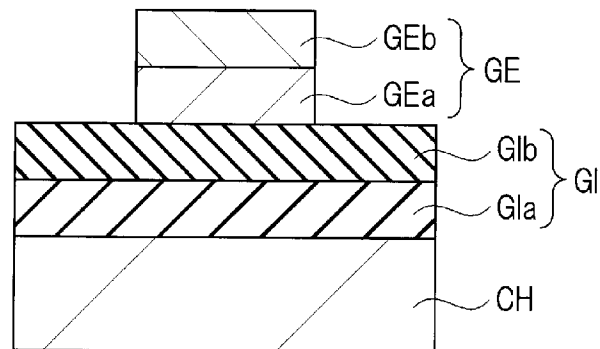
[図10]

図 10



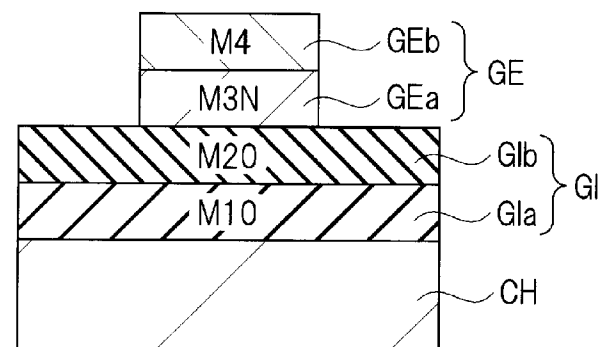
[図11]

図 11



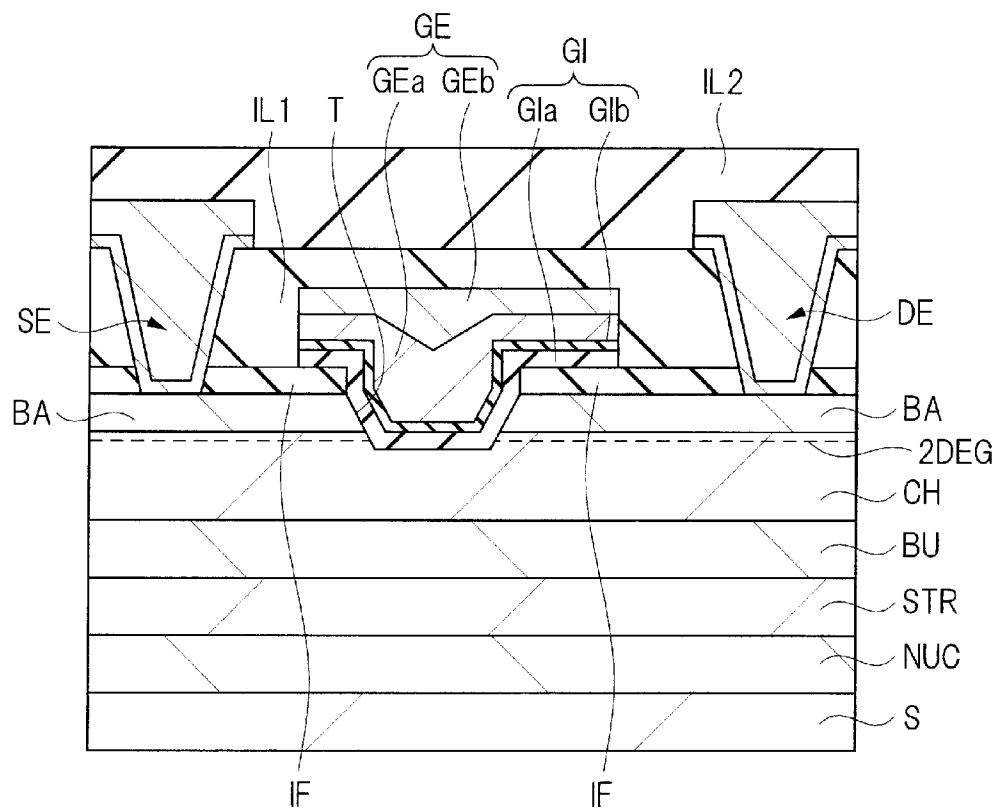
[図12]

図 12



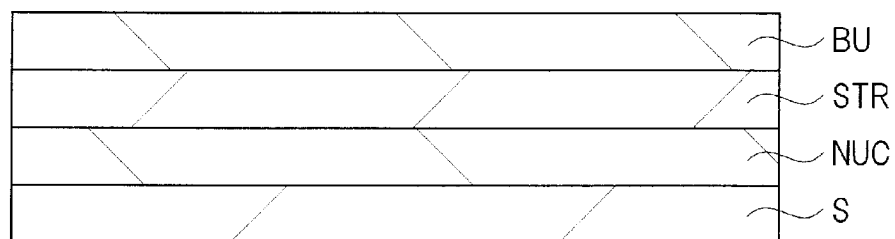
[図13]

図 13



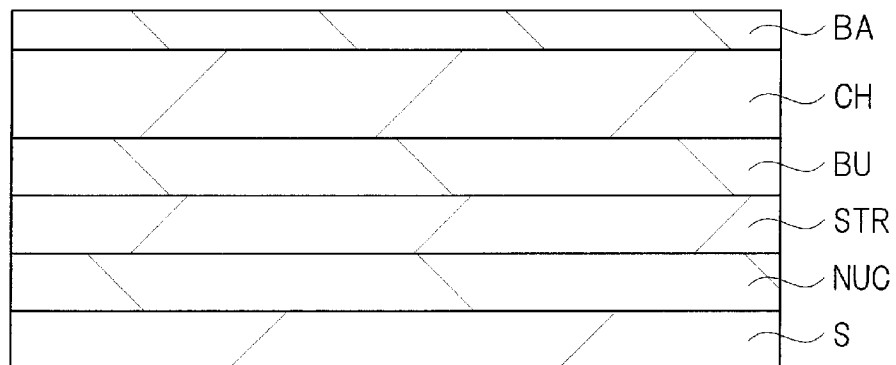
[図14]

図 14



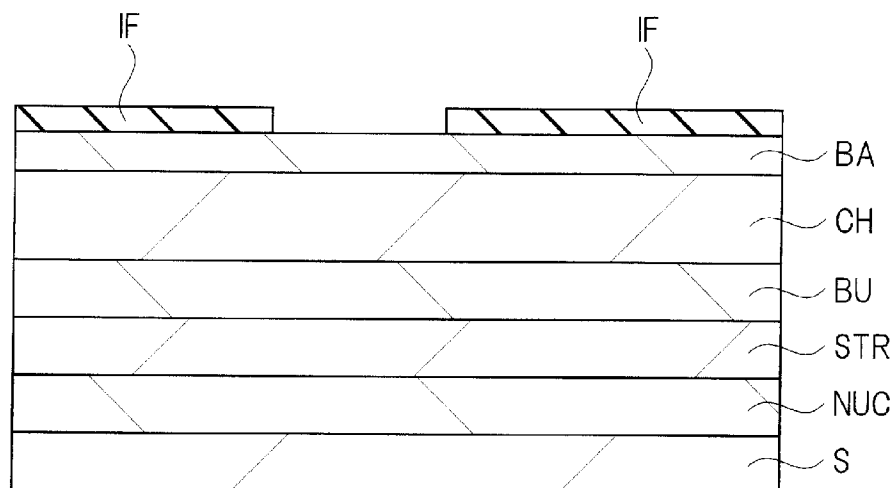
[図15]

図 15



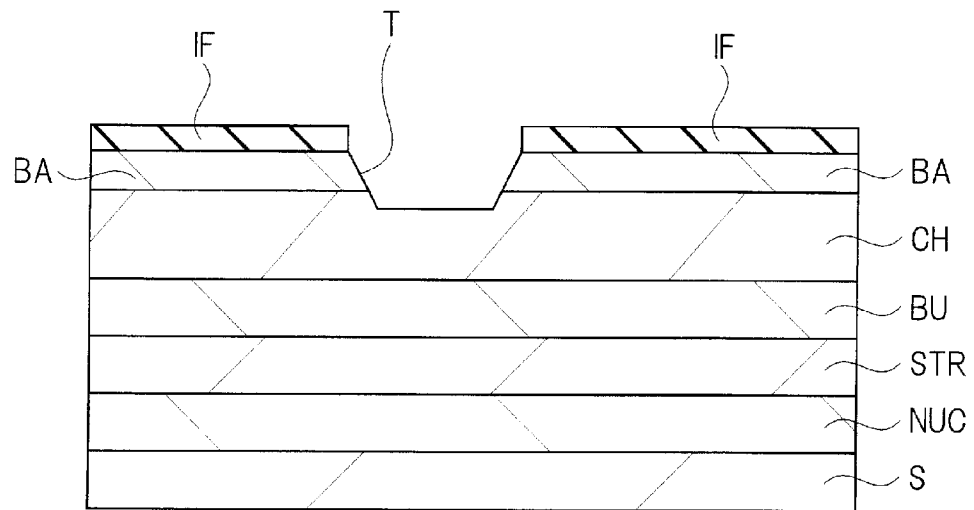
[図16]

図 16



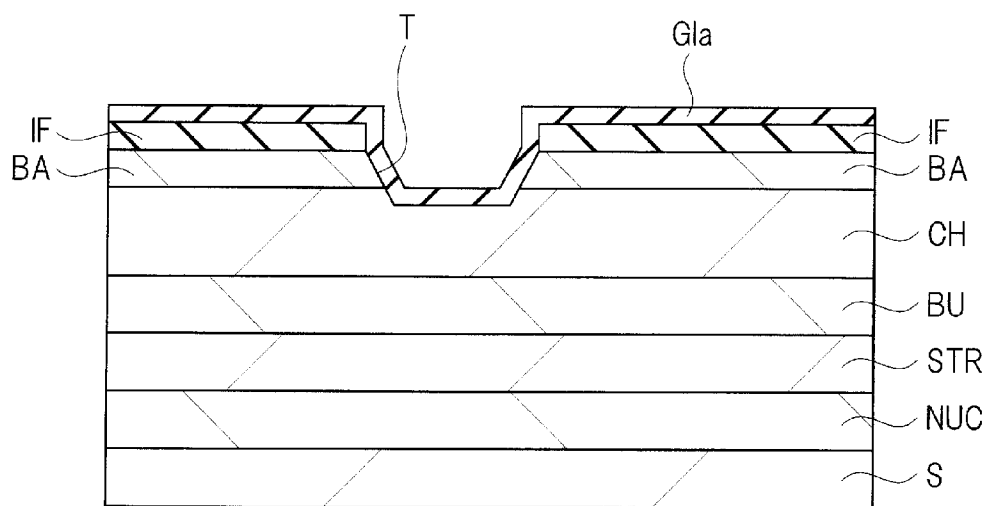
[図17]

図 17



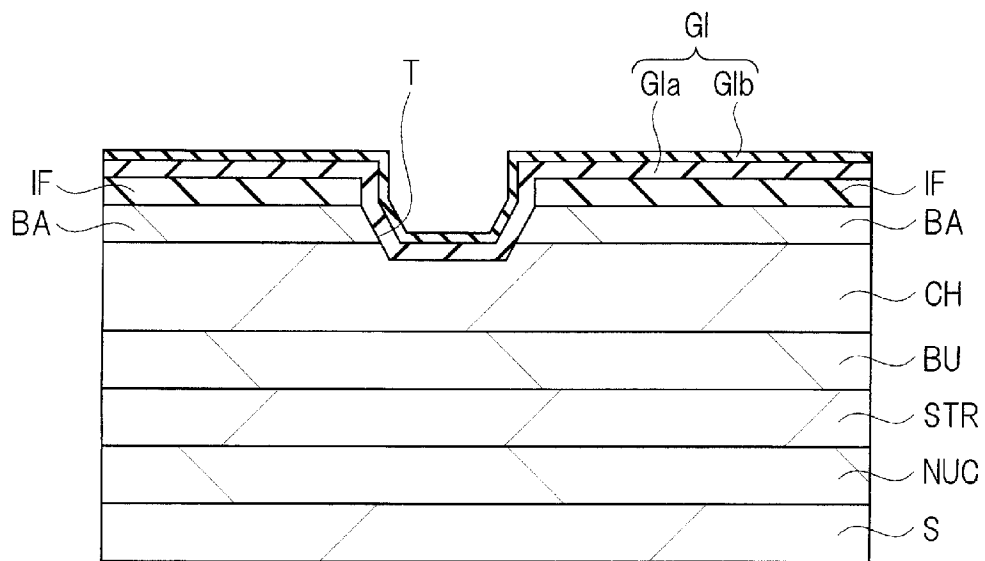
[図18]

図 18



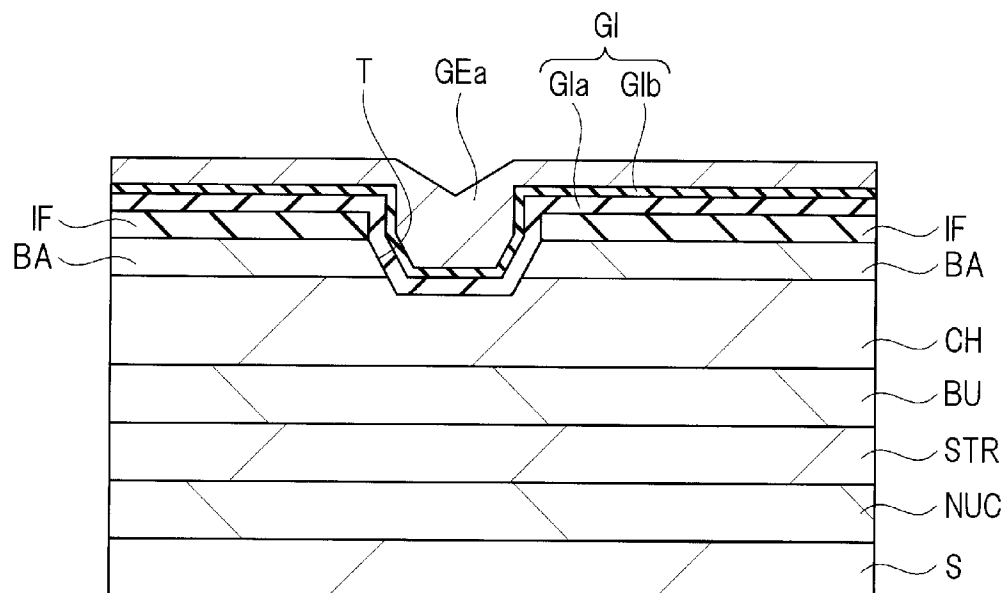
[図19]

図 19



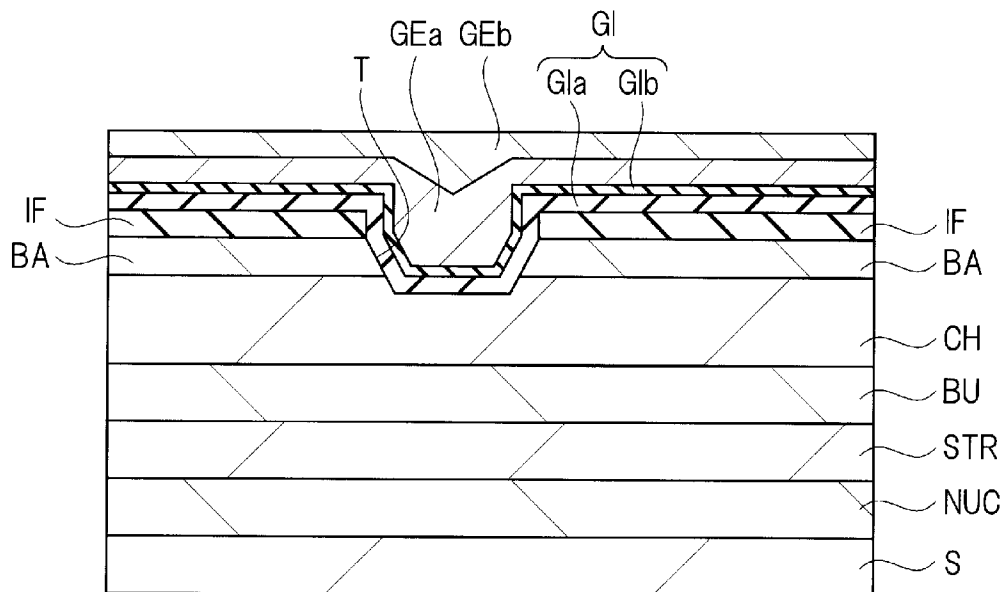
[図20]

図 20



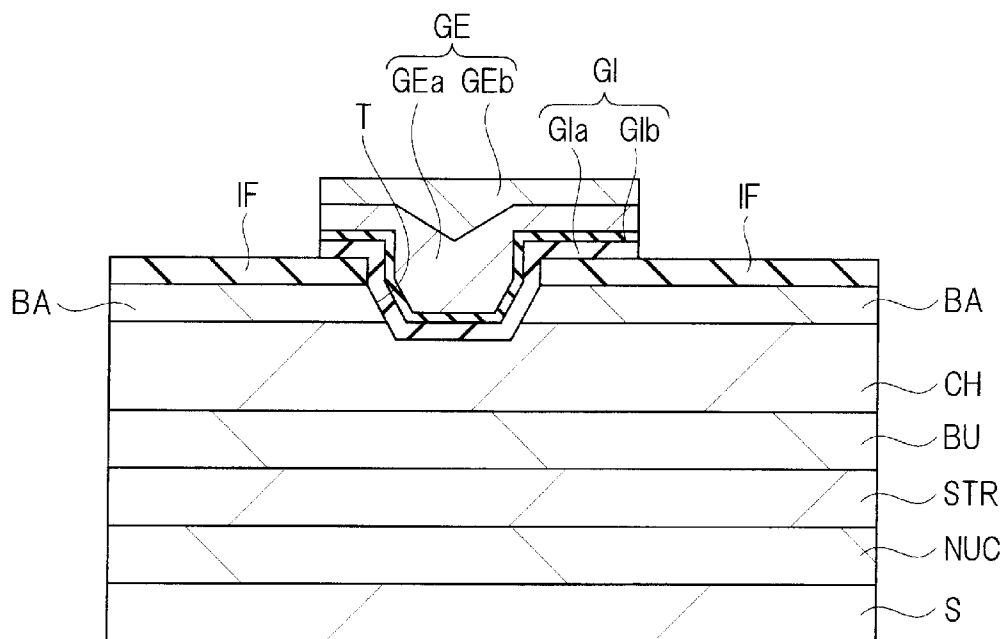
[図21]

図 21

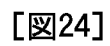


[図22]

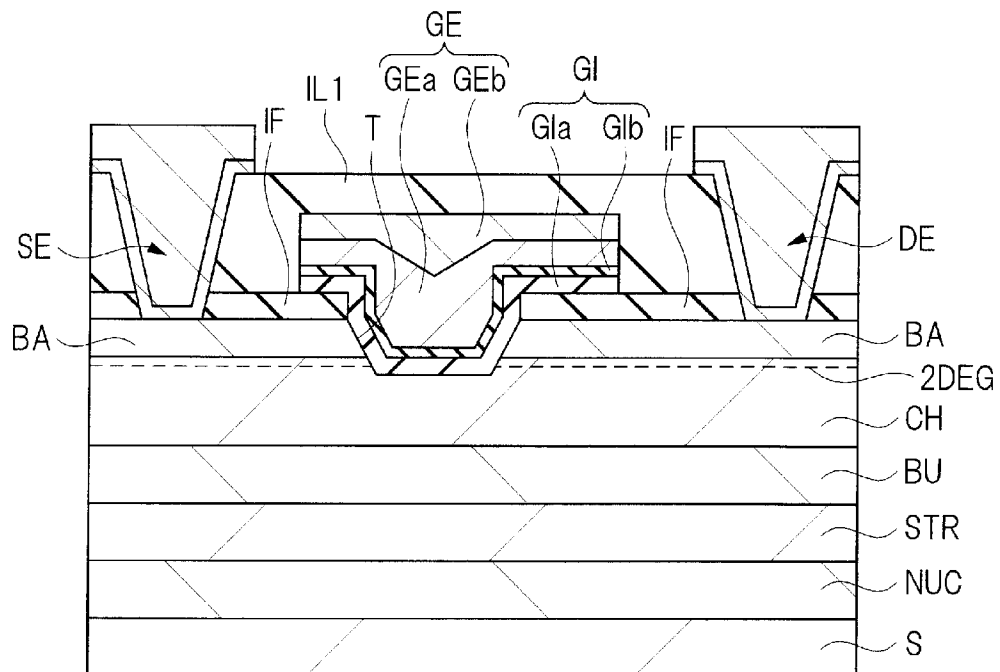
図 22



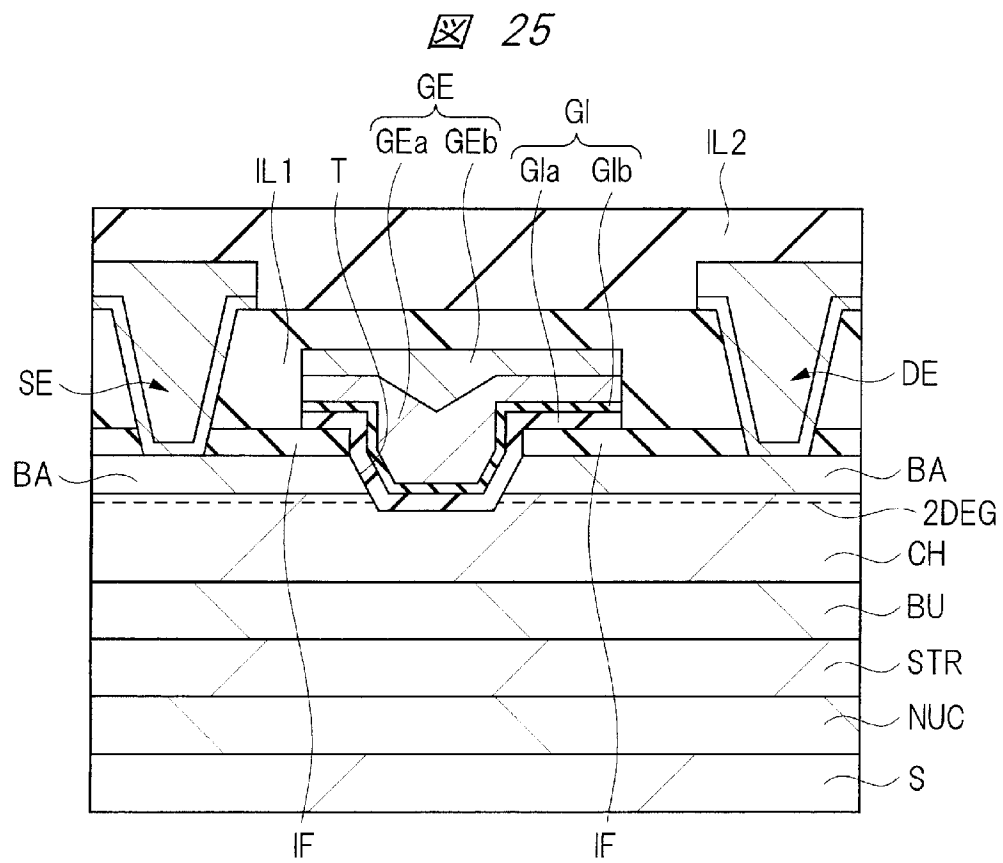
23



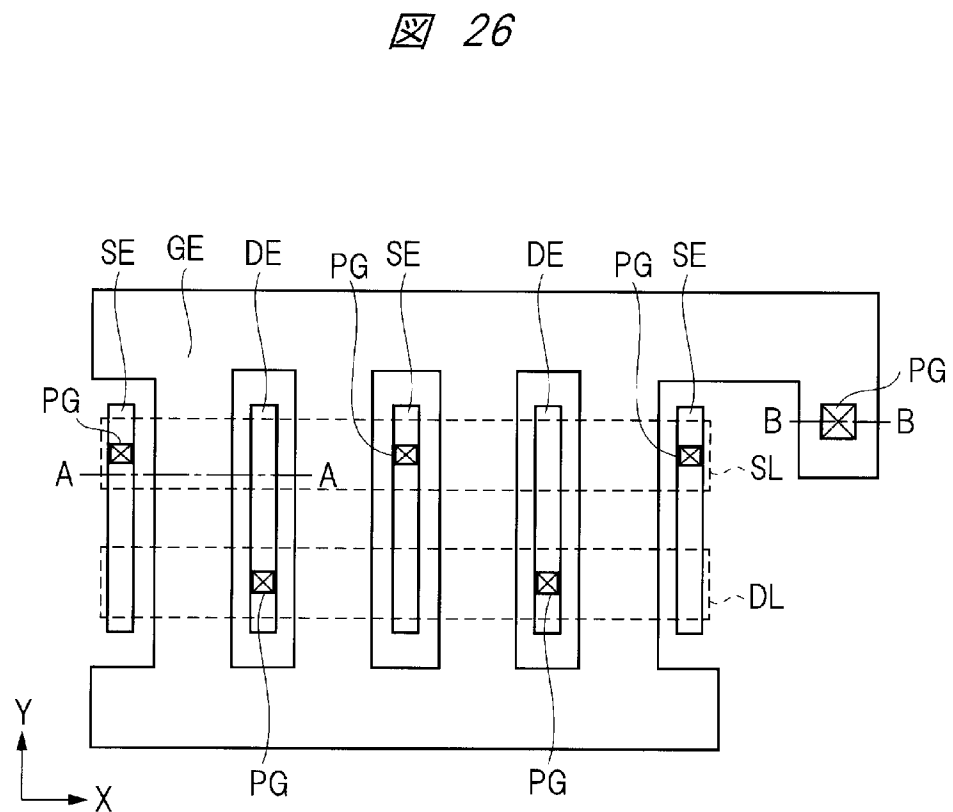
24

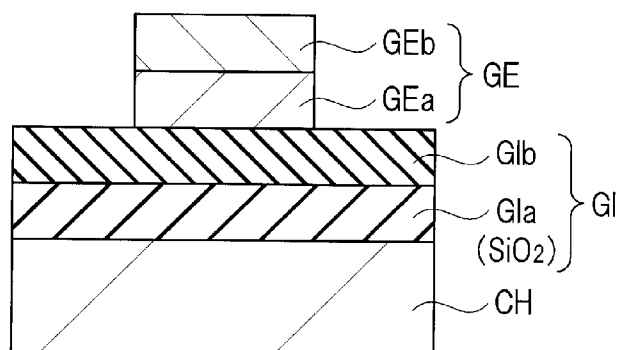
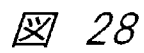


[図25]



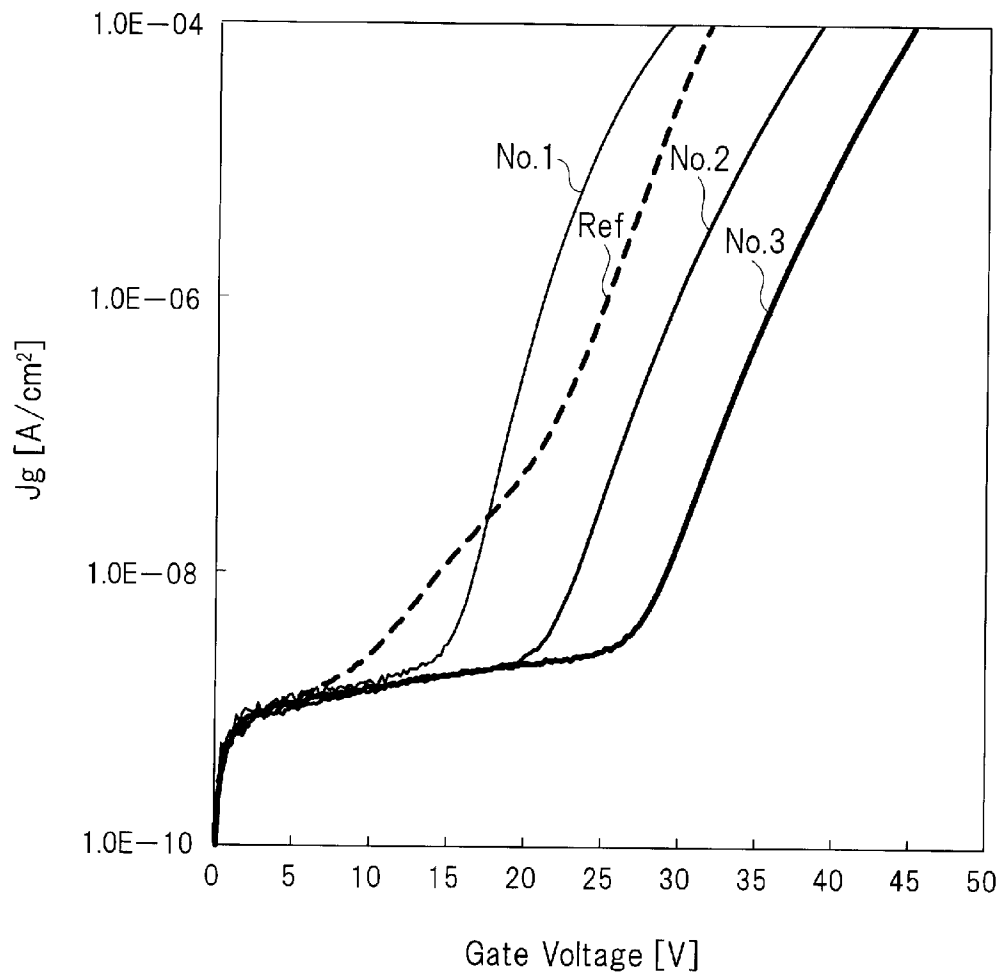
[図26]



 27

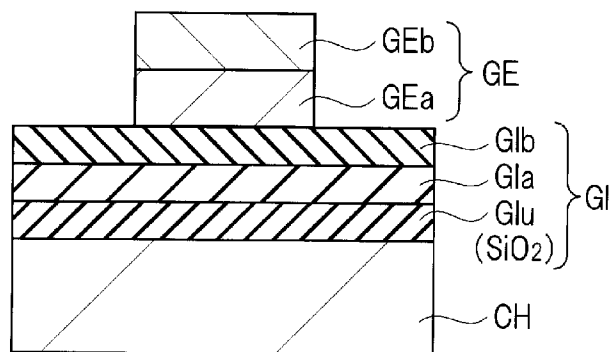
[図29]

図 29



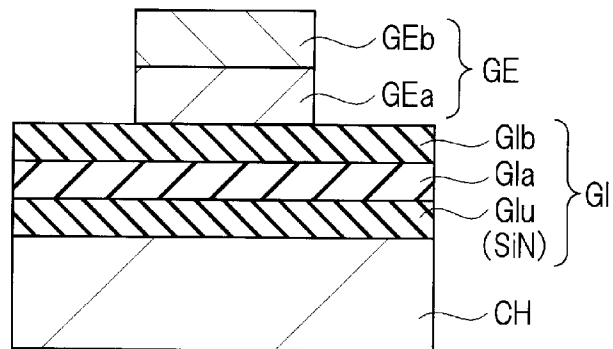
[図30]

図 30



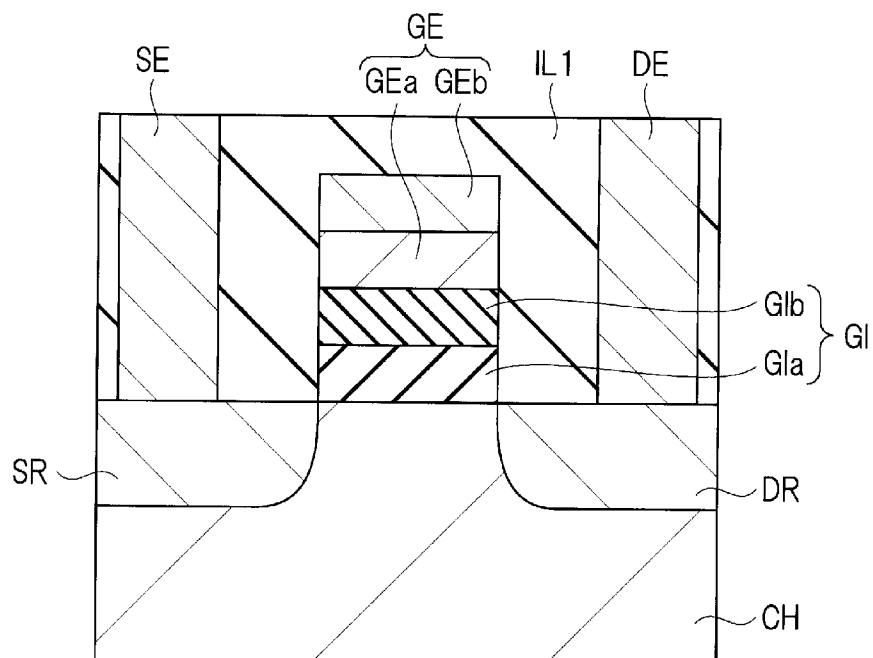
[図31]

図 31



[図32]

図 32



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/059956

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/338(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i,
H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/778(2006.01)i,
H01L29/78(2006.01)i, H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/338, H01L21/28, H01L21/336, H01L29/423, H01L29/49, H01L29/778,
H01L29/78, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015
Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-238700 A (Fujitsu Semiconductor Ltd.), 24 November 2011 (24.11.2011), paragraphs [0016] to [0063]; fig. 1 to 16 & US 2011/0272742 A1 & US 2014/0021513 A1 & CN 102237405 A	1-21
Y	JP 2014-183125 A (Fujitsu Ltd.), 29 September 2014 (29.09.2014), paragraphs [0013] to [0029], [0046]; fig. 1 to 4, 8 & US 2014/0264364 A1 & CN 104064592 A & TW 201438237 A	1-21

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 June 2015 (08.06.15)

Date of mailing of the international search report
16 June 2015 (16.06.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/059956

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-71206 A (Toyoda Gosei Co., Ltd.), 07 April 2011 (07.04.2011), paragraphs [0048] to [0065]; fig. 1 & US 2011/0068371 A1 & US 2014/0004669 A1 & US 8987077 B2 & CN 102034860 A	1-21
Y	JP 2-229431 A (Fujitsu Ltd.), 12 September 1990 (12.09.1990), page 2, upper right column, lines 1 to 18 (Family: none)	6-10, 19-21
A	JP 2007-324593 A (Interuniversitair Micro- Electronica Centrum VZW), 13 December 2007 (13.12.2007), paragraphs [0028] to [0048]; fig. 3 & US 2007/0272967 A1 & EP 1863097 A1	1-21
A	JP 2013-168433 A (Toshiba Corp.), 29 August 2013 (29.08.2013), paragraphs [0013] to [0039]; fig. 1 to 4 (Family: none)	1-21
A	JP 2012-54352 A (Fujitsu Ltd.), 15 March 2012 (15.03.2012), paragraphs [0012] to [0035]; fig. 1 to 7 & US 2012/0049180 A1 & CN 102386221 A	1-21

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/338(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/778(2006.01)i, H01L29/78(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/338, H01L21/28, H01L21/336, H01L29/423, H01L29/49, H01L29/778, H01L29/78, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-238700 A（富士通セミコンダクター株式会社）2011.11.24, 段落[0016]-[0063], 図 1-16 & US 2011/0272742 A1 & US 2014/0021513 A1 & CN 102237405 A	1-21
Y	JP 2014-183125 A（富士通株式会社）2014.09.29, 段落[0013]-[0029], [0046], 図 1-4, 8 & US 2014/0264364 A1 & CN 104064592 A & TW 201438237 A	1-21

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 8 . 0 6 . 2 0 1 5

国際調査報告の発送日

1 6 . 0 6 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

早川 朋一

5 F

9 7 3 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-71206 A (豊田合成株式会社) 2011. 04. 07, 段落[0048]-[0065], 図 1 & US 2011/0068371 A1 & US 2014/0004669 A1 & US 8987077 B2 & CN 102034860 A	1-21
Y	JP 2-229431 A (富士通株式会社) 1990. 09. 12, 第 2 ページ右上欄第 1-18 行 (ファミリーなし)	6-10, 19-21
A	JP 2007-324593 A (アンテルユニヴェルシテール・ミクロエレクトロニカ・サントリウム・ヴェー・ゼッド・ドゥブルヴェ) 2007. 12. 13, 段落[0028]-[0048], 図 3 & US 2007/0272967 A1 & EP 1863097 A1	1-21
A	JP 2013-168433 A (株式会社東芝) 2013. 08. 29, 段落[0013]-[0039], 図 1-4 (ファミリーなし)	1-21
A	JP 2012-54352 A (富士通株式会社) 2012. 03. 15, 段落[0012]-[0035], 図 1-7 & US 2012/0049180 A1 & CN 102386221 A	1-21