

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-94924

(P2010-94924A)

(43) 公開日 平成22年4月30日(2010.4.30)

(51) Int.Cl.	F I	テーマコード (参考)
B 4 1 J 2/44 (2006.01)	B 4 1 J 3/21 L	2 C 1 6 2
B 4 1 J 2/45 (2006.01)	H O 4 N 1/036 A	5 C 0 5 1
B 4 1 J 2/455 (2006.01)	H O 1 L 27/04 A	5 F 0 3 8
H O 4 N 1/036 (2006.01)	H O 1 L 27/08 1 O 2 C	5 F 0 4 8
H O 1 L 21/822 (2006.01)		

審査請求 未請求 請求項の数 11 O L (全 33 頁) 最終頁に続く

(21) 出願番号	特願2008-268906 (P2008-268906)	(71) 出願人	591044164
(22) 出願日	平成20年10月17日 (2008.10.17)		株式会社沖データ
			東京都港区芝浦四丁目11番22号
		(71) 出願人	500002571
			株式会社沖デジタルイメージング
			東京都八王子市東浅川町550番地-1
		(74) 代理人	100086807
			弁理士 柿本 恭成
		(74) 代理人	100091362
			弁理士 阿仁屋 節雄
		(74) 代理人	100145872
			弁理士 福岡 昌浩
		(72) 発明者	南雲 章
			東京都八王子市東浅川町550番地の1
			株式会社沖デジタルイメージング内
			最終頁に続く

(54) 【発明の名称】 駆動回路、光プリントヘッド及び画像形成装置

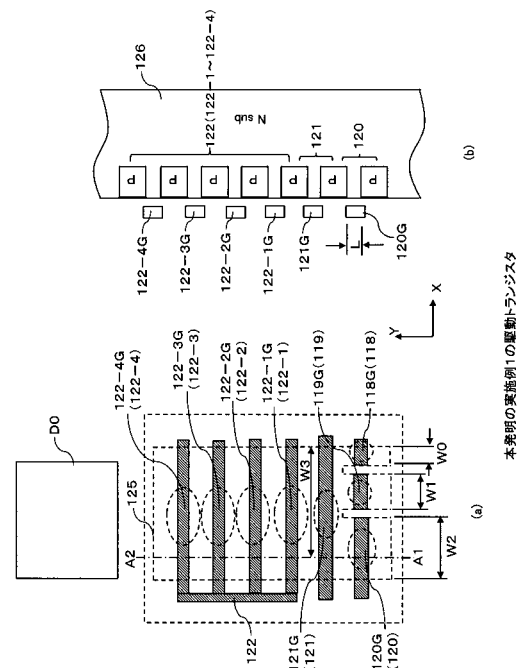
(57) 【要約】

【課題】複数のLED駆動回路間での駆動電流のばらつきを改善し、印刷濃度のむらを解消して印刷品位の向上を図る。

【解決手段】LEDプリントヘッドに搭載されるドライバIC中の複数のLED駆動回路110において、駆動トランジスタであるPMOS118~122のゲート118G~121G, 122-1G~122-4GをLEDアレイ方向(X軸方向)に並列に配置して、PMOSのチャネルがLEDアレイ方向に対して直交する方向(Y軸方向)となるように配置し、ドレイン電流をY軸方向に流す構成にしている。そのため、低温雰囲気中であってもドライバIC端部とドライバIC中心部との駆動電流の差が小さくなり、ドライバIC内での駆動電流のばらつきを改善できる。これにより、画像形成装置における印刷濃度のむらを解消できて印刷品位を向上できる。

。

【選択図】 図1



本発明の実施例1の駆動トランジスタ

【特許請求の範囲】**【請求項 1】**

複数の被駆動素子に駆動電流を供給する駆動トランジスタを有する駆動回路において、前記駆動トランジスタは、前記被駆動素子の配列方向に略等しい向きに延設された第 1 のゲート部を有することを特徴とする駆動回路。

【請求項 2】

前記第 1 のゲート部と同じ半導体層に形成された一体化ゲート部を構成し、前記被駆動素子の配列方向とは異なる向きに延設された第 2 のゲート部を有することを特徴とする請求項 1 記載の駆動回路。

【請求項 3】

前記第 2 のゲート部は、前記第 1 のゲート部と略直交する方向に延設されていることを特徴とする請求項 2 記載の駆動回路。

【請求項 4】

前記一体化ゲート部は、略 L 字状であることを特徴とする請求項 2 記載の駆動回路。

【請求項 5】

前記一体化ゲート部は、略 U 字状であることを特徴とする請求項 2 記載の駆動回路。

【請求項 6】

前記一体化ゲート部は、前記第 1 のゲート部と前記第 2 のゲート部とにより囲まれる閉領域を有することを特徴とする請求項 2 記載の駆動回路。

【請求項 7】

前記閉領域は前記第 1 のゲート部又は前記第 2 のゲート部により分離された複数の領域から成ることを特徴とする請求項 6 記載の駆動回路。

【請求項 8】

複数の被駆動素子に駆動電流を供給する駆動トランジスタを有する駆動回路において、前記駆動トランジスタは、前記被駆動素子の配列方向に対し傾斜した方向に延設されたゲート部を有することを特徴とする駆動回路。

【請求項 9】

前記駆動トランジスタは、MOS トランジスタであることを特許とする請求項 1 ～ 8 のいずれか 1 項に記載の駆動回路。

【請求項 10】

基板と、

前記基板上に前記第 1 のゲート部の延在する向きに複数配列された請求項 1 ～ 9 のいずれか 1 項に記載の駆動回路と、

前記複数の被駆動素子としての発光素子アレイと、

前記発光素子アレイが発する光を集光するレンズアレイと、

を備えたことを特徴とする光プリントヘッド。

【請求項 11】

請求項 10 記載の光プリントヘッドと、

前記光プリントヘッドの発光方向に対向して設けられた感光体と、

を有することを特徴とする画像形成装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、被駆動素子の群、例えば光源に発光ダイオード（以下「LED」という。）を用いた画像形成装置における LED の列、サーマルプリンタにおける発熱抵抗体の列、表示装置における表示素子の列を選択的に且つサイクル毎に駆動する駆動回路と、それを用いた LED プリントヘッド等の光プリントヘッド、及び電子写真プリンタ等の画像形成装置に関するものである。

【背景技術】**【0002】**

従来、画像形成装置（電子写真プロセスを用いた電子写真プリンタ等）は、例えば、下記の特許文献１に記載されているように、光プリントヘッドとして発光素子（例えば、ＬＥＤ）を直線状に多数配列させたものを用い、個々のＬＥＤを点滅させることにより画像を形成するものである。

【０００３】

このようなＬＥＤプリントヘッドでは、個々のＬＥＤを駆動するための駆動回路は、主にシリコンのモノリシック集積回路（以下「ＩＣ」という。）が用いられ、このシリコンＩＣを、ＬＥＤの配列に対応させてプリント基板上に直線状に配列させ、熱硬化性の樹脂等を用いて固着させていた。

【０００４】

10

【特許文献１】特開２００８－４４１４８号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

しかしながら、従来のＬＥＤプリントヘッドに用いられる基板ユニットは、それを構成する駆動回路ＩＣ（ドライバＩＣ）とプリント基板とを熱硬化樹脂を用いて高温雰囲気中で固着して製造されているため、キュア条件に近い温度においては固着時の自然状態となって応力ゼロとなるものの、室温環境に戻した後はプリント基板の側がより大きく収縮するため、ドライバＩＣにはその配列方向に平行に収縮応力が働くことになる。収縮応力は各ドライバＩＣ毎に作用する結果、ドライバＩＣチップ中心付近と両端部のドットとで位置による差異を生じて駆動電流のばらつきとなって現れることになる。このような駆動電流のばらつきが生じると、それにより駆動されるＬＥＤの光量むらを生じ、それを用いる電子写真プリンタの印刷結果に濃度むらとなって現れ、印刷品位を著しく低下させることとなって好ましくない。

20

【課題を解決するための手段】

【０００６】

本発明の駆動回路は、複数の被駆動素子に駆動電流を供給する駆動トランジスタを有する駆動回路において、前記駆動トランジスタは、前記被駆動素子の配列方向に略等しい向きに延設された第１のゲート部を有することを特徴とする。

【０００７】

30

本発明の他の駆動回路は、複数の被駆動素子に駆動電流を供給する駆動トランジスタを有する駆動回路において、前記駆動トランジスタは、前記被駆動素子の配列方向に対し傾斜した方向に延設されたゲート部を有することを特徴とする。

【０００８】

本発明の光プリントヘッドは、基板と、前記基板上に前記第１のゲート部の延在する向きに複数配列された前記発明又は前記他の発明の駆動回路と、前記複数の被駆動素子としての発光素子アレイと、前記発光素子アレイが発する光を集光するレンズアレイとを備えたことを特徴とする。

【０００９】

本発明の画像形成装置は、前記発明の光プリントヘッドと、前記光プリントヘッドの発光方向に対向して設けられた感光体とを有することを特徴とする。

40

【発明の効果】

【００１０】

本発明によれば、低温雰囲気中であっても複数の駆動回路間における駆動電流の差が小さくなり、駆動回路間での駆動電流のばらつきを改善することができる。従って、印刷濃度のむらを解消できて、印刷品位に優れた画像形成装置を実現できる。

【発明を実施するための最良の形態】

【００１１】

本発明を実施するための最良の形態は、以下の好ましい実施例の説明を添付図面と照らし合わせて読むと、明らかになるであろう。但し、図面はもっぱら解説のためのものであ

50

って、本発明の範囲を限定するものではない。

【実施例 1】

【0012】

(実施例 1 の画像形成装置)

図 2 は、本発明の実施例 1 における画像形成装置を示す概略の構成図である。

【0013】

この画像形成装置 1 は、発光素子（例えば、LED）を用いた光プリントヘッド（例えば、LED プリントヘッド）が搭載された電子写真カラープリンタであり、ブラック（K）、イエロー（Y）、マゼンタ（M）及びシアン（C）の各色の画像を各々に形成する 4 つのプロセスユニット 10 - 1 ~ 10 - 4 を有し、これらが記録媒体（例えば、用紙）20 の搬送経路の上流側から順に配置されている。各プロセスユニット 10 - 1 ~ 10 - 4 の内部構成は共通しているため、例えば、マゼンタのプロセスユニット 10 - 3 を例にとり、これらの内部構成を説明する。

10

【0014】

プロセスユニット 10 - 3 には、像担持体としての感光体ドラム 11 が図 2 中の矢印方向に回転可能に配置されている。感光体ドラム 11 の周囲には、この回転方向上流側から順に、感光体ドラム 11 の表面に電荷を供給して帯電させる帯電装置 12 と、帯電された感光体ドラム 11 の表面に選択的に光を照射して静電潜像を形成する露光装置（例えば、LED プリントヘッド）13 が配設されている。更に、静電潜像が形成された感光体ドラム 11 の表面に、マゼンタ（所定色）のトナーを付着させて顕像を発生させる現像装置 14 と、感光体ドラム 11 上のトナーの顕像を転写した際に残留したトナーを除去するクリーニング装置 15 が配設されている。なお、これら各装置に用いられているドラム又はローラは、図示しない駆動源からギア等を経由して動力が伝達され回転する。

20

【0015】

画像形成装置 1 の下部には、用紙 20 を堆積した状態で収納する用紙カセット 21 が装着され、その上方に、用紙 20 を 1 枚ずつ分離させて搬送するためのホッピングローラ 22 が配設されている。用紙 20 の搬送方向におけるホッピングローラ 22 の下流側には、ピンチローラ 23、24 と共に用紙 20 を挟持することによってこの用紙 20 を搬送する搬送ローラ 25 と、用紙 20 の斜行を修正し、プロセスユニット 10 - 1 に搬送するレジストローラ 26 とが配設されている。これらのホッピングローラ 22、搬送ローラ 25 及びレジストローラ 26 は、図示しない駆動源からギア等を経由して動力が伝達され回転する。

30

【0016】

プロセスユニット 10 - 1 ~ 10 - 4 の各感光体ドラム 11 に対向する位置には、それぞれ半導電性のゴム等によって形成された転写ローラ 27 が配設されている。各転写ローラ 27 には、感光体ドラム 11 上に付着されたトナーによる顕像を用紙 20 に転写する転写時に、各感光体ドラム 11 の表面電位とこれら各転写ローラ 27 の表面電位に電位差を持たせるための電位が印加されている。

【0017】

プロセスユニット 10 - 4 の下流には、定着装置 28 が配設されている。定着装置 28 は、加熱ローラとバックアップローラとを有し、用紙 20 上に転写されたトナーを加圧・加熱することによって定着する装置であり、この下流に、排出口ローラ 29、30、排出部のピンチローラ 31、32、及び用紙スタッカ部 33 が設けられている。排出口ローラ 29、30 は、定着装置 28 から排出された用紙 20 を、排出部のピンチローラ 31、32 と共に挟持し、用紙スタッカ部 33 に搬送する。これら定着装置 28 及び排出口ローラ 29 等は、図示しない駆動源からギア等を経由して動力が伝達されて回転する。

40

【0018】

このように構成される画像記録装置 1 は、次のように動作する。

先ず、用紙カセット 21 に堆積した状態で収納されている用紙 20 が、ホッピングローラ 22 によって、上から 1 枚ずつ分離されて搬送される。続いて、この用紙 20 は、搬送

50

ローラ 25、レジストローラ 26 及びピンチローラ 23、24 に挟持されて、プロセスユニット 10 - 1 の感光体ドラム 11 と転写ローラ 27 の間に搬送される。その後、用紙 20 は、感光体ドラム 61 及び転写ローラ 27 に挟持され、その記録面にトナー像が転写されると同時に感光体ドラム 10 - 1 の回転によって搬送される。同様に、用紙 20 は、順次プロセスユニット 10 - 2 ~ 10 - 4 を通過し、その通過過程で、各光プリントヘッド 13 により形成された静電潜像を各現像装置 14 によって現像した各色のトナー像が、その記録面に順次転写されて重ね合わされる。

【0019】

このようにして記録面上に各色のトナー像が重ね合わされた後、定着装置 28 によってトナー像が定着された用紙 20 は、排出口ローラ 29、30 及びピンチローラ 31、32 に扶持されて、画像形成装置 1 の外部の用紙スタッカ部 33 に排出される。以上の過程を経て、カラー画像が用紙 20 上に形成される。

【0020】

(LED プリントヘッド)

図 3 は、図 2 中の LED プリントヘッドの構成を示す概略の断面図である。

【0021】

この LED プリントヘッド 13 は、ベース部材 13a を有し、このベース部材 13a 上にプリント基板 13b が固定されている。プリント基板 13b 上には、駆動回路等が集積された複数のチップ状のドライバ IC 100 と複数のチップ状の LED アレイ 200 とが熱硬化性樹脂により固着され、それらの複数のドライバ IC 100 と複数の LED アレイ 200 とが、図示しないボンディングワイヤ等により相互に接続されている。複数の LED アレイ 100 上には、柱状の光学素子を多数配列してなるロッドレインズアレイ 13c が配置され、このロッドレインズアレイ 13c がホルダ 13d により固定されている。ベース部材 13a、プリント基板 13b 及びホルダ 13d は、クランプ部材 13e、13f により固定されている。

【0022】

(プリンタ制御回路)

図 4 は、図 2 の電子写真プリンタにおけるプリンタ制御回路の構成を示すブロック図である。

【0023】

このプリンタ制御回路は、電子写真プリンタにおける印字部の内部に配設された印刷制御部 40 を有している。印刷制御部 40 は、マイクロプロセッサ、読み出し専用メモリ (ROM)、随時読み書き可能なメモリ (RAM)、信号の入出力を行う入出力ポート、タイマ等によって構成され、図示しない上位コントローラからの制御信号 SG1、及びビデオ信号 (ドットマップデータを一次元的に配列したもの) SG2 等によってプリンタ全体をシーケンス制御して印刷動作を行う機能を有している。印刷制御部 40 には、プロセスユニット 10 - 1 ~ 10 - 4 の 4 つの LED プリントヘッド 13、定着装置 28 の加熱ローラ 28a、ドライバ 41、43、用紙吸入口センサ 45、用紙排出口センサ 46、用紙残量センサ 47、用紙サイズセンサ 48、定着装置用温度センサ 49、帯電用高圧電源 50、及び転写用高圧電源 51 等が接続されている。ドライバ 41 には現像・転写プロセス用モータ (PM) 42 が、ドライバ 43 には用紙送りモータ (PM) 44 G、帯電用高圧電源 50 には現像装置 14 が、転写用高圧電源 51 には転写ローラ 27 が、それぞれ接続されている。

【0024】

このような構成のプリンタ制御回路では、次のような動作を行う。

印刷制御部 40 は、上位コントローラからの制御信号 SG1 によって印刷指示を受信すると、まず、温度センサ 49 によって定着装置 28 内の加熱ローラ 28a が使用可能な温度範囲にあるか否かを検出し、温度範囲になれば加熱ローラ 28a に通電し、使用可能な温度まで定着装置 28 を加熱する。次に、ドライバ 41 を介して現像・転写プロセス用モータ 42 を回転させ、同時にチャージ信号 SGC によって帯電用高圧電源 50 をオンに

10

20

30

40

50

し、現像装置 14 の帯電を行う。

【0025】

そして、セットされている図 2 中の用紙 20 の有無及び種類が用紙残量センサ 47、用紙サイズセンサ 48 によって検出され、その用紙 20 に合った用紙送りが開始される。ここで、用紙送りモータ 44 はドライバ 43 を介して双方向に回転させることが可能であり、最初に逆転させて、用紙吸入口センサ 45 が検知するまで、セットされた用紙 20 を予め設定された量だけ送る。続いて、正回転させて用紙 20 をプリンタ内部の印刷機構内に搬送する。

【0026】

印刷制御部 40 は、用紙 20 が印刷可能な位置まで到達した時点において、上位コントローラに対してタイミング信号 SG3（主走査同期信号、副走査同期信号を含む）を送信し、ビデオ信号 SG2 を受信する。上位コントローラにおいてページ毎に編集され、印刷制御部 40 に受信されたビデオ信号 SG2 は、印刷データ信号 HD-DATA3 ~ HD-DATAO として各 LED プリントヘッド 13 に転送される。各 LED プリントヘッド 13 は、それぞれ 1 ドット（ピクセル）の印字のために設けられた LED を複数個線上に配列したものである。

10

【0027】

印刷制御部 40 は 1 ライン分のビデオ信号 SG2 を受信すると、各 LED プリントヘッド 13 にラッチ信号 HD-LOAD を送信し、印刷データ信号 HD-DATA を各 LED プリントヘッド 13 内に保持させる。又、印刷制御部 40 は、上位コントローラから次のビデオ信号 SG2 を受信している最中においても、各 LED プリントヘッド 13 に保持した印刷データ信号 HD-DATA3 ~ HD-DATAO について印刷することができる。

20

【0028】

なお、印刷制御部 40 から各 LED プリントヘッド 13 に送信されるクロック信号 HD-CLK、主走査同期信号 HD-HSYNC-N、及びストローク信号 HD-STB-N の内、クロック信号 HD-CLK は、印刷データ信号 HD-DATA3 ~ HD-DATAO を LED プリントヘッド 13 へ送信するための信号である。

【0029】

ビデオ信号 SG2 の送受信は、印刷ライン毎に行われる。各 LED プリントヘッド 13 によって印刷される情報は、マイナス電位に帯電された図示しない各感光体ドラム 11 上において電位の上昇したドットとして潜像化される。そして、現像装置 14 において、マイナス電位に帯電された画像形成用のトナーが、電気的な吸引力によって各ドットに吸引され、トナー像が形成される。

30

【0030】

その後、トナー像は転写ローラ 27 へ送られ、一方、転写信号 SG4 によってプラス電位に転写用高圧電源 51 がオン状態になり、転写ローラ 27 28 は感光体ドラム 11 と転写ローラ 27 との間隔を通過する用紙 20 上にトナー像を転写する。転写されたトナー像を有する用紙 20 は、加熱ローラ 28a を内蔵する定着装置 28 に当接して搬送され、この定着装置 28 の熱によって用紙 20 に定着される。この定着された画像を有する用紙 20 は、更に搬送されてプリンタの印刷機構から用紙排出口センサ 46 を通過してプリンタ外部へ排出される。

40

【0031】

印刷制御部 40 は、用紙サイズセンサ 48、及び用紙吸入口 45 の検知に対応して、用紙 20 が転写装置 28 を通過している間だけ転写用高圧電源 51 からの電圧を転写装置 28 に印加する。印刷が終了し、用紙 20 が用紙排出口センサ 46 を通過すると、帯電用高圧電源 50 による現像装置 14 への電圧の印加を終了し、同時に現像・転写プロセス用モータ 42 の回転を停止させる。以後、上記の動作を繰り返す。

【0032】

（LED プリントヘッド）

図 5 は、図 4 中の各プロセッサユニット 10-1 ~ 10-4 における各 LED プリント

50

ヘッド 13 を示す構成図である。

【0033】

この LED プリントヘッド 13 は、例えば、A4 サイズの用紙に 1 インチ当たり 600 ドットの解像度で印刷可能な構成になっている。LED (CHP) 201, 202, . . . の総数は 4992 ドットであり、これを構成するために 26 個の LED アレイ 200-1, 200-2, . . . が配列されている。各 LED アレイ 200-1, 200-2, . . . は、各々 192 個の LED 201, 202, . . . を有し、各 LED アレイ 200-1, 200-2, . . . 内の各 LED 201, 202, . . . において、奇数 (ODD) 番目の LED 201, . . . のカソード同士、偶数 (EVEN) 番目の LED 202, . . . のカソード同士が接続され、隣接して配置される 2 個の LED 201, 202, . . . のアノード端子同士が接続されており、奇数番目の LED 201, . . . と偶数番目の LED 202, . . . とは時分割に駆動される。

10

【0034】

26 個の LED アレイ 200-1, 200-2, . . . に対応して、26 個のドライバ IC (IC) 100-1, 100-2, . . . が配列されている。これらの 26 個のドライバ IC 200-1, 200-2, . . . は、同一の回路により構成され、隣接するドライバ IC 200-1, 200-2, . . . がカスケード接続 (縦続接続) されている。

【0035】

LED アレイ 200-1, 200-2, . . . の近傍には、奇数 (ODD) 側と偶数 (EVEN) 側の 2 個のパワー MOS トランジスタ (例えば、N チャネル MOS トランジスタ (以下「NMOS」という。)) 211, 212 が設けられている。奇数 (ODD) 側の NMOS 211 のドレインは、奇数側の LED 31, . . . のカソードと共通に接続され、偶数 (EVEN) 側の 212 NMOS のドレインは、偶数側の LED 32, . . . のカソードと共通に接続されている。各 NMOS 211, 212 のソースは、グランドに接続されている。NMOS 211 のゲートは、ドライバ IC 100-1 の KDRV 端子と接続され、NMOS 212 のゲートは、ドライバ IC 100-2 の KDRV 端子と接続されている。

20

【0036】

次に、図 5 の LED プリントヘッド 13 における動作を説明する。

図 5 に示す構成においては、印刷データ信号 HD-DATA3 ~ HD-DATA0 は 4 本であり、隣接する LED 8 個のうち、奇数番目同士あるいは偶数番目同士の 4 画素分のデータをクロック信号 HD-CLK 毎に同時に送出する構成になっている。このため、図 4 の印刷制御部 40 から出力される印刷データ信号 HD-DATA3 ~ HD-DATA0 は、クロック信号 HD-CLK と共にドライバ IC 100-1 に入力され、前記の 4992 ドット分のビットデータ DATAI0 ~ DATAI3, . . . が後述する各ドライバ IC 100-1, . . . 内のフリップフロップ回路 (以下「FF」という、) から成るシフトレジスタ中を順次転送される。

30

【0037】

次に、ラッチ信号 HD-LOAD が全ドライバ IC 100-1, . . . に入力され、前記の 4992 ドット分のビットデータ DATAI0 ~ DATAI3, . . . が後述する各ドライバ IC 100-1, . . . 内の各 FF に対応して設けられたラッチ回路にラッチされる。続いて、ビットデータ DATAI0 ~ DATAI3, . . . と印刷駆動信号 HD-STB-N とによって、LED 201, 02, . . . の内、高レベル (以下「Hレベル」という。) であるドットデータ DO1, DO2, . . . に対応するものが点灯される。

40

【0038】

なお、全ドライバ IC 100-1, 100-2, . . . には、電源電圧 VDD、グランド電圧 GND、時分割駆動において奇数番目の LED 駆動であるか偶数番目の LED 駆動であるかの初期状態を設定するための同期信号 HD-HSYNC-N、及び、LED 駆動のための駆動電流値を指令するための基準電圧 VREF がそれぞれ供給される。基準電圧 VREF は、LED ヘッド 13 内に設けられた図示しない基準電圧発生回路により発生さ

50

れる。

【 0 0 3 9 】

(ドライバ I C)

図 6 は、図 5 中のチップ状のドライバ I C 1 0 0 (= 1 0 0 - 1、1 0 0 2、・・・)
における構成を示す平面図である。この図 6 には、1チップ分のドライバ I C 1 0 0 にお
けるの端子パッド部と内部回路の配置状況が示されている。

【 0 0 4 0 】

ドライバ I C 1 0 0 には、端子パッド列 1 0 1、シフトレジスタ及びラッチ回路等の論
理回路列 1 0 2、駆動回路の前段回路 1 0 3、電源配線 1 0 4、駆動回路列 1 0 5、及び
、駆動回路のドットデータ D O 1 ~ D O 9 6 用のパッド列が設けられている。端子パッド
列 1 0 1 は、電源電圧 V D D、ビットデータ D A T A I O ~ D A T A I 3、同期信号 H S
Y N C、ラッチ信号 L O A D、クロック信号 C L K、電源電圧 V D D、グランド電圧 G N
D、基準電圧 V R E F、印刷駆動信号 S T B、ゲート信号 K D R V、ビットデータ D A T
A O 3 ~ D A T A O 0、電源電圧 V D D の各端子パッドを有し、これらが順に配列されて
いる。電源配線 1 0 4 は、駆動回路列 1 0 5 の上層に配置され、端子パッド列 1 0 1 の内
の 3 箇所 に設けられた V D D 端子と接続されている。

【 0 0 4 1 】

(ドライバ I C の全体構成)

図 7 は、図 5 中のドライバ I C 1 0 0 の詳細な構成を示すブロック図である。

【 0 0 4 2 】

このドライバ I C 1 0 0 は、カスケード接続された複数の F F から成るシフトレジスタ
1 0 1 を有している。シフトレジスタ 1 0 1 は、クロック信号 C L K に同期してビットデ
ータ D A T A I 3 ~ D A T A I 0 を取り込んでシフトする回路であり、この出力側に、セ
レクタ 1 0 2、ラッチ回路 1 0 3 及びメモリ回路 1 0 4 が接続されている。セレクタ 1 0
2 は、シフトレジスタ 1 0 1 の出力を選択してビットデータ D A T A O 3 ~ D A T A O 0
を出力する回路である。ラッチ回路 1 0 3 は、ラッチ信号 L O A D によりシフトレジスタ
1 0 1 の出力をラッチする回路である。

【 0 0 4 3 】

メモリ回路 1 0 4 は、各 L E D の光量ばらつき補正のための補正データ (ドット補正デ
ータ) や L E D アレイチップ毎の光量補正データ (チップ補正データ) あるいはドライバ
I C 毎の固有データをそれぞれ格納する回路であり、この出力側に、マルチプレクサ 1 0
5 が接続されている。マルチプレクサ 1 0 5 は、メモリ回路 1 0 4 から出力されているド
ット補正データにおいて、隣接した L E D ドットのうち、奇数番目ドットの補正データと
偶数番目ドット補正データとを切り替える回路であり、この出力側に、L E D を駆動す
るための複数個 (例えば、96 個) の駆動回路 1 1 0 - 1 ~ 1 1 0 - 96 が接続されている
。各駆動回路 1 1 0 - 1 ~ 1 1 0 - 96 は、制御電圧 V が印加され、オン / オフ制御信号
S によりオン状態になると、ラッチ回路 1 0 3 の出力ビットデータ E 及びマルチプレクサ
1 0 5 の出力補正データ Q 3 ~ Q 0 を入力し、L E D を点灯するための出力信号 D O を出
力する回路である。

【 0 0 4 4 】

ドライバ I C 1 0 0 には、制御回路 1 3 0 及び制御電圧発生回路 1 3 1 が設けられてい
る。制御回路 1 3 0 は、電源電圧 V D D、印刷駆動 S T B、同期信号 H S Y N C、及びラ
ッチ信号 L O A D を入力し、印刷駆動信号 S T B 及びラッチ信号 L O A D に基づきオン /
オフ制御信号 S を生成して駆動回路 1 1 0 - 1 ~ 1 1 0 - 96 へ供給する機能と、補正デ
ータをメモリ回路 1 0 4 に対して書き込みする時の書き込み指令信号を発生する機能と、
マルチプレクサ 1 0 5 に対し奇数ドットデータと偶数ドットデータとのデータ切り替え指
令信号を発生する機能等とを有している。制御電圧発生回路 1 3 1 は、基準電圧 V R E F
に基づき、L E D 駆動のための制御電圧 V を発生する回路である。

【 0 0 4 5 】

このドライバ I C 1 0 0 では、クロック信号 C L K により、前記の 4 9 9 2 ドット分の

10

20

30

40

50

ビットデータDATAI0～DATAI3，・・・がシフトレジスタ101中を順次転送される。次に、ラッチ信号LOADにより、前記の4992ビット分のビットデータDATAI0～DATAI3，・・・がラッチ回路103にラッチされる。続いて、ビットデータDATAI0～DATAI3，・・・及び補正データQ3～Q0と印刷駆動信号STBとによって、駆動回路110-1～110-96からドットデータDO1～DO96に対応する駆動電流が出力され、HレベルのドットデータDO1，・・・に対応するLEDが点灯される。

【0046】

(LED駆動回路)

図8は、図7中のLEDの駆動回路110(=110-1～110-96)を示す回路図である。

10

【0047】

素子駆動回路110は、ラッチ回路103からのビットデータEと制御回路130からのオン/オフ制御信号Sとの否定論理和(以下「NOR」という。)を求めるNOR回路111を有している。NOR回路111の出力側には、4個の否定論理積回路(以下「NAND回路」という。)112～115の入力側と、インバータを構成するPチャネルMOSトランジスタ(以下「PMOS」という。)116及びNチャネルMOSトランジスタ(以下「NMOS」という。)117の各ゲートとが接続されている。各NAND回路112～115は、NOR回路111の出力データと、マルチプレクサ105からの補正データとの否定論理和を求める回路である。NOR回路111及びNAND回路112～115において、各電源端子は図示しない電源電圧VDDの端子と接続され、各グランド端子は制御電圧Vの端子と接続されて制御電圧Vcontに保持されている。インバータを構成するPMOS116及びNMOS117は、電源電圧VDDの端子と制御電圧Vの端子との間に直列に接続され、NOR回路111の出力信号を反転して出力するトランジスタである。

20

【0048】

各NAND回路112～115の出力側には、各PMOS118～121のゲートが接続され、更に、PMOS116及びNMOS117のドレインにも、PMOS122のゲートが接続されている。各PMOS118～121のソースは、電源電圧VDDの端子に共通に接続され、ドレインは、ドットデータDO用の駆動電流出力端子に共通に接続されている。この駆動電流出力端子は、後述する薄膜配線等によりLEDのアノードと接続されている。

30

【0049】

後述するように電源電圧VDDと電圧Vcontとの電位差は、PMOS118～122がオンする時のゲート・ソース間電圧に略等しく、この電圧を変化させることでPMOS118～122のドレイン電流を調整することが可能となる。図7の制御電圧発生回路131は、基準電圧Vrefを受けて、PMOS118～122等のドレイン電流が所定値となるように制御電圧Vcontを制御するために設けられている。

【0050】

次に、この駆動回路110の機能を説明する。

40

印刷データであるラッチ回路103からのビットデータEがオン(即ち、低レベル(以下「Lレベル」という。))であり、制御回路130からのオン/オフ制御信号SがLレベルとなって駆動オンを指令している時、NOR回路111の出力はHレベルとなる。この時、マルチプレクサ105からの補正データQ3～Q0に従い、NAND回路112～115の出力信号と、PMOS116及びNMOS117により構成されるインバータの出力とは、電源電圧VDDレベルあるいは制御電圧Vcontレベルとなる。

【0051】

PMOS122は、LEDに主たる駆動電流を供給する主駆動トランジスタであり、PMOS118～121は、LEDの駆動電流をドット毎に調整して光量補正するための補助駆動トランジスタである。主駆動トランジスタのPMOS122は、印刷データに従っ

50

て駆動される。補助駆動トランジスタのPMOS 118～121は、NOR回路111の出力がHレベルである時に、マルチプレクサ105からの補助データQ3～Q0に従って選択的に駆動される。補助データQ3～Q0は、LEDの各ドットの発光ばらつきを補正するためのデータであり、図7中のメモリ回路104に格納されていて、マルチプレクサ105により選択されて供給される。

【0052】

つまり、主駆動トランジスタであるPMOS 122と共に、補正データに従って補助駆動トランジスタであるPMOS 118～121が選択的に駆動され、主駆動トランジスタであるPMOS 122のドレイン電流に、選択された補助駆動トランジスタであるPMOS 118～121の各ドレイン電流が加算された駆動電流が、ドットデータDO用の駆動電流出力端子から出力されてLEDに供給される。

10

【0053】

PMOS 118～121が駆動されている時、NAND回路112～115の出力はLレベル（即ち、略制御電圧Vcontに等しいレベル）にあるので、PMOS 118～121のゲート電位は、略制御電圧Vcontに等しくなる。この時、PMOS 205はオフ状態にあり、NMOS 117はオン状態にあって、PMOS 122のゲート電位も又略制御電圧Vcontに等しくなる。そのため、PMOS 118～122のドレイン電流値を、制御電圧Vcontにより一括して調整することができる。この時、NAND回路112～115は電源電圧VDDと制御電圧Vcontを、それぞれ電源、グランド電位として動作しているので、その入力信号の電位も電源電圧VDDと制御電圧Vcontに即したものであって良く、Lレベルは必ずしも0Vであることを必要としない。

20

【0054】

（駆動トランジスタの構成）

図1(a)、(b)は、本発明の実施例1における図8中の駆動トランジスタであるPMOS 118～122を示す構成図であり、同図(a)は平面図、及び、同図(b)は同図(a)中のA1-A2線断面図である。

【0055】

図1(a)中のX軸は、図6におけるドライバIC 100の長辺方向を示し、これは図5における各ドライバIC 100-1、100-2、・・・の配列方向に等しい。Y軸はX軸と直交する方向であるドライバIC 100の短辺方向を示している。又、図1(a)では、駆動トランジスタであるPMOS 118～122と、ドットデータDO用の駆動電流出力端子とが示されている。

30

【0056】

破線で示されるトランジスタ領域125には、4個のPMOS 118～121と、並列接続された4個のPMOS 122-1～122-4から成る1個のPMOS 122とが形成されている。各PMOS 118～121、122-1～122-4におけるゲート118G～121G、122-1G～122-4Gと、これらのゲートを接続する配線部とは、例えば、N型不純物を含むシリコン基材126上において、ポリシリコンにより形成されている。なお、各ゲート間の接続方法はこれに限定されず、例えば、ポリシリコンからなるゲート同士をメタル配線を用いて接続しても良い。シリコン基材126内において、各ゲート118G～121G、122-1G～122-4Gの両側には、これらのゲートをマスクにして注入されたP型不純物イオンを含むP型ソース領域(S)及びP型ドレイン領域(D)から成るソース及びドレインが形成され、PMOS 118～121、122-1～122-4が構成されている。

40

【0057】

なお、図1では、図示を簡略化するために、ゲート酸化膜、メタル配線、ソース領域、ドレイン領域とのコンタクト部、及びパッシベーション保護膜等が省略されているが、図1(a)におけるソース領域S、及びドレイン領域Dのそれぞれは、図示しないメタル配線を用いて、ソース領域SはVDD端子と、ドレイン領域DはドットデータDO用の駆動電流出力端子とそれぞれ接続されている。

50

【 0 0 5 8 】

又、各ゲート 1 1 8 G , 1 1 9 G , . . . のゲート長 L は同一であるが、ゲート 1 1 8 G のゲート幅 W 0 、ゲート 1 1 9 G のゲート幅 W 1 、ゲート 1 2 0 G のゲート幅 W 2 、及びゲート 1 2 1 G のゲート幅 W 3 は、次のように設定されている。

$$W 1 = 2 * W 0$$

$$W 2 = 4 * W 0$$

$$W 3 = 8 * W 0$$

【 0 0 5 9 】

(L E D プリントヘッド基板ユニット)

図 9 (a) ~ (c) は、図 3 中の L E D プリントヘッド基板ユニットを示す構成図であり、同図 (a) は平面図、同図 (b) はその平面図の一部の拡大図、及び、同図 (c) は同図 (b) に対比するように描かれた断面図である。

10

【 0 0 6 0 】

図 9 (a) において、プリント基板 1 3 b の平面 (即ち、上面) 上には、複数個 (例えば、26 個) のドライバ I C (I C) 1 0 0 (= 1 0 0 - 1 ~ 1 0 0 - 2 6) がそのプリント基板 1 3 b の長辺方向である X 軸に沿って配列されると共に、これらのドライバ I C 1 0 0 に隣接して、複数個 (例えば、26 個) の L E D アレイ (C H P) 2 0 0 (= 2 0 0 - 1 ~ 2 0 0 - 2 6) が X 軸に沿って配列されている。更に、プリント基板 1 3 b の上面上に、L E D プリントヘッド基板ユニットを制御する制御信号端子や電源端子、及びグラウンド端子等を含んだコネクタ 2 2 0 が搭載されている。

20

【 0 0 6 1 】

図 9 (b) において、プリント基板 1 3 b の上面上には、ドライバ I C 2 0 0 - 1 , 2 0 0 - 2 , 2 0 0 - 3 , . . . に隣接して、端子パッド列 1 0 1 が形成され、この端子パッド列 1 0 1 における所要箇所間が配線 2 2 1 により接続されている。

【 0 0 6 2 】

図 9 (c) において、プリント基板 1 3 b の端子パッド列 1 0 1 と各ドライバ I C 1 0 0 - 1 , . . . の制御端子パッドとが、ボンディングワイヤ 2 2 2 により接続され、各ドライバ I C 1 0 0 - 1 , . . . の駆動端子パッドと各 L E D アレイ 2 0 0 - 1 , . . . の図示しないアノードパッドとが、ボンディングワイヤ 2 2 3 により接続され、各 L E D アレイ 2 0 0 - 1 , . . . の図示しないカソードパッドとプリント基板 1 3 b 上の電極パッドとが、ボンディングワイヤ 2 2 4 により接続されている。

30

【 0 0 6 3 】

(駆動トランジスタに応力が加わった場合の特性変化)

図 1 0 (a) 、 (b) は、図 1 、図 8 及び図 9 における駆動トランジスタである P M O S 1 1 8 ~ 1 2 2 に応力が加わった場合の特性変化 (ドレイン電流の変動) を説明するための図であり、同図 (a) は、シリコンウェハ上にドライバ I C 1 0 0 を形成する時のドライバ I C 1 0 0 の配列方向を示す図、及び同図 (b) は、その関係式及びその数値を示す図である。

【 0 0 6 4 】

図 1 0 (a) において、シリコンウェハ 2 3 0 上に、1 個のドライバ I C 1 0 0 が図示されている。ドライバ I C 1 0 0 は、X 軸方向が長辺方向であり、これに直交する Y 軸方向が短辺方向である。下記の式 (1) 、式 (2) 、及び図 1 1 (b) は、参考文献 1 に記載されている関係式及びその数値である。

40

【 0 0 6 5 】

【数 1】

$$\left[\frac{\Delta I_D}{I_D} \right]_0 = \left[\frac{\Delta \mu}{\mu} \right]_0 = \frac{\Pi_S}{2} (\sigma_{11} + \sigma_{22}) + \frac{\Pi_{44}}{2} (\sigma_{11} - \sigma_{22}) \quad (1)$$

$$\left[\frac{\Delta I_D}{I_D} \right]_{90} = \left[\frac{\Delta \mu}{\mu} \right]_{90} = \frac{\Pi_S}{2} (\sigma_{11} + \sigma_{22}) - \frac{\Pi_{44}}{2} (\sigma_{11} - \sigma_{22}) \quad (2)$$

10

【0066】

20

参考文献 1；池田他“チップスタック形マルチチップ実装における MOSFET の移動度の変動について”電子情報通信学会論文誌 C、Vol. J88-C、No. 11、pp 1-8 (11-2005)

【0067】

ここで、式(1)、式(2)における

【0068】

【数 2】

$$\Pi_S, \Pi_{44}$$

30

【0069】

等は、図 11 (b) に記載されるピエゾ抵抗係数、 σ_{11} 、 σ_{22} は図 11 (a) における Y 軸方向、X 軸方向への応力であって、圧縮力の場合には応力 σ は負の値をとる。又、 I_D は PMOS のドレイン電流、式(1)に示される $[\Delta I_D / I_D]_0$ はチャネルに流れるドレイン電流が Y 軸方向と平行な場合の電流変化率、式(2)に示される $[I_D / I_D]_{90}$ はチャネルに流れる電流が X 軸方向と平行な場合の電流変化率である。

【0070】

そこで、 $[I_D / I_D]_{90}$ 、 $[\Delta I_D / I_D]_0$ をあらためて $[\Delta I_D / I_D]_X$ 、 $[\Delta I_D / I_D]_Y$ と記号し、 σ_{11} 、 σ_{22} を σ_Y 、 σ_X と記号して図 11 (b) の数値を代入して整理すると、次式(3)、(4)を得る。

40

【0071】

【数 3】

$$\left[\frac{\Delta I_D}{I_D} \right]_X = (-717.5\sigma_X + 662.5\sigma_Y) \times 10^{-12} [1/Pa] \quad (3)$$

$$\left[\frac{\Delta I_D}{I_D} \right]_Y = (662.5\sigma_X - 717.5\sigma_Y) \times 10^{-12} [1/Pa] \quad (4)$$

10

【0072】

一般に、物体が引張力又は圧縮力を受けると、力の方向には伸び又は縮むが、それと直交する方向には逆に縮み又は伸びる。ここで、例えば、直径 d 、長さ L の丸棒を考え、その軸方向に力 P で引張ったとしよう。この時、丸棒は力の方向に L だけ伸びるが、その断面方向には最初の直径 d よりも縮んで直径 d' となる。力の方向へのひずみ ε は、

20

$$\varepsilon = L / L$$

であるが、力と直交する方向のひずみ ε' は、

$$\varepsilon' = (d - d') / d$$

である。力の方向のひずみ ε と、力と直交する方向のひずみ ε' との比は、物質により定まる定数であって、ポアソン比 ν と呼ばれ、

【0073】

【数 4】

30

$$\nu = | \varepsilon / \varepsilon' |$$

【0074】

で表される。 ε と ε' とは、いずれか一方が伸びると他方は縮むことになるので、 ε と ε' の比はマイナスの値となり、材料力学的な考察から、ポアソン比 ν の数値は絶対値で 0.5 以下となることが知られている。ここで、 σ と ε の間には、

$$\sigma = E \varepsilon$$

の関係があり、 E はヤング率とよばれ、図 11 (a) の X 軸方向、Y 軸方向について、

40

$$E = 170 [GPa]$$

であることが知られている。

【0075】

今、シリコンのポアソン比を 0.066 とし、応力の符号も考慮すると、次式 (5) が得られる。

【0076】

【数 5】

$$\sigma_Y = -\nu\sigma_X = -0.066\sigma_X \quad (5)$$

【0077】

これを式(3)、(4)に代入して整理することで、次式(6)、(7)を得る。

【0078】

【数 6】

10

$$\left[\frac{\Delta I_D}{I_D} \right]_X = -761.2\sigma_X \times 10^{-12} [1/Pa] \quad (6)$$

$$\left[\frac{\Delta I_D}{I_D} \right]_Y = 709.9\sigma_X \times 10^{-12} [1/Pa] \quad (7)$$

20

【0079】

なお、シリコン材料のポアソン比の値として0.28とする実験値も知られているが、この場合でも以下の議論の結果には大差がない。

30

【0080】

式(6)、(7)として記された $[I_D/I_D]_X$ 、 $[\Delta I_D/I_D]_Y$ の両式に現れる符号の違い、圧縮時には応力 σ が負の値となることに注意すると、X軸方向へ圧縮力を加えた場合に、PMOSのチャネルをX軸方向となるように配置する場合には、 $[I_D/I_D]_X$ の値はプラスとなってドレイン電流が増加するのに対して、PMOSのチャネルをY軸方向となるように配置する場合には、 $[\Delta I_D/I_D]_Y$ の値はマイナスとなってドレイン電流が減少することが判る。又、式(6)、(7)の比を計算すると、次式(8)が得られ、PMOSのチャネルをX軸方向とする場合と比べY軸方向に配置することで、ドレイン電流の変化率は約0.93倍、即ち7%小さくできることが判る。

40

【0081】

【数 7】

$$\frac{\left[\frac{\Delta I_D}{I_D} \right]_Y}{\left[\frac{\Delta I_D}{I_D} \right]_X} = -\frac{709.9}{761.2} = -0.933 \quad (8)$$

10

【0082】

そこで、本実施例 1 の図 1、図 8、図 9 に示す LED プリントヘッド 13 では、ドライバ IC 100 (= 100 - 1 ~ 100 - 26) において、図 1 (a) に示すように、各ドットデータ DO 用の駆動電流出力端子にそれぞれ接続される駆動トランジスタである PMOS 118 ~ 122 のゲート 118 G ~ 121 G, 122 - 1 G ~ 122 - 4 G を、LED アレイ 200 (= 200 - 1 ~ 200 - 26) の配列方向と等しい X 軸方向に配置している。そのため、印刷データであるビットデータが、PMOS 118 ~ 122 のゲート 118 G ~ 121 G, 122 - 1 G ~ 122 - 4 G に印加され、そのビットデータの L レベルにより PMOS 118 ~ 122 がオン状態になると、X 軸方向と直交する Y 軸方向に配列されたソース・ドレイン間に、ドレイン電流が Y 軸方向に流れ、ドットデータ DO 用の駆動電流出力端子から駆動電流が出力されて LED が駆動される。

20

【0083】

LED プリントヘッド 13 は、図 9 に示すように、それを構成する複数個のチップ状のドライバ IC 100 (= 100 - 1 ~ 100 - 26) 及びチップ状の LED アレイ 200 (= 200 - 1 ~ 200 - 26) とプリント基板 13 b とを、熱硬化樹脂を用いて高温雰囲気中で固着して製造される。そのため、前記キュア条件に近い温度においては固着時の自然状態となって応力ゼロとなるものの、室温環境に戻した後はプリント基板 13 b の側が X 軸方向により大きく収縮する結果、各ドライバ IC 100 にはその配列方向である X 軸方向に収縮応力が働く。収縮応力はチップ状の各ドライバ IC 100 毎に作用し、特に、チップ両端部に比べて中心付近に最大応力が作用するため、チップ両端部に比べて中心付近においてドレイン電流の変動 (即ち、増加) が大きくなる。

30

【0084】

そこで、本実施例 1 では、この対策として、PMOS 118 ~ 122 のゲート 118 G ~ 121 G, 122 - 1 G ~ 122 - 4 G を X 軸方向に並列に配置してチャネルが Y 軸方向となるように配置し、ドレイン電流を Y 軸方向に流すことにより、ドレイン電流を減少させている。これにより、各ドライバ IC 100 においてチップ両端部と中央付近との間において生じるドレイン電流 (即ち、駆動電流) のばらつきを抑制し、印刷濃度むらをなくしている。

40

【0085】

(LED プリントヘッドの測定結果)

図 11 - 1 (a) ~ (d) 及び図 11 - 2 (a) ~ (d) は、従来の構成である比較例と本実施例 1 の LED プリントヘッドにおける測定結果を示す図であり、図 11 - 1 (a) ~ (d) は、比較例の LED プリントヘッドにおいてドット毎の駆動電流を周囲温度を変えて測定した結果を模式的に示す図、図 11 - 2 (a) ~ (d) は、本実施例 1 にお

50

る図 9 及び図 10 の構成を備える LED プリントヘッド 13 においてドット毎の駆動電流を周囲温度を変えて測定した結果を模式的に示す図である。

【0086】

図 11 - 1 (a) は、比較例の LED プリントヘッドのブロック図である。この比較例では、例えば、図 1 において、駆動トランジスタである PMOS 118 ~ 122 のゲート 118G ~ 121G, 122 - 1G ~ 122 - 4G が、LED アレイ 200 (= 200 - 1 ~ 200 - 26) の配列方向 (X 軸方向) に対して直交する Y 軸方向に配置されている。これに対し、図 12 - 2 (a) は、本実施例 1 の図 9 (a) に対応する LED プリントヘッド 13 のブロック図である。

【0087】

図 11 - 1 (b) 及び図 11 - 2 (b) は、LED プリントヘッドの雰囲気温度を 100 とする高温状態での各駆動電流値を示すグラフである。同様に、図 11 - 1 (c) 及び図 11 - 2 (c) は、LED プリントヘッドの雰囲気温度を 25 とする室温状態での各駆動電流値を示すグラフ、図 11 - 1 (d) 及び図 11 - 2 (d) は、LED プリントヘッドの雰囲気温度を -20 とする低温状態での各駆動電流値を示すグラフである。

【0088】

なお、図 11 - 1 (b) ~ (d) 及び図 11 - 2 は、図 11 - 1 (a) 及び図 11 - 2 (a) のブロック図と対比するように描かれており、チップ状の各ドライバ IC 100 の境目を破線を付して表示している。

【0089】

比較例の図 11 - 1 (b)、実施例 1 の図 11 - 2 (b) においては、僅かな電流ばらつきを生じているものの、各駆動トランジスタの駆動出力が一様で、略平坦な駆動出力特性を示しているのに対し、比較例の図 11 - 1 (c)、実施例 1 の図 11 - 2 (c) においては、非常に僅かながら波打った特性グラフが現れ出している。比較例の図 11 - 1 (d) においては、各ドライバ IC 100 の中心部付近での駆動電流が大きく上昇して、突形状を成した特性を示している。これに対し、実施例 1 の図 11 - 2 (d) においては、各ドライバ IC 100 の中心部付近での駆動電流が僅かに低下して、ドライバ IC 両端部での駆動電流が僅かに大きく、僅かながら凹形状を成した特性を示している。

【0090】

比較例の図 12 - 1 と実施例 1 の図 11 - 2 とを比較して明らかなように、比較例による低温雰囲気中での駆動電流分布は、ドライバ IC 端部と比べて中心部のそれが大きい凸形状であったのに対して、実施例 1 においてはドライバ IC 端部と比べて中心部のそれが小さい凹形状であって、ドライバ IC 端部とドライバ IC 中心部との駆動電流の差が小さくなっていて、各ドライバ IC 100 内での駆動電流のばらつきが改善された特性となっており、前述した図 10 での試算結果をよく反映したものとなっている。

【0091】

(実施例 1 の効果)

温度変化によってドライバ IC 100 における駆動電流にばらつきが生じると、ドライバ IC 100 により駆動される LED の光量むらを生じ、それを用いる画像形成装置の印刷結果に濃度むらとなって現れ、印刷品位を著しく低下させることとなって好ましくない。それに加えて、LED プリントヘッド 13 においては、各 LED の製造ばらつきに起因して発光効率がばらつくため、これを LED プリントヘッド 13 の製造段階で補正するための光量補正機能を備えるのが通例である。

【0092】

ところが、前述したような温度による収縮応力は温度によって変動し、LED プリントヘッド 13 が比較的高温の環境にある場合には軽減されるものの、温度低下すると著しく増大してしまう。この結果、比較例の LED プリントヘッドにおいては、光量補正を行ったのと等しい温度においては光量むらを生じないものの、特に低温雰囲気中においては駆動電流の分布がドライバ IC 端部と比べて中心部のそれが大きい凸形状となるのを反映して、ドライバ IC 端部付近の印刷濃度が濃くなってしまい、前述した光量補正機能を備え

10

20

30

40

50

るLEDプリントヘッドをもってしても印刷濃度むらをなくすることが困難であった。

【0093】

そこで、本実施例1の駆動回路110及びLEDプリントヘッド13によれば、駆動トランジスタであるPMOS118～122のゲート118G～121G、122-1G～122-4GをX軸方向に並列に配置してチャンネルがY軸方向となるように配置し、ドレイン電流をY軸方向に流す構成にしている。そのため、低温雰囲気中であってもドライバIC端部と比べて中心部のそれが僅かに小さい凹形状であって、ドライバIC端部とドライバIC中心部との駆動電流の差が比較例のものより小さくなって、ドライバIC内での駆動電流のばらつきが改善された特性を得ることができる。

【0094】

しかも、本実施例1の画像形成装置1では、前記LEDプリントヘッド13を用いているので、印刷濃度のむらを解消できて印刷品位を向上できる。従って、スペース効率及び光取り出し効率に優れた高品位の画像形成装置（プリンタ、コピー機等）を提供することができる。即ち、前記LEDプリントヘッド13を用いることにより、上記説明したフルカラーの画像形成装置1に限らず、モノクロ、マルチカラーの画像形成装置においても効果が得られるが、特に露光装置を数多く必要とするフルカラーの画像形成装置1において一層大きな効果が得られる。

【実施例2】

【0095】

本発明の実施例2は、実施例1を示す図1の駆動トランジスタに代えて、これとは構成の異なる図12の駆動トランジスタを設けている。その他の構成は実施例1と同様であるので、以下、実施例1とは構成の異なる駆動トランジスタのみを説明する。

【0096】

（駆動トランジスタの構成）

図12は、図8中の駆動トランジスタであるPMOS118～122の平面図を示す本発明の実施例2の構成図であり、実施例1の駆動トランジスタの平面図を示す図1(a)中の要素と共通の要素には共通の符号が付されている。

【0097】

本実施例3の図12中のX軸は、実施例1の図1と同様に、図6におけるドライバIC100の長辺方向を示し、これは図5における各ドライバIC100-1、100-2、・・・の配列方向に等しい。Y軸はX軸と直交する方向であるドライバIC100の短辺方向を示している。図13では、実施例1の図1(a)と同様に、駆動トランジスタであるPMOS118～122と、ドットデータDO用の駆動電流出力端子とが示されている。

【0098】

破線で示される2つのトランジスタ領域125-1、125-2には、補助駆動トランジスタである4個のPMOS118～121と、主駆動トランジスタである並列接続された5個のPMOS122-1～122-5から成る1個のPMOS122とが形成されている。各PMOS118～121、122-1～122-5におけるゲート118G～121G、122-1G～122-5Gと、これらのゲートを接続する配線部とは、例えば、実施例1の図1(b)に示されるように、N型不純物を含むシリコン基材126上において、ポリシリコンにより形成されている。配線部の形成材料は、ポリシリコンに限定されず、メタル等の他の形成材料を用いても良い。シリコン基材126内において、各ゲート118G～121G、122-1G～122-5Gの両側には、これらのゲートをマスクにして注入されたP型不純物イオンを含むP型ソース領域(S)及びP型ドレイン領域(D)から成るソース及びドレインが形成され、PMOS118～121、122-1～122-5が構成されている。

【0099】

本実施例2では、実施例1と同様の平面形状の4個のゲート118G、119G、120G、121Gと、実施例1とは異なる平面形状の5個のゲート122-1G～122-

10

20

30

40

50

5 Gとを有している。5個のゲート122 - 1 G ~ 122 - 5 Gの内、4個のゲート122 - 1 G ~ 122 - 4 Gは、実施例1のものとはゲート幅が異なるが、実施例1と同様にX軸方向に対して所定間隔にて平行に延設されて第1のゲート部を構成している。残る1個のゲート122 - 5 Gは、LEDアレイ200の配列方向とは異なる向き（例えば、ゲート122 - 4 Gに対して略直交するY軸方向）に、ゲート122 - 4 Gの一端から延設されて第2のゲート部を構成している。第1のゲート部の一部を構成するゲート122 - 4 Gと、第2のゲート部を構成するゲート122 - 5 Gとは、同じ半導体層に形成された一体化ゲート部を構成し、この一体化ゲート部が略L字状の形状をしている。

【0100】

なお、図12では、実施例1の図1(a)と同様に、図示を簡略化するために、ゲート酸化膜、メタル配線、ソース領域、ドレイン領域とのコンタクト部、及びパッシベーション保護膜等が省略されているが、実施例1と同様に、ソース領域S、及びドレイン領域Dのそれぞれは、図示しないメタル配線を用いて、ソース領域SはVDD端子と、ドレイン領域DはドットデータDO用の駆動電流出力端子とそれぞれ接続されている。

【0101】

又、実施例1と同様に、各ゲート118 G, 119 G, ...のゲート長Lは同一であるが、ゲート118 Gのゲート幅W0、ゲート119 Gのゲート幅W1、ゲート120 Gのゲート幅W2、及びゲート121 Gのゲート幅W3は、次のように設定されている。

$$W1 = 2 * W0$$

$$W2 = 4 * W0$$

$$W3 = 8 * W0$$

【0102】

以上のような駆動トランジスタを有する図7の駆動回路110を備えた図4のLEDプリントヘッド13は、実施例1と略同様の動作を行う。しかし、本実施例2のLEDプリントヘッド13では、実施例1のものと作用が異なるので、以下、本実施例2におけるLEDプリントヘッド13の測定結果を説明する。

【0103】

(LEDプリントヘッドの測定結果)

図13(a) ~ (d)は、本発明の実施例2のLEDプリントヘッドにおいて低温雰囲気中(約20℃)におけるドット毎の駆動電流の測定結果を模式的に示す図であり、実施例1を示す図11-2(a) ~ (d)中の要素と共通の要素には共通の符号が付されている。

【0104】

図13(a)は、本実施例2の図10(a)に対応するLEDプリントヘッド13のブロック図であり、複数個のドライバIC(IC)100(=100-1~100-26)と複数個のLEDアレイ(CHP)200(=200-1~200-26)とが対向して配置されている。

【0105】

図13(b)は、LEDプリントヘッド13の低温雰囲気中における各駆動電流値を示すグラフであって、図12におけるPMOS118~121, 122(122-1~122-5)の内、ゲート122-1 G~122-4 Gによって構成されるPMOS122-1~122-4のドレイン電流成分の合計を示している。なお、図13(b), (c), (d)は、図13(a)のブロック図と対比するように描かれており、各ドライバIC100の境目を破線を付して表示している。

【0106】

図13(b)においては、各ドライバIC100(100-1~100-26)の中心部付近での駆動電流が僅かに低下して、各ドライバIC両端部での駆動電流が僅かに大きく、僅かながら凹形状を成した特性を示している。

【0107】

図13(c)も同様に、LEDプリントヘッド13の低温雰囲気中における各駆動電流

値を示すグラフであって、図 13 における PMOS 118 ~ 121, 122 (122 - 1 ~ 122 - 5) の内、ゲート 122 - 5 G によって構成される PMOS 122 - 5 のドレイン電流成分を示している。

【0108】

図 13 (c) においては、各ドライバ IC 200 の中心部付近での駆動電流が大きく、各ドライバ IC 両端部での駆動電流が小さくなって、僅かながら凸形状を成した特性を示している。これは以下のように解釈することができる。

【0109】

即ち、図 12 を用いて説明したように、PMOS 118 ~ 121, 122 (122 - 1 ~ 122 - 5) の内、ゲート 122 - 1 G ~ 122 - 4 G によって構成される PMOS 122 - 1 ~ 122 - 4 においては、図 10 に示したように、そのドレイン電流の流れる方向が Y 軸方向にあって、LED プリントヘッド 13 が低温雰囲気中に置かれた時にプリント基板 13 b から受ける熱応力の方向 (X) と直交する方向にある。このため、図 11 を用いて説明したように、その電流変化率は、式 (7) で記述されるようにプラス係数を持ち、応力 σ_x は圧縮力時にマイナスの値であることに注意すると、低温雰囲気中でのドライバ IC 100 のドット電流の分布はドライバ IC 中心部のそれがやや低下した凹形状のものとなる。これは図 13 (b) のグラフと略等しい。

【0110】

又、図 12 における PMOS 118 ~ 121, 122 (122 - 1 ~ 122 - 5) の内、ゲート 122 - 5 G によって構成される PMOS 122 - 5 においては、図 11 に示したように、そのドレイン電流の流れる方向が X 軸方向にあって、LED プリントヘッド 13 が低温雰囲気中に置かれた時にプリント基板 13 b から受ける熱応力の方向 (X) と平行な方向にある。このため、図 10 を用いて説明したように、その電流変化率は式 (6) で記述されるようにマイナスの係数を持ち、応力 σ_x は圧縮力時にマイナスの値であることに注意すると、応力による電流の変化率はプラスの値となって低温雰囲気中でのドライバ IC 100 のドット電流の分布はドライバ IC 中心部のそれがやや高い凸形状のものとなる。これは図 13 (c) のグラフと略等しい。

【0111】

図 13 (d) は、前述した PMOS 118 ~ 121, 122 (122 - 1 ~ 122 - 5) の内、ゲート 122 - 1 G ~ 122 - 5 G からの駆動電流の総計を示しており、図 13 (b)、(c) で示される各ドット電流を合算したしたものに対応している。

【0112】

図 13 (c) においては、各ドライバ IC 100 の中心部付近での駆動電流が僅かに低下して、各ドライバ IC 両端部での駆動電流が僅かに大きく、僅かながら凹形状を成した特性を示しており、図 13 (d) においては各ドライバ IC 100 の中心部付近での駆動電流が僅かに大きく、各ドライバ IC 両端部での駆動電流が僅かに小さく、僅かながら凸形状を成した特性を示しているため、前記両者を合算した図 13 (d) の特性においては、各 K ドライバ IC 中心部と端部付近での電流値が略等しく、平坦な特性が得られる。

【0113】

本実施例 2 の図 13 と比較例の図 11 - 1 とを比較して明らかなように、本実施例 2 の構成とすることで、ドライバ IC 100 内での駆動電流のばらつきが改善された特性となつて、本構成の LED を備えた画像形成装置 1 においては良好な印刷品位を得ることができる。

【0114】

(実施例 2 の効果)

本実施例 2 における図 7 中の駆動回路 110 及びこれを用いた図 4 中の LED プリントヘッド 13 によれば、低温雰囲気中であっても各ドライバ IC 端部と各ドライバ IC 中心部との駆動電流の差が比較例のものより小さくなり、ドライバ IC 内での駆動電流のばらつきを改善することができる。従って、実施例 1 と略同様に、印刷濃度のむらを解消できて、印刷品位に優れた画像形成装置 1 を実現できる。

【 0 1 1 5 】

(実施例 2 の駆動トランジスタの変形例)

図 1 4 は、実施例 2 における図 1 2 の駆動トランジスタの構成の変形例を示す平面図であり、図 1 2 中の要素と共通の要素には共通の符号が付されている。

【 0 1 1 6 】

図 1 4 では、図 1 2 と同様に、駆動トランジスタである P M O S 1 1 8 ~ 1 2 2 と、ドットデータ D O 用の駆動電流出力端子とが示されている。

【 0 1 1 7 】

破線で示される 3 つのトランジスタ領域 1 2 5 - 1 ~ 1 2 5 - 3 には、補助駆動トランジスタである 4 個の P M O S 1 1 8 ~ 1 2 1 と、主駆動トランジスタである並列接続された 3 個の P M O S 1 2 2 - 1 ~ 1 2 2 - 3 及び並列接続された 3 個の P M O S 1 2 2 - 4 ~ 1 2 2 - 6 から成る 1 個の P M O S 1 2 2 とが形成されている。各 P M O S 1 1 8 ~ 1 2 1 , 1 2 2 - 1 ~ 1 2 2 - 6 におけるゲート 1 1 8 G ~ 1 2 1 G , 1 2 2 - 1 G ~ 1 2 2 - 6 G と、これらのゲートを接続する配線部とは、例えば、実施例 1 の図 1 (b) に示されるように、N 型不純物を含むシリコン基材 1 2 6 上において、ポリシリコンにより形成されている。配線部の形成材料は、ポリシリコンに限定されず、メタル等の他の形成材料を用いても良い。シリコン基材 1 2 6 内において、各ゲート 1 1 8 G ~ 1 2 1 G , 1 2 2 - 1 G ~ 1 2 2 - 6 G の両側には、これらのゲートをマスクにして注入された P 型不純物イオンを含む P 型ソース領域 (S) 及び P 型ドレイン領域 (D) から成るソース及びドレインが形成され、P M O S 1 1 8 ~ 1 2 1 , 1 2 2 - 1 ~ 1 2 2 - 6 が構成されている。

10

20

【 0 1 1 8 】

本変形例では、実施例 2 と同様の平面形状の 4 個のゲート 1 1 8 G , 1 1 9 G , 1 2 0 G , 1 2 1 G と、実施例 2 とは異なる平面形状の 6 個のゲート 1 2 2 - 1 G ~ 1 2 2 - 6 G とを有している。6 個のゲート 1 2 2 - 1 G ~ 1 2 2 - 6 G の内、4 個のゲート 1 2 2 - 1 G ~ 1 2 2 - 4 G は、実施例 2 のものとはゲート幅が異なるが、実施例 2 と同様に X 軸方向に対して所定間隔にて平行に延設されて第 1 のゲート部を構成している。残る 2 個のゲート 1 2 2 - 5 G , 1 2 2 - 6 G は、L E D アレイ 2 0 0 の配列方向とは異なる向き (例えば、ゲート 1 2 2 - 4 G に対して略直交する Y 軸方向) に、ゲート 1 2 2 - 4 G の両端から延設されて第 2 のゲート部を構成している。第 1 のゲート部の一部を構成するゲート 1 2 2 - 4 G と、第 2 のゲート部を構成するゲート 1 2 2 - 5 G , 1 2 2 - 6 G とは、同じ半導体層に形成された一体化ゲート部を構成し、この一体化ゲート部が略 U 字状の形状をしている。

30

【 0 1 1 9 】

なお、図 1 4 では、実施例 2 と同様に、図示を簡略化するために、ゲート酸化膜、メタル配線、ソース領域、ドレイン領域とのコンタクト部、及びパッシベーション保護膜等が省略されているが、実施例 2 と同様に、ソース領域 S、及びドレイン領域 D のそれぞれは、図示しないメタル配線を用いて、ソース領域 S は V D D 端子と、ドレイン領域 D はドットデータ D O 用の駆動電流出力端子とそれぞれ接続されている。

【 0 1 2 0 】

又、実施例 2 と同様に、各ゲート 1 1 8 G , 1 1 9 G , . . . のゲート長 L は同一であるが、ゲート 1 1 8 G のゲート幅 W 0、ゲート 1 1 9 G のゲート幅 W 1、ゲート 1 2 0 G のゲート幅 W 2、及びゲート 1 2 1 G のゲート幅 W 3 は、次のように設定されている。

40

$$W 1 = 2 * W 0$$

$$W 2 = 4 * W 0$$

$$W 3 = 8 * W 0$$

【 0 1 2 1 】

以上のような構成の駆動トランジスタは、実施例 2 と略同様の作用効果を奏する。

【 実施例 3 】

【 0 1 2 2 】

50

本発明の実施例 3 は、実施例 1 を示す図 9 の駆動トランジスタに代えて、これとは構成の異なる図 15 の駆動トランジスタを設けている。その他の構成は実施例 1 と同様であるので、以下、実施例 1 とは構成の異なる駆動トランジスタのみを説明する。

【0123】

(駆動トランジスタの構成)

図 15 は、図 8 中の駆動トランジスタである PMOS 118 ~ 122 の平面図を示す本発明の実施例 3 の構成図であり、実施例 1 の駆動トランジスタの平面図を示す図 1 (a) 中の要素と共通の要素には共通の符号が付されている。

【0124】

本実施例 3 の図 15 中の X 軸は、実施例 1 の図 9 と同様に、図 6 におけるドライバ IC 100 の長辺方向を示し、これは図 5 における各ドライバ IC 100 - 1、100 - 2、
・・・の配列方向に等しい。Y 軸は X 軸と直交する方向であるドライバ IC 100 の短辺方向を示している。図 15 では、実施例 1 の図 9 (a) と同様に、駆動トランジスタである PMOS 118 ~ 122 と、ドットデータ DO 用の駆動電流出力端子とが示されている。

10

【0125】

破線で示される 2 つのトランジスタ領域 125 - 1、125 - 2 には、補助駆動トランジスタである 4 個の PMOS 118 ~ 121 と、主駆動トランジスタである 2 4 個の PMOS から成る 1 個の PMOS 122 とが形成されている。各 PMOS 118 ~ 121、
・・・におけるゲート 118 G ~ 121 G、122 - 1 G ~ 122 - 8 G と、これらのゲート
を接続する配線部とは、例えば、実施例 1 の図 9 (b) に示されるように、N 型不純物を含むシリコン基材 126 上において、ポリシリコンにより形成されている。配線部の形成材料は、ポリシリコンに限定されず、メタル等の他の形成材料を用いても良い。シリコン基材 126 内において、各ゲート 118 G ~ 121 G、122 - 1 G ~ 122 - 8 G の
両側には、これらのゲートをマスクにして注入された P 型不純物イオンを含む P 型ソース領域 (S) 及び P 型ドレイン領域 (D) から成るソース及びドレインが形成され、PMOS 118 ~ 121、
・・・が構成されている。

20

【0126】

本実施例 3 では、実施例 1 と同様の平面形状の 4 個のゲート 118 G、119 G、120 G、121 G と、実施例 1 とは異なる平面形状の 8 個のゲート 122 - 1 G ~ 122 - 8 G とを有している。8 個のゲート 122 - 1 G ~ 122 - 8 G の内、4 個のゲート 122 - 1 G ~ 122 - 4 G は、実施例 1 のものと略同様のゲート幅を有し、実施例 1 と同様に X 軸方向に対して所定間隔にて平行に延設されて第 1 のゲート部を構成している。残る 4 個のゲート 122 - 5 G ~ 122 - 8 G は、LED アレイ 200 の配列方向とは異なる向き (例えば、ゲート 122 - 1 G ~ 122 - 4 G に対して略直交する Y 軸方向) に対して所定間隔にて平行に延設されて第 2 のゲート部を構成している。第 1 のゲート部を構成するゲート 122 - 1 G ~ 122 - 4 G と、第 2 のゲート部を構成するゲート 122 - 5 G ~ 122 - 8 G とは、同じ半導体層に形成された一体化ゲート部を構成している。この一体化ゲート部は、第 1 のゲート部と第 2 のゲート部とにより例えば「口」の字状に囲まれる閉領域を有している。又、この閉領域は、第 1 のゲート部、あるいは、第 2 のゲート部により分離された複数の領域 (例えば、「田」、「日」、「目」の字状等) から形成されている。

30

40

【0127】

なお、図 15 では、実施例 1 の図 9 (a) と同様に、図示を簡略化するために、ゲート酸化膜、メタル配線、ソース領域、ドレイン領域とのコンタクト部、及びパッシベーション保護膜等が省略されているが、実施例 1 と同様に、ソース領域 S、及びドレイン領域 D のそれぞれは、図示しないメタル配線を用いて、ソース領域 S は VDD 端子と、ドレイン領域 D はドットデータ DO 用の駆動電流出力端子とそれぞれ接続されている。

【0128】

又、実施例 1 と同様に、各ゲート 118 G、119 G、・・・のゲート長 L は同一であ

50

るが、ゲート 118 G のゲート幅 W_0 、ゲート 119 G のゲート幅 W_1 、ゲート 120 G のゲート幅 W_2 、及びゲート 121 G のゲート幅 W_3 は、次のように設定されている。

$$W_1 = 2 * W_0$$

$$W_2 = 4 * W_0$$

$$W_3 = 8 * W_0$$

【0129】

以上のような駆動トランジスタを有する図 8 の駆動回路 110 を備えた図 4 の LED プリントヘッド 13 は、実施例 1 と略同様の動作を行う。しかし、本実施例 3 の LED プリントヘッド 13 では、実施例 1 のものと作用が異なるので、以下、本実施例 3 における LED プリントヘッド 13 の測定結果を説明する。

10

【0130】

(LED プリントヘッドの測定結果)

図 16 (a) ~ (d) は、本発明の実施例 3 の LED プリントヘッドにおいて低温雰囲気中 (約 -20) におけるドット毎の駆動電流の測定結果を模式的に示す図であり、実施例 1 を示す図 11 - 2 (a) ~ (d) 中の要素と共通の要素には共通の符号が付されている。

【0131】

図 16 (a) は、本実施例 3 の図 9 (a) に対応する LED プリントヘッド 13 のブロック図であり、複数個のドライバ IC 100 (= 100 - 1 ~ 100 - 26) と複数個の LED アレイ 200 (= 200 - 1 ~ 200 - 26) とが対向して配置されている。

20

【0132】

図 16 (b) は、LED プリントヘッド 13 の低温雰囲気中における各駆動電流値を示すグラフであって、図 15 における PMOS 118, 119, ... の内、ゲート 122 - 1 G ~ 122 - 4 G 等のように X 軸に平行にゲートが配置された PMOS のドレイン電流成分の合計を示している、なお、図 16 (b)、(c)、(d) は、図 16 (a) のブロック図と対比するように描かれており、各ドライバ IC 100 (= 100 - 1 ~ 100 - 26) の境目を破線を付して表示している。

【0133】

図 16 (b) においては、各ドライバ IC 100 の中心部付近での駆動電流が僅かに低下して、各ドライバ IC 両端部での駆動電流が僅かに大きく、僅かながら凹形状を成した特性を示している。

30

【0134】

図 16 (c) も同様に、LED プリントヘッド 13 の低温雰囲気中における各駆動電流値を示すグラフであって、図 16 における PMOS のうち、ゲート 122 - 5 G ~ 122 - 8 G 等の Y 軸に平行にゲートが配置された PMOS のドレイン電流成分を示している。

【0135】

図 16 (c) においては、各ドライバ IC 100 の中心部付近での駆動電流が大きく、各ドライバ IC 両端部での駆動電流が小さくなって、僅かながら凸形状を成した特性を示している。これは以下のように解釈することができる。

【0136】

40

即ち、図 10 を用いて説明したように、図 15 における PMOS の内、ゲート 122 - 1 G ~ 122 - 4 G 等によって構成される PMOS においては、図 10 に示したように、そのドレイン電流の流れる方向が Y 軸方向にあって、LED プリントヘッド 13 が低温雰囲気中に置かれた時にプリント基板 13 b から受ける熱応力の方向 (X) と直交する方向にある。このため、図 10 を用いて説明したように、その電流変化率は、式 (7) で記述されるようにプラス係数を持ち、応力 σ_x は圧縮力時にマイナスの値であることに注意すると、低温雰囲気中でのドライバ IC 100 のドット電流の分布はドライバ IC 中心部のそれがやや低下した凹形状のものとなる。これは図 13 (b) のグラフと略等しい。

【0137】

又、図 15 における PMOS の内、ゲート 122 - 5 G ~ 122 - 8 G 等によって構成

50

されるPMOSにおいては、図10に示したように、そのドレイン電流の流れる方向がX軸方向にあって、LEDプリントヘッド13が低温雰囲気中に置かれた時に、プリント基板13bから受ける熱応力の方向(X)と平行な方向にある。このため、図10を用いて説明したように、その電流変化率は式(6)で記述されるようにマイナスの係数を持ち、応力 σ_x は圧縮力時にマイナスの値であることに注意すると、応力による電流の変化率はプラスの値となって低温雰囲気中でのドライバIC100のドット電流の分布は、ドライバIC中心部のそれがやや高い凸形状のものとなる。これは図13(c)のグラフと略等しい。

【0138】

図16(d)は、前述したPMOSの内、ゲート部122-1G~122-8Gからの駆動電流の総計を示しており、図16(b)、(c)で示される各ドット電流を合算したものに对应している。

10

【0139】

図16(c)においては、各ドライバIC100の中心部付近での駆動電流が僅かに低下して、各ドライバIC両端部での駆動電流が僅かに大きく、僅かながら凹形状を成した特性を示しており、図16(d)においては、各ドライバIC100の中心部付近での駆動電流が僅かに大きく、各ドライバIC両端部での駆動電流が僅かに小さく、僅かながら凸形状を成した特性を示しているため、前記両者を合算した図16(d)の特性においては、ドライバIC中心部と端部付近での電流値が略等しく、平坦な特性が得られることになる。

20

【0140】

このように、実施例3の構成とすることで、各ドライバIC端部と各ドライバIC中心部との駆動電流の差が小さくなり、ドライバIC100内での駆動電流のばらつきが改善された特性となって、本構成をLEDを備えた画像形成装置1においては濃度むらのない良好な印刷品位を得ることができる。

【0141】

(実施例3の効果)の説明

本実施例3における図7中の駆動回路110及びこれを用いた図4中のLEDプリントヘッド13によれば、低温雰囲気中であっても各ドライバIC端部と各ドライバIC中心部との駆動電流の差が比較例のものより小さくなり、ドライバIC内での駆動電流のばらつきを改善することができる。従って、実施例1と略同様に、印刷濃度のむらを解消できて、印刷品位に優れた画像形成装置1を実現できる。

30

【実施例4】

【0142】

本発明の実施例4は、実施例1を示す図9の駆動トランジスタと同様の構成の図18の駆動トランジスタを設けている。その他の構成は実施例1と同様であるので、以下、実施例1と異なる構成みを説明する。

【0143】

(駆動トランジスタの構成)

図17は、図8中の駆動トランジスタであるPMOS118~122の平面図を示す本発明の実施例4の構成図であり、実施例1の駆動トランジスタの平面図を示す図1(a)中の要素と共通の要素には共通の符号が付されている。

40

【0144】

本実施例4の図17中のX軸は、実施例1の図1と同様に、図6におけるドライバIC100の長辺方向を示し、これは図5における各ドライバIC100-1, 100-2, ...の配列方向に等しい。Y軸はX軸と直交する方向であるドライバIC100の短辺方向を示している。図17では、実施例1の図1(a)と同様に、駆動トランジスタであるPMOS118~122と、ドットデータDO用の駆動電流出力端子とが示されている。

【0145】

50

実施例 1 と同様に、破線で示されるトランジスタ領域 1 2 5 には、補助駆動トランジスタである 4 個の P M O S 1 1 8 ~ 1 2 1 と、主駆動トランジスタである 4 個の P M O S から成る 1 個の P M O S 1 2 2 とが形成されている。

【 0 1 4 6 】

本実施例 4 では、実施例 1 と同様に、平面形状の 4 個のゲート 1 1 8 G ~ 1 2 1 G と、平面形状の 4 個のゲート 1 2 2 - 1 G ~ 1 2 2 - 4 G とを有しているが、これらのゲート部 (= 1 1 8 G ~ 1 2 1 G , 1 2 2 - 1 G ~ 1 2 2 - 4 G) が、実施例 1 とは異なり、L E D アレイ 2 0 0 (= 2 0 0 - 1 ~ 2 0 0 - 2 6) の配列方向 (X 軸方向) に対して所定角度 θ (例えば、 $0 < \theta < 90^\circ$) 傾斜した方向に延設されている。その他の構成は、実施例 1 と同様である。

10

【 0 1 4 7 】

以上のような駆動トランジスタを有する図 8 の駆動回路 1 1 0 を備えた図 4 の L E D プリントヘッド 1 3 は、実施例 1 と略同様の動作を行う。しかし、本実施例 4 の L E D プリントヘッド 1 3 では、実施例 1 のものと作用が異なるので、以下、本実施例 4 における L E D プリントヘッド 1 3 の測定結果を説明する。

【 0 1 4 8 】

(L E D プリントヘッドの測定結果)

図 1 8 (a) ~ (d) は、本発明の実施例 4 の L E D プリントヘッドにおいて低温雰囲気中 (約 - 2 0) におけるドット毎の駆動電流の測定結果を模式的に示す図であり、実施例 1 を示す図 1 1 - 2 (a) ~ (d) 中の要素と共通の要素には共通の符号が付されている。

20

【 0 1 4 9 】

図 1 8 (a) は、本実施例 4 の図 9 (a) に対応する L E D プリントヘッド 1 3 のブロック図であり、複数個のドライバ I C 1 0 0 (= 1 0 0 - 1 ~ 1 0 0 - 2 6) と複数個の L E D アレイ 2 0 0 (= 2 0 0 - 1 ~ 2 0 0 - 2 6) とが対向して配置されている。

【 0 1 5 0 】

図 1 8 (b) は、L E D プリントヘッド 1 3 の各駆動電流値を示すグラフであって、各ドットの補正状態を最小とした場合を示す。なお、図 1 8 (b)、(c)、(d) は、図 1 8 (a) のブロック図と対比するように描かれており、各ドライバ I C 1 0 0 (= 1 0 0 - 1 ~ 1 0 0 - 2 6) の境目を破線を付して表示している。

30

【 0 1 5 1 】

同様に、図 1 8 (c) は、L E D プリントヘッド 1 3 の各駆動電流値を示すグラフであって、各ドットの補正状態を中心 (標準) とした場合を示す。同様に、図 1 8 (d) は、L E D プリントヘッド 1 3 の各駆動電流値を示すグラフであって、各ドットの補正状態を最大とした場合を示す。

【 0 1 5 2 】

図 1 8 (b)、(c)、(d) とともに僅かな電流ばらつきを生じているものの、各駆動トランジスタの駆動出力が一様で、略平坦な駆動出力特性を示している。これは以下のように解釈することができる。

【 0 1 5 3 】

40

即ち、図 1 0 を用いて説明したように、図 1 7 のゲート 1 1 8 G ~ 1 2 1 G , 1 2 2 - 1 G ~ 1 2 2 - 4 G によって構成される P M O S 1 1 8 ~ 1 2 1 , 1 2 2 - 1 ~ 1 2 2 - 4 においては、そのドレイン電流の流れる方向が X 軸もしくは Y 軸に対して所定角度 θ (例えば、 $0 < \theta < 90^\circ$) 斜めに配置されており、L E D プリントヘッド 1 3 が低温雰囲気中に置かれた時にプリント基板 1 3 b から受ける熱応力の方向 (X) と角度を持った方向にある。

【 0 1 5 4 】

このため、例えば、P M O S のチャネル方向が Y 軸方向とする時、ゲートの方向は X 軸方向であって前記角度は $\theta = 0^\circ$ であるが、この時、図 1 0 を用いて説明したように、その電流変化率は式 (7) で記述されるようにプラス係数を持ち、応力 σ_x は圧縮力時にマ

50

イナスの値であることに注意すると、低温雰囲気中でのドライバIC100のドット電流の分布はドライバIC中心部のそれがやや低下した凹形状のものとなる。

【0155】

又、例えば、PMOSのチャネル方向がX軸方向にある時、ゲートの方向はY軸方向であって前記角度は $\theta = 90^\circ$ であるが、図10を用いて説明したように、その電流変化率の式は式(6)で記述されるようにマイナスの係数もち、応力 σ_x は圧縮力時にマイナスの値であることに注意すると、低温雰囲気中でのドライバIC100のドット電流の分布は、ドライバIC中心部のそれがやや増加した凸形状のものとなる。

【0156】

この結果、前述した角度を $\theta = 0^\circ$ や $\theta = 90^\circ$ とは異なる中間の角度とすることで、電流変化率の式の係数が式(6)と式(7)の中間の値となって、応力の影響を実質的に低減された特性を得ることができる。

10

【0157】

本実施例4における図18の測定結果と比較例における図11-1の測定結果とを比較して明らかなように、比較例による低温雰囲気中での駆動電流分布は、ドライバIC端部と比べてドライバIC中心部のそれが大きい凸形状であったのに対して、本実施例4においては、ドライバIC端部とドライバIC中心部との駆動電流の差が小さくなっていて、ドライバIC100内での駆動電流のばらつきが改善された特性となっており、前述した図10での試算結果をよく反映したものとなっている。

【0158】

20

それに加えて、図17の構成においては、LEDを駆動するトランジスタのうち、主たる駆動電流を供給する主駆動トランジスタであるPMOS122-1~122-4と、LEDの光量補正のために設けられた補正トランジスタであるPMOS118~121と共に、そのゲート部(=118G~121G, 122-1G~122-4G)の配置方向が、ドライバIC100の長辺方向と角度 θ ($0^\circ < \theta < 90^\circ$)で配置されており、前述したような熱応力の影響は各118~121, 122-1~122-4共に同率の影響を受けることになり、又各118~121, 122-1~122-4共にその影響は著しく低減されたものとなる。

【0159】

この結果、ドライバIC100による光量補正の程度によらず、即ち、図8におけるPMOS118~121のオン、オフの状態が如何なるものであったとしても、熱応力による合計されたドレイン電流の変化率は小さく、実質的な影響がほとんど無視できる程度に軽減され得るのである。

30

【0160】

このように、本実施例4における構成とすることで、ドライバIC端部とドライバIC中心部との駆動電流の差が小さくなって、ドライバIC100内での駆動電流のばらつきが改善された特性となり、本構成のLEDを備えた画像形成装置1において印刷濃度むらのない良好な印刷品位を得ることができる。

【0161】

(実施例4の効果)

40

本実施例4における図7中の駆動回路110及びこれを用いた図4中のLEDプリントヘッド13によれば、低温雰囲気中であっても各ドライバIC端部と各ドライバIC中心部との駆動電流の差が比較例のものより小さくなり、ドライバIC内での駆動電流のばらつきを改善することができる。従って、実施例1と略同様に、印刷濃度のむらを解消できて、印刷品位に優れた画像形成装置1を実現できる。

【0162】

(その他の変形例)

本発明は、上記実施例1~4に限定されず、種々の利用形態や変形が可能である。この利用形態や変形例としては、例えば、次の(a)~(d)のようなものがある。

【0163】

50

(a) LEDを光源として用いられる発光素子に適用した場合について説明したが、本発明はこれに限らず、他の被駆動素子（例えば、有機EL素子や発熱抵抗体等）への電圧印加制御を行う場合にも適用可能である。例えば、有機EL素子のアレイで構成される有機ELヘッドを供えたプリンタや、発熱抵抗体の列で構成されるサーマルプリンタにおいて利用することができる。更に、表示素子（例えば、列状あるいはマトリクス状に配列された表示素子等）の駆動にも適用可能である。

【0164】

(b) 本発明は、又、2端子構造を備えたLED等の被駆動素子に限らず、3端子構造を備えた発光サイリスタの他、第1と第2の2つのゲート端子を備えた4端子サイリスタSCS（Silicon Semiconductor Controlled Switch）を駆動する場合にも適用可能である。

10

【0165】

(c) 本発明の趣旨及び技術思想を考察して明らかなように、本発明は同一構成要素の連続的配置から成る被駆動素子列の駆動回路に限定されるものではなく、複数の駆動端子出力を備えたICチップ等に広く応用することが可能なことは勿論である。

【図面の簡単な説明】

【0166】

【図1】本発明の実施例1における図8中の駆動トランジスタを示す構成図である。

【図2】本発明の実施例1における画像形成装置を示す概略の構成図である。

【図3】図2中のLEDプリントヘッドの構成を示す概略の断面図である。

20

【図4】図2のプリンタ制御回路の構成を示すブロック図である。

【図5】図4中のLEDプリントヘッド13を示す構成図である。

【図6】図5中のドライバIC100における構成を示す平面図である。

【図7】図5中のドライバIC100の詳細な構成を示すブロック図である。

【図8】図7中のLEDの駆動回路を示す回路図である。

【図9】図3中のLEDプリントヘッド基板ユニットを示す構成図である。

【図10】駆動トランジスタに応力が加わった場合の特性変化を説明するための図である。

【図11-1】比較例のLEDプリントヘッドにおける測定結果を示す図である。

【図11-2】本発明の実施例1のLEDプリントヘッドにおける測定結果を示す図である。

30

【図12】図8中の駆動トランジスタの平面図を示す本発明の実施例2の構成図である。

【図13】本発明の実施例2のLEDプリントヘッドにおいて低温雰囲気中におけるドット毎の駆動電流の測定結果を模式的に示す図である。

【図14】本発明の実施例2における図12の駆動トランジスタの変形例を示す平面図である。

【図15】図8中の駆動トランジスタの平面図を示す本発明の実施例3の構成図である。

【図16】本発明の本実施例3のLEDプリントヘッドにおいて低温雰囲気中におけるドット毎の駆動電流の測定結果を模式的に示す図である。

【図17】図8中の駆動トランジスタの平面図を示す本発明の実施例4の構成図である。

【図18】本発明の本実施例4のLEDプリントヘッドにおいて低温雰囲気中におけるドット毎の駆動電流の測定結果を模式的に示す図である。

40

【符号の説明】

【0167】

1 画像形成装置

13 LEDプリントヘッド

13b プリント基板

13e ロッドレンズアレイ

100 ドライバIC

110, 110-1 ~ 110-96 駆動回路

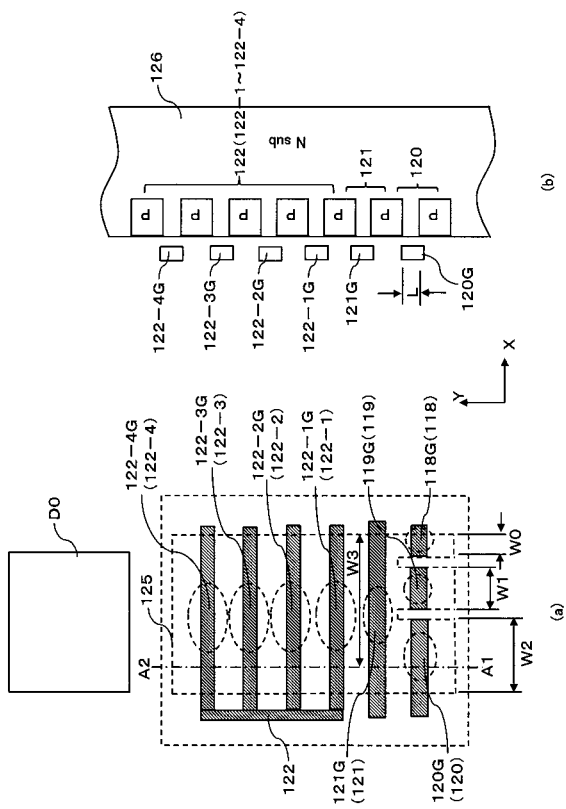
118 ~ 122 PMOS

50

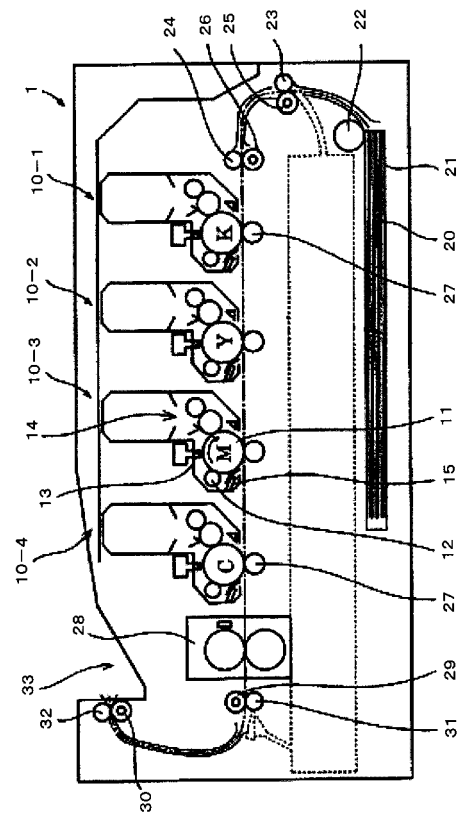
200, 200-1 ~ 200-96

LEDアレイ

【図 1】



【図 2】



本発明の実施例1の画像形成装置

【図 7】

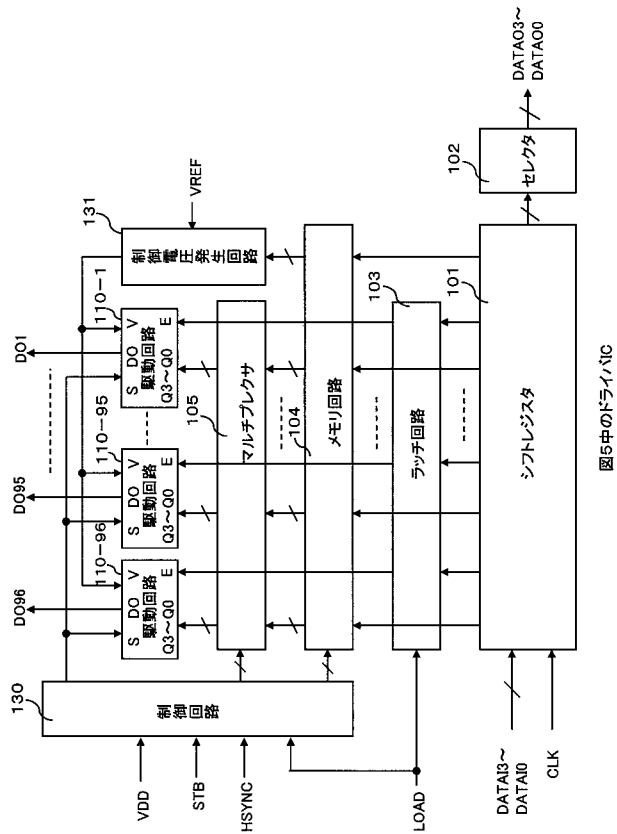


図5中のドライバIC

【図 8】

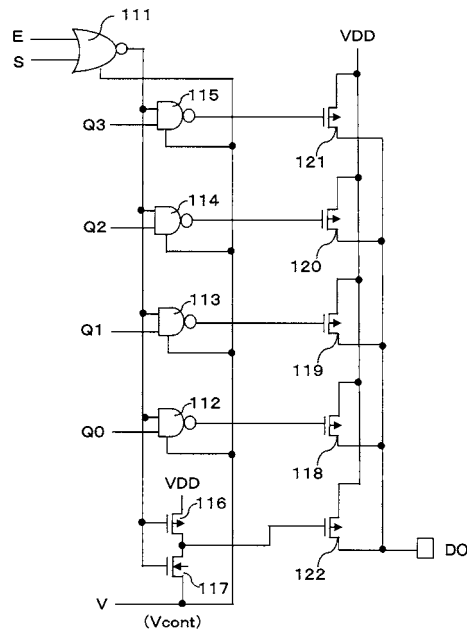


図7中のLED駆動回路

【図 9】

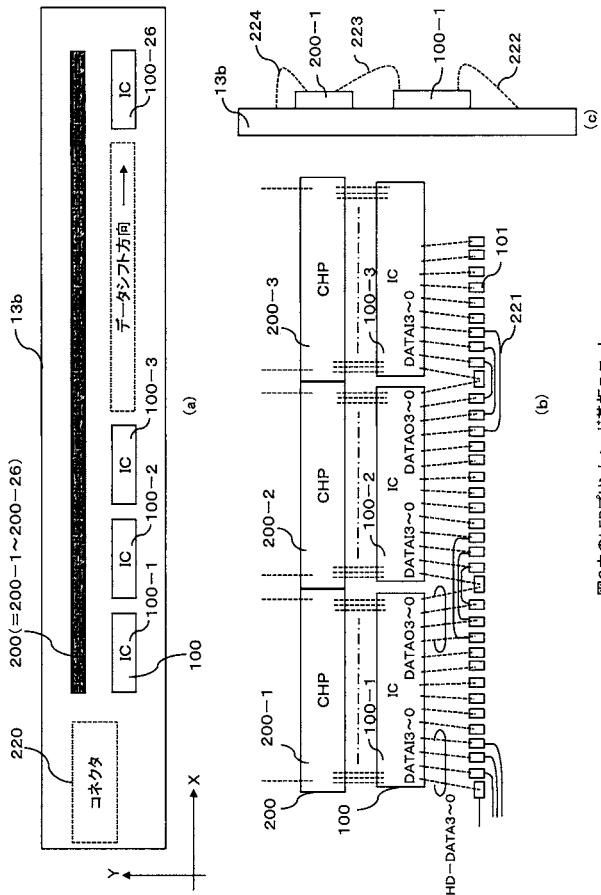
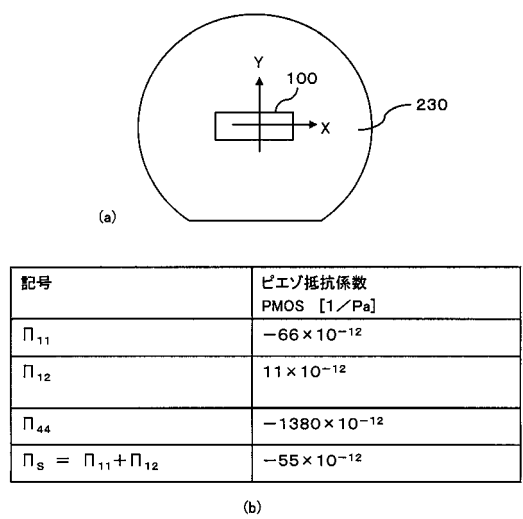


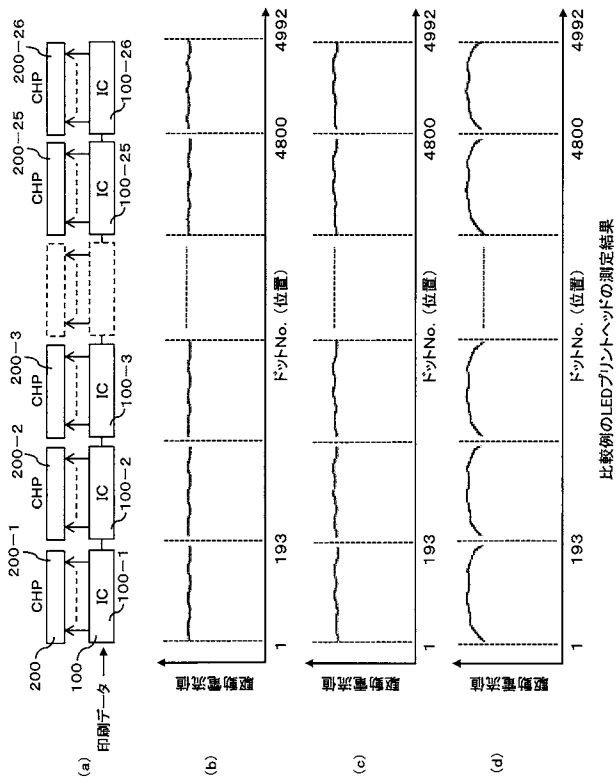
図3中のLEDプリントヘッド基盤ユニット

【図 10】

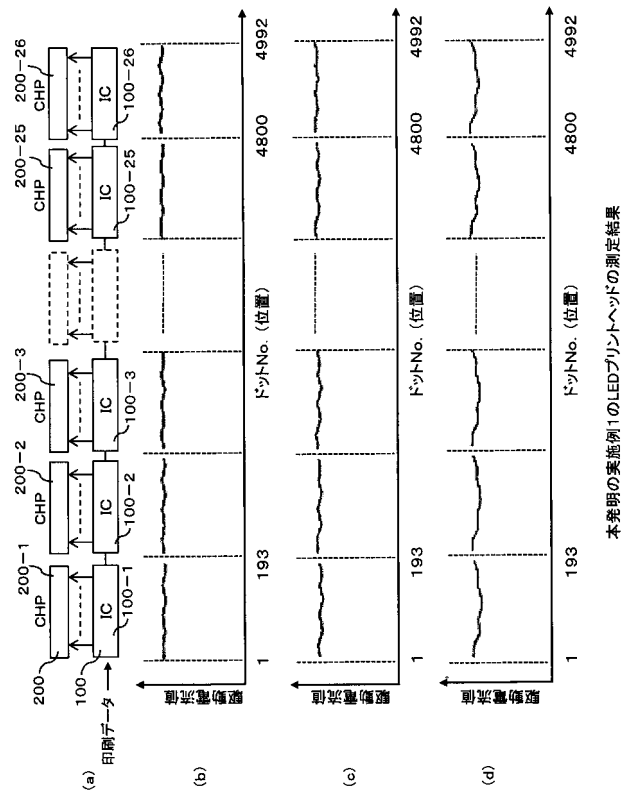


駆動トランジスタに応力が加わった場合の特性変化

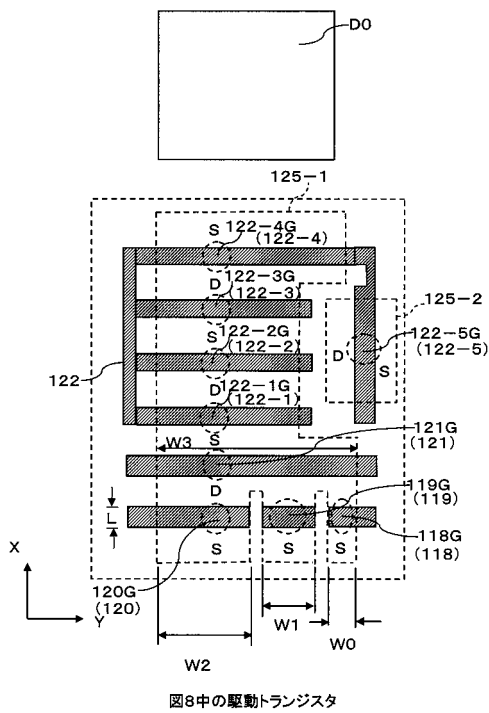
【 図 1 1 - 1 】



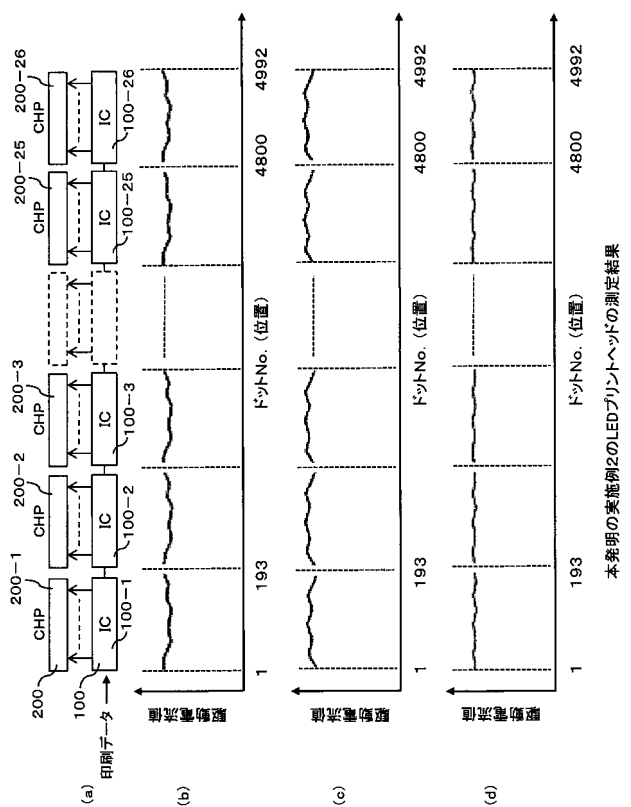
【 図 1 1 - 2 】



【 図 1 2 】



【 図 1 3 】



【 図 1 4 】

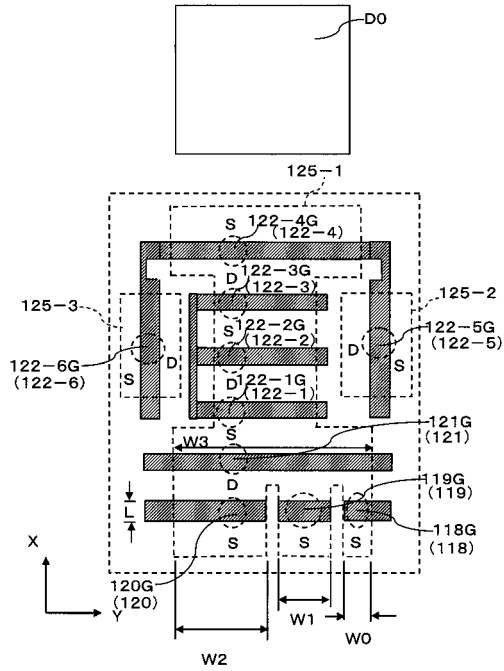
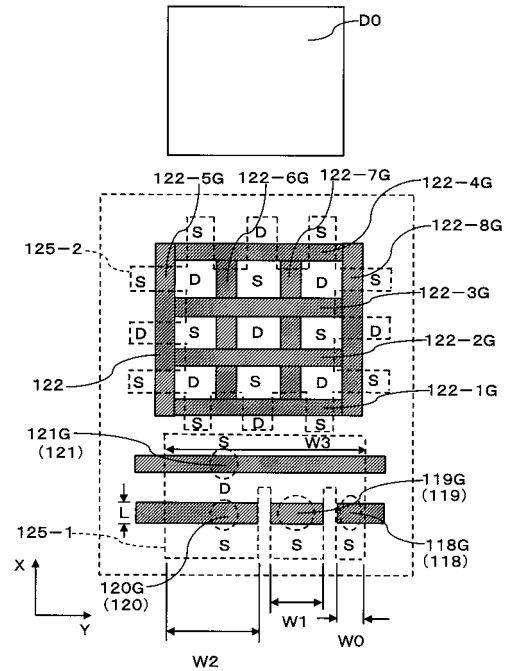


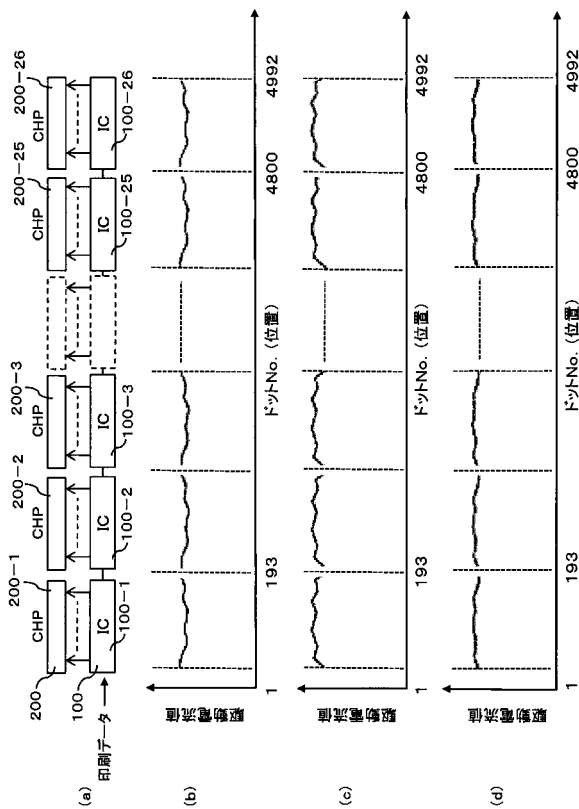
図12の駆動トランジスタの変形例

【 図 1 5 】

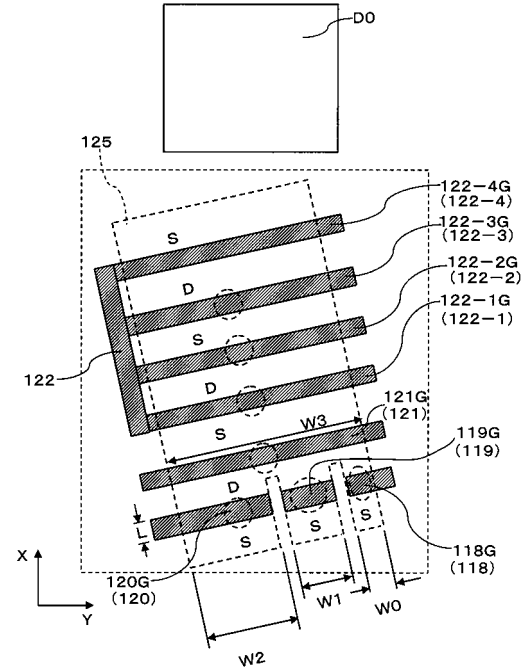


実施例3の図8中の駆動トランジスタ

【 図 1 6 】

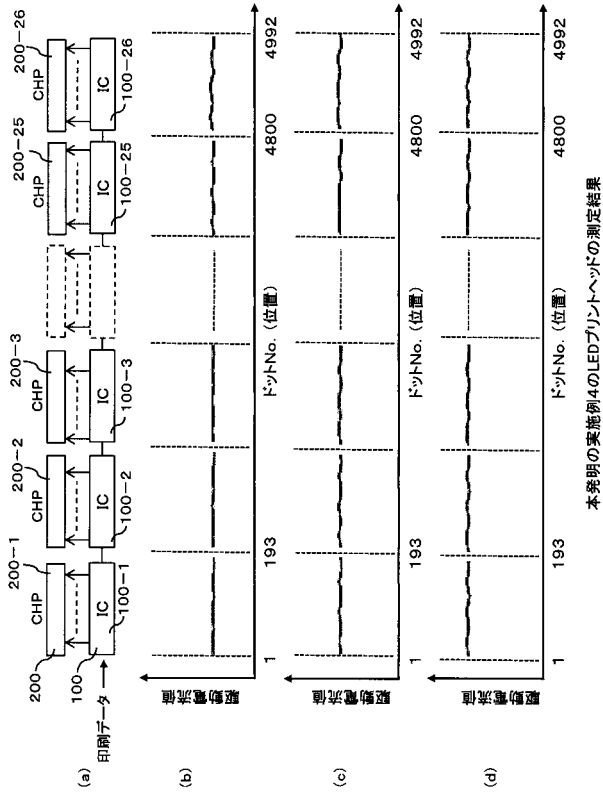


【 図 1 7 】



実施例4の図8中の駆動トランジスタ

【図 18】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
H 0 1 L 27/04 (2006.01)		
H 0 1 L 21/8234 (2006.01)		
H 0 1 L 27/088 (2006.01)		

F ターム(参考)	2C162	AE04	AE21	AE28	AE40	AE47	AH71	AH75	FA04	FA17	FA44
		FA50									
	5C051	AA02	CA06	DA03	DB02	DB08	DB18	DC02	DC03	DC05	DC07
		EA01									
	5F038	BE07	BE09	CA02	CA03	CA07	CA10	CD06	DF05	EZ20	
	5F048	AB03	AB07	AB10	AC01	AC06	BB01	BB02	BB05	BC01	BD01
		BF03	BF07	BF19							