（此處由本局於收文時黏貼條碼）

749536

發明專利說明書 200402819

（本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※申請案號：92120003

※申請日期：92 年 07 月 22 日　　※IPC 分類：H01L 21/8247, H01L 21/02

壹、發明名稱：

(中) 非揮發性半導體記憶元件及製造方法

(外) 不揮発性半導体記憶素子および製造方法

貳、申請人：(共 2 人)

1.姓　名：（中）旭硝子股份有限公司
（外）旭硝子株式会社
代表人：（中）1.石津進也
（外）
地　址：（中）日本國東京都千代田區有樂町一丁目一二番一號
（外）
國籍：（中英）日本　JAPAN

2.姓　名：（中）小柳光正
（外）小柳光正
代表人：（中）
（外）
地　址：（中）日本國宮城縣名取市百合之丘一丁目二二番地之五
（外）日本国宮城県名取市ゆりが丘一丁目２２番地の５
國籍：（中英）日本　JAPAN

參、發明人：(共 3 人)

1.姓　名：（中）小柳光正
（外）小柳光正
地　址：（中）日本國宮城縣名取市百合之丘一丁目二二番地之五
（外）日本国宮城県名取市ゆりが丘一丁目２２番地の５

2.姓　名：（中）高田雅章
（外）高田雅章
地　址：（中）日本國宮城縣仙台市青葉區立町六番八號－－三〇一
（外）

660

749536

3.姓　名：（中）近藤新二
（外）近藤新二
地　址：（中）日本國神奈川縣横浜市神奈川區羽沢町一一五〇番地　旭硝子株式会社内
（外）

肆、聲明事項:

◎本案申請前已向下列國家（地區）申請專利□主張國際優先權：
【格式請依：受理國家（地區）；申請日；申請案號數　順序註記】
1.日本　；2002/07/23；2002-213900 ☑有主張優先權

749536

3.姓　名：（中）近藤新二
（外）近藤新二
地　址：（中）日本國神奈川縣横浜市神奈川區羽沢町一一五〇番地　旭硝子株式会社内
（外）

肆、聲明事項:

◎本案申請前已向下列國家（地區）申請專利□主張國際優先權：
【格式請依：受理國家（地區）；申請日；申請案號數　順序註記】
1.日本　；2002/07/23；2002-213900 ☑有主張優先權

(1)

玖、發明說明

【發明所屬之技術領域】

本發明是關於非揮發性半導體記憶元件及製造法，詳細爲關於具有由一種以上的單元素物質或化合物構成的超微粒子高密度地分散於絕緣層中的構造，且爲具有優良的保持特性的電荷保持層的非揮發性半導體記憶元件與其元件的廉價，再現性佳的製造方法。

【先前技術】

習知可記憶重寫大容量的資料(data)之記錄媒體有使用 DRAM、SRAM 等的半導體的記憶元件或硬碟、光磁碟、光碟等的旋轉碟片型記錄媒體，使用這些記錄媒體的系統被開發/使用。其中，具有資料的重寫、讀出速度快，高積集化容易等的特徵之 DRAM 係當作個人電腦等的一時記憶元件而被廣泛地使用。但是，因對記憶體致命的揮發性(若停止外部電源供給則所保持的記錄會消滅的性質)，故發生個人電腦的起動需要時間或突然的電源供給停止或由資料的保存忘卻等作成的資料消滅等的情況不佳。

另一方面，在硬碟系統等中雖然無資料的揮發性，但有寫入、讀出速度慢或電力消耗(power consumption)較大的缺點。由以上，具有寫入、讀出速度快等方便使用而且電力消耗低且非揮發性等的特性之記憶體的出現被等待。

滿足上述要求特性的記憶體，快閃記憶體、強電介質記憶體、MRAM(Magnetic Random Access Memory:磁性隨

機存取記憶體)、相變化記憶體等的非揮發性半導體型記憶元件被期待，現在在開發階段。

這些非揮發性記憶體各有利弊。例如據說 MRAM 其寫入速度快或可重寫次數多等的優點多，DRAM 的作爲置換記憶體爲最有力候補之一。但是，因記憶胞(memory cell)是由電晶體與 TMR(Tunnel Magneto Resistive)元件(遂穿磁阻元件)構成，故構造比較複雜，在製造成本的面不利，必須導入製程上的技術課題多的強磁性材料係當作課題被舉出。而且，最重要的是有特性誤差小的 TMR 元件的製造技術的確立困難的問題。

另一方面，快閃記憶體的記憶胞基本上是以一個電晶體構成，因構造單純故可縮小胞尺寸，而且，使用習知的 DRAM 製程技術可較廉價地製造高積集記憶體。由這種理由，快閃記憶體作爲攜帶型資訊終端(攜帶機器)用記憶體的優勝候補者受到注目。近年來，半導體元件的高速化、高積集化被推進，伴隨於此在快閃記憶體中元件的高速化、微細化或電荷保持特性的提高等高性能化的目的之研究熱烈地被進行。

在現在的主流的浮置閘(floating gate)型快閃記憶體中，若舉 NOR 型快閃記憶體爲例，則此爲指定的記憶胞的保持資料的讀出動作以100ns(奈秒)程度或其以下的較短的時間高速地進行。此外，此 NOR 型快閃記憶體係作爲攜帶機器的程式碼除存用等佔有快閃記憶體市場的一半以上。

(3)

另一方面，資料的寫入藉由自通道(channel)對浮置閘植入熱電子(hot electron)，或者資料的抹除藉由利用自浮置閘朝通道形成區域或源極的 Fowler-Nordheim 遂穿電流(tunneling current)的電荷放出來進行。熱電子植入雖然電荷移動速度快但電荷植入效率(植入電流對供給電流的比例)低，而且，利用 Fowler-Nordheim 遂穿電流的電荷放出雖然電荷植入效率高但電荷移動速度慢，故任何一個其重寫動作都需時間。

具體上對於寫入需1μs(微秒)多，至於抹除需數百ms(毫秒)到數 s(秒)多的較長的時間。因此，儘管快閃記憶體的大容量化、低成本化較容易但其用途卻被限定，對DRAM等高速記憶體的置換處於困難的狀況。

爲了謀求應克服此缺點的重寫時間的縮短化，例如減少記憶胞的遂穿絕緣膜的氧化膜的物理的厚度的方法也被考慮。但是若減少厚度的話，在浮置閘帶電時因遂穿氧化膜會被施加與其膜厚成反比的非常強的電場，藉由重寫動作的重複，因電荷通過氧化膜幾次所造成的應力(stress)會產生，容易引起氧化膜絕緣破壞(應力引發遺漏電流：Stress-induced Leakage Current(SILC))。

若在遂穿氧化膜的任一個位置發生絕緣破壞的話，保持於浮置閘的電荷的大部分會遺漏(leak)，之後其記憶胞喪失資料保持能力，此點使快閃記憶體的重寫次數的增加變難。因此，在現狀中爲了維持電荷保持的可靠度，必須增加遂穿氧化膜的厚度約10nm，會處於重寫時間的縮短

化困難的狀況。而且，因氧化膜厚與元件全體的尺寸具有相似地縮小的特性，故也會妨礙元件全體的微細化。

一邊維持高速動作一邊防止因絕緣破壞造成的電荷保持能力的降低之手段有空間上使電荷離散而保持的方法，使用此方法的非揮發性半導體記憶體有 MONOS(Metal Oxide Nitride Oxide Semiconductor)記憶體。第3圖係顯示習知的 MONOS 記憶體的例子。此 MONOS 記憶體如第3圖所示係遂穿絕緣膜2與在其上取代浮置閘疊層有 SiN_x 膜5的構造，爲在存在於其界面的界面位準4a 以及離散分布於 SiN_x 膜5中的陷入(trap)位準4b 使電荷保持的記憶體。此外，在第3圖中，1爲 p 型單晶 Si 基板，4爲電荷保持區域，6爲閘絕緣膜，7爲控制閘，9爲源極區域，10爲汲極區域以及11爲通道形成區域。

保持電荷的界面位準4a 以及陷入4b 因在空間上離散而分布，故即使在前述遂穿絕緣膜的任一個位置發生絕緣破壞，由於該絕緣破壞所造成的電荷遺漏(leak)僅局部地發生，在絕緣破壞的發生前後中記憶胞的電荷保持能力也不會大大地變化。

由這種理由，MONOS 記憶體具有對浮置閘型快閃記憶體在重寫次數的點上優良，而且遂穿絕緣膜的物理的厚度也能作成比較薄，故在記憶胞的微細化等的點上也被作成有利。但是，由 SiN_x 膜的陷入位準的深度(對電子爲陷入位準與傳導帶下端的能量差，對電洞(hole)爲陷入位準與價電子帶上端的能量差)未必充分等的理由，有一旦被

陷入的電荷容易逃脫，絕對的電荷保持能力(絕緣破壞完全不發生，具有正規的狀態的元件的電荷保持能力)低的缺點。

另一方面，與 MONOS 記憶體一樣藉由離散地使電荷保持以應付氧化膜的絕緣破壞，再者比 MONOS 記憶體還提高絕對的電荷保持能力的方法考慮以浮置閘作爲超微粒子，使該超微粒子分散多數個於閘絕緣膜中的形態。第4圖係顯示此形態的代表的元件之離散超微粒子由 Si 超微粒子形成的半導體記憶元件的例子。此外，在第4圖中電荷保持區域4以外與第3圖中的要素相同的符號係顯示相同要素。針對此形態的記憶體例如記載於日本特開平11-186421號，在此公報中記載有如第4圖所示在遂穿絕緣膜2上形成以藉由 CVD 法形成的多數個 Si 超微粒子群構成的浮置閘4，以閘絕緣膜6覆蓋其周圍的構造。

但是，現在得到的 Si 超微粒子其大小爲5~10nm 左右面內的分布密度(面密度)數爲 $1\sim2\times10^{12}/cm^2$，這些值在記憶體的功能上不充分。

作爲電荷保持部分功能的超微粒子的數目的面密度低的情形因所保持的電荷量的面密度也低，故快閃記憶體的記憶裕度窗(memory window)(MOS 電晶體中的臨限電壓(threshold voltage)的偏移(shift)寬)窄。而且，同時在各半導體記憶元件間電荷量的面密度的誤差也相對地容易變大，此點會給予記憶裕度窗的大小的誤差不良影響。這些都會給予資料的讀出動作不穩定性。

因此，在確保超微粒子的互相的間隔，維持離散狀態上需提高面密度。但是，在利用記載於前述日本特開平11-186421號的 CVD 法的形成中，因爲了提高超微粒子的面密度而變更製造條件的話接鄰的超微粒子容易合體成長，無法維持離散狀態，故無法形成充分的面密度的超微粒子。

再者，在最近中超高速且極低電力消耗記憶體的單電子記憶體的研究很熱烈。使此單電子記憶體實現的條件之一需在室溫下發現庫侖閉塞(coulomb blockade)(藉由儲存電子的靜電電位場，產生抑制其周圍的電子的接近的能量障壁，再者藉由電子的熱能超過此能量障壁的高度，使電子統計熱力學地超過其能量障壁而不移動)效應，爲此，減小浮置閘4的尺寸爲不可或缺。

據說爲了使單電子記憶體在室溫穩定地動作，必須縮小浮置閘的大小到直徑1nm 左右，惟現狀所得到的超微粒子的粒子徑最小的停留在5nm 左右。而且，因在非常微細化的單電子記憶體的閘極區域內超微粒子需以高的機率形成一個以上，故要求超微粒子形成密度高，但以現狀的$10^{12}/cm^2$左右的面密度並不充分。再者，因爲了達成其面密度需非常特殊的前處理，故在使製程複雜的點上也有問題。

本發明的目的爲提供具有同時解決在習知的快閃記憶體中應解決的前述課題，即因資料的寫入動作或抹除動作需要時間以及重寫動作的重複造成電荷保持特性劣化之構

造的非揮發性半導體記憶元件，再者，提供再現性佳地製造前述非揮發性半導體記憶元件的方法。

【發明內容】

本發明係提供一種非揮發性半導體記憶元件，包含：

形成於半導體基板表面的源極區域以及汲極區域；

用以連接前述源極區域以及前述汲極區域，且接觸於夾在前述源極區域以及前述汲極區域的通道形成區域而形成的遂穿絕緣膜；

接鄰於前述遂穿絕緣膜而形成的電荷保持層；

接鄰於前述電荷保持層而形成的閘絕緣膜；以及

接鄰於前述閘絕緣膜而形成的控制閘，其特徵爲：

前述電荷保持層係由每一非揮發性半導體記憶元件含有一個或每一前述電荷保持層的平方公分以10^{+12}~10^{+14}個的面密度獨立分散由當作浮置閘功能的粒子徑5nm以下的一種以上的單元素物質或化合物構成的超微粒子而含有複數個的絕緣層構成。

而且，提供一種非揮發性半導體記憶元件，包含：

形成於半導體基板表面的源極區域以及汲極區域；

用以連接前述源極區域以及前述汲極區域，且接觸於夾在前述源極區域以及前述汲極區域的通道形成區域而形成的遂穿絕緣膜；

接鄰於前述遂穿絕緣膜而形成的電荷保持層；

接鄰於前述電荷保持層而形成的浮置閘；以及

接鄰於前述浮置閘而形成的閘絕緣膜；以及

接鄰於前述閘絕緣膜而形成的控制閘，其特徵爲：

前述電荷保持層具有促進由前述通道形成區域朝前述浮置閘的電子的移動，且抑制由前述浮置閘朝前述通道形成區域的電子的移動之功能。

而且，提供前述電荷保持層係由每一前述電荷保持層的平方公分以10^{+12}~10^{+14}個的面密度獨立分散由粒子徑5nm以下的一種以上的單元素物質或化合物構成的超微粒子而含有複數個的絕緣層構成之上述非揮發性半導體記憶元件。

而且，提供構成前述電荷保持層的超微粒子是由自由金屬、氧化物、碳化物、氮化物、矽化物以及硼化物構成的群選擇一種以上的單元素物質或化合物構成之上述非揮發性半導體記憶元件。

而且，提供構成前述電荷保持層的絕緣層是由自由氧化物、碳化物、氮化物、硼化物、矽化物以及氟化物構成的群選擇一種以上的化合物構成之上述非揮發性半導體記憶元件。

而且，提供構成前述電荷保持層的前述超微粒子是在前述絕緣層內二次元或三次元地分散之上述非揮發性半導體記憶元件。

而且，提供一種非揮發性半導體記憶元件的製造方法，具有上述的超微粒子二次元或三次元地分散於絕緣層中的電荷保持層，其特徵爲前述電荷保持層係使用物理的蒸

鍍法自組織地形成構成超微粒子以及絕緣層的各個材料。

再者，提供前述物理的蒸鍍法爲濺鍍法之上述非揮發性半導體記憶元件的製造方法。

【實施方式】

在本發明中，電荷保持層係由每一非揮發性半導體記憶元件含有一個或每一電荷保持層的平方公分以10^{+12}~10^{+14}個的面密度獨立分散由當作浮置閘功能的粒子徑5nm以下的一種以上的單元素物質或化合物構成的超微粒子而含有。

每一非揮發性半導體記憶元件即每一記憶胞含有一個超微粒子的記憶元件可當作單電子裝置(device)。

在單電子裝置之中一個電子肩負記憶的單電子記憶胞中，在電子的容器之浮置閘放入一個電子，或者由浮置閘放出一個電子。

在單電子記憶胞中重要的是移動的電子的數目爲一個的話畢竟少，據此，可降低資料的重寫動作所需的電力消耗到極限，而且，伴隨著電子的移動，給予遂穿絕緣膜的應力也被抑制到最小限，可能的資料的重寫次數飛躍地提高。

對於單電子記憶胞的實用化必須確立幾個要素技術，而其中之一可舉形成粒子徑(直徑)1nm左右的超微粒子的技術。此要素技術對於單電子記憶胞的動作特性的穩定化爲必要不可或缺，以下說明其理由。對於單電子記憶胞的

動作特性的穩定化的目的，電子/電洞等載子(carrier)的運動必須僅藉由來自外部的所控制的電壓支配，引起載子的運動的無秩序化的熱起伏的影響必須極力地抑制。

因藉由載子所具有的熱能阻止載子無秩序地侵入浮置閘，故現在利用庫侖閉塞效應被檢討。但是，爲了發現庫侖閉塞效應，必須充分地減小在通道形成區域或源極區域與浮置閘之間形成的電容，即必須減小浮置閘的大小。具體上，對室溫中的熱能必須減小粒子徑到1nm左右。

而且，關於單電子記憶胞元件的製造之要素技術，有確實地形成作爲電荷的收容箱的浮置閘一個於控制閘的正下方的技術。但是，在單電子記憶胞中控制閘的形成區域尺寸非常小，預料爲約10nmx10nm左右或其以下。

在此大小的區域內確實地形成一個浮置閘的方法可考慮在被積集的記憶元件的各控制閘的形成區域內，超微粒子一個一個自發地或人爲地排列形成，或在形成於不特定的位置後除去不要的超微粒子的方法的任一個。在現狀中，更實用的技術爲後者的技術，散佈在不特定的位置的結果爲了在如前述的10nm 四周或其以下的面積的區域確實地配置有超微粒子，至少需要$10^{12}/cm^2$以上的形成面密度。

再者，若考慮配置分布的局部的誤差則最好以10^{13}~$10^{14}/cm^2$左右的面密度形成有超微粒子。由此，即使作爲單電子記憶體元件的製造技術，以非常高的密度具體上例如以10^{12}~$10^{14}/cm^2$的面密度形成超微粒子的技術爲必

要不可或缺。

本發明的非揮發性半導體記憶元件的一例的概略的剖面圖顯示於第1圖。在第1圖中，1爲 p 型單晶 Si 基板，2爲遂穿絕緣膜，3爲電荷保持層，超微粒子的超微粒子3a係在分散於絕緣層3b 中的狀態下被包含。6閘絕緣膜，7控制閘。而且，9爲源極區域，10爲汲極區域，11爲形成有通道及其區域，即顯示通道形成區域。

p 型單晶 Si 基板1使用具有埋入氧化膜的 SOI(Silicon On Insulator:絕緣層上覆矽)基板也可以，特別是對於想實現動作速度的提高或電力消耗的降低的情形可適合地使用。遂穿絕緣膜2由 p 型單晶 Si 基板1與界面接合性較好的氧化膜，或提高由控制閘電壓造成的通道形成區域11的電場分布的控制性的理由，介電常數高的物質例如 SiO_xN_y($0 \leqq x<2$, $0<y \leqq 4/3$)系材料等可適合地使用。

而且，爲了高速地進行資料的寫入/抹除動作，儘可能地減少遂穿絕緣膜的膜厚佳，8nm 以下較佳，再者令5nm 以下對於高速化極佳。

構成電荷保持層3的超微粒子3a 爲了儘可能小地抑制遂穿絕緣膜2的絕緣破壞造成的儲存電荷的損失量而多數分散，而且可使超微粒子相互電性絕緣而設置某種程度間隔較佳。另一方面，增大進入超微粒子的儲存電荷的有無造成的臨限電壓(threshold voltage)的偏移量(ΔV_{th})，而且，由抑制前述臨限電壓的偏移量的誤差的目的，超微粒子的電荷保持層中的面密度高較佳，令10^{12}~$10^{14}/cm^2$。此

外，此面密度的值雖然與上述單電子記憶胞元件的說明位置的面密度的值一致，惟此處的值係超微粒子的數未必每一單電子記憶胞元件需要一個。

其中，爲了一邊提高超微粒子的密度，一邊抑制在相鄰的超微粒子間的遂穿效應造成的電荷的移動，可將超微粒子的粒子徑作成5nm 以下的超微粒子。再者，超微粒子的材料以電子親和力(超微粒子的材料爲半導體或絕緣體的情形)或功函數(超微粒子的材料爲金屬等的良導體的情形)大，或絕緣層3b 的材料選擇電子親和力小的材料較佳。而且，同時適用對半導體製程中的高溫處理具有耐性的高熔點材料於超微粒子以及絕緣層3b 較佳。此外，適合超微粒子以及絕緣層的具體的材料名於後述。

絕緣膜6由提高控制閘電壓造成的通道形成區域11的電場分布的控制性以及使資料抹除時的放電動作高速的理由，減小物理的厚度佳，而且，選擇介電常數高的物質佳。具體上厚度爲10nm 以下，物質除了 SiO_2以外，可適合地使用前述 SiO_xN_y系材料或 SiO_2與 SiO_x的疊層膜等。

本發明的非揮發性半導體記憶元件的其他例子的概略的剖面圖顯示於第2圖。在第2圖中，記憶元件形成用的基板1係使用 SOI 基板，此基板1是由 p 型單晶 Si 基板1a、埋入氧化膜1b 以及 p 型 SOI 層1c 的三層構成。2爲遂穿絕緣膜，3爲電荷保持層，超微粒子3a 係在分散於絕緣層3b 中的狀態下被包含。4爲浮置閘，6閘絕緣膜，7控制閘，8爲側壁(sidewall)。而且，9爲源極區域，10爲汲極區域，

在各個區域中，9a以及10a爲淺接合區域，9b以及10b爲接觸區域。11爲形成有通道及其區域，即顯示通道形成區域。

遂穿絕緣膜2由p型SOI層1c與界面接合性佳的氧化膜，或提高由控制閘電壓造成的通道形成區域11的電場分布的控制性的理由，可使用介電常數高的物質例如前述SiO_xN_y系材料等。而且，爲了高速地進行資料的寫入/抹除動作，儘可能地減少遂穿絕緣膜2的膜厚佳，也加進後述的電荷保持層3的存在令3nm以下較佳。

電荷保持層3具有促進由通道形成區域11朝浮置閘4的電子的移動，且抑制由浮置閘4朝通道形成區域11的電子的移動之功能。以下詳細地說明此點。

電荷保持層3係以抑制儲存於位於隔壁的浮置閘4的電荷遺漏到基板側的目的配置的層。電荷儲存時電荷不僅浮置閘4也分散於電荷保持層3中的超微粒子3a而儲存，因超微粒子3a的儲存電荷對浮置閘4的儲存電荷具有庫侖閉塞效應，故朝浮置閘4中的儲存電荷的基板側的遺漏被抑制。此電荷保持層3對於提高寫入速度也有效。

在資料的寫入動作時於通道形成區域11與控制閘7之間施加有高的電壓，電子藉由此電壓而產生的電場由通道形成區域11植入到浮置閘4，惟若在通道形成區域11與浮置閘4之間存在超微粒子3a則經由此超微粒子3a電子被植入浮置閘4，故植入機率增加，寫入速度增加。

而且，也能進行在低電壓下的寫入。此外，電荷保持

層中的超微粒子的電荷保持力高者較佳，超微粒子多數分散係提高在電荷保持層全體的電荷保持力，進而此點由抑制保持於浮置閘4的電荷的遺漏之理由較佳。

相同地爲了超微粒子的電荷保持力的提高，將超微粒子作成兩段以上的即三次元的多重疊層構造也對於提高電荷保持性有效。另一方面，爲了對浮置閘的儲存電荷發現充分的庫侖閉塞效應，超微粒子一個一個的大小小者較佳，而且如上述，超微粒子的面密度若高到10^{12}~$10^{14}/cm^2$較佳。

其中，爲了使一邊提高超微粒子的密度且一邊確保超微粒子相互的電性絕緣性兩立，由將粒子徑作成5nm以下的超微粒子，再者，超微粒子的材料以電子親和力或功函數大，或絕緣層的材料選擇電子親和力小的材料來提高電荷保持力的理由較佳。而且，同時適用對半導體製程中的高溫處理具有耐性的高熔點材料於超微粒子以及絕緣層較佳。此外，適合超微粒子以及絕緣層的具體的材料名於後述。

閘絕緣膜6爲了提高控制閘電壓造成的通道形成區域11的電場分布的控制性以及使寫入時或抹除時的動作高速，可適合地使用介電常數高的物質，例如前述 SiO_xN_y 系材料或氧化膜與 SiN_x 膜的疊層膜等。而且相同地爲了提高電場分布的控制性與高速動作性，儘可能地減小絕緣膜6的膜厚佳，以10nm以下較佳。

電荷保持層係使用物理的蒸鍍法形成。薄膜的形成法

除了物理的蒸鍍法外，例如化學蒸鍍法(化學氣相蒸鍍法，別稱 CVD 法)也已知。但是 CVD 法由對物理的成膜法成膜時的氣相壓力高，反應原子種、分子種的氣相中的碰撞頻率高，或氣相以及基板表面溫度高等的理由，相不分離的單一相的膜或結晶化度高的膜即平衡相膜容易形成。因此，對於形成像本發明的電荷保持層的超微電子與絕緣層在分離的狀態即準平衡相或非平衡相的膜的情形，化學蒸鍍法不適合。

電荷保持層係以使用物理的蒸鍍法的一次的製程形成。物理的蒸鍍法可舉出濺鍍(sputtering)法、熱蒸鍍法、電子束蒸鍍法、雷射燒蝕(laser ablation)法、分子線外延(epitaxy)法等。其中濺鍍法除了可廣泛地選擇成膜材料、容易得到緻密的膜、與底層的附著性高的膜等外，量產性優良特佳。

而且，濺鍍法因可得到對本發明中的自組織化適當的基板溫度等故較佳。例如爲了得到不低也不高的適當的基板溫度，藉由在基板表面上成膜種粒子引起適度的遷移(migration)可促進自組織化。

濺鍍裝置由給予底層的遂穿氧化膜的損傷(damage)少的理由，使用感應耦合型電漿(inductively coupled plasma)或電磁波結合型電漿或面對面標靶(target)方式的裝置更佳。

藉由濺鍍裝置形成電荷保持層的情形使用形成超微粒子的相的分散相的材料與形成絕緣層的相的矩陣相的材料

以構成標靶的方法雖然未特別被限定，惟可使用燒結兩相的材料粉末或在一方的相的材料的單一相標靶使他方的相的材料的晶片露出於表面而埋入適當數者。

而且，對於標靶的濺鍍面在成膜裝置的成膜室中設置於鉛直向上的情形，在一方的相的材料的單一相標靶上放置適當數目的他方的相的材料的晶片，或僅將兩相的混合粉末舖滿於玻璃殼體等也能當作標靶而利用。但是，由粉末標靶在成膜環境中粉末飛散有帶給其他半導體製程不良影響之虞等的理由，在作成半導體晶片上不佳。

製作電荷保持層的情形，分散相與矩陣相的材料的組合，分散相的材料與矩陣相的材料在成膜時引起相分離，且分散相的功函數或電子親和力若比矩陣相的電子親和力還大的組合的話佳。

本發明中的自組織化係指藉由構成超微粒子的原子群與構成絕緣層的原子群藉由熱力學的相互作用等自發地分別分離配置，其結果在絕緣層中奈規模(nano scale)的超微粒子被組織化。此現象係依存於超微粒子構成材料與絕緣層構成材料的組合或存在比率以及成膜壓力或基板溫度等的成膜條件等。

藉由適當地選擇本發明中的超微粒子以及絕緣層的材料，適當地選擇濺鍍的條件，可比較容易地利用自組織化的作用，可形成電荷保持層。藉由使用濺鍍法可得到適合本發明中的自組織化的發現之區域的熱力學的條件。

分散相的材料雖然可由金屬、半導體以及絕緣體的任

一個選擇，惟爲了使電荷保持特性良好的目的，功函數或電子親和力儘可能大的物質且在半導體製程中的熱處理中也穩定的目的而選擇高熔點物質更佳。

金屬超微粒子，Al、Ti、Zn、Ga、Zr、Nb、Mo、Re、Ru、In、Sn、La、Ta、Pt、W、Pb、Ag、Au、Pd 等的元素或 V、Cr、Mn、Ni、Fe、Co、Cu 等的3d 過渡金屬元素及/或以此爲主成分的合金等都可適合地使用。

元素半導體的超微粒子，Si、Ge、Se 以及 Te 之中至少一種較佳。而且，在 Si、Ge、Se 以及 Te 之中至少一種的半導體，P、As、Sb、B、Al、Ga、In 以及 Cu 之中至少一種的元素以雜質而包含者也可以。

化合物半導體或絕緣體的超微粒子，InAs、InGaAs、InGaNAs、InAlAs、InAsP、InGaAsP、InSb、InGaSb、InAlSb、InGaAsSb、SiC、Cu_2O、ZnO、CdO、BaO、PbO、NiO、In_2O_3、Sb_2O_3、SnO_2、Ag_2O、AgO、RuO_2、V_3Ga、Nb_3Sn、Nb_3Al、Nb_3Ga、Nb_3Ge、NbTi、$NbMo_6S_8$、ZnS、CdS、HgS、PbS、Sb_2S_3、Bi_2S_3、ZnSe、CdSe、HgSe、SnSe、PbSe、In_2Se_3、Sb_2Se_3、$BiSe_3$、ZnTe、CdTe、HgTe、SnTe、PbTe、In_2Te_3、Bi_2Te_3、BN、GaN、InN、TiN、BP、AlP、GaP、InP、Zn_3P_2、Cd_3P_2、ZnP_2、CdP_2、AlAs、GaAs、Zn_3As_2、Cd_3As_2、$ZnAs_2$、$CdAs_2$、AlSb、GaSb、ZnSb、CdSb、Si_3N_4之中至少一種的化合物較佳。

而且，在這些物質群之中，在 In_2O_3、Sb_2O_3、SnO_2、

ZnO、GaAs 之中至少一種的化合物，Sn、Sb、Ga、Al、In 之中至少一種的元素以雜質而包含者也可以。

電荷保持層中的絕緣層的材料的例子可舉出由矽石、氧化鋁、二氧化鈦、模來石、堇青石(cordierite)、尖晶石、沸石、鎂橄欖石等的氧化物或碳化硼(B_4C)等的碳化物、氮化矽或氮化硼、氮化鋁等的氮化物、氟化鎂、氟化鋁等的氟化物選擇的至少一種化合物。此外此時，爲了使電荷保持特性良好的目的，電子親和力儘可能小的物質且在半導體製程中的熱處理中穩定的目的而選擇高熔點物質更佳。

在藉由濺鍍法的電荷保持層的形成製程中，藉由控制標靶組成以及成膜條件，在矩陣相中成長的分散相的平均粒子徑會變化。特別是因分散相與矩陣相的體積分率以及成膜條件(濺鍍時的 Ar 氣壓以及基板溫度等)而變化可被確認。例如使用 Co-SiO_2系的標靶在 SiO_2絕緣層中分散 Co 金屬超微粒子的膜的情形，令 Co 與 SiO_2的體積比爲 50:50，確認了以 0.5Pa 的 Ar 氣壓成膜的情形係對 Co 粒子的粒徑約 2nm，以 8Pa 的 Ar 氣壓成膜的情形 Co 粒子的粒徑約 5nm。

令功函數或電子親和力大的材料爲粒子徑 5nm 以下的超微粒子，再者使用高密度地分散其超微粒子於絕緣層中的薄膜的本發明的非揮發性半導體記憶元件的電荷保持層係可獨立分散而保持許多電荷。藉由此獨立分散保持，即使在遂穿絕緣膜的絕緣破壞發生的情形中也僅止於電荷保

持層所保持的全電荷量之中的極少部分會遺漏，絕緣破壞發生後資料的讀取也能確保充分的臨限電壓的偏移量。而且，藉由此獨立分散保持，可實現遂穿絕緣膜的薄膜化、記憶元件的尺寸的縮小化，更進一步驅動電壓的低壓化。

在令功函數或電子親和力大的材料爲粒子徑5nm以下的超微粒子，再者使用高密度地分散其超微粒子於絕緣層中的薄膜的本發明的非揮發性半導體記憶元件的電荷保持層中，可減小在各個超微粒子間形成的電容或形成於超微粒子與半導體基板之間的電容或形成於超微粒子與浮置閘之間的電容。

此處，由超微粒子的帶電造成的位能的變化($\Delta \varepsilon$)係使用儲存電荷量q、電容C，因可以$\Delta \varepsilon = q^2/2C$表示，故得知保持電荷量越多而且電容C越小，帶電的超微粒子的位能的變化大。因此，包含前述超微粒子的電荷保持層對接近的超微粒子或位於隔壁的浮置閘所保持的電荷，會有效地使庫侖閉塞效應作用。

而且，在形成前述電荷保持層時藉由使用濺鍍法，可選擇各種組成的材料爲分散相以及矩陣相，而且，成膜製程因習知以來可容易組裝到某半導體製程，故可供給無大大地變更習知的製程，再現性佳高性能的非揮發性半導體記憶元件。

以下針對實施例來說明。

[例1]

關於本例的非揮發性半導體記憶元件，使用第1圖說明。在 p 型單晶 Si 基板1上形成遂穿絕緣膜2。此遂穿絕緣膜2係以800℃熱氧化半導體基板，厚度爲3nm。

然後，藉由電容耦合型磁控濺鍍法以以下的要領形成厚度7nm 的由含有電荷保持用的超微粒子3a 的絕緣層3b構成的電荷保持層3。超微粒子可選擇金屬 Co，絕緣層可選擇 SiO_2。在濺鍍時，使用在直徑6英吋(15.24cm)的金屬Co 標靶上放置5mm 四方的 SiO_2玻璃晶片的複合標靶。暴露於標靶的電漿的面的表面積之中令佔有70%而調節 SiO_2玻璃晶片的量。

將濺鍍裝置的成膜室排氣到$5x10^{-4}$Pa 後導入 Ar 氣，調節氣體流量使成膜室的氣體壓力爲0.5Pa。藉由400W 的高頻(13.56MHz)電力的輸入使電漿產生。在成膜時加熱基板到約200℃。以 TEM(穿透型電子顯微鏡)觀察如此形成的 Co-SiO_2複合膜的結果，確認了在非晶(amorphous)的SiO_2之中平均粒子徑約3nm 的 Co 結晶的超微粒子大致以$1x10^{13}/cm^2$的面密度分散。

在 Co-SiO_2複合膜之上形成 SiO_xN_y 膜作爲閘絕緣膜6之後，藉由 CVD 法形成當作控制閘7的含磷多晶矽層。以光阻層爲罩幕(mask)而形成，藉由乾式蝕刻法除去未被遮蔽的多晶矽的控制閘7、閘絕緣膜6、電荷保持層3、遂穿絕緣膜2，形成閘極構造。然後，藉由砷(磷也可以)的離子植入以及回火(anneal)處理形成源極區域9、汲極區域10。

作成具有上述的遂穿絕緣膜2、電荷保持層3、閘氧化膜6的疊層構造的 MOS 二極體，測定其電容-電壓特性後發生因對 Co 點的電子植入造成的2.2V 的磁滯(hysteresis)現象。

[例 2]

關於本例的非揮發性半導體記憶元件，使用第2圖說明。對由 p 型單晶 Si 基板1a、埋入氧化膜1b 以及 p 型 SOI 層1c 構成的 SOI 基板以台面(mesa)分離法分離元件，在 p 型 SOI 層1c 的表面藉由800℃的熱氧化處理形成1.5nm 遂穿絕緣膜2的氧化膜。

然後，藉由濺鍍法以以下的要領形成厚度10nm 的由三次元地含有超微粒子3a 的絕緣層3b 構成的電荷保持層3。形成由 Pt 與 SiO_2的兩相構成的薄膜。在濺鍍時，使用以體積比20:80的比例混合 Pt 粉末與 SiO_2粉末使其燒結而作成的直徑6英吋(15.24cm)的複合標靶。

將濺鍍裝置的成膜室排氣到$5x10^{-4}$Pa 後導入 Ar 氣，調節氣體流量使成膜室的氣體壓力爲0.5Pa。藉由400W 的高頻(13.56MHz)電力的輸入使電漿產生。在成膜時加熱基板到約200℃。以 TEM 觀察如此形成的 Pt-SiO_2複合膜的結果，確認了平均粒子徑約2nm 的 Pt 結晶粒子分散於非晶的絕緣層 SiO_2中。

其次，以 CVD 法形成成爲浮置閘4的多晶 Si，在其上更以 CVD 法形成 SiO_2膜後，藉由熱氮化形成 SiN_x層，令

此 SiN_x 層爲閘絕緣膜6。藉由 CVD 法形成含磷多晶矽層後當作控制閘7，藉由乾式蝕刻法部分地除去控制閘7、閘絕緣膜6、浮置閘4、電荷保持層3、遂穿絕緣膜2，形成閘極構造。

然後，以低能淺淺地離子植入磷(砷也可以)形成淺的接合區域9a 以及10a，藉由 CVD 法形成 SiO_2膜，一旦覆蓋前述的閘極構造即遂穿絕緣膜2、電荷保持層3、浮置閘4、閘絕緣膜6以及控制閘7的全體。藉由以乾式蝕刻法部分地蝕刻(回蝕:etch back)此 SiO_2膜，形成側壁8。

再者，以高能稍微深地離子植入磷(砷也可以)形成接觸區域9b 以及10b，進行回火處理形成源極區域9、汲極區域10。

【產業上的可利用性】

本發明中的非揮發性半導體記憶元件與習知的同種的記憶元件比較，可縮短資料的寫入或抹除時間，同時可大幅增加重寫次數，而且可以低的電力消耗使其動作。

因此，可應用在習知的非揮發性半導體記憶元件中適用困難的機器或技術領域，特別是對在攜帶終端機器中的廣範圍的應用或利用 DRAM 的置換的個人電腦搭載記憶體的非揮發化，再者所謂的最終的記憶體裝置的單電子裝置的應用也可能。

而且，因使用濺鍍法，故形成超微粒子的材料可廣泛地選擇各種組成的物質，藉由變更製作條件可比較自由地

控制超微粒子的粒子徑。據此，可比較自由地組合適合目的的材料，例如超微粒子選擇磁性金屬或磁性半導體的情形，可藉由量子效應製作新穎的磁性裝置或光學裝置。而且，因使用濺鍍法，故可容易組裝到習知以來的某半導體製程。再者，交互疊層各種種類的材料也能形成人工晶格。

【圖式簡單說明】

第1圖是顯示本發明的非揮發性半導體記憶元件的一例的剖面概略圖。

第2圖是顯示本發明的非揮發性半導體記憶元件的其他例的剖面概略圖。

第3圖是顯示習知的 MONOS 記憶體的例子的剖面概略圖。

第4圖是顯示包含習知的離散 Si 超微粒子的半導體記憶元件的例子的剖面概略圖。

〔符號說明〕

1: 基板

1a: p型單晶 Si 基板

1b: 埋入氧化膜

1c: p型 SOI 層

2: 遂穿絕緣膜

3: 電荷保持層

3a: 超微粒子

3b: 絕緣層

4: 浮置閘

4a: 界面位準

5: SiN_x 膜

6: 閘絕緣膜

7: 控制閘

8: 側壁

9: 源極區域

9a、10a: 淺接合區域

9b、10b: 接觸區域

10: 汲極區域

11: 通道形成區域

伍、中文發明摘要

發明之名稱：非揮發性半導體記憶元件及製造方法

可縮短資料的寫入或抹除時間，同時可大幅增加重寫次數，而且可以低的電力消耗使其動作的非揮發性半導體記憶元件。

接鄰於遂穿絕緣膜2而形成的電荷保持層3係由每一電荷保持層3的平方公分以10^{12}~10^{14}個面密度獨立分散當作浮置閘功能的粒子徑5nm 以下的一種以上的單元素物質或化合物構成的超微粒子3a 而含有的電絕緣性的絕緣層3b構成的非揮發性半導體記憶元件。

陸、英文發明摘要

發明之名稱：

(1)

拾、申請專利範圍

1.一種非揮發性半導體記憶元件，包含：

形成於半導體基板表面的源極區域以及汲極區域；

用以連接該源極區域以及該汲極區域，且接觸於夾在該源極區域以及該汲極區域的通道形成區域而形成的遂穿絕緣膜；

接鄰於該遂穿絕緣膜而形成的電荷保持層；

接鄰於該電荷保持層而形成的閘絕緣膜；以及

接鄰於該閘絕緣膜而形成的控制閘，其特徵爲：

該電荷保持層係由每一非揮發性半導體記憶元件含有一個或每一該電荷保持層的平方公分以10^{12}~10^{14}個的面密度獨立分散由當作浮置閘功能的粒子徑5nm以下的一種以上的單元素物質或化合物構成的超微粒子而含有複數個的絕緣層構成。

2.一種非揮發性半導體記憶元件，包含：

形成於半導體基板表面的源極區域以及汲極區域；

用以連接該源極區域以及該汲極區域，且接觸於夾在該源極區域以及該汲極區域的通道形成區域而形成的遂穿絕緣膜；

接鄰於該遂穿絕緣膜而形成的電荷保持層；

接鄰於該電荷保持層而形成的浮置閘；以及

接鄰於該浮置閘而形成的閘絕緣膜；以及

接鄰於該閘絕緣膜而形成的控制閘，其特徵爲：

該電荷保持層具有促進由該通道形成區域朝該浮置閘

的電子的移動，且抑制由該浮置閘朝該通道形成區域的電子的移動之功能。

3.如申請專利範圍第2項所述之非揮發性半導體記憶元件，其中該電荷保持層係由每一該電荷保持層的平方公分以10^{12}~10^{14}個的面密度獨立分散由粒子徑5nm以下的一種以上的單元素物質或化合物構成的超微粒子而含有複數個的絕緣層構成。

4.如申請專利範圍第1項、第2項或第3項中任一項所述之非揮發性半導體記憶元件，其中構成該電荷保持層的超微粒子是由自由金屬、氧化物、碳化物、氮化物、矽化物以及硼化物構成的群選擇一種以上的單元素物質或化合物構成。

5.如申請專利範圍第1項、第2項或第3項中任一項所述之非揮發性半導體記憶元件，其中構成該電荷保持層的絕緣層是由自由氧化物、碳化物、氮化物、硼化物、矽化物以及氟化物構成的群選擇一種以上的化合物構成。

6.如申請專利範圍第1項、第2項或第3項中任一項所述之非揮發性半導體記憶元件，其中構成該電荷保持層的該超微粒子是在該絕緣層內二次元或三次元地分散。

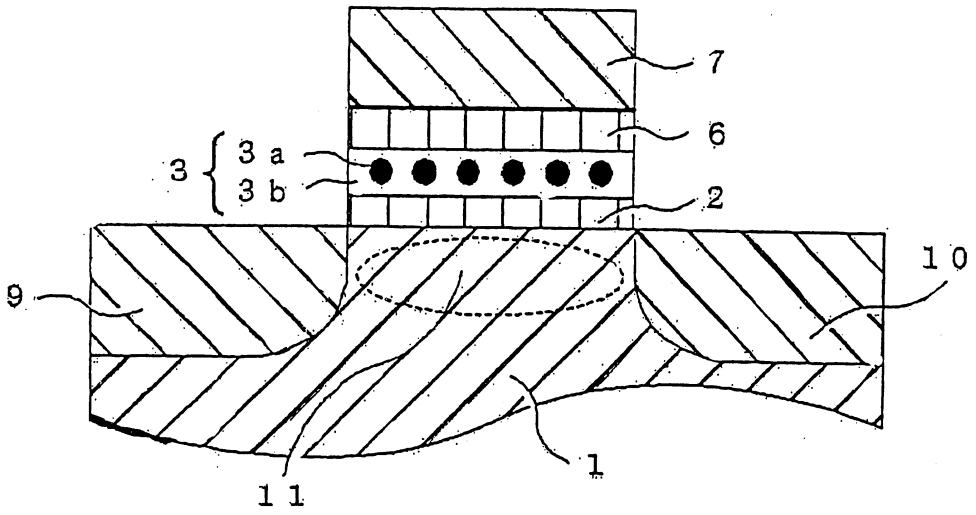
7.一種非揮發性半導體記憶元件的製造方法，具有申請專利範圍第6項所述之超微粒子二次元或三次元地分散於絕緣層中的電荷保持層，其特徵爲：

該電荷保持層係使用物理的蒸鍍法自組織地形成構成超微粒子以及絕緣層的各個材料。

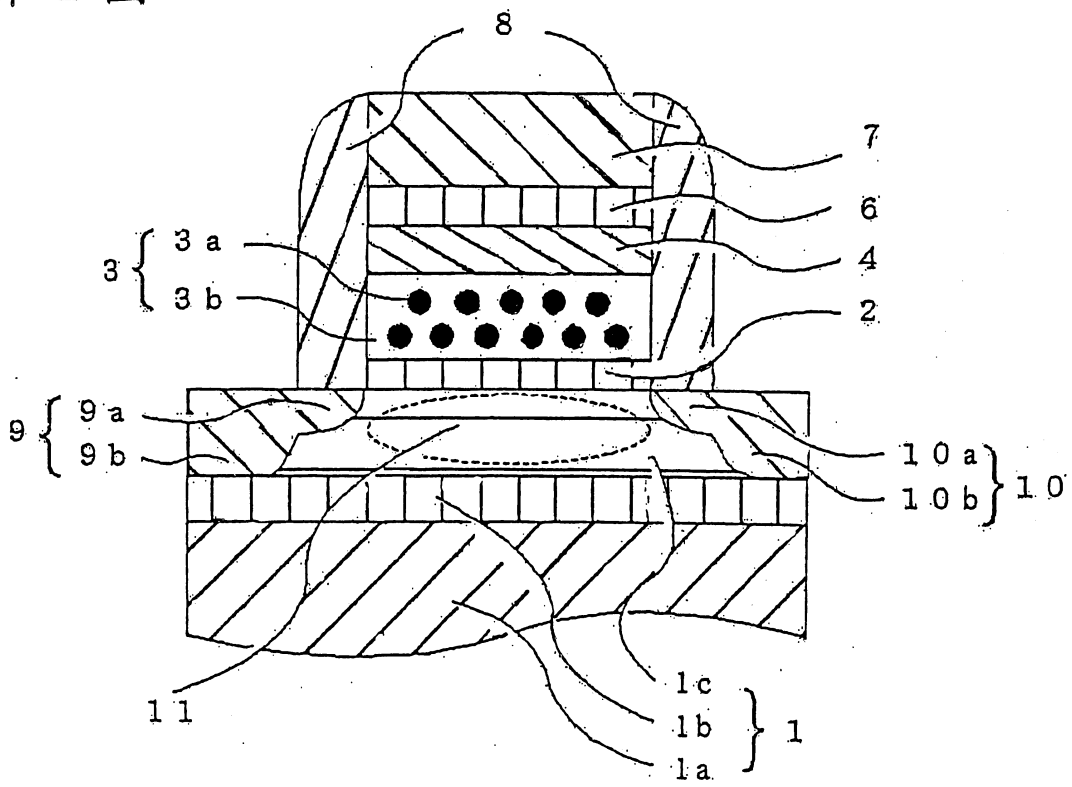
(3)

8.如申請專利範圍第7項所述之非揮發性半導體記憶元件的製造方法，其中該物理的蒸鍍法爲濺鍍法。

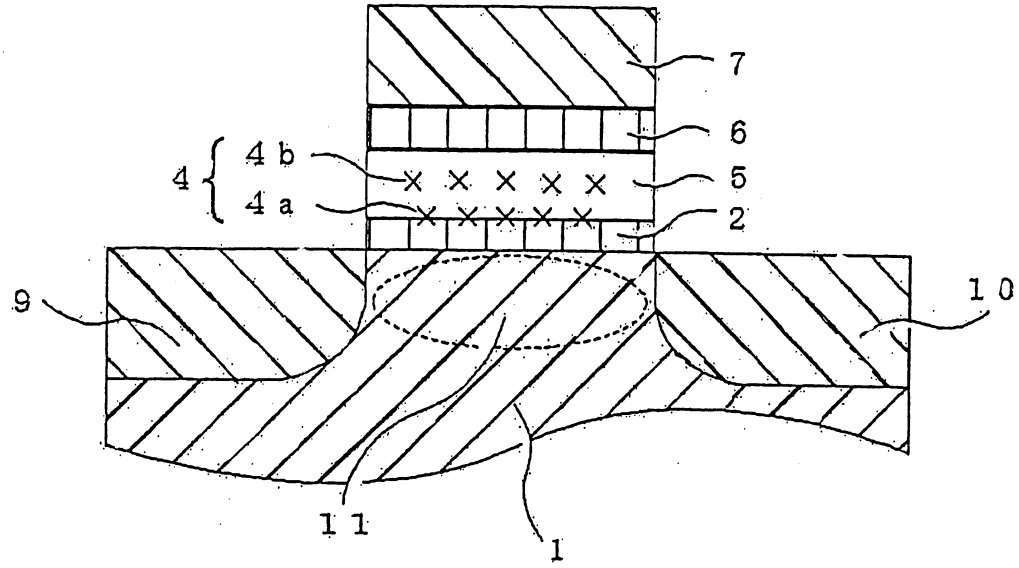
第 1 圖



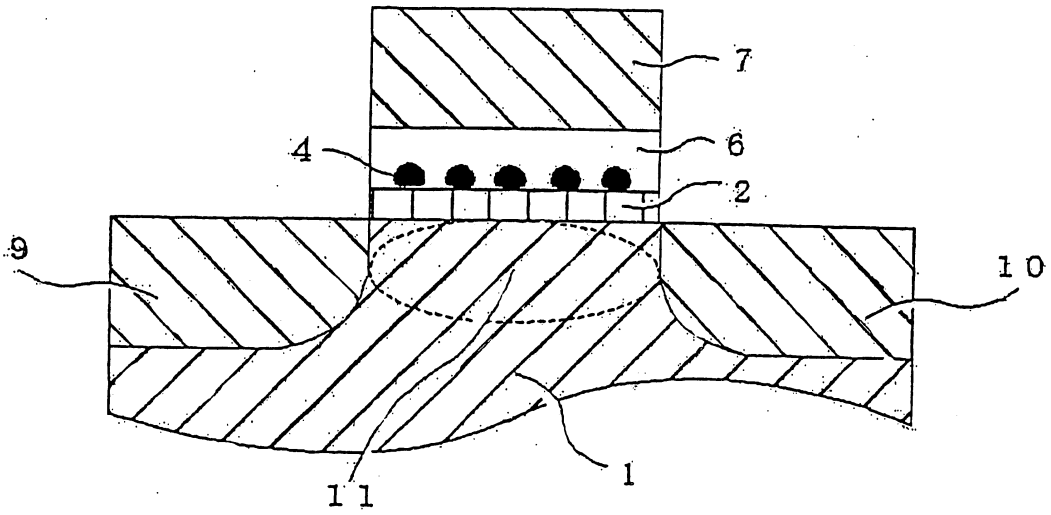
第 2 圖



第 3 圖



第 4 圖



柒、（一）、本案指定代表圖為：第 1 圖

（二）、本代表圖之元件代表符號簡單說明：

1：基板

2：遂穿絕緣膜

3：電荷保持層

3a：超微粒子

3b：絕緣層

6：閘絕緣膜

7：控制閘

9：源極區域

10：汲極區域

11：通道形成區域

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：