

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

147 635

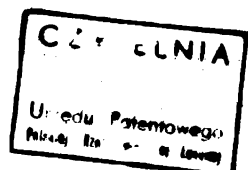
Patent dodatkowy
do patentu nr _____

Zgłoszono: 85 08 29 (P. 255169)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 87 06 15

Opis patentowy opublikowano: 89 10 31



Int. Cl.⁴ G06F 9/22

Twórcy wynalazku: Zbigniew Krzyżanowski, Wiktor Kuncewicz,
Sławomir Bronowski, Maciej Chachulski

Uprawniony z patentu: Instytut Technologii Elektronowej,
Warszawa (Polska)

SPOSÓB STEROWANIA MIKROKOMPUTEREM JEDNOSTRUKTUROWYM I UKŁAD MIKROKOMPUTERA DO STOSOWANIA TEGO SPOSOBU

Przedmiotem wynalazku jest sposób sterowania mikrokomputerem jednostrukturalnym i układ mikrokomputera stosujący ten sposób. Mikrokomputer ten przeznaczony jest do stosowania w systemach sterowania i systemach liczących w sensie uniwersalnym, w różnych dziedzinach tam gdzie program użytkowy mieści się w jego ograniczonej pamięci programu. Dotychczas znane rozwiązania tego typu mikrokomputerów, stosują rejestry liczników programu, niezależnie od innych bloków funkcjonalnych, zbudowane ze skomplikowanych przerzutników typu T, przez co zajmujących dużą część powierzchni układu.

W rozwiązaniach stosujących rejestry wskaźnikowe adresowania danych, umieszczone w pamięci danych - zachodzi konieczność wykonywania aż dwóch dostępów do pamięci danych w celu pobrania lub zapisu jednego słowa, ponadto konieczność wykorzystywania w tym przypadku arytmometru do inkrementacji zawartości rejestrów wskaźników danych jest także niekorzystna, gdyż blokuje arytmometr dla innych operacji. Istnieją także rozwiązania stosujące niezależne rejestry wskaźnikowe adresowania danych lecz inkrementacja ich zawartości dokonywana jest w arytmetrze.

Istotą sposobu według wynalazku jest to, że w takcie pierwszym cyklu maszynowego wykonuje się zależnie od stanu programu i stanu mikrokomputera, inkrementację zawartości rejestru licznika uniwersalnego oraz w przypadku wykonywania rozkazów pobierających dane, pobranie słowa z pamięci danych adresowanej za pomocą wskaźnika danych, utworzonego jako kombinacja jednego z dwóch rejestrów adresowania wierszy i jednego z dwóch rejestrów adre-

sowania kolumn, przy czym dla części rozkazów operację uzupełnia się równoczesną inkrementacją aktualnie wykorzystywanego rejestru, a w takcie drugim dokonuje się inkrementacji adresu kolejnego słowa pamięci programu w przypadku, gdy w trakcie aktualnie wykonywanego cyklu maszynowego z pamięci programu pobierane jest słowo, zaś w pozostałych przypadkach operację pobrania danej z pamięci danych z uwarunkowaniem, adresowaniem i uzupełnieniem jak w takcie pierwszym, a w takcie trzecim wykonuje się, zależnie od stanu programu i mikrokomputera, inkrementację zawartości drugiego licznika uniwersalnego oraz w przypadku wykonywania rozkazów zapisujących dane, operację zapisu danej do pamięci danych z adresowaniem i uzupełnianiem jak w takcie pierwszym.

Istotą układu według wynalazku jest to, że posiada on zintegrowany w postaci pamięci RAM o $n + 3$ wierszach zespół rejestrów, którego $n + 1$ wierszy są kolejnymi rejestrami stosu liczników rozkazów, gdzie licznik oznaczony numerem zero jest licznikiem rozkazów dla zerowego zagłębienia stosu, a każdy z pozostałych dwóch wierszy dzieli się na rejestr licznika uniwersalnego oraz rejestr części wskaźnika adresowania danych, posiadające niezależne linie wybierające, zaś linie bitów zespołu rejestrów połączone są z uniwersalnym inkrementerem, który w przypadku współpracy z licznikiem programu ma długość równą długości tego licznika, a w przypadku współpracy z licznikiem uniwersalnym i jednocześnie rejestrem części wskaźnika adresowania danych ma postać dwóch niezależnych inkrementerów, każdy o długości odpowiedniego rejestru. Mikrokomputer posiada wspólny dekodery wierszy pamięci danych i pamięci programu. Mikrokomputer według wynalazku odznacza się szeregiem korzystnych cech, tak użytkowych jak i funkcjonalnych oraz pozwala wyeliminować wady znanych rozwiązań. Jednocześnie wykonywanie operacji inkrementacji z dostępem do pamięci powoduje zmniejszenie czasu wykonywania instrukcji, a tym samym całych programów. Wykorzystanie rejestrów wskaźnika danych do wykonywania niektórych typów działań arytmetycznych pozwala zaoszczędzić wiele słów pamięci programu i znacznie skrócić czas wykonywania działań na ciągach danych (kodowanych binarnie bądź w zapisie BCD). Umieszczenie liczników uniwersalnych oraz rejestrów wskaźnika adresowania wierszy pamięci danych w jednym bloku z licznikami programu pozwala na budowę tej części układu z szeregu identycznych komórek pamięciowych statycznych (6 tranzystorów) bądź dynamicznych (1 tranzystor na komórkę), tworzących pamięć RAM, przy czym wszystkie elementy wykorzystują w działaniu jeden wspólny inkrementer. Taki sposób integracji tych układów pozwala wydatnie zmniejszyć powierzchnię układu scalonego, realizującego funkcje opisywanego mikrokomputera, jak również skrócić czas projektowania jego maski. Zmniejszenie powierzchni układu pociąga za sobą zmniejszenie kosztów wytwarzania (większy uzysk technologiczny). Zastosowanie wspólnego dekodera wierszy dla pamięci danych i programu pociąga za sobą oszczędność powierzchni struktury układu scalonego (1 dekodery zamiast dwóch) - większy uzysk technologiczny i prostsza konstrukcja maski.

Mikrokomputer o opisanych cechach jest zaprojektowany jako układ o 4-bitowym słowie danych. W okresie ostatnich lat pojawiło się co najmniej kilkanaście rodzin tego typu układów, produkowanych głównie przez firmy japońskie i amerykańskie z przeznaczeniem do zastosowania przede wszystkim w sprzęcie powszechnego użytku. Opisane cechy funkcjonalne pozwalają zastosować mikrokomputer według wynalazku również profesjonalnie, jako sterownik bądź układ kalkulatorowy. Nieznane są układy mikrokomputerów jednostrukturalnych, umożliwiające trzy dostępy do pamięci danych w jednym trzytaktowym cyklu maszynowym - jak to ma miejsce w przedmiocie wynalazku. Podobnie nieznane są układy mikrokomputerów jednostrukturalnych, umożliwiające równocześnie (w jednym takcie) z dostępem do pamięci danych inkrementację zawartości rejestru wskaźnika danych.

Sposób według wynalazku i układ mikrokomputera zostaną bliżej objaśnione na przykładzie wykonania, przedstawionym na rysunku i pokazującym schemat tego układu. Zintegrowany w postaci pamięci RAM zespół rejestrów ZR, którego 4 wiersze są kolejnymi rejestrami

stosu liczników rozkazów PC0 - PC3, a pozostała dwa wiersze podzielone są na rejestr licznika uniwersalnego TIM1, TIM0 i rejestr wskaźnika adresowania pamięci danych X1, X0, połączony jest poprzez linie bitów z jednym, uniwersalnym inkrementerem INC. Inkrementer ten może pracować w jednym z dwóch trybów: w przypadku współpracy z jednym z liczników programu (aktualnie wybranym przez wskaźnik stosu SP) ma on długość równą długości licznika rozkazów (12 bitów), zaś w przypadku współpracy z licznikiem uniwersalnym TIM0 lub TIM1 i jednocześnie rejestrem części wskaźnika adresowania wierszy pamięci danych X0 lub X1 przyjmie postać dwóch niezależnych inkrementerów - o długości 8 bitów dla rejestrów liczników uniwersalnych TIM0, TIM1 i drugiego o długości 4 bitów dla rejestrów wskaźników danych X0, X1. Rejestry liczników uniwersalnych i rejestry wskaźników danych X0, X1 posiadają niezależne linie wybierające. Rejestry liczników rozkazów wybierane są poprzez linie połączone ze wskaźnikiem stosu SP. Przykładowy stos liczników rozkazów jest 3-poziomowy, dla zerowego zagłębienia stosu wybrany jest licznik PC0, przy przejściu do wykonywania podprogramu aktywny jest sygnał D (DOWN SP), sterujący wskaźnikiem stosu, który wybiera kolejny licznik rozkazów PC1 itd. Przy powrocie z podprogramu na skutek działania instrukcji RET aktywny jest sygnał U (UP SP), sterujący wskaźnikiem stosu i wybierany jest licznik rozkazów o kolejnym niższym zagłębieniu. Inkrementacja bądź dekrementacja wskaźnika stosu SP odbywa się w taktach T2. Ustawianie lub odczyty zawartości liczników rozkazów dokonywane jest poprzez linie bitów połączone z wewnętrzną szyną danych IDB. Ilość linii szyny danych równa jest ilości bitów słowa danych. Dwanaście linii bitów zespołu rejestrów służy do adresowania pamięci programu PM. Adresowanie słowa pamięci programu odbywa się poprzez dekodery kolumn CD oraz dekodery wierszy RD. Dekoder wierszy RD jest wspólny do wybierania wierszy zarówno pamięci programu PM jak i pamięci danych DM. Inkrementacja adresu pamięci programu $PC \leftarrow PC + 1$ dokonywana jest w taktach T2, natomiast w taktach następnym T3 wybrane słowo z pamięci PM przesyłane jest do rejestru rozkazów IR. Zawartość rejestru rozkazów dekodowana jest również w taktach T3 i przesyłana do układu sterowania centralnego MC, a jednocześnie do arytmometru ALU. Wymiana informacji pomiędzy rejestrem rozkazów i arytmometrem jest dwukierunkowa. Z drugiej strony arytmometr posiada możliwość dwukierunkowej transmisji informacji z szyną danych IDB. W skład arytmometru wchodzi rejestr akumulatora A, o długości słowa danych, do którego przesyłane są wyniki operacji arytmetyczno-logicznych. Wymiana informacji pomiędzy blokiem arytmometru ALU, a pamięcią danych DM i rejestrami układów I/O (WE/WY) odbywa się poprzez wewnętrzną szynę danych IDB. W układzie sterowania centralnego MC generowane są sygnały taktów T1, T2, T3, synchronizujące pracę mikrokomputera, sygnały UD sterujące wskaźnikiem stosu SP, sygnały S1, S2 służące do selekcji rejestrów X0 lub X1 (sygnał S1) oraz rejestrów Y0 lub Y1 (sygnał S2), a także sygnały CY1, CY2 do sterowania inkrementacją. Pozostałe sygnały sterujące nie są istotne w przedmiocie wynalazku. Układ sterowania inkrementacją oznaczony ICC działa w taktach T2. Adresowanie kolumn pamięci danych DM przez jeden z rejestrów wskaźnika danych Y0 lub Y1 dokonywane jest poprzez multiplekser MUX. Multiplekser sterowany sygnałem S2 wybiera rejestr Y0 lub Y1. Do sterowania rejestrów wskaźnika adresowania danych DP służy układ DPC (DATA POINTER CONTROL), którego działanie może zachodzić w taktach pierwszym T1 i w taktach trzecim T3.

W trakcie wykonywania ostatniego cyklu maszynowego dla danego rozkazu w taktach T2 inkrementowana jest zawartość licznika rozkazów ($PC \leftarrow PC + 1$) i adresowany jest następny rozkaz pamięci programu. To "nakładkowanie" mikrooperacji mikrokomputera daje przyspieszenie jego działania.

Z a s t r z e ż e n i a p a t e n t o w e

1. Sposób sterowania mikrokomputerem jednostrukturalnym, gdzie wykonywanie poszczególnych operacji odbywa się z podziałem w czasie w trakcie taktów odpowiednich cykli maszynowych, oraz gdzie każdy cykl maszynowy dzieli się na trzy takty, z n a m i e n n y t y m, że w takcie pierwszym (T1) wykonuje się, zależnie od stanu programu i stanu mikrokomputera, inkrementację zawartości rejestru licznika uniwersalnego (TIM0) oraz w przypadku wykonywania rozkazów pobierających dane, pobranie słowa z pamięci danych adresowanej za pomocą wskaźnika danych, utworzonego jako kombinacja jednego z dwóch rejestrów (X0, X1) adresowania wierszy i jednego z dwóch rejestrów (Y0, Y1) adresowania kolumn, przy czym dla części rozkazów operację uzupełnia się równoczesną inkrementacją aktualnie wykorzystywanego rejestru (X0, X1), a w takcie drugim (T2) dokonuje się inkrementacji adresu kolejnego słowa pamięci programu w przypadku, gdy w trakcie aktualnie wykonywanego cyklu maszynowego z pamięci programu pobierane jest słowo, zaś w pozostałych przypadkach operację pobrania danej z pamięci danych z uwarunkowaniem, adresowaniem i uzupełnieniem jak w takcie pierwszym (T1), a w takcie trzecim (T3) wykonuje się, zależnie od stanu programu i mikrokomputera, inkrementację zawartości drugiego licznika uniwersalnego (TIM1) oraz w przypadku wykonywania rozkazów zapisujących dane, operację zapisu danej do pamięci danych z adresowaniem i inkrementacją jak w takcie pierwszym (T1).

2. Sposób według zastrz. 1, z n a m i e n n y t y m, że wskaźnik danych ograniczony jest do rejestrów (X0, X1).

3. Układ mikrokomputera jednostrukturalnego, z n a m i e n n y t y m, że ma zintegrowany w postaci pamięci RAM o $n + 3$ wierszach zespół rejestrów (ZR), którego $n + 1$ wierszy są kolejnymi rejestrami stosu liczników rozkazów (PC0 - PCn), gdzie licznik oznaczony numerem zero PC0 jest licznikiem rozkazów dla zerowego zagłębienia stosu, a każdy z pozostałych dwóch wierszy dzieli się na rejestr licznika uniwersalnego (TIM0), (TIM1) oraz rejestr części wskaźnika adresowania danych (X0, X1) posiadające niezależne linie wybierające, zaś linie bitów zespołu rejestrów (ZR) połączone są z uniwersalnym inkrementerem (INC), który w przypadku współpracy z licznikiem programu (PC0 - PCn) ma długość równą długości tego licznika, a w przypadku współpracy z licznikiem uniwersalnym (TIM0, TIM1) i jednocześnie rejestrem części wskaźnika adresowania danych (X0, X1) ma postać dwóch niezależnych inkrementerów, każdy o długości odpowiedniego rejestru.

4. Układ mikrokomputera według zastrz. 2, z n a m i e n n y t y m, że posiada wspólny dekodery wierszy (RD) pamięci danych (DM) i pamięci programu (PM).

5. Układ mikrokomputera według zastrz. 4, z n a m i e n n y t y m, że wskaźnik danych ograniczony jest do rejestrów (X0, X1).

