



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I389254B1

(45)公告日：中華民國 102 (2013) 年 03 月 11 日

(21)申請案號：098120878

(22)申請日：中華民國 95 (2006) 年 06 月 22 日

(51)Int. Cl. : H01L21/768 (2006.01)

H01L21/3065(2006.01)

(30)優先權：2005/07/06 日本

2005-197938

(71)申請人：瑞薩科技股份有限公司 (日本) RENESAS TECHNOLOGY CORP. (JP)
日本

(72)發明人：堀田勝彥 (JP)；世原鄉子 (JP)

(74)代理人：陳長文

(56)參考文獻：

JP 2003-092287A

US 6617690B1

US 7015133B2

US 7052990B2

US 2003/0111729A1

US 2005/0153566A1

審查人員：張添智

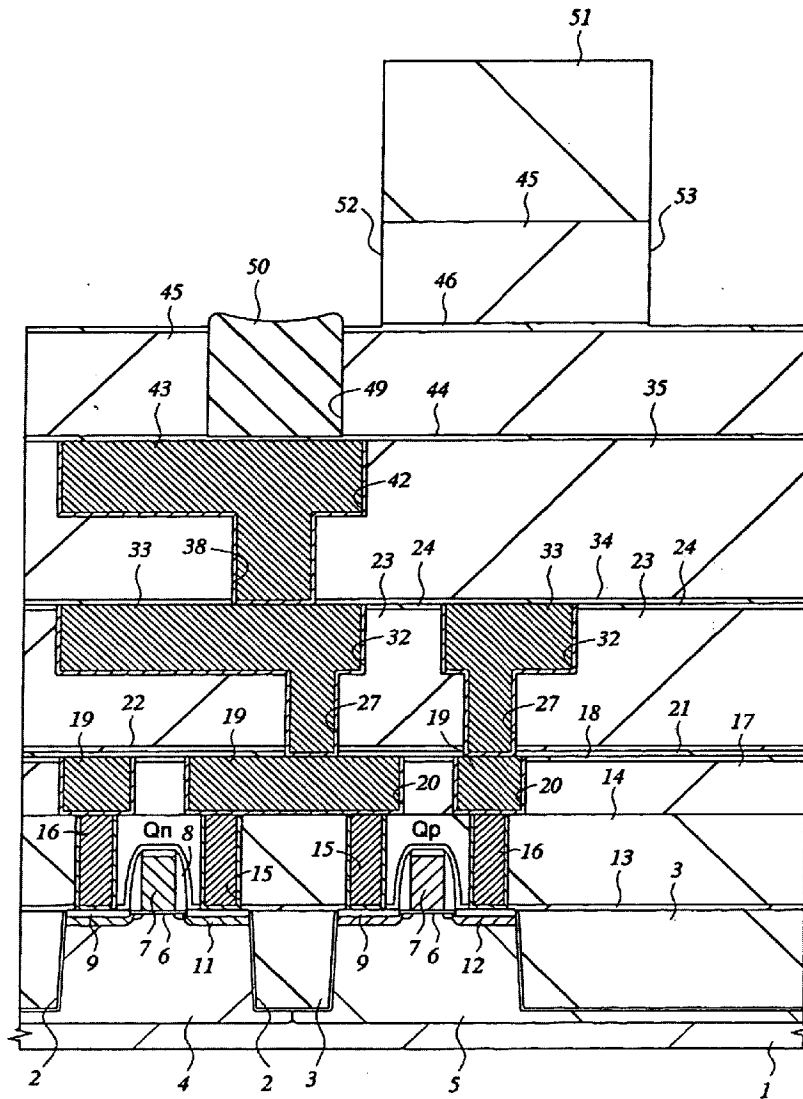
申請專利範圍項數：41 項 圖式數：30 共 0 頁

(54)名稱

半導體積體電路裝置及半導體積體電路裝置之製造方法

(57)摘要

本發明簡化使用雙道金屬鑲嵌(Dual-Damascene)法之多層銅布線之形成步驟。其係將形成於層間絕緣膜 45 上之光阻膜 51 作為遮罩，乾式蝕刻層間絕緣膜 45，藉由在形成於層間絕緣膜 45 中途部之停止膜 46 之表面蝕刻，而形成布線溝 52、53。此時，藉由光反射率低之 SiCN 膜構成停止膜 46，藉由使光阻膜 51 作為曝光時之防反射膜之功能，而無須在光阻膜 51 之下層形成防反射膜之步驟。



- 1 . . . 半導體基板
2 . . . 元件分離溝
3 . . . 氧化矽膜
4 . . . p 型井
5 . . . n 型井
6 . . . 閘極絕緣膜
7 . . . 閘極電極
8 . . . 側壁間隔物
9 . . . 矽化鈷膜
11 . . . n 型半導體
區域(源極、汲極)
12 . . . p 型半導體
區域(源極、汲極)
13 . . . 蝕刻停止膜
14 . . . 絕緣膜
15 . . . 接觸孔
16 . . . 插塞
17 . . . 絕緣膜
(SiOC 膜)
18 . . . 絕緣膜
19 . . . 第一層布線
20 . . . 布線溝
21,22 . . . 障壁絕緣
膜
23 . . . 層間絕緣膜
24 . . . 絕緣膜
27 . . . 通孔
32 . . . 布線溝
33 . . . 第二層布線
34 . . . 障壁絕緣膜
35 . . . 層間絕緣膜
38 . . . 通孔
42 . . . 布線溝
43 . . . 第三層布線
44 . . . 障壁絕緣膜
45 . . . 層間絕緣膜
46 . . . 停止膜
49 . . . 通孔

50 . . . 埋入劑
51 . . . 光阻膜
52,53 . . . 布線溝
Qn . . . n 通道型
MISFET
Qp . . . p 通道型
MISFET

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98120878

※ 申請日期：95.6.22

※IPC 分類：H01L 21/768 (2006.01)

原申請案號：095122404

H01L 21/3205 (2006.01)

一、發明名稱：(中文/英文)

半導體積體電路裝置及半導體積體電路裝置之製造方法

二、中文發明摘要：

本發明簡化使用雙道金屬鑲嵌(Dual-Damascene)法之多層銅布線之形成步驟。其係將形成於層間絕緣膜45上之光阻膜51作為遮罩，乾式蝕刻層間絕緣膜45，藉由在形成於層間絕緣膜45中途部之停止膜46之表面蝕刻，而形成布線溝52、53。此時，藉由光反射率低之SiCN膜構成停止膜46，藉由使光阻膜51作為曝光時之防反射膜之功能，而無須在光阻膜51之下層形成防反射膜之步驟。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第(19)圖。

(二)本代表圖之元件符號簡單說明：

1	半導體基板
2	元件分離溝
3	氧化矽膜
4	p型井
5	n型井
6	閘極絕緣膜
7	閘極電極
8	側壁間隔物
9	矽化鈷膜
11	n型半導體區域(源極、汲極)
12	p型半導體區域(源極、汲極)
13	蝕刻停止膜
14	絕緣膜
15	接觸孔
16	插塞
17	絕緣膜(SiOC膜)
18	絕緣膜
19	第一層布線
20	布線溝
21,22	障壁絕緣膜
23	層間絕緣膜

24	絕緣膜
27	通孔
32	布線溝
33	第二層布線
34	障壁絕緣膜
35	層間絕緣膜
38	通孔
42	布線溝
43	第三層布線
44	障壁絕緣膜
45	層間絕緣膜
46	停止膜
49	通孔
50	埋入劑
51	光阻膜
52,53	布線溝
Qn	n通道型 MISFET
Qp	p通道型 MISFET

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於半導體積體電路裝置之製造技術，特別是關於適用於使用雙道金屬鑲嵌(Dual-Damascene)法形成布線之有效技術。

【先前技術】

近年來，微細化之半導體積體電路裝置之製造步驟，係以稱為金屬鑲嵌(Damascene)法之微細布線形成方法為主流。

金屬鑲嵌法係藉由在半導體基板上之層間絕緣膜中形成微細之布線溝後，在包含該布線溝之內部之層間絕緣膜上堆積金屬膜，其次，使用化學性機械研磨(CMP: Chemical Mechanical Polishing)法，除去布線溝外部之金屬膜，而在布線溝之內部形成微細之埋入布線之方法。

上述金屬鑲嵌法中，稱為雙道金屬鑲嵌法之方法，係在形成於層間絕緣膜之布線溝之下部，形成下層布線連接用之通孔，藉由在布線溝與通孔中同時埋入金屬膜而形成布線，謀求縮短步驟數。另外，預先在通孔之內部形成金屬插塞後，在布線溝之內部形成埋入布線之方法，則稱為單道金屬鑲嵌(Single-Damascene)法。

埋入布線用之金屬材料，主要使用即使細線化仍可確保高度可靠性之銅(Cu)。此外，使用金屬鑲嵌法，於層間絕緣膜中形成埋入布線時，為了減少鄰接布線間產生之電容，係以介電常數低之絕緣材料構成層間絕緣膜。在包含

低介電常數材料之層間絕緣膜中，以金屬鑲嵌法形成埋入布線之技術，如記載於日本特開2004-221275號公報(專利文獻1)及日本特開2003-124307號公報(專利文獻2)等。

此外，於日本特開2003-163265號公報(專利文獻3)中揭示有：藉由單道金屬鑲嵌法形成布線層時，於開設通孔時，使用SiCN膜作為抗蝕圖案之防反射膜之製造方法。

[專利文獻1]日本特開2004-221275號公報

[專利文獻2]日本特開2003-124307號公報

[專利文獻3]日本特開2003-163265號公報

【發明內容】

[發明所欲解決之問題]

本發明人檢討之藉由雙道金屬鑲嵌法形成多層銅布線之步驟的概要如下。

(步驟1)首先，使用先前熟知之方法，在半導體基板上形成半導體元件，並在半導體元件之上部形成下層布線。

(步驟2)其次，在下層布線之上部堆積層間絕緣膜，在層間絕緣膜上形成防反射膜後，在防反射膜上形成光阻膜。光阻膜藉由使用形成有通孔圖案之光罩進行曝光，繼續進行顯影，而轉印將通孔形成區域予以開口之圖案。形成防反射膜係為了防止將光阻膜予以曝光時，在下層布線之表面反射之曝光之光入射於光阻膜，而降低解像度。形成於光阻膜下層之防反射膜亦稱為BARC(底部防反射塗佈(Bottom Anti Reflective Coating))。

(步驟3)其次，將光阻膜作為遮罩，藉由乾式蝕刻防反

射膜及層間絕緣膜，而在層間絕緣膜中形成通孔。繼續除去光阻膜與防反射膜，在通孔之內部填充埋入劑。埋入劑包含與防反射膜大致相同組成之絕緣材料。在通孔之內部填充埋入劑時，於包含通孔之內部之層間絕緣膜上堆積埋入劑後，藉由回蝕除去通孔外部之埋入劑。進行該回蝕時，填充於通孔之埋入劑之表面形成大致平坦，且與層間絕緣膜之表面大致相同高度。

(步驟4)其次，在層間絕緣膜上形成第二防反射膜，在該防反射膜上形成第二光阻膜。第二光阻膜藉由使用形成有布線溝圖案之光罩進行曝光，繼續進行顯影，而轉印將布線溝形成區域予以開口之圖案。其次，藉由將第二光阻膜作為遮罩，乾式蝕刻第二防反射膜，繼續乾式蝕刻層間絕緣膜至其中途，而在通孔之上部形成布線溝。

(步驟5)其次，除去第二光阻膜後，除去第二防反射膜。除去第二防反射膜時，亦除去填充於通孔之埋入劑，使下層布線之表面露出於通孔之底部。而後，在布線溝及通孔之內部形成銅布線。形成銅布線時，係在包含布線溝及通孔內部之層間絕緣膜上，以濺鍍法或電鍍法堆積銅膜後，藉由化學性機械研磨法除去布線溝外部之銅膜。以下，藉由反覆進行上述步驟2~步驟5，而在半導體基板上形成多層銅布線。

一般而言，形成於半導體基板上之多層銅布線，如同上層之布線，寬度及厚度變大。因此，形成於上層之層間絕緣膜之通孔之直徑及深度亦比形成於下層之層間絕緣膜之

通孔大。

然而，通孔之直徑及深度變大時，在上述步驟3中，不易在通孔之內部良好地填充埋入劑。因而，在包含通孔之內部之層間絕緣膜上堆積埋入劑後，藉由回蝕除去通孔外部之埋入劑時，填充於通孔之埋入劑之表面不平坦，而在與層間絕緣膜之表面之間產生階差。因而發生在其次之步驟4中，無法在層間絕緣膜上均一地形成防反射膜之問題。

本發明之目的在提供一種良率佳地藉由雙道金屬鑲嵌法形成多層銅布線之技術。

本發明之其他目的在提供一種可簡化藉由雙道金屬鑲嵌法形成多層銅布線之步驟之技術。

本發明之前述及其他目的與新型特徵，從本說明書之內容及附圖即可明瞭。

[解決問題之手段]

本專利中揭示之發明中，代表性之發明概要簡單說明如下。

本發明之半導體積體電路裝置之製造方法，包含以下步驟：(a)在半導體基板之主面上形成半導體元件，在前述半導體元件之上部形成一層或數層第一布線；(b)在前述第一布線之上部形成第一層間絕緣膜，在前述第一層間絕緣膜之中途部形成第一停止膜；(c)在前述第一層間絕緣膜之上部形成第一防反射膜，在前述第一防反射膜之上部形成第一光阻膜；(d)將前述第一光阻膜作為遮罩，藉由蝕刻前述

第一防反射膜、前述第一層間絕緣膜及前述第一停止膜，而在前述第一層間絕緣膜中形成第一通孔；(e)除去前述第一光阻膜及前述第一防反射膜後，在前述第一通孔之內部填充第一埋入劑；(f)在前述步驟(e)之後，於前述第一層間絕緣膜之上部，不經由防反射膜，而形成第二光阻膜；(g)將前述第二光阻膜作為遮罩，藉由蝕刻包含形成有前述第一通孔區域之區域之前述第一層間絕緣膜，而在前述第一停止膜上部之前述第一層間絕緣膜上形成第一布線溝；及(h)除去前述第二光阻膜及前述第一埋入劑後，在前述第一布線溝及前述第一通孔之內部埋入金屬膜，而形成第二布線；藉由以光反射率低之材料構成前述第一停止膜，將形成於前述第一層間絕緣膜上部之前述第二光阻膜予以曝光，而轉印前述第一布線溝之圖案時，係利用前述第一停止膜作為防反射膜者。

[發明效果]

本專利中揭示之發明中，藉由代表性之發明而獲得之效果簡單說明如下。

可良率佳地藉由雙道金屬鑲嵌法形成多層銅布線。此外，可簡化藉由雙道金屬鑲嵌法而形成多層銅布線之步驟。

【實施方式】

以下，依據圖式詳細說明本發明之實施形態。另外，說明實施形態用之全部圖式中，原則上相同之構件上註記相同符號，並省略其重複說明。

(第一種實施形態)

本實施形態如係包含4層銅布線與保險絲之半導體積體電路裝置，並使用圖1~圖26，按照步驟順序說明其製造方法。

首先，如圖1所示，如在包含單結晶矽之半導體基板(以下簡稱為基板)1之主面上，作為半導體元件而形成n通道型MISFET(Qn)及p通道型MISFET(Qp)。另外，圖中之符號2表示元件分離溝，符號4表示p型井，符號5表示n型井。

元件分離溝2係在蝕刻基板1而形成之溝內部，作為絕緣膜如埋入氧化矽膜3而形成。p型井4及n型井5係藉由在基板1上離子佈植p型雜質(硼)及n型雜質(磷)，繼續熱處理基板1，而使此等雜質擴散於基板1中而形成。

n通道型MISFET(Qn)藉由：包含形成於p型井4表面之氧化矽膜或氧氮化矽膜之閘極絕緣膜6，包含形成於閘極絕緣膜6上部之多結晶矽膜等之閘極電極7，包含形成於閘極電極7側壁之氧化矽膜等之側壁間隔物8，及形成於閘極電極7兩側之p型井4之一對n型半導體區域(源極、汲極)11等而構成。p通道型MISFET(Qp)係由：閘極絕緣膜6、閘極電極7、側壁間隔物8、及形成於閘極電極7兩側之n型井5之一對p型半導體區域(源極、汲極)12等而構成。構成n通道型MISFET(Qn)之閘極電極7之多結晶矽膜中導入n型雜質(磷)，在構成p通道型MISFET(Qp)之閘極電極7之多結晶矽膜中導入p型雜質(硼)。此外，在n通道型MISFET(Qn)之閘極電極7與n型半導體區域(源極、汲極)11之各個表面，

及 p 通道型 MISFET(Qp) 之閘極電極 7 與 p 型半導體區域(源極、汲極)12 之各個表面，形成矽化鈷(Co)膜 9，使閘極電極 7 及源極、汲極達到低電阻化。

其次，如圖 2 所示，在 n 通道型 MISFET(Qn) 及 p 通道型 MISFET(Qp) 之上部形成插塞 16 及第一層布線 19，並經由插塞 16 而電性連接 n 通道型 MISFET(Qn) 及 p 通道型 MISFET(Qp) 與第一層布線 19。

第一層布線 19 係由以下之方法而形成。首先，在基板 1 上堆積蝕刻停止膜 13 與絕緣膜 14 後，以化學性機械研磨法將絕緣膜 14 之表面予以平坦化。蝕刻停止膜 13 如由以 CVD 法堆積之氮化矽膜而構成，絕緣膜 14 如由以 CVD 法堆積之氧化矽膜而構成。

其次，蝕刻 n 通道型 MISFET(Qn) 之 n 型半導體區域(源極、汲極)11 及 p 通道型 MISFET(Qp) 之 p 型半導體區域(源極、汲極)12 之各個上部的絕緣膜 14，繼續，蝕刻其下層之蝕刻停止膜 13，而形成接觸孔 15。其次，在接觸孔 15 之內部形成插塞 16。插塞 16 如由氮化鈦(TiN)膜與鎢(W)膜之疊層膜而構成。此時，氮化鈦膜作為鎢膜之障壁金屬膜之功能。障壁金屬膜亦可由氮化鈦膜與鈦(Ti)膜之疊層膜而構成。

其次，在絕緣膜 14 之上部，以 CVD 法堆積膜厚為 200nm 程度之絕緣膜 17(SiOC 膜 17)與膜厚為 50nm 程度之包含氧化矽膜之絕緣膜 18 後，將光阻膜(圖上未顯示)作為遮罩，藉由乾式蝕刻絕緣膜 18 及 SiOC 膜 17，而形成布線溝 20。絕緣

膜 17(SiOC 膜 17)係減少布線間電容用之低介電常數絕緣膜，如可採用具有介電常數比氧化矽膜(如 TEOS(四乙氧基矽烷)氧化膜)之介電常數低之絕緣膜。一般而言，將 TEOS 氧化膜之相對介電常數 $\varepsilon = 4.1 \sim 4.2$ 程度以下稱為低介電常數之絕緣膜。本實施形態中，其相對介電常數為 2.7 程度。形成於 SiOC 膜 17 上部之絕緣膜 18，作為防止機械性強度低之 SiOC 膜 17 藉由化學性機械研磨而惡化之保護膜的功能。

其次，在布線溝 20 之內部，以濺鍍法堆積包含膜厚 50 nm 程度之氮化鈦膜，或氮化鈦膜與鈦膜之疊層膜之障壁金屬膜，繼續，以濺鍍法或電鍍法堆積完全埋入布線溝 20 內部之厚度 (800 nm ~ 1600 nm 程度) 之銅膜。障壁金屬膜作為防止銅膜擴散於周圍之絕緣膜中之障壁膜的功能。障壁金屬膜除氮化鈦膜之外，可使用氮化鎢 (WN) 膜及氮化鉭 (TaN) 膜等氮化金屬膜或在此等中添加矽之合金膜，或是鉭膜、鈦膜、鎢膜、鎢化鈦膜等高熔點金屬膜，或是此等高熔點金屬膜之疊層膜等，而不易與銅反應之各種導電膜。

其次，藉由化學性機械研磨法除去布線溝 20 外部之銅膜與障壁金屬膜，在布線溝 20 之內部埋入以銅為主要成分之金屬膜而形成。如此，形成包含保留於布線溝 20 內部之障壁金屬膜與銅膜之疊層膜之第一層布線 19。

其次，如圖 3 所示，在第一層布線 19 之上層依序堆積障壁絕緣膜 21、22、層間絕緣膜 23 及絕緣膜 24。障壁絕緣膜

21係防止第一層布線19材料之銅擴散於層間絕緣膜23中用之絕緣膜，如藉由以電漿CVD法堆積之膜厚為20 nm~100 nm程度之SiCN膜而構成。此外，障壁絕緣膜22係防止構成下層之障壁絕緣膜21之SiCN膜中包含之胺化合物擴散於層間絕緣膜23中用之絕緣膜，如藉由以CVD法堆積之膜厚10 nm~100 nm程度之SiCO膜而構成。胺化合物擴散於層間絕緣膜23中時，在其次之步驟，胺化合物擴散於形成於絕緣膜24上層之光阻膜中，而可能導致光阻膜之感光功能鈍化。

層間絕緣膜23，為了減少在第一層布線19與爾後步驟中形成之第二層布線之間形成之電容，而由介電常數低之絕緣膜，如由上述之SiOC膜而構成。SiOC膜以CVD法堆積，其膜厚為460 nm程度。此外，層間絕緣膜23之低介電常數之膜亦可藉由塗佈法而形成。此外，形成於層間絕緣膜23上部之絕緣膜24，與下層之絕緣膜18相同，係藉由化學性機械研磨形成銅布線時，為了保護包含機械性強度低之SiOC膜之層間絕緣膜23用的絕緣膜，如由以CVD法堆積之膜厚50 nm程度之氧化矽膜而構成。

其次，如圖4所示，在絕緣膜24上形成防反射膜25，在防反射膜25上形成光阻膜26。防反射膜25係為了防止將光阻膜26予以曝光時，在第一層布線19之表面反射之曝光之光入射於光阻膜26造成解像度降低而形成。防反射膜係稱為BARC(底部防反射塗佈)之膜，且係折射率比基底之絕緣膜24及層間絕緣膜23高之膜。光阻膜26藉由使用形成有

通孔圖案之光罩(圖上未顯示)進行曝光，繼續進行顯影，而轉印將通孔形成區域予以開口之圖案。

其次，如圖5所示，將光阻膜26作為遮罩，藉由依序乾式蝕刻防反射膜25、絕緣膜24及層間絕緣膜23，而在第一層布線19之上部形成通孔27。

其次，除去光阻膜26與防反射膜25。此時，以上述之BARC形成防反射膜25時，因膜之組成與光阻膜26類似，因此可藉由一次洗淨而同時除去光阻膜26及防反射膜25。而後如圖6所示，在通孔27之內部填充埋入劑28。埋入劑28包含與防反射膜25大致相同組成之絕緣材料。填充埋入劑28時，係在包含通孔27內部之絕緣膜24上旋轉塗佈埋入劑28使其硬化後，藉由回蝕而除去通孔27外部之埋入劑28。連接第一層布線19與爾後形成之第二層布線之通孔27之直徑比較小。因而，進行該回蝕時，填充於通孔27之埋入劑28表面成為大致平坦之面，且與絕緣膜24之表面大致同高。

其次，如圖7所示，在絕緣膜24上形成防反射膜30，並在防反射膜30上形成光阻膜31。本實施形態中，防反射膜30使用上述之BARC。光阻膜31藉由使用形成有布線溝圖案之光罩(圖上未顯示)進行曝光，繼續進行顯影，而轉印將布線溝形成區域予以開口之圖案。

其次，如圖8所示，將光阻膜31作為遮罩，依序乾式蝕刻防反射膜30及絕緣膜24，繼續藉由乾式蝕刻層間絕緣膜23至其中途，而形成布線溝32。此時，由於層間絕緣膜23

中不存在成為蝕刻停止器之膜，因此布線溝32形成之蝕刻係藉由時間控制來進行。亦如後述所示，由於下層之布線尺寸係比上層之布線尺寸微細地佈局，因此形成介電常數比層間絕緣膜23高之膜時，布線間電容增大。本實施形態藉由不在層間絕緣膜23中形成蝕刻停止膜，可減少布線間之電容。此外，由於下層布線溝之深度係比上層布線溝之深度淺地佈局，因此，布線溝形成時之蝕刻量減少，因而，即使不特別設置蝕刻停止膜，仍可藉由蝕刻之時間控制來控制膜厚。

其次，除去光阻膜31後，如圖9所示，藉由乾式蝕刻除去絕緣膜24上之防反射膜30。此時，亦蝕刻填充於通孔27之埋入劑28與其下層之障壁絕緣膜22、21，而使第一層布線19之表面露出於通孔27之底部。

其次，如圖10所示，在布線溝32及通孔27之內部形成第二層布線33。形成第二層布線33時，首先，在包含布線溝32及通孔27內部之絕緣膜24上，藉由濺鍍法堆積50 nm程度之薄氮化鈦膜(障壁金屬膜)。繼續，在該氮化鈦膜上，以濺鍍法或電鍍法堆積完全埋入布線溝32及通孔27內部之厚銅膜後，藉由化學性機械研磨法除去布線溝32外部之銅膜與障壁金屬膜。此時，由於絕緣膜24之機械性強度比層間絕緣膜23強，因此作為層間絕緣膜23之保護膜的功能。

其次，如圖11所示，在第二層布線33之上層堆積障壁絕緣膜34、層間絕緣膜35及防反射膜36後，將形成於防反射膜36上之光阻膜37作為遮罩，藉由乾式蝕刻防反射膜36及

層間絕緣膜35，而在第二層布線33之上部形成通孔38。

障壁絕緣膜34與覆蓋第一層布線19表面之障壁絕緣膜21相同，係防止布線材料之銅擴散於層間絕緣膜35中用之絕緣膜，如由藉由電漿CVD法堆積之膜厚20 nm~100 nm程度之SiCN膜而構成。

一般而言，由於形成於基板1上之多層布線如同上層之布線，各布線之間隔加寬，因此布線間電容變小。因此，層間絕緣膜35於爾後步驟中形成之各第三層布線，及第三層布線與第二層布線33間之電容無問題時，如由以CVD法堆積之膜厚700 nm程度之氧化矽膜而構成。由於氧化矽膜之膜質比低介電常數材料之SiCO膜緻密，因此以氧化矽膜構成層間絕緣膜35時，即使在包含SiCN膜之障壁絕緣膜34上直接堆積層間絕緣膜35，不致發生胺化合物擴散之問題。另外，由於SiCN膜與氧化矽膜之接合性較低，因此基於提高障壁絕緣膜34與層間絕緣膜35之接合性之目的，亦可在兩者之間形成SiCO膜。此外，構成層間絕緣膜35之氧化矽系材料，亦可使用添加氟(F)，而降低介電常數之氧化矽。

另外，各第三層布線(43)及第三層布線(43)與第二層布線33之間之電容成為問題時，係由SiCO膜之低介電常數材料構成層間絕緣膜35。此時，須在障壁絕緣膜34與層間絕緣膜35之間形成SiCO膜，防止障壁絕緣膜34中之胺化合物擴散。以下說明以氧化矽膜構成層間絕緣膜35之情況。

其次，除去光阻膜37與防反射膜36後，如圖12所示，在

通孔38之內部填充埋入劑39。如前述，埋入劑39包含與上述防反射膜大致相同組成之絕緣材料。埋入劑39之填充方法亦與在前述之通孔27內部填充埋入劑28之方法相同。由於連接第二層布線33與爾後形成之第三層布線之通孔38直徑比較小，因此填充於通孔38之埋入劑39之表面成為大致平坦之面，且與層間絕緣膜35之表面大致同高。

其次，如圖13所示，在層間絕緣膜35中形成布線溝42。形成布線溝42時，係在層間絕緣膜35上形成防反射膜40，並在防反射膜40上形成光阻膜41後，將光阻膜41作為遮罩，乾式蝕刻防反射膜40，繼續乾式蝕刻層間絕緣膜35至其中途。本實施形態中，與前述布線溝32之形成同樣地，係藉由時間控制之蝕刻而形成布線溝42。

其次，如圖14所示，在布線溝42及通孔38之內部形成第三層布線43。形成第三層布線43時，首先，除去光阻膜41，繼續以乾式蝕刻除去防反射膜40。除去防反射膜40時，亦除去填充於通孔38之埋入劑39與其下層之障壁絕緣膜34，而使第二層布線33之表面露出於通孔38之底部。其次，在包含布線溝42及通孔38內部之層間絕緣膜35上，以濺鍍法堆積薄氮化鈦膜(障壁金屬膜)，繼續，在該氮化鈦膜上，以濺鍍法或電鍍法堆積厚銅膜後，藉由化學性機械研磨法除去布線溝42外部之銅膜與障壁金屬膜。

其次，如圖15所示，在第三層布線43之上層堆積障壁絕緣膜44與層間絕緣膜45。障壁絕緣膜44係防止銅擴散用之絕緣膜，且與下層之障壁絕緣膜34，21相同，係由以電漿

CVD法堆積之膜厚50 nm~100 nm程度之SiCN膜而構成。在其次之步驟中，形成於層間絕緣膜45中之第四層布線與下層之布線比較，其布線之尺寸、各布線之間隔及布線之膜厚較大。因此，層間絕緣膜45係由以CVD法堆積之膜厚為1 μm 程度之氧化矽膜而構成。另外，在障壁絕緣膜44與層間絕緣膜45之間，基於提高兩者接合性之目的，亦可形成SiCO膜。此外，構成層間絕緣膜45之氧化矽系材料，亦可使用添加氟而降低介電常數之氧化矽。

層間絕緣膜45之膜厚變大時，蝕刻層間絕緣膜45至其中途，而形成布線溝時，高精密度控制布線溝之深度困難。亦即，由於布線溝52、53之深度比前述之布線溝32、42深，因此，不易如前述之布線溝32、42藉由時間控制之蝕刻而形成。因此，係將蝕刻選擇比具有與層間絕緣膜45不同之蝕刻選擇比之停止膜46形成於層間絕緣膜45之中途，藉由在停止膜46之表面停止蝕刻，來控制布線溝之深度。本實施形態中，形成於層間絕緣膜45中途之停止膜46，係使用以電漿CVD法堆積之膜厚10 nm~100 nm程度之SiCN膜。由於SiCN膜對氧化矽膜之蝕刻選擇比大，且介電常數低，因此可用作停止膜46。此外，由於具有光之反射率低（折射率比層間絕緣膜45小）之特性，因此如後述，亦可作為防反射膜之功能。

其次，如圖16所示，在層間絕緣膜45上形成防反射膜47後，將形成於防反射膜47上之光阻膜48作為遮罩，藉由依序乾式蝕刻防反射膜47、層間絕緣膜45、停止膜46及層間

絕緣膜45，而在第三層布線43之上部形成通孔38。

其次，除去光阻膜48與防反射膜47後，如圖17所示，在通孔49之內部填充埋入劑50。埋入劑50之材料及填充方法與前述者相同。不過，由於形成第四層布線用之通孔49之直徑及深度比下層之通孔38、27大，不易良好地埋入埋入劑50。因此，填充於通孔49之埋入劑50表面不平坦，且在與層間絕緣膜45表面之間產生階差。

其次，如圖18所示，在層間絕緣膜45上形成光阻膜51。如前述，由於填充於通孔49之埋入劑50表面不平坦，且在與層間絕緣膜45表面之間產生階差，因此，在層間絕緣膜45之表面全體塗佈均一膜厚之防反射膜困難。因此，此時不使用防反射膜，而係在層間絕緣膜45上直接形成光阻膜51。

光阻膜51藉由使用形成有布線溝圖案與保險絲圖案之光罩(圖上未顯示)進行曝光，繼續進行顯影，而轉印將布線溝形成區域與保險絲形成區域予以開口之圖案。如前述，在層間絕緣膜45之中途形成有以光之反射率低之SiCN膜構成之停止膜46。因而，即使不在光阻膜51之下層形成防反射膜，仍可抑制第三層布線43表面反射之曝光之光入射於光阻膜51，而使解像度降低之問題。藉此，由於不需要在光阻膜51下層形成防反射膜之步驟，因此可簡化步驟。因而，在形成於層間絕緣膜45中途之停止膜46中，要求蝕刻選擇比與氧化矽膜不同、光之反射率低及介電常數低。此種絕緣材料除上述之SiCN之外，如有氮化矽(SiN)及氧氮

化矽(SiON)，不過，其中最宜為SiCN。

其次，如圖19所示，將光阻膜51作為遮罩，乾式蝕刻層間絕緣膜45，在停止膜46之表面停止蝕刻。藉此，在停止膜46上層之層間絕緣膜45中形成布線溝52、53。

其次，除去光阻膜51後，如圖20所示，藉由乾式蝕刻除去填充於通孔49之埋入劑50，而使第三層布線43之表面露出於通孔49之底部。

其次，如圖21所示，在布線溝52及通孔49之內部形成第四層布線54，並在布線溝53之內部形成成為保險絲55之第四層布線54。保險絲55經由下層布線而連接於電阻元件，不過圖上並未顯示。電阻元件使用與MISFET(Qn, Qp)之閘極電極7同層之多結晶矽膜而形成。因此，藉由後述之探針測試，而在CMOS記憶體之一部分發現瑕疵時，藉由使用雷射光束等切斷保險絲55，使電阻元件之電阻值變化，而將瑕疵記憶體替換成冗長記憶體。

形成第四層布線54及保險絲55時，在包含布線溝52、53及通孔49內部之層間絕緣膜45上，以濺鍍法堆積薄的氮化鈦膜(障壁金屬膜)，繼續，在該氮化鈦膜上，以濺鍍法或電鍍法堆積厚的銅膜後，藉由化學性機械研磨法除去布線溝52、53外部之銅膜與障壁金屬膜。

此外，層間絕緣膜45中保留有蝕刻停止膜46，不過，與下層之第一、第二及第三布線層比較時，上層之第四布線層佈局成其布線間距離較大，且層間絕緣膜45之膜厚形成較厚，因此可大致忽略布線間電容及布線層間電容之增

加。

其次，如圖22所示，在第四層布線54及保險絲55之上層堆積障壁絕緣膜56與層間絕緣膜57。障壁絕緣膜56係防止銅擴散用之絕緣膜，且與下層之障壁絕緣膜44、34、21相同，係由以電漿CVD法堆積之SiCN膜而構成。層間絕緣膜57與下層之層間絕緣膜45、35相同，係由氧化矽系之絕緣膜而構成，膜厚為900 nm程度。另外，在圖22及以下之圖中，省略第四層布線54更下層部分之圖示。

如後述，在第四層布線54及保險絲55之上層形成層間絕緣膜與表面保護膜。此外，在保險絲55上部之層間絕緣膜與表面保護膜中形成照射雷射光束於保險絲55用之開口。因而，外部之水分通過該開口而侵入電路內時，可能造成保險絲55腐蝕。因此，本實施形態形成上述障壁絕緣膜56之膜厚比下層之障壁絕緣膜44、34、21之膜厚大(如為150 nm~200 nm程度)，使保險絲55之耐濕性提高。

其次，如圖23所示，在層間絕緣膜57之上部形成最上層布線(第五層布線)60，繼續，在最上層布線60之上部形成表面保護膜61。形成最上層布線60時，首先，將光阻膜(圖上未顯示)作為遮罩，而乾式蝕刻第四層布線54上層之層間絕緣膜57，繼續乾式蝕刻其下層之障壁絕緣膜56，而形成穿通孔58後，在穿通孔58之內部形成插塞59。插塞59與下層之插塞16相同，係以氮化鈦膜與鎢膜之疊層膜而構成。其次，在層間絕緣膜57之上部，以濺鍍法堆積膜厚50 nm~100 nm程度之氮化鈦膜、膜厚1 μ m程度之鋁(Al)合金

膜及膜厚 50 nm~100 nm 程度之氮化鈦膜，將光阻膜(圖上未顯示)作為遮罩，藉由蝕刻此等之導電膜，而形成最上層布線 60。此外，最上層布線 60 上部之表面保護膜 61 係由以電漿 CVD 法堆積之膜厚 200 nm 程度之氧化矽膜與膜厚 600 nm 程度之氮化矽膜之疊層膜而構成。

其次，如圖 24 所示，將光阻膜(圖上未顯示)作為遮罩而乾式蝕刻表面保護膜 61，藉由使最上層布線 60 之一部分露出，而形成接合焊墊 60B。此外，藉由乾式蝕刻保險絲 55 上層之表面保護膜 61 及層間絕緣膜 57，而形成開口 62。此時，在覆蓋保險絲 55 之障壁絕緣膜 56 表面停止蝕刻，而在保險絲 55 之上部保留障壁絕緣膜 56。

此時，由於形成保險絲 55 上部之障壁絕緣膜 56 之膜厚比下層之障壁絕緣膜 44、34、21 厚，因此可確保耐濕性。亦即，如上述之障壁絕緣膜 56 之膜厚與下層之障壁絕緣膜 44、34、21 之膜厚相等時，如藉由在保險絲 55 上部形成開口 62 時之蝕刻步驟、除去光阻膜時之氧電漿灰化步驟及其他洗淨步驟等，障壁絕緣膜 56 之膜厚更薄，而隨之發生耐濕性降低之問題。特別是開口 62 之蝕刻需要蝕刻比下層之層間絕緣膜更厚之膜厚，可能因過度蝕刻而發生障壁絕緣膜 56 之膜厚減少。因此，如本實施形態，需要將障壁絕緣膜 56 之膜厚形成比下層之障壁絕緣膜 44、34、21 厚。

其次，在接合焊墊 60B 之表面抵接探針(圖上未顯示)，進行電路之電性測試(探針測試)。經該探針測試而在半導體元件之一部分發現瑕疵情況下，藉由通過開口 62 照射雷

射光束於保險絲55，切斷保險絲55，而將瑕疵記憶體替換成冗長記憶體。

此外，保留於保險絲55上之絕緣膜，只須具有可藉由後述之雷射光束照射而切斷之膜厚即可，依需要亦可保留絕緣膜57。

其次，如圖25所示，在表面保護膜61上堆積聚醯亞胺樹脂膜63後，藉由在聚醯亞胺樹脂膜63之上部形成引出布線64，而電性連接接合焊墊60B與引出布線64。該引出布線64係電性連接構成CMOS記憶體之外部連接端子之焊接凸塊與接合焊墊60B用之布線。形成引出布線64時，首先，係在表面保護膜61上堆積聚醯亞胺樹脂膜63，繼續將光阻膜(圖上未顯示)作為遮罩，藉由蝕刻接合焊墊60B上部之聚醯亞胺樹脂膜63，而使接合焊墊60B之表面露出。其次，在表面保護膜61上形成將形成引出布線64之區域予以開口之光阻膜(圖上未顯示)後，使用電鍍法或濺鍍法，在表面保護膜61上堆積銅膜。

其次，如圖26所示，以聚醯亞胺樹脂膜65覆蓋包含銅膜之引出布線64表面後，藉由蝕刻聚醯亞胺樹脂膜65之一部分，使引出布線64之一端部露出，而在其表面，以電鍍法形成金(Au)膜66。而後，藉由在金(Au)膜66之表面以印刷法形成焊接凸塊67，而形成半導體積體電路裝置之外部連接端子。

上述引出布線64之形成步驟，保險絲55上部之障壁絕緣膜56雖亦因蝕刻處理及光阻膜之灰化處理而變薄，但是，

藉由預先增加障壁絕緣膜56之膜厚，可防止耐濕性惡化。

(第二種實施形態)

前述第一種實施形態係說明在層間絕緣膜中形成通孔後，形成布線溝之情況，而本實施形態係說明在層間絕緣膜中形成布線溝後，形成通孔之情況。

首先，如圖27所示，在第三層布線43之上層堆積障壁絕緣膜44與層間絕緣膜45。此外，在層間絕緣膜45之中途形成停止膜46。停止膜46係使用以電漿CVD法堆積之膜厚10 nm~100 nm程度之SiCN膜。至此之步驟與前述第一種實施形態之圖1~圖15所示之步驟相同。

其次，如圖28所示，在層間絕緣膜45上形成光阻膜51後，將光阻膜51作為遮罩而乾式蝕刻層間絕緣膜45，藉由在停止膜46之表面停止蝕刻，而在停止膜46上層之層間絕緣膜45中形成布線溝52、53。此時，並未在層間絕緣膜45與光阻膜51之間形成防反射膜，不過與前述第一種實施形態相同，係在層間絕緣膜45之中途形成以光反射率低之SiCN膜構成之停止膜46。因而，即使光阻膜51之下層不形成防反射膜，仍可抑制在第三層布線43表面反射之曝光之光入射於光阻膜51而使解像度降低之問題。

其次，如圖29所示，在層間絕緣膜45上形成光阻膜48後，將光阻膜48作為遮罩，藉由乾式蝕刻層間絕緣膜45及障壁絕緣膜44而形成通孔38，使第三層布線43露出於通孔38之底部。此時，由於停止膜46作為防反射膜之功能，因此，仍可抑制在第三層布線43表面反射之曝光之光入射於

光阻膜48而使解像度降低之問題。

其次，除去光阻膜48後，如圖30所示，在布線溝52及通孔49之內部形成第四層布線54，並在布線溝53之內部形成保險絲55。形成第四層布線54及保險絲55之方法與前述第一種實施形態中說明之方法相同。

如此，在層間絕緣膜45中形成布線溝52、53後，形成通孔38之本實施形態中，亦可簡化第四層布線54之形成步驟。此外，可良率佳地形成第四層布線54。

以上，係依據實施形態具體說明本發明人之發明，不過，本發明並不限定於前述實施形態，在不脫離其要旨之範圍內，當然可作各種變更。如本發明亦可適用於包含5層以上銅布線之半導體積體電路裝置之製造方法。

[產業上之可利用性]

本發明係有效適用於使用雙道金屬鑲嵌法而形成多層布線之半導體積體電路裝置者。

【圖式簡單說明】

圖1係顯示本發明一種實施形態之半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖2係繼續圖1顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖3係繼續圖2顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖4係繼續圖3顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖5係繼續圖4顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖6係繼續圖5顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖7係繼續圖6顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖8係繼續圖7顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖9係繼續圖8顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖10係繼續圖9顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖11係繼續圖10顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖12係繼續圖11顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖13係繼續圖12顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖14係繼續圖13顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖15係繼續圖14顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖16係繼續圖15顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖 17 係繼續圖 16 顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖 18 係繼續圖 17 顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖 19 係繼續圖 18 顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖 20 係繼續圖 19 顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖 21 係繼續圖 20 顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖 22 係繼續圖 21 顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖 23 係繼續圖 22 顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖 24 係繼續圖 23 顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖 25 係繼續圖 24 顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖 26 係繼續圖 25 顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖 27 係顯示本發明其他實施形態之半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖 28 係繼續圖 27 顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖 29 係繼續圖 28 顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

圖 30 係繼續圖 29 顯示半導體積體電路裝置之製造方法之半導體基板之重要部分剖面圖。

【主要元件符號說明】

1	半導體基板
2	元件分離溝
3	氧化矽膜
4	p 型井
5	n 型井
6	閘極絕緣膜
7	閘極電極
8	側壁間隔物
9	矽化鈷膜
11	n 型半導體區域(源極、汲極)
12	p 型半導體區域(源極、汲極)
13	蝕刻停止膜
14	絕緣膜
15	接觸孔
16	插塞
17	絕緣膜(SiOC 膜)
18	絕緣膜
19	第一層布線
20	布線溝

21、22	障壁絕緣膜
23	層間絕緣膜
24	絕緣膜
25	防反射膜
26	光阻膜
27	通孔
28	埋入劑
30	防反射膜
31	光阻膜
32	布線溝
33	第二層布線
34	障壁絕緣膜
35	層間絕緣膜
36	防反射膜
37	光阻膜
38	通孔
39	埋入劑
40	防反射膜
41	光阻膜
42	布線溝
43	第三層布線
44	障壁絕緣膜
45	層間絕緣膜
46	停止膜

47	防反射膜
48	光阻膜
49	通孔
50	埋入劑
51	光阻膜
52、53	布線溝
54	第四層布線
55	保險絲
56	障壁絕緣膜
57	層間絕緣膜
58	穿通孔
59	插塞
60	最上層布線(第五層布線)
60B	接合焊墊
61	表面保護膜
62	開口
63	聚醯亞胺樹脂膜
64	引出布線
65	聚醯亞胺樹脂膜
66	金膜
67	焊接凸塊
Qn	n通道型 MISFET
Qp	p通道型 MISFET

七、申請專利範圍：

1. 一種半導體積體電路裝置之製造方法，其特徵為包含以下步驟：

- (a)在半導體基板之主面上形成第一布線；
 - (b)在上述第一布線上形成第一層間絕緣膜；
 - (c)在上述第一層間絕緣膜中形成用以與上述第一布線連接之第一通孔；
 - (d)在上述第一層間絕緣膜中形成用以與上述第一通孔連接之第一布線溝；
 - (e)在上述第一布線溝內及上述第一通孔內填充第一金屬膜，而在上述第一布線溝內與上述第一通孔內，一體地形成第二布線及第一連接部；
 - (f)在上述第二布線的上層形成第三布線；
 - (g)在上述第三布線上形成第二層間絕緣膜；
 - (h)在上述第二層間絕緣膜中形成用以與上述第三布線連接之第二通孔；
 - (i)在上述第二層間絕緣膜中形成用以與上述第二通孔連接之第二布線溝；及
 - (j)在上述第二布線溝內及上述第二通孔內填充第二金屬膜，而在上述第二布線溝內與上述第二通孔內，一體地形成第四布線及第二連接部；
- 且上述第二層間絕緣膜之膜厚比上述第一層間絕緣膜之膜厚要厚；
- 且上述第二布線溝的溝深係比上述第一布線溝之溝深

要深；

且上述第二通孔的直徑係比上述第一通孔之直徑要大；

且上述第一層間絕緣膜係利用介電常數比上述第二層間絕緣膜要低之材料所構成；

且上述第二層間絕緣膜係在其中途部具有以不同於上述第二層間絕緣膜之材料所形成之第一絕緣膜；

其中在上述(i)步驟之中，上述第二布線溝係藉由利用上述第一絕緣膜作為蝕刻停止膜而形成的；

其中在上述(d)步驟之中，上述第一布線溝係不利用蝕刻停止膜而形成的。

2. 如請求項1之半導體積體電路裝置之製造方法，其中在上述(d)步驟之中，上述第一布線溝之形成係藉由控制上述第一層間絕緣膜的蝕刻時間而進行。
3. 如請求項1之半導體積體電路裝置之製造方法，其中上述第二通口的深度比上述第一通孔的深度要深。
4. 如請求項1之半導體積體電路裝置之製造方法，進一步包含：在上述(e)步驟之前，於上述第一通孔內及上述第一布線溝內，形成第一障壁金屬膜之步驟。
5. 如請求項1之半導體積體電路裝置之製造方法，進一步包含：在上述(j)步驟之前，於上述第二通孔內及上述第二布線溝內，形成第二障壁金屬膜之步驟。
6. 如請求項1之半導體積體電路裝置之製造方法，其中上述第一層間絕緣膜係由以SiOC為主體之材料所構成。

7. 如請求項1之半導體積體電路裝置之製造方法，其中上述第二層間絕緣膜係由以氧化矽膜為主體之材料所構成。
8. 如請求項7之半導體積體電路裝置之製造方法，其中上述第二層間絕緣膜係在氧化矽中添加有氟之絕緣膜。
9. 如請求項1之半導體積體電路裝置之製造方法，其中上述第一絕緣膜係利用SiCN而形成。
10. 如請求項1之半導體積體電路裝置之製造方法，其中上述第一絕緣膜係利用SiN或SiON而形成。
11. 如請求項1之半導體積體電路裝置之製造方法，其中上述第一金屬膜及上述第二金屬膜係包含以銅為主體之材料。
12. 一種半導體積體電路裝置之製造方法，其特徵為包含以下步驟：
 - (a)在半導體基板之主面上形成第一布線；
 - (b)在上述第一布線上形成第一層間絕緣膜；
 - (c)在上述第一層間絕緣膜中形成用以與上述第一布線連接之第一通孔；
 - (d)在上述第一層間絕緣膜中形成用以與上述第一通孔連接之第一布線溝；
 - (e)在上述第一布線溝內及上述第一通孔內填充第一金屬膜，而在上述第一布線溝內與上述第一通孔內，一體地形成第二布線及第一連接部；
 - (f)在上述第二布線的上層形成第三布線；

(g)在上述第三布線上形成第二層間絕緣膜；

(h)在上述第二層間絕緣膜中形成用以與上述第三布線連接之第二通孔；

(i)在上述第二層間絕緣膜中形成用以與上述第二通孔連接之第二布線溝；及

(j)在上述第二布線溝內及上述第二通孔內填充第二金屬膜，而在上述第二布線溝內與上述第二通孔內，一體地形成第四布線及第二連接部；

且上述第二層間絕緣膜之膜厚比上述第一層間絕緣膜之膜厚要厚；

且上述第二布線溝的溝深係比上述第一布線溝之溝深要深；

且上述第二通孔的直徑係比上述第一通孔之直徑要大；

且上述第一層間絕緣膜係利用介電常數比上述第二層間絕緣膜要低之材料所構成；

且上述第一金屬膜及第二金屬膜係以銅為主體之金屬膜；

且在上述第一布線和上述第一層間絕緣膜之間，形成有包含矽、碳及氮之膜，即具有防止構成上述第一布線之金屬擴散之功能的第一障壁絕緣膜；

且上述第二層間絕緣膜係在其中途部具有以不同於上述第二層間絕緣膜之材料所形成之第一絕緣膜；

其中在上述(i)步驟之中，上述第二布線溝係藉由利用

上述第一絕緣膜作為蝕刻停止膜而形成；

其中在上述(d)步驟之中，上述第一布線溝係不利用蝕刻停止膜而形成。

13. 如請求項12之半導體積體電路裝置之製造方法，其中在上述(d)步驟之中，上述第一布線溝之形成係藉由控制上述第一層間絕緣膜的蝕刻時間而進行。

14. 如請求項12之半導體積體電路裝置之製造方法，進一步包含：在上述(e)步驟之前，於上述第一通孔內及上述第一布線溝內，形成第一障壁金屬膜之步驟。

15. 如請求項12之半導體積體電路裝置之製造方法，進一步包含：在上述(j)步驟之前，於上述第二通孔內及上述第二布線溝內，形成第二障壁金屬膜之步驟。

16. 如請求項12之半導體積體電路裝置之製造方法，其中上述第一絕緣膜係利用SiCN而形成。

17. 如請求項12之半導體積體電路裝置之製造方法，其中上述第一絕緣膜係利用SiN或SiON而形成。

18. 一種半導體積體電路裝置之製造方法，其特徵為包含以下步驟：

(a)在半導體基板之主面上形成第一布線；

(b)在上述第一布線上形成第一層間絕緣膜；

(c)在上述第一層間絕緣膜中形成用以與上述第一布線連接之第一通孔；

(d)在上述第一層間絕緣膜中形成用以與上述第一通孔連接之第一布線溝；

(e)在上述第一布線溝內及上述第一通孔內填充第一金屬膜，而在上述第一布線溝內與上述第一通孔內，一體地形成第二布線及第一連接部；

(f)在上述第二布線的上層形成第三布線；

(g)在上述第三布線上形成第二層間絕緣膜；

(h)在上述第二層間絕緣膜中形成用以與上述第三布線連接之第二通孔；

(i)在上述第二層間絕緣膜中形成用以與上述第二通孔連接之第二布線溝；及

(j)在上述第二布線溝內及上述第二通孔內填充第二金屬膜，而在上述第二布線溝內與上述第二通孔內，一體地形成第四布線及第二連接部；

且上述第二層間絕緣膜之膜厚比上述第一層間絕緣膜之膜厚要厚；

且上述第二布線溝的溝深係比上述第一布線溝之溝深要深；

且上述第二通孔的直徑係比上述第一通孔之直徑要大；

且上述第一層間絕緣膜係由以SiOC為主體之材料所構成；

且上述第二層間絕緣膜係以氧化矽膜或在氧化矽中添加有氟之膜所構成；

且上述第一金屬膜及第二金屬膜係以銅為主體之金屬膜；

且在上述第一布線和上述第一層間絕緣膜之間，形成有包含矽、碳及氮之膜，即具有防止構成上述第一布線之金屬擴散之功能的第一障壁絕緣膜；

且上述第二層間絕緣膜係在其中途部具有以SiN或SiON所形成之第一絕緣膜；

其中在上述(i)步驟之中，上述第二布線溝係藉由利用上述第一絕緣膜作為蝕刻停止膜而形成；

其中在上述(d)步驟之中，上述第一布線溝係不利用蝕刻停止膜而形成。

19. 如請求項18之半導體積體電路裝置之製造方法，其中在上述(d)步驟之中，上述第一布線溝之形成係藉由控制上述第一層間絕緣膜的蝕刻時間而進行。
20. 如請求項18之半導體積體電路裝置之製造方法，進一步包含：在上述(e)步驟之前，於上述第一通孔內及上述第一布線溝內，形成第一障壁金屬膜之步驟。
21. 如請求項18之半導體積體電路裝置之製造方法，進一步包含：在上述(j)步驟之前，於上述第二通孔內及上述第二布線溝內，形成第二障壁金屬膜之步驟。
22. 一種半導體積體電路裝置，其包含：
 - (a)第一布線，其係形成於半導體基板之主面上；
 - (b)第一層間絕緣膜，其係形成於上述第一布線上；
 - (c)第一通孔，其係形成於上述第一層間絕緣膜中，且連接於上述第一布線；
 - (d)第一布線溝，其係形成於上述第一層間絕緣膜中，

並且經由上述第一通孔而連接至上述第一布線；

(e)第二布線及第一連接部，其係在上述第一布線溝及上述第一通孔之內部埋入第一金屬膜而一體地形成；

(f)第三布線，其係形成於上述第二布線的上層；

(g)第二層間絕緣膜，其係形成於上述第三布線上；

(h)第二通孔，其係形成於前述第二層間絕緣膜中，且連接於上述第二布線；

(i)第二布線溝，其係形成於上述第二層間絕緣膜中，並且經由上述第二通孔而連接至上述第二布線；及

(j)第四布線及第二連接部，其係在上述第二布線溝及上述第二通孔之內部埋入第二金屬膜而一體地形成；

且上述第二層間絕緣膜之膜厚比上述第一層間絕緣膜之膜厚更厚；

且上述第二布線溝的溝深係比上述第一布線溝之溝深更深；

且上述第二通孔的直徑係比上述第一通孔之直徑更大；

且上述第一層間絕緣膜係利用介電常數比上述第二層間絕緣膜要低之材料所構成；

在比上述第三布線的表面要更靠近上述第四布線的底部之位置、且比上述第四布線的表面要更靠近上述第四布線的底部之位置、且係於上述第二層間絕緣膜的中途部處形成有與上述第二層間絕緣膜為不同材料的第一絕緣膜；

在比上述第一布線的表面要更靠近上述第二布線的底部之位置且比上述第二布線的表面要更靠近上述第二布線的底部之位置，不形成上述第一層間絕緣膜以外的絕緣膜。

23. 如請求項22之半導體積體電路裝置，其中在上述第一通孔內及上述第一布線溝內，於上述第一層間絕緣膜及上述第一金屬膜之間，形成有第一障壁金屬膜。
24. 如請求項22之半導體積體電路裝置，其中在上述第二通孔內及上述第二布線溝內，於上述第二層間絕緣膜及上述第二金屬膜之間，形成有第二障壁金屬膜。
25. 如請求項22之半導體積體電路裝置，其中上述第一層間絕緣膜係由以SiOC為主體之材料所構成。
26. 如請求項22之半導體積體電路裝置，其中上述第二層間絕緣膜係由以氧化矽膜為主體之材料所構成。
27. 如請求項26之半導體積體電路裝置，其中上述第二層間絕緣膜係在氧化矽中添加有氟之絕緣膜。
28. 如請求項22之半導體積體電路裝置，其中上述第一絕緣膜係利用SiCN而形成。
29. 如請求項22之半導體積體電路裝置，其中上述第一絕緣膜係利用SiN或SiON而形成。
30. 如請求項22之半導體積體電路裝置，其中上述第一金屬膜及上述第二金屬膜係包含以銅為主體之材料。
31. 一種半導體積體電路裝置，其包含：

(a)第一布線，其係形成於半導體基板之主面上；

(b)第一層間絕緣膜，其係形成於上述第一布線上；

(c)第一通孔，其係形成於上述第一層間絕緣膜中，且連接於上述第一布線；

(d)第一布線溝，其係形成於上述第一層間絕緣膜中，並且經由上述第一通孔而連接至上述第一布線；

(e)第二布線及第一連接部，其係在上述第一布線溝及上述第一通孔之內部埋入第一金屬膜而一體地形成；

(f)第三布線，其係形成於上述第二布線的上層；

(g)第二層間絕緣膜，其係形成於上述第三布線上；

(h)第二通孔，其係形成於前述第二層間絕緣膜中，且連接於上述第二布線；

(i)第二布線溝，其係形成於上述第二層間絕緣膜中，並且經由上述第二通孔而連接至上述第二布線；及

(j)第四布線及第二連接部，其係在上述第二布線溝及上述第二通孔之內部埋入第二金屬膜而一體地形成；

且上述第二層間絕緣膜之膜厚比上述第一層間絕緣膜之膜厚更厚；

且上述第二布線溝的溝深係比上述第一布線溝之溝深更深；

且上述第二通孔的直徑係比上述第一通孔之直徑更大；

且上述第一層間絕緣膜係利用介電常數比上述第二層間絕緣膜要低之材料所構成；

且上述第一及第二金屬膜係以銅為主體之金屬膜；

且在上述第一布線和上述第一層間絕緣膜之間，形成有包含矽、碳及氮之膜即具有防止構成上述第一布線之金屬擴散之功能的第一障壁絕緣膜；

在比上述第三布線的表面要更靠近上述第四布線的底部之位置且比上述第四布線的表面要更靠近上述第四布線的底部之位置、且係於上述第二層間絕緣膜的中途部處形成與上述第二層間絕緣膜為不同材料的第一絕緣膜；

在比上述第一布線的表面要更靠近上述第二布線的底部之位置且比上述第二布線的表面要更靠近上述第二布線的底部之位置，不形成上述第一層間絕緣膜以外的絕緣膜。

32. 如請求項31之半導體積體電路裝置，其中在上述第一通孔內及上述第一布線溝內，於上述第一層間絕緣膜及上述第一金屬膜之間，形成有第一障壁金屬膜。
33. 如請求項31之半導體積體電路裝置，其中在上述第二通孔內及上述第二布線溝內，於上述第二層間絕緣膜及上述第二金屬膜之間，形成有第二障壁金屬膜。
34. 如請求項31之半導體積體電路裝置，其中上述第一層間絕緣膜係由以SiOC為主體之材料所構成。
35. 如請求項31之半導體積體電路裝置，其中上述第二層間絕緣膜係由以氧化矽膜為主體之材料所構成。
36. 如請求項35之半導體積體電路裝置，其中上述第二層間絕緣膜係在氧化矽中添加有氟之絕緣膜。

37. 如請求項31之半導體積體電路裝置，其中上述第一絕緣膜係利用SiCN而形成。
38. 如請求項31之半導體積體電路裝置，其中上述第一絕緣膜係利用SiN或SiON而形成。
39. 一種半導體積體電路裝置，其包含：
 - 第一布線，其係形成於半導體基板上；
 - 第一層間絕緣膜，其係形成於上述第一布線上；
 - 第二布線及第一連接部，其形成於上述第一層間絕緣膜中，且為雙道金屬鑲嵌構造；
 - 第二層間絕緣膜，其係形成於上述第二布線上；及
 - 第三布線及第二連接部，其形成於上述第二層間絕緣膜中，且為雙道金屬鑲嵌構造；且上述第二層間絕緣膜之膜厚比上述第一層間絕緣膜之膜厚更厚；
且上述第三布線的厚度係比上述第二布線之厚度更厚；
且上述第二連接部的直徑係比上述第一連接部之直徑更大；
且上述第一層間絕緣膜係由以SiOC為主體之材料所構成；
且上述第二層間絕緣膜係由以氧化矽膜或於氧化矽添加有氟之膜所構成；
且上述第一、第二及第三布線與上述第一及第二連接部係由以銅為主體之金屬膜所構成；

且在上述第一布線和上述第一層間絕緣膜之間，形成有包含矽、碳及氮之膜即具有防止構成上述第一布線之金屬擴散之功能的第一障壁絕緣膜；

且上述第二層間絕緣膜在靠近上述第二布線的底部之處具有由SiN或SiON所形成之第一絕緣膜。

40. 如請求項39之半導體積體電路裝置，其中在上述第一通孔內及上述第一布線溝內，於上述第一層間絕緣膜及上述第一金屬膜之間，形成有第一障壁金屬膜。

41. 如請求項39之半導體積體電路裝置，其中在上述第二通孔內及上述第二布線溝內，於上述第二層間絕緣膜及上述第二金屬膜之間，形成有第二障壁金屬膜。

十一、圖式：

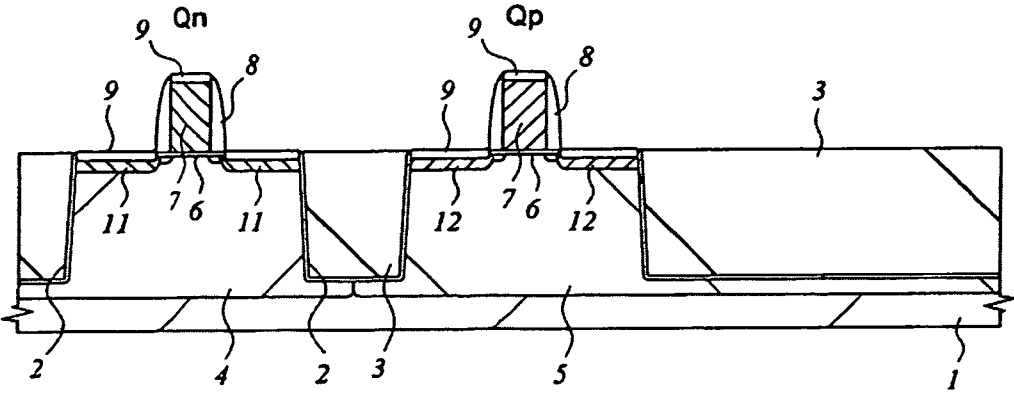


圖 1

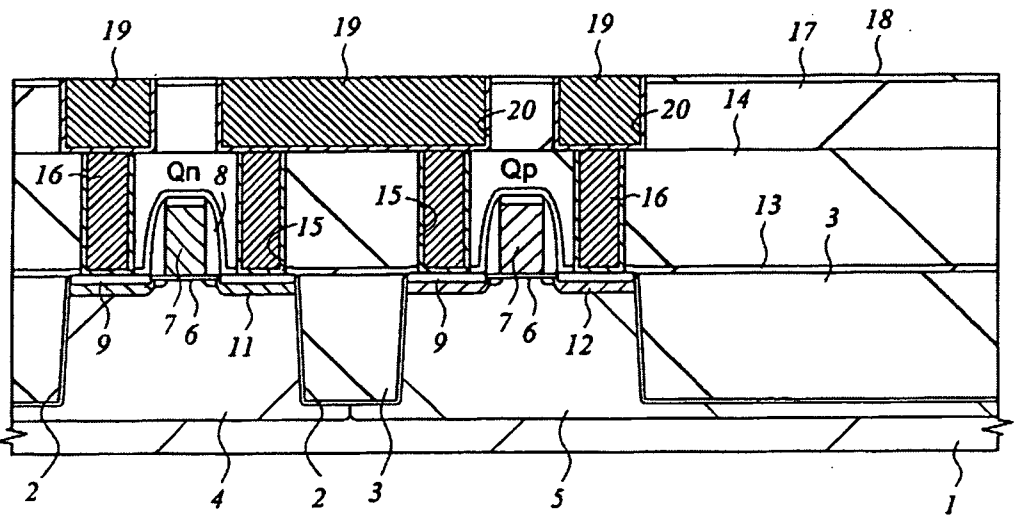


圖 2

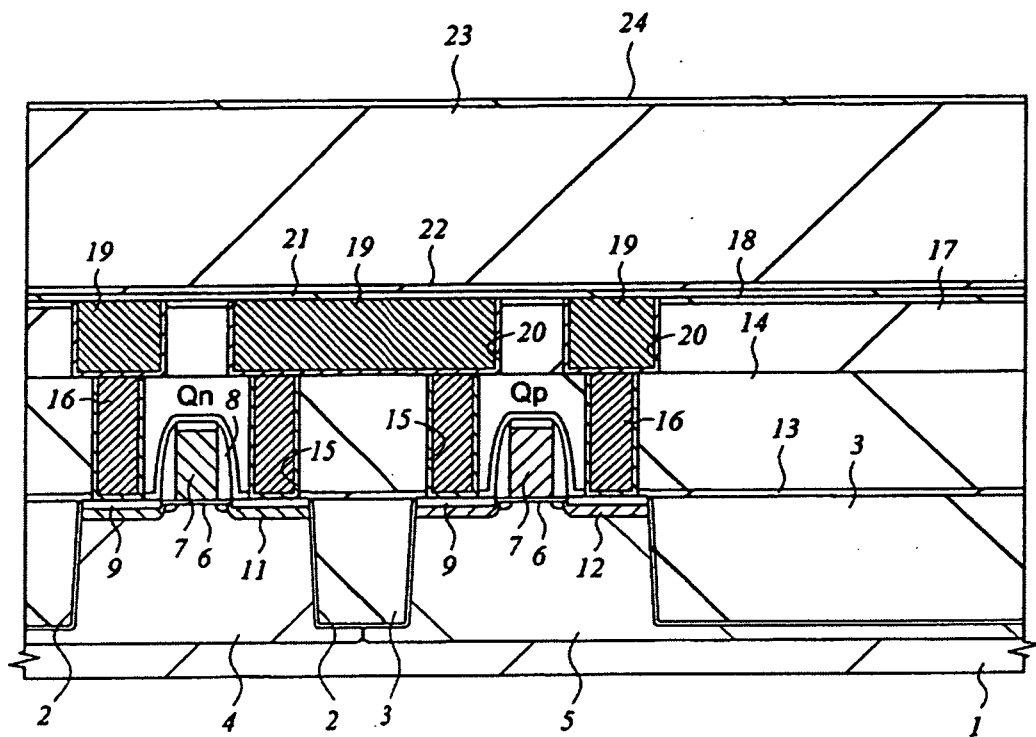


圖 3

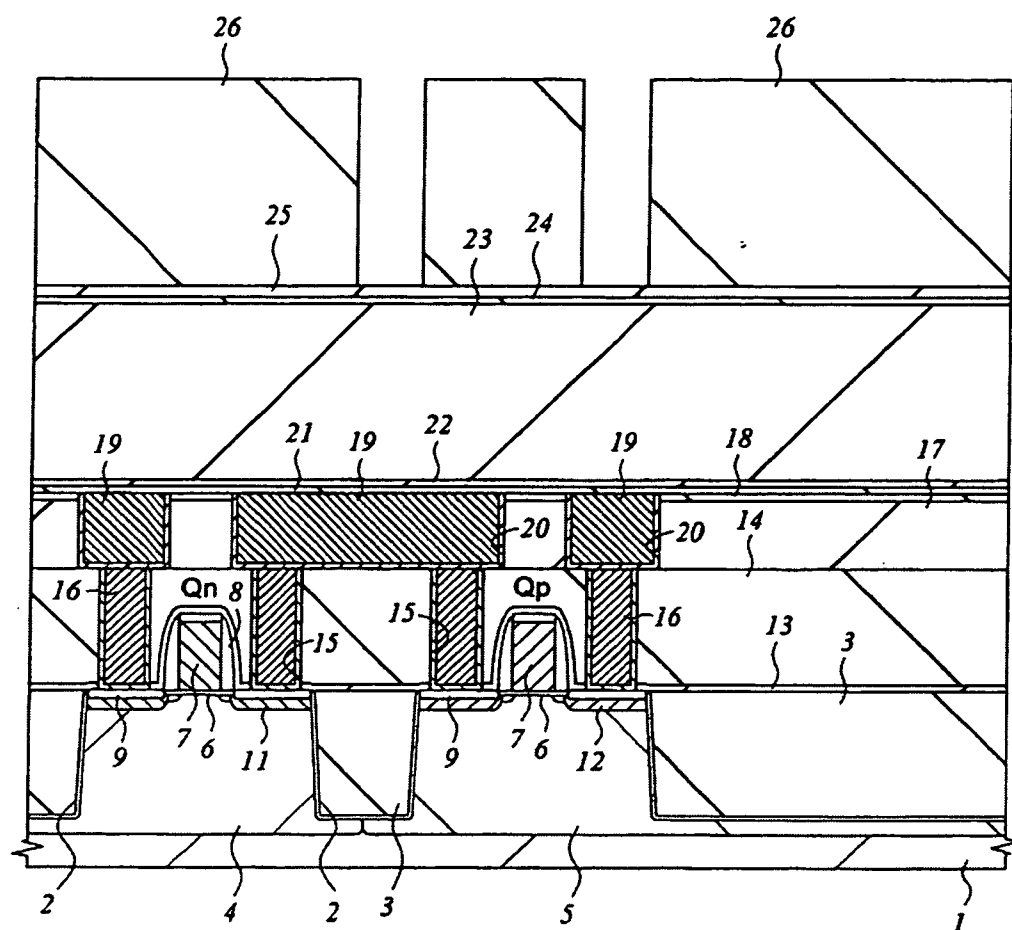


圖 4

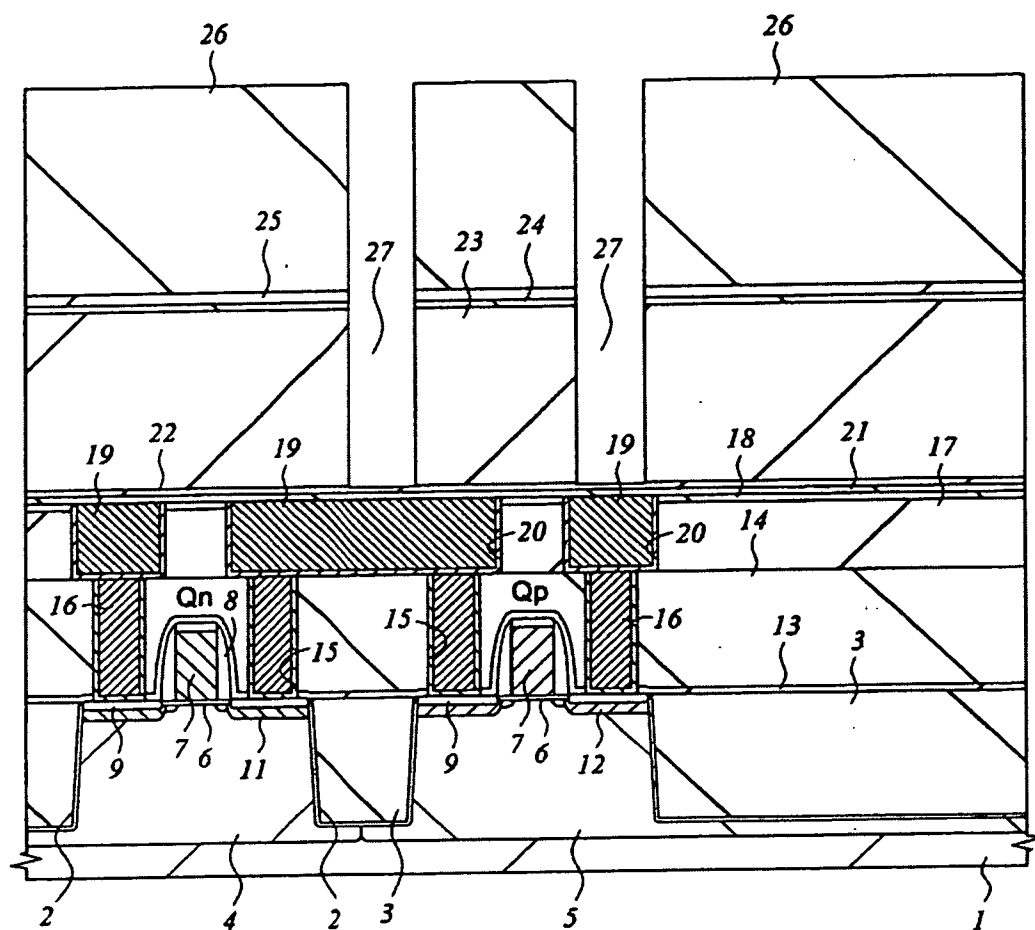


圖 5

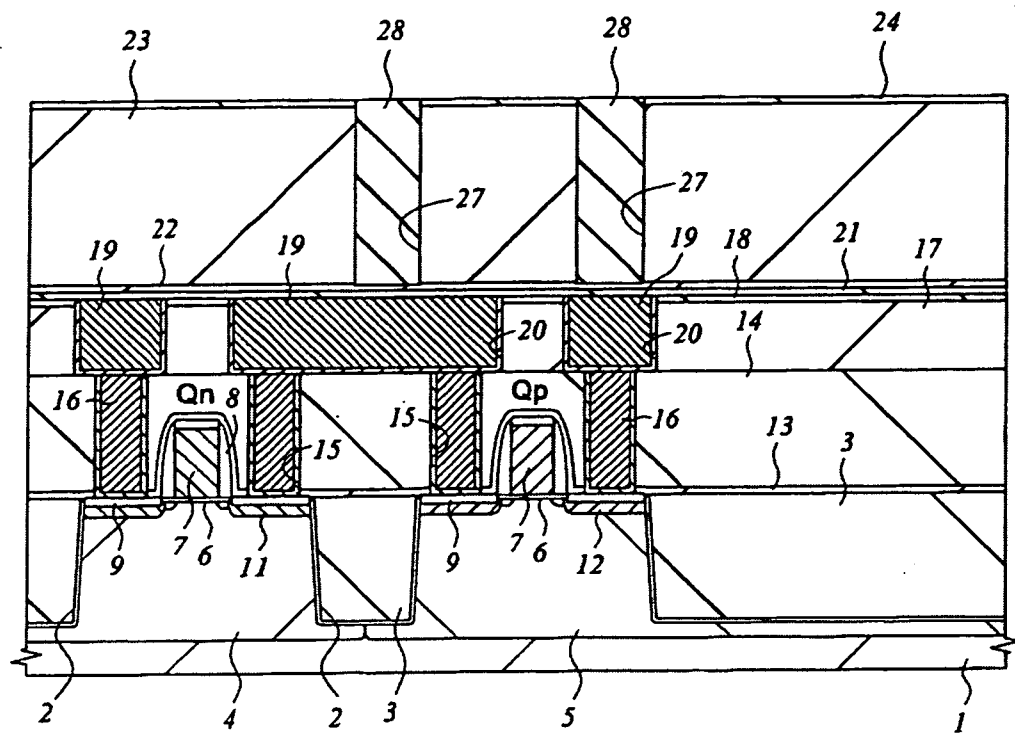


圖 6

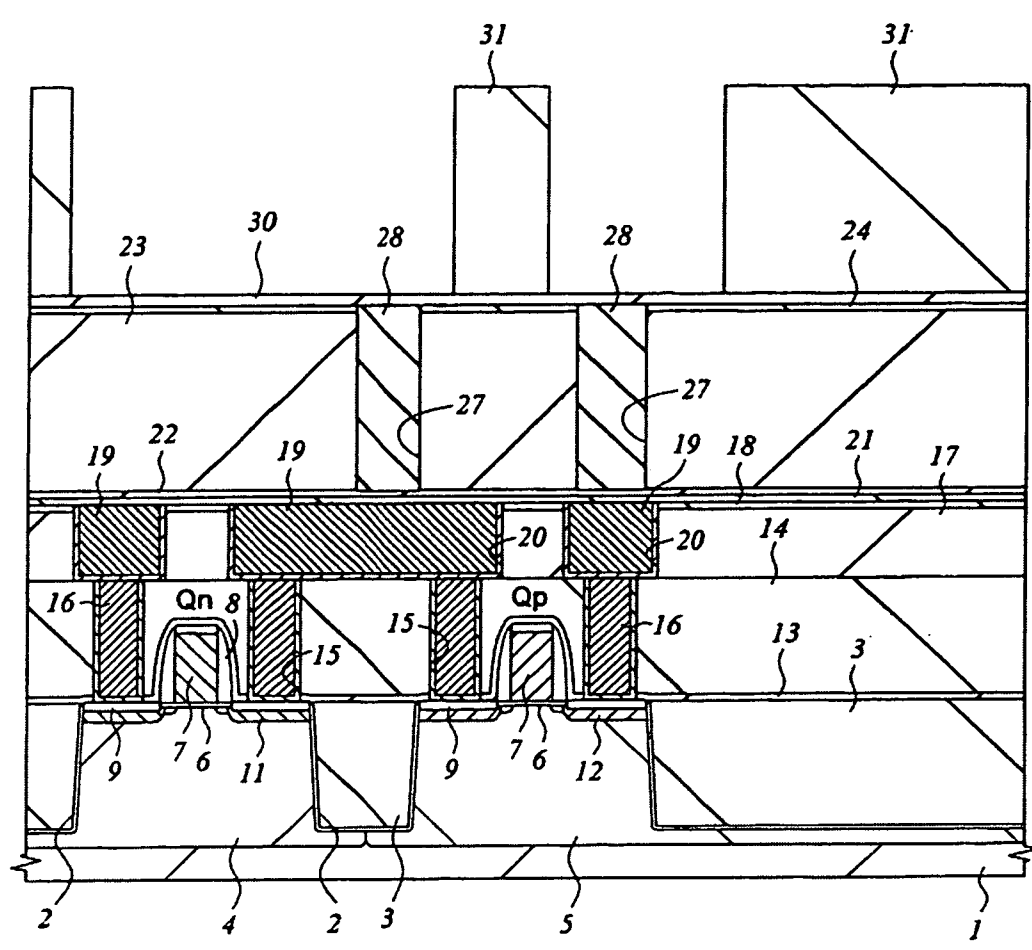


圖 7

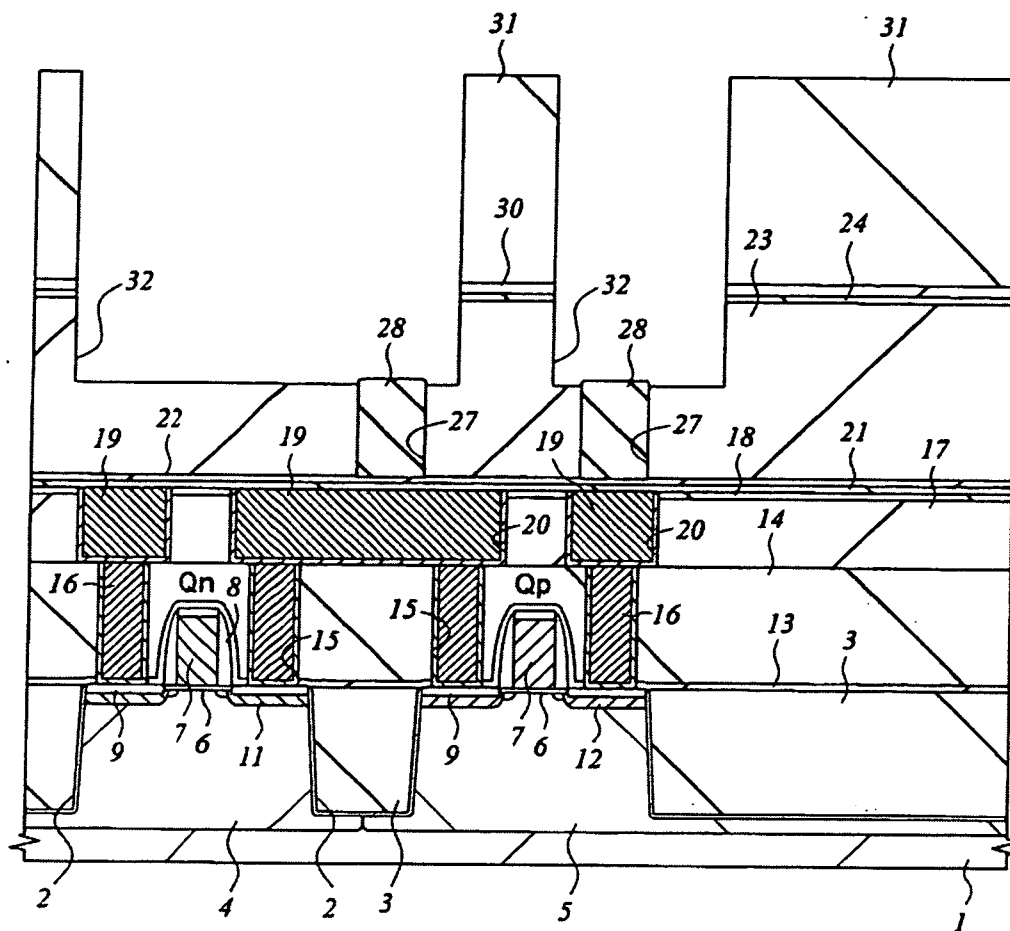


圖 8

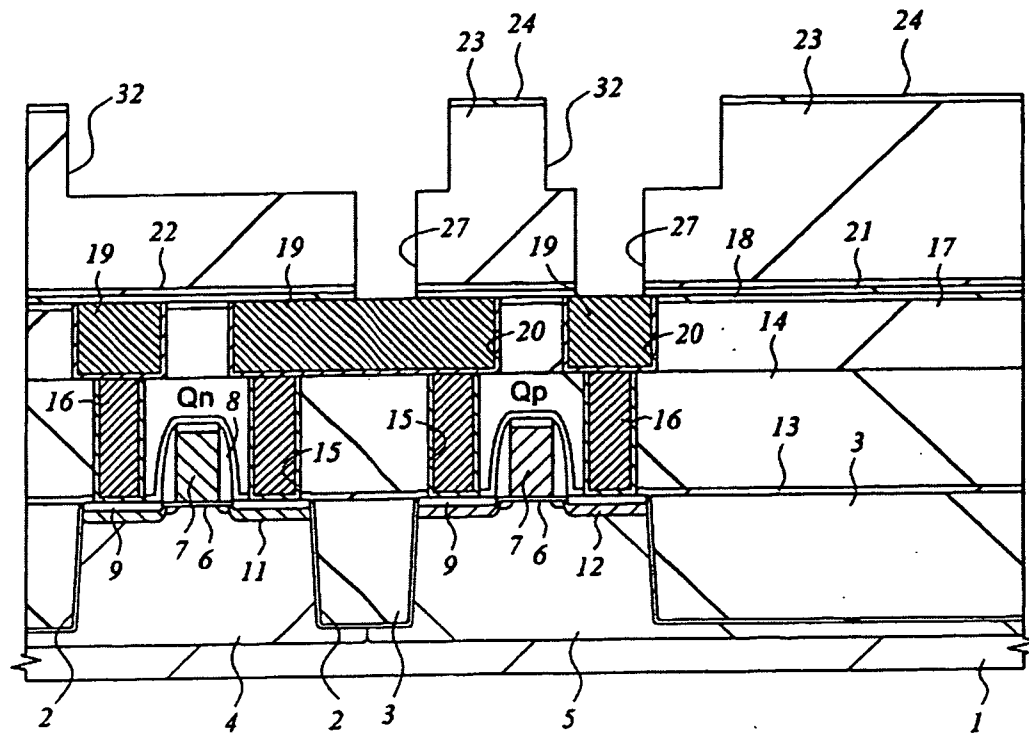


圖 9



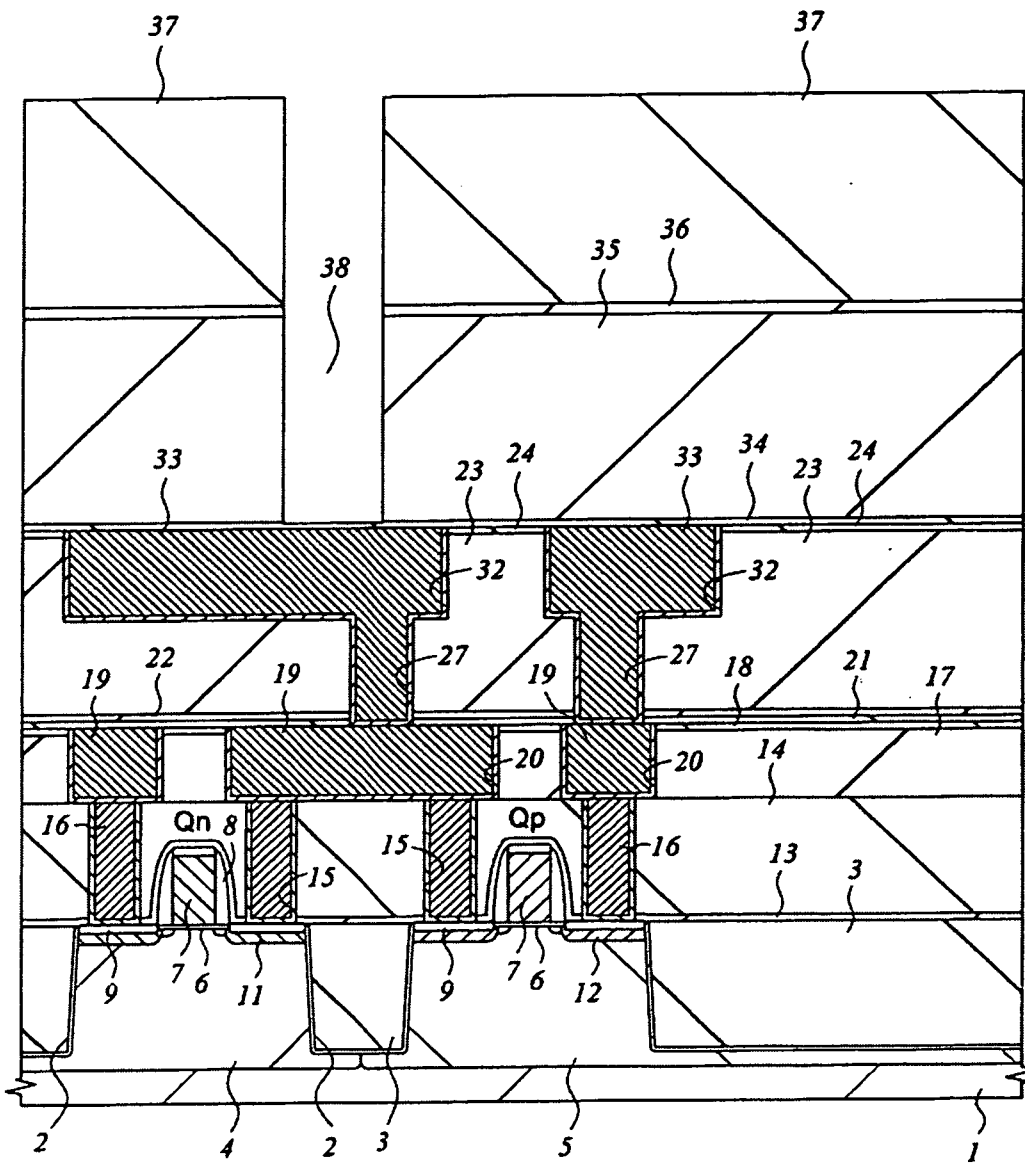


圖 11

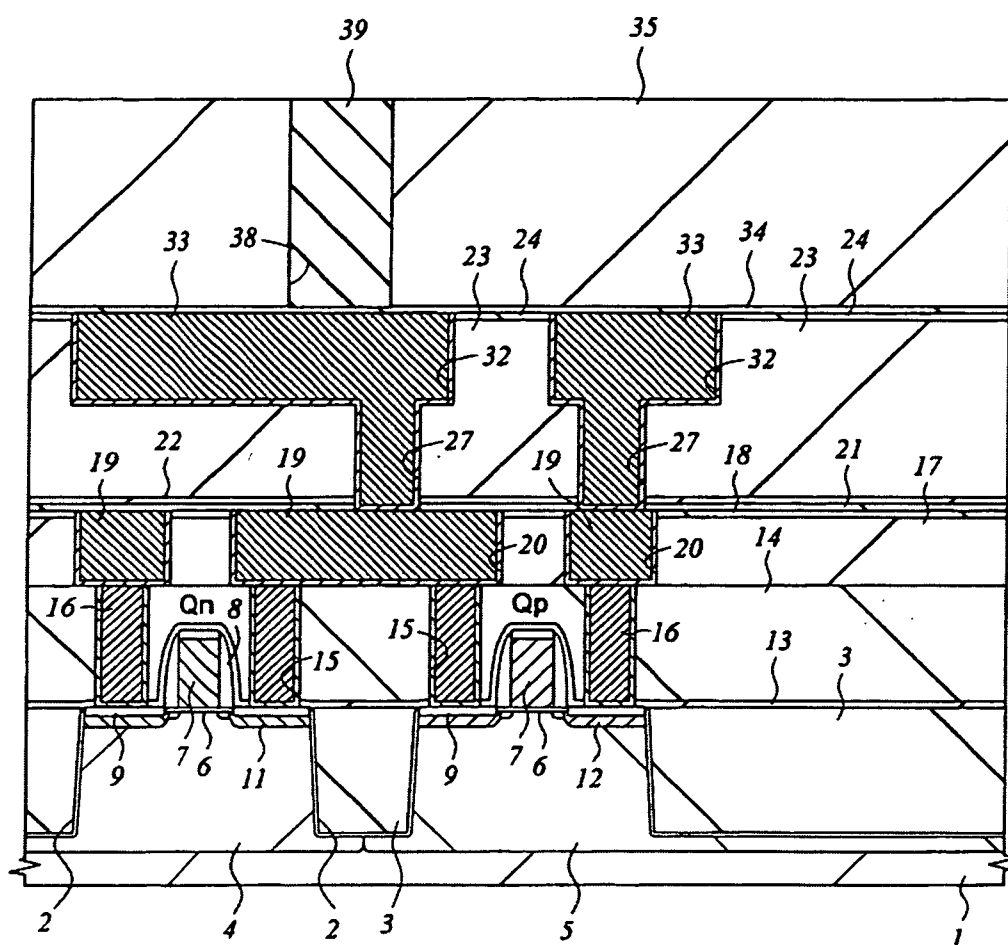


圖 12

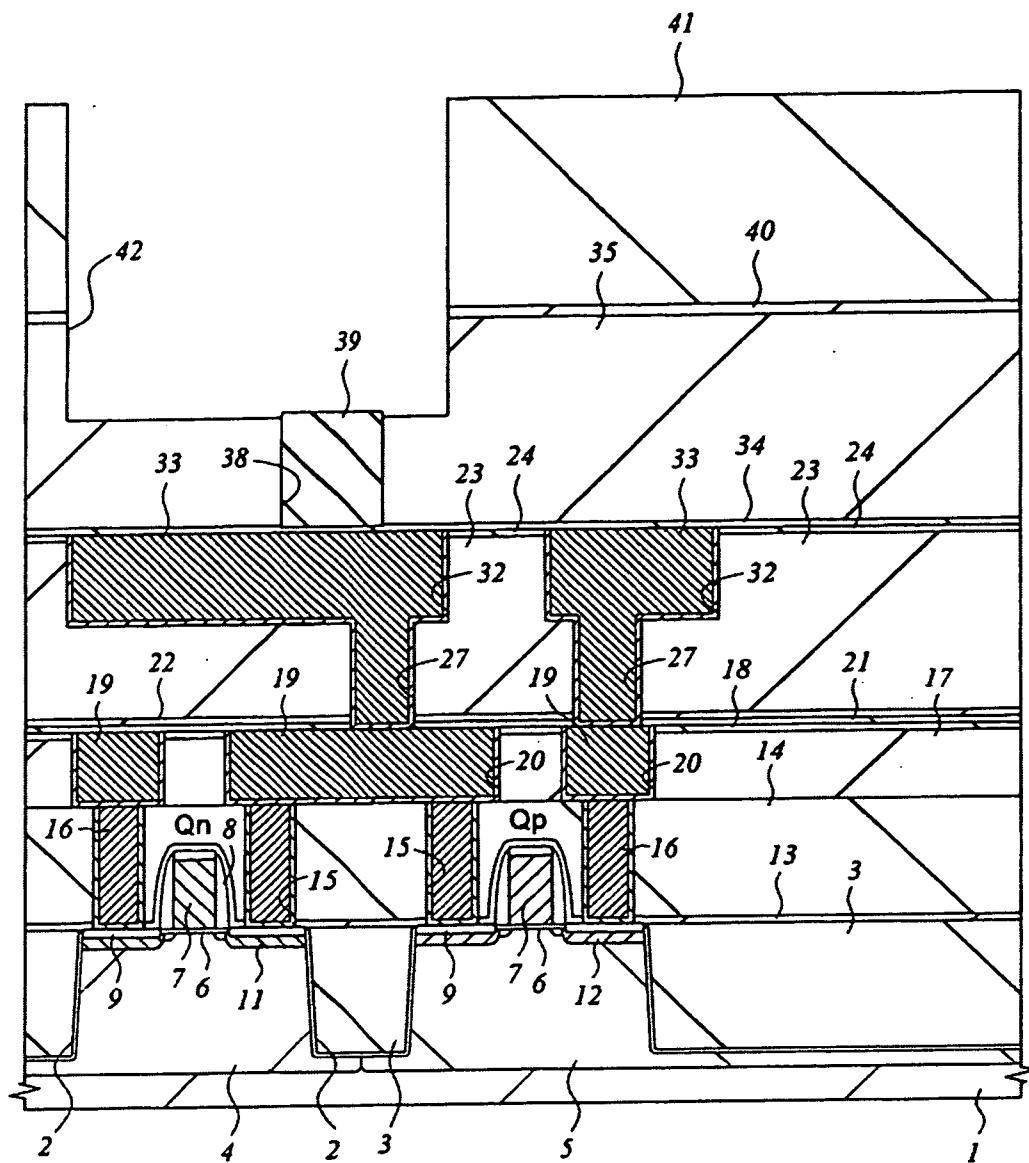


圖 13

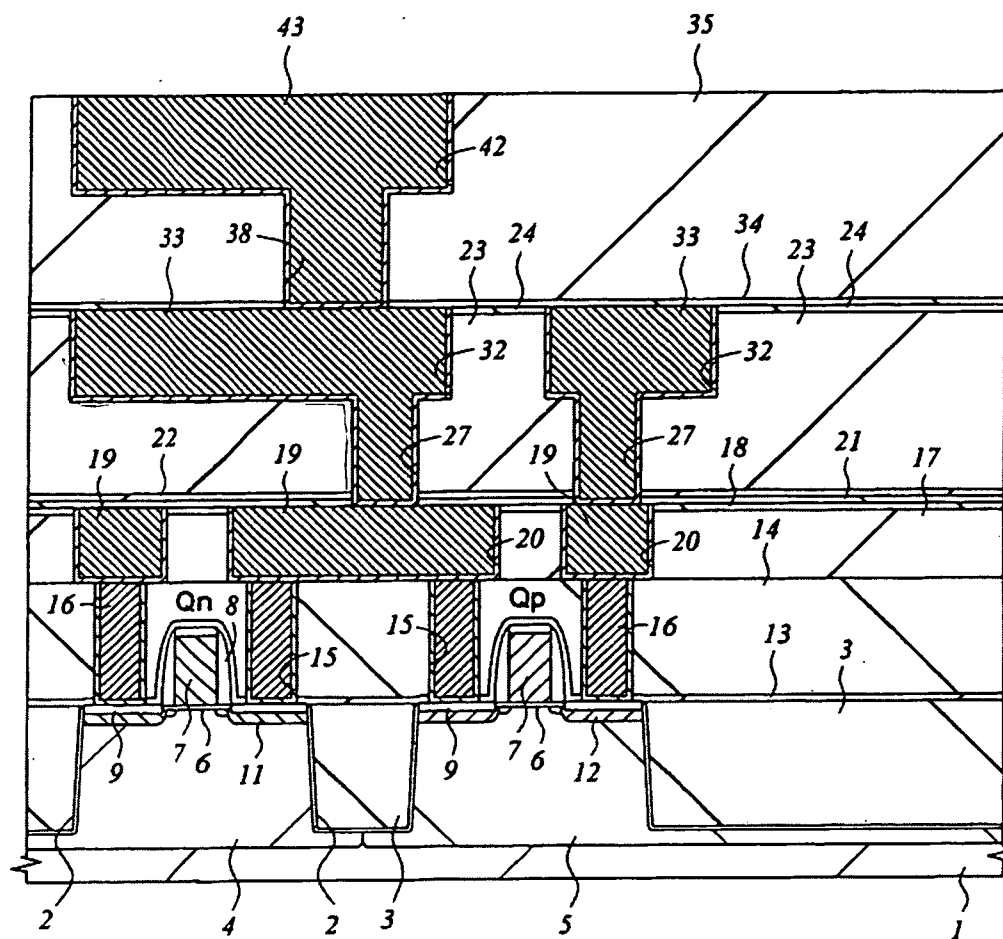


圖 14

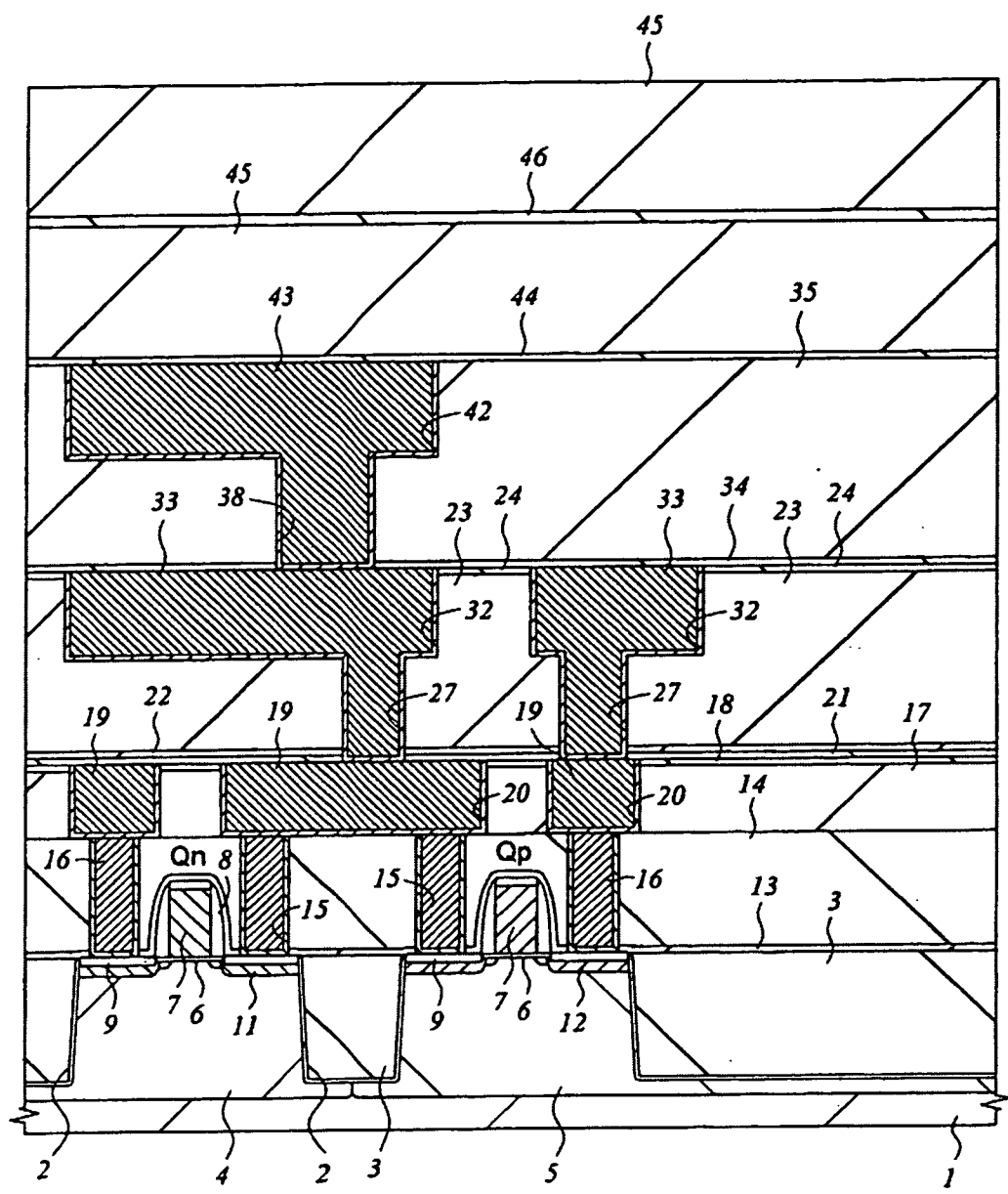


圖 15

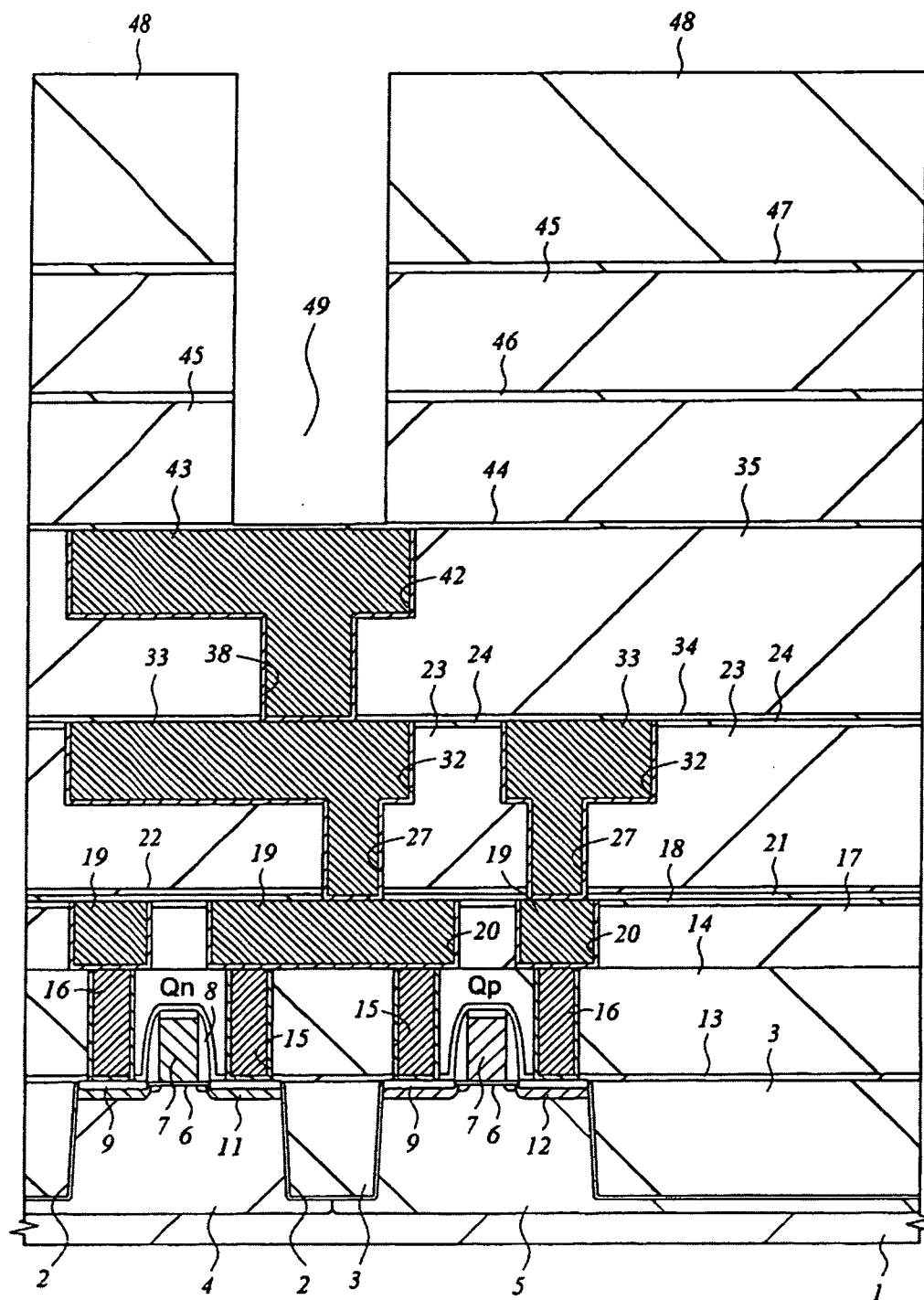


圖 16

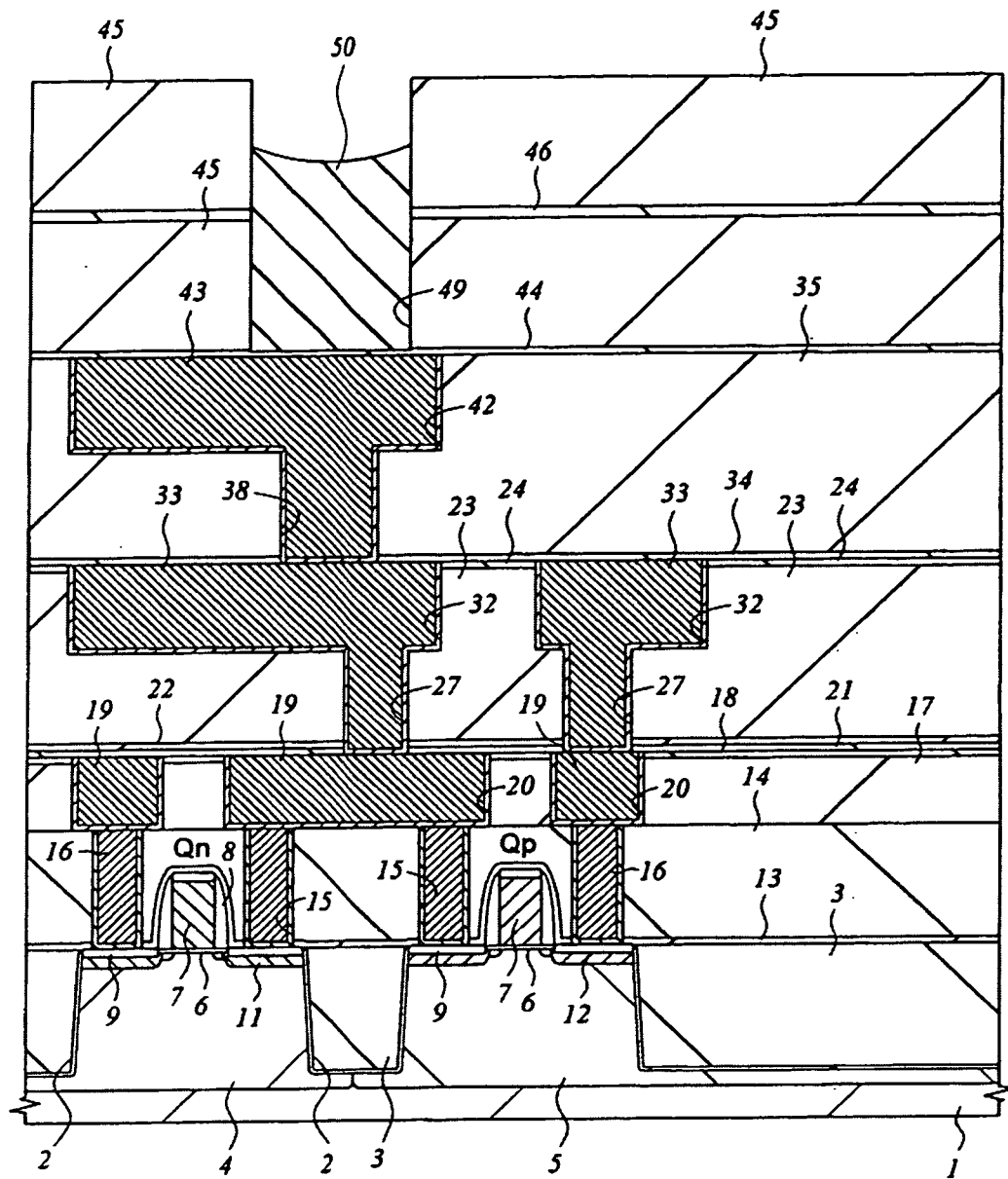
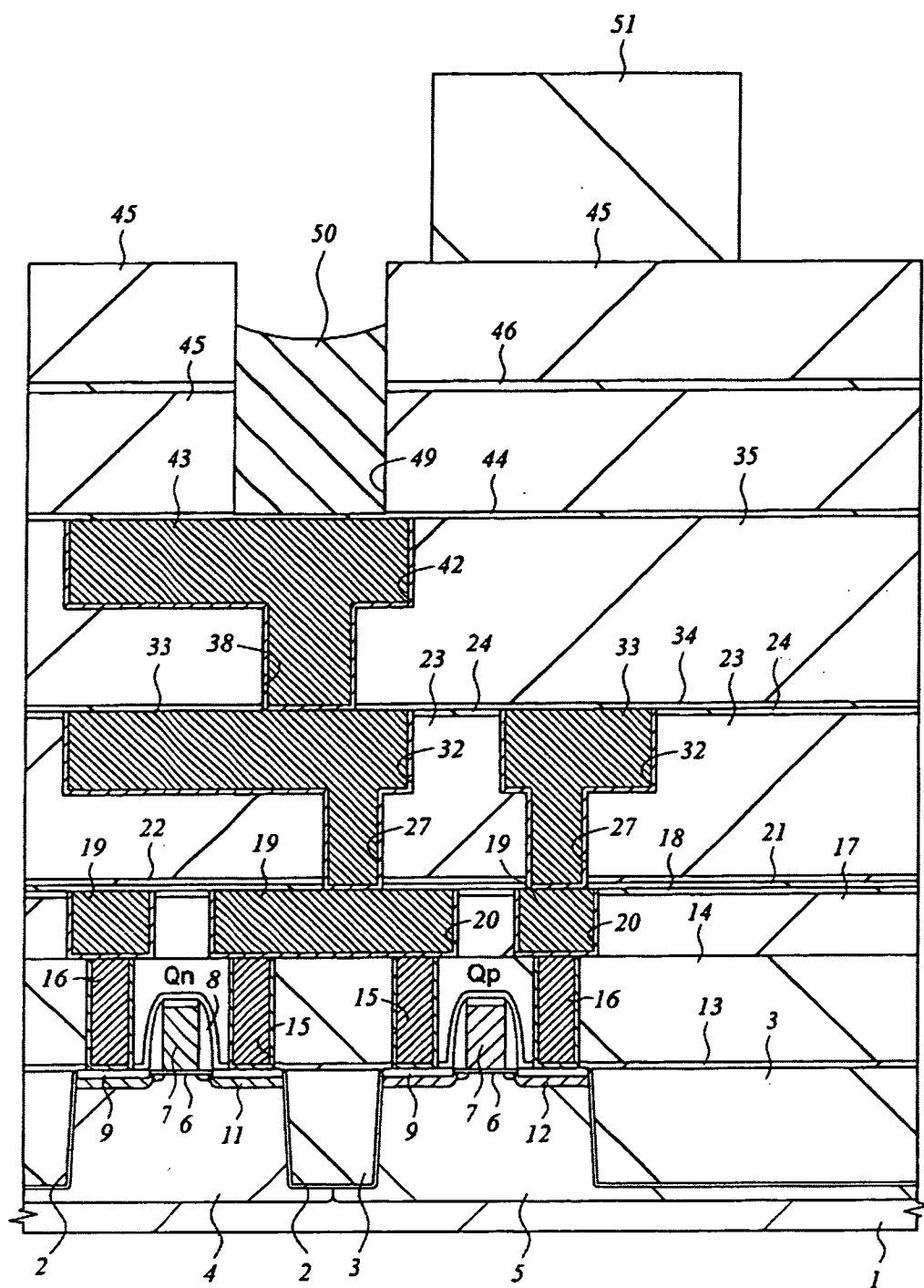


圖 17



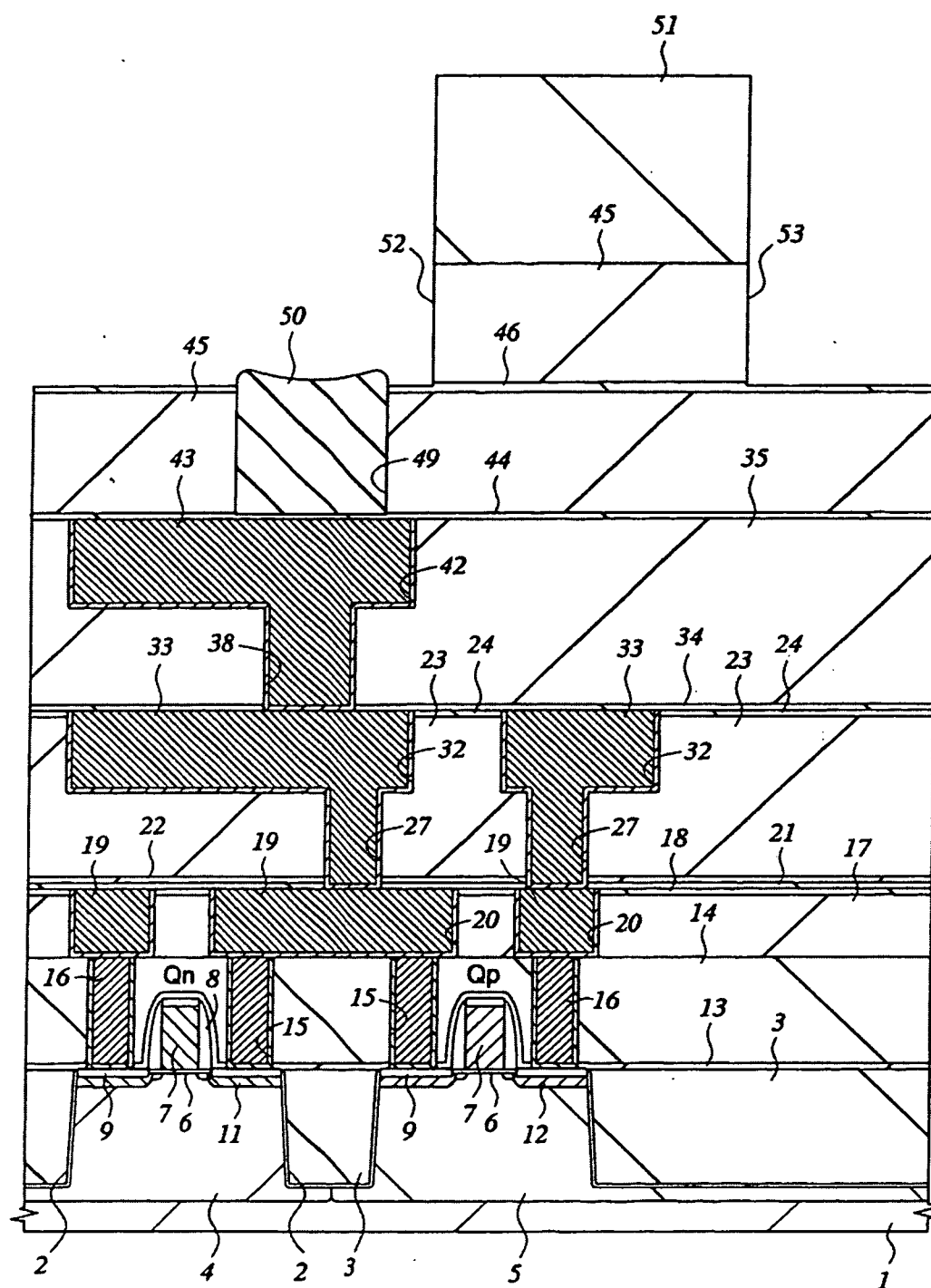


圖 19

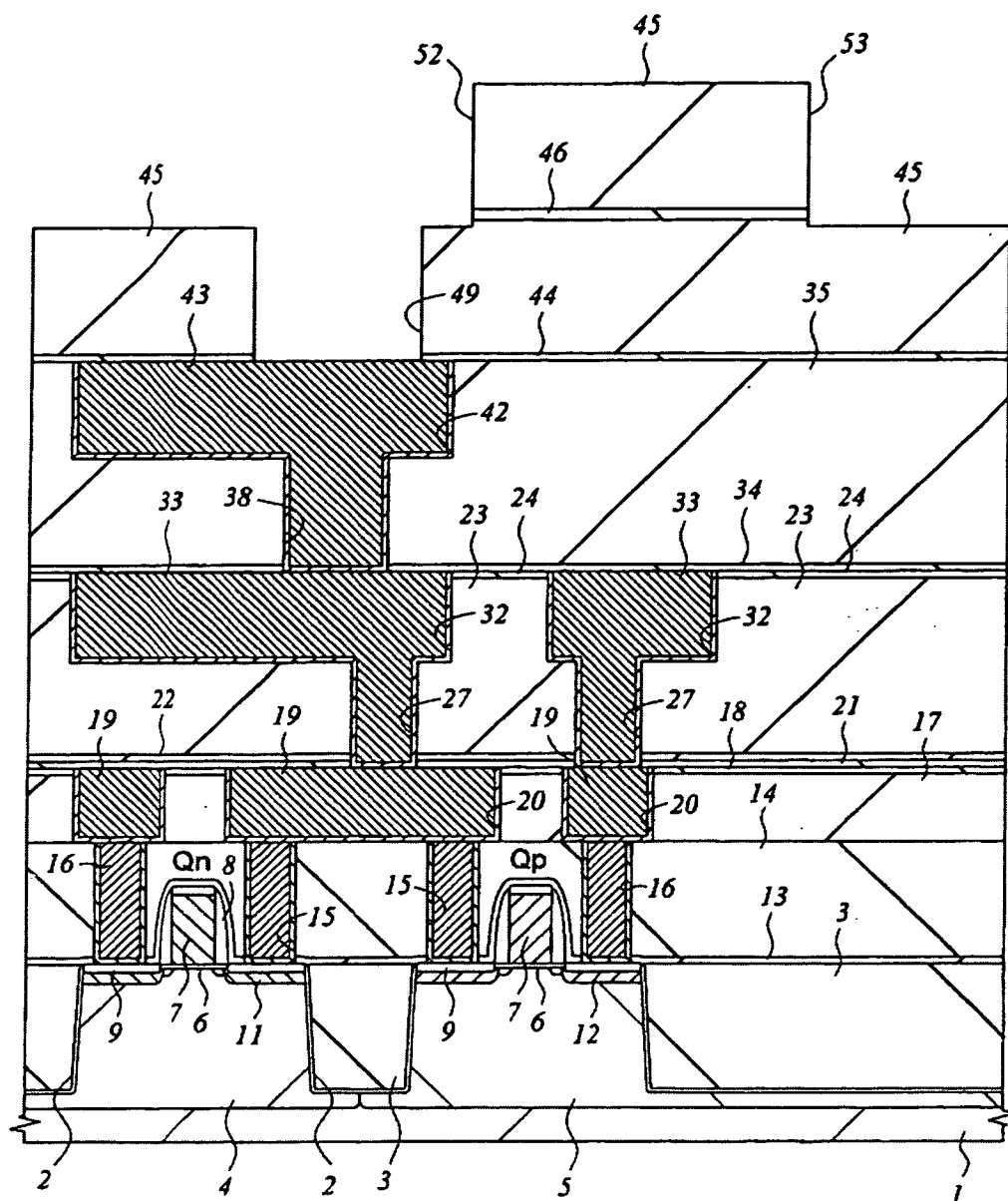


圖 20

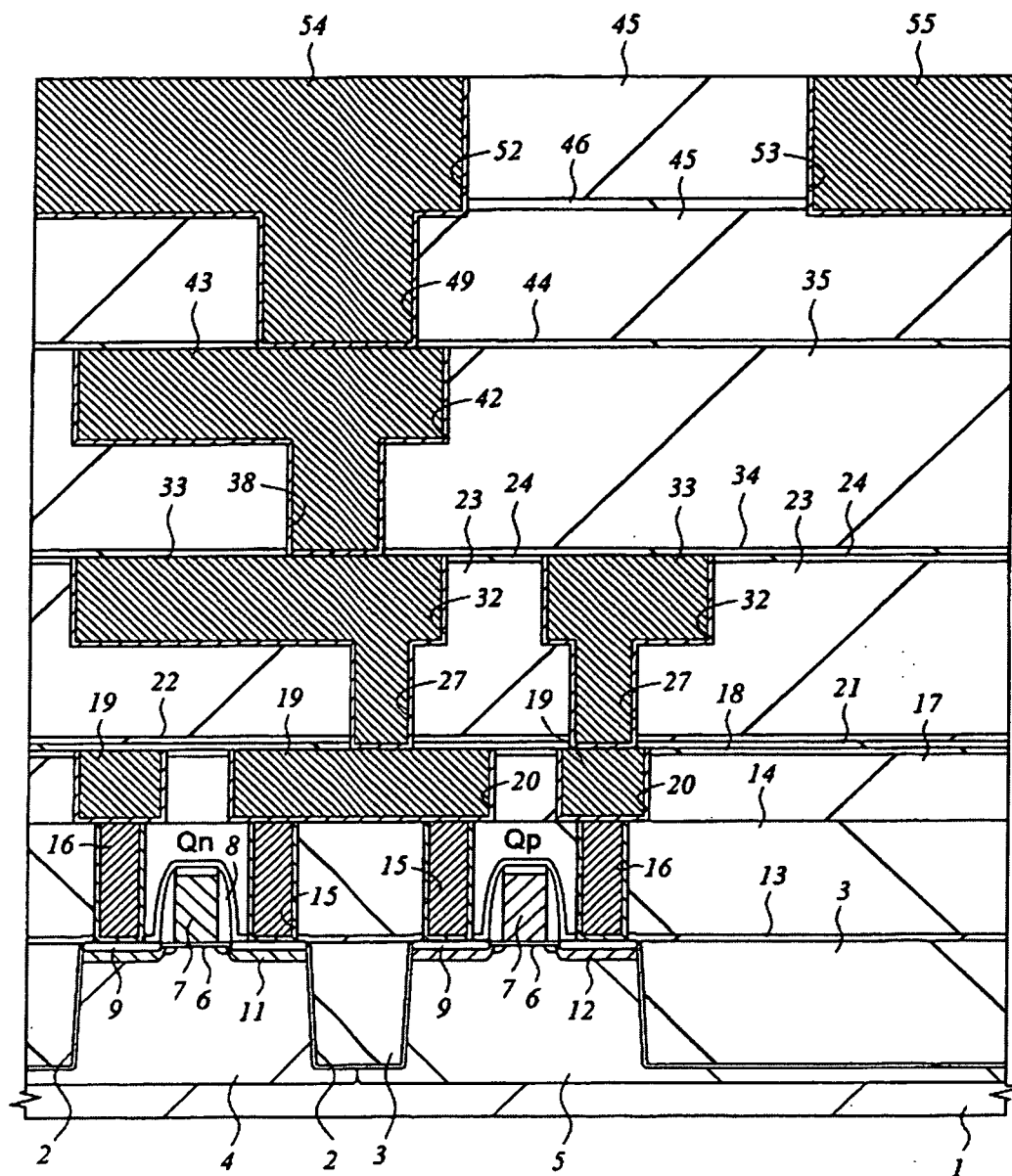


圖 21

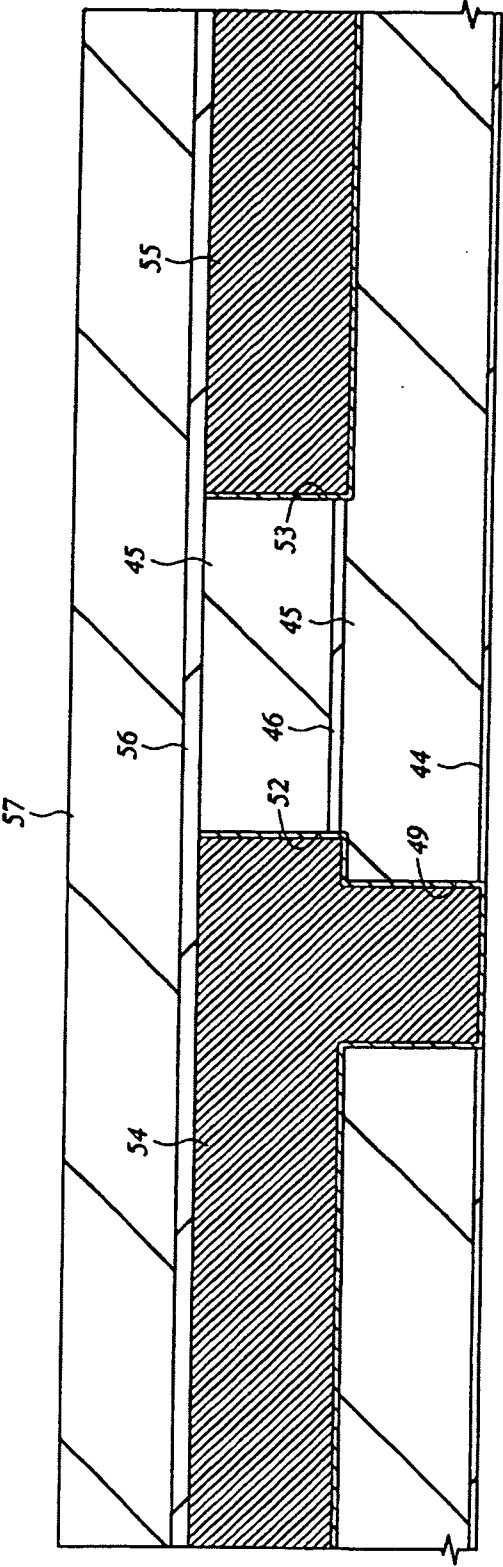


圖 22

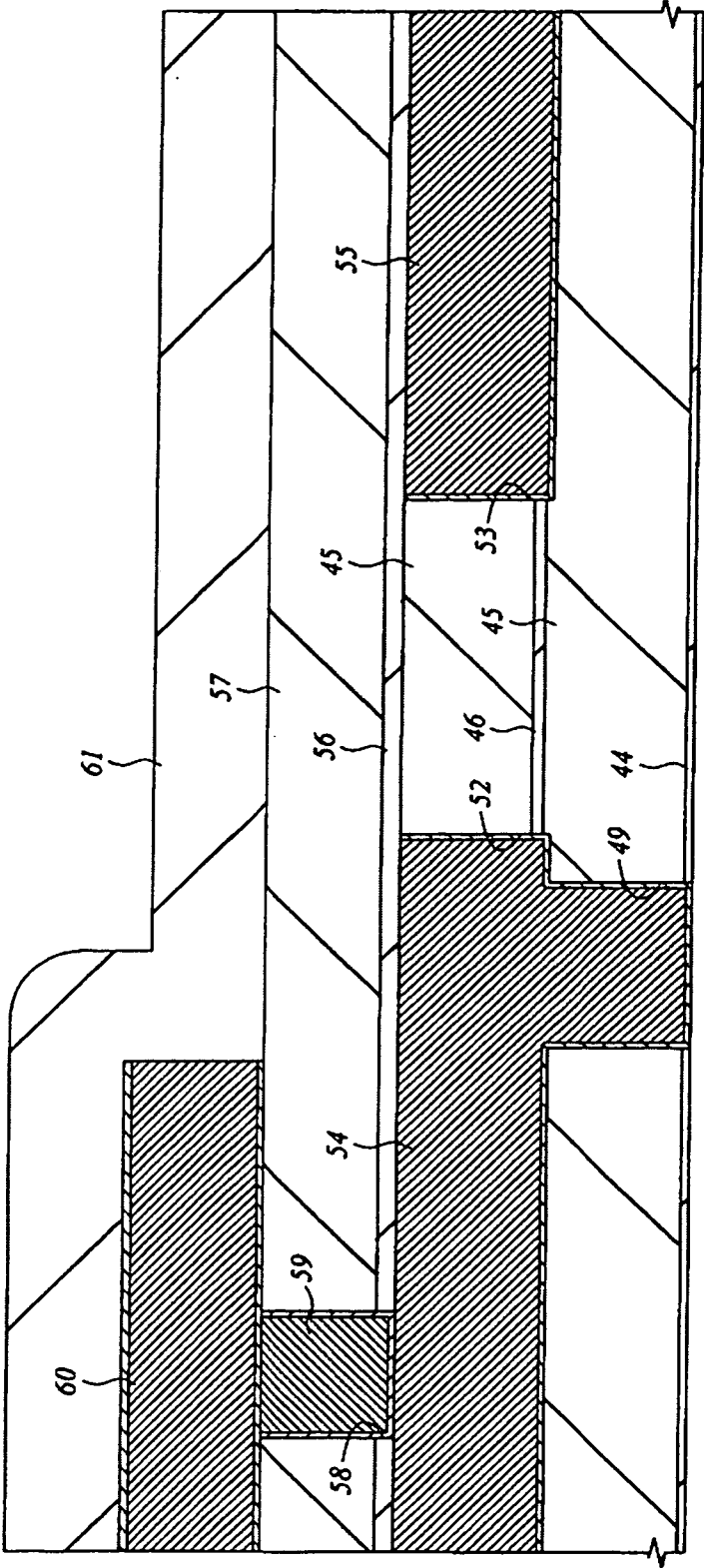


圖 23

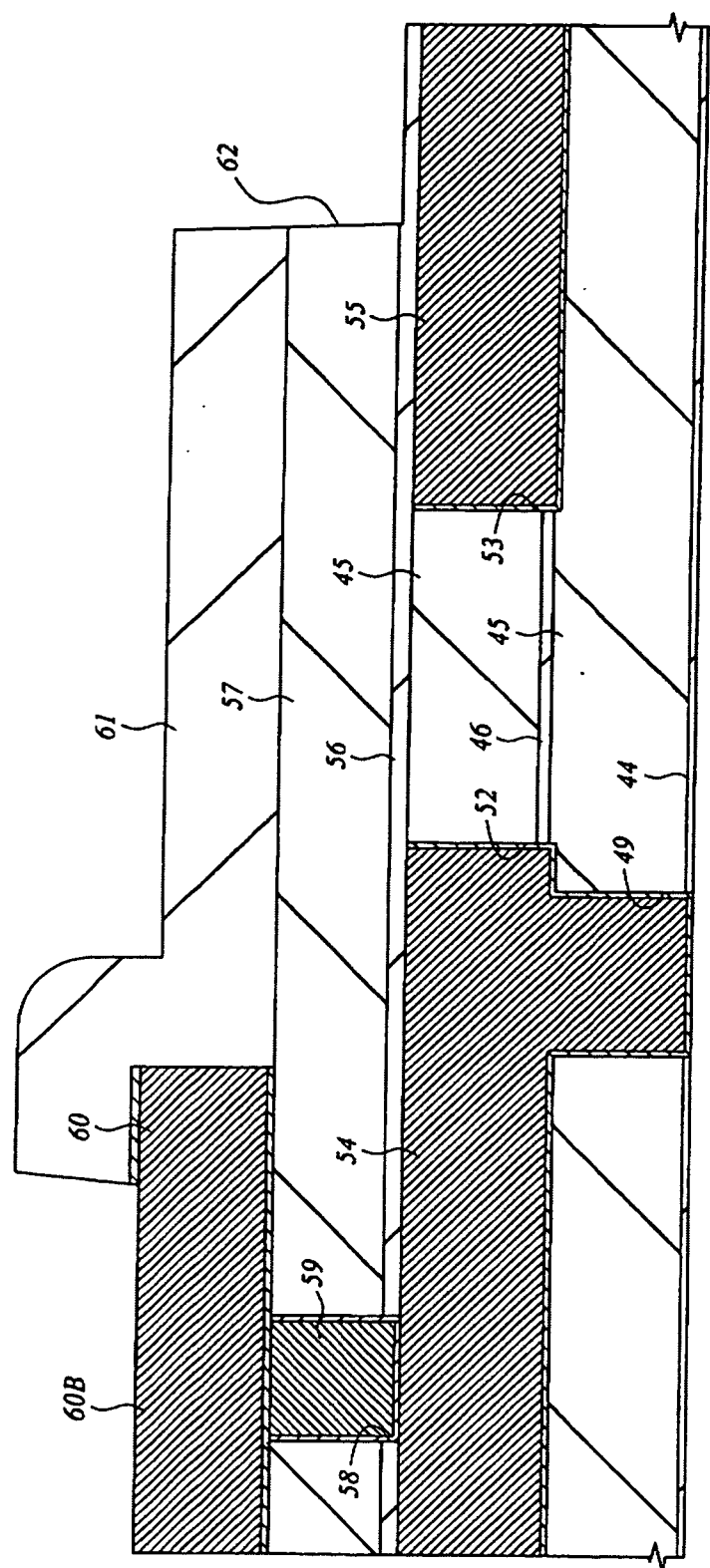


圖 24

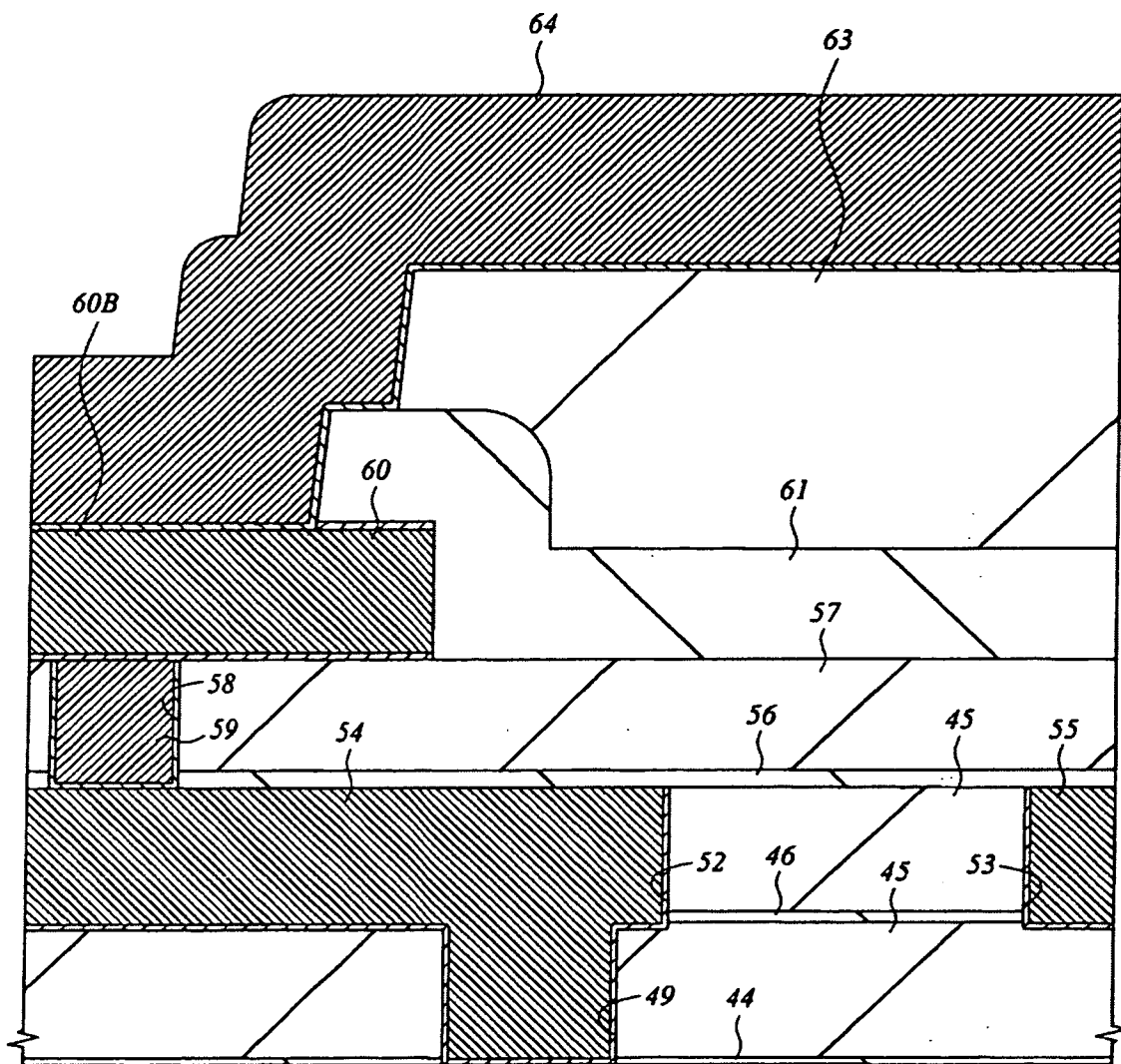


圖 25

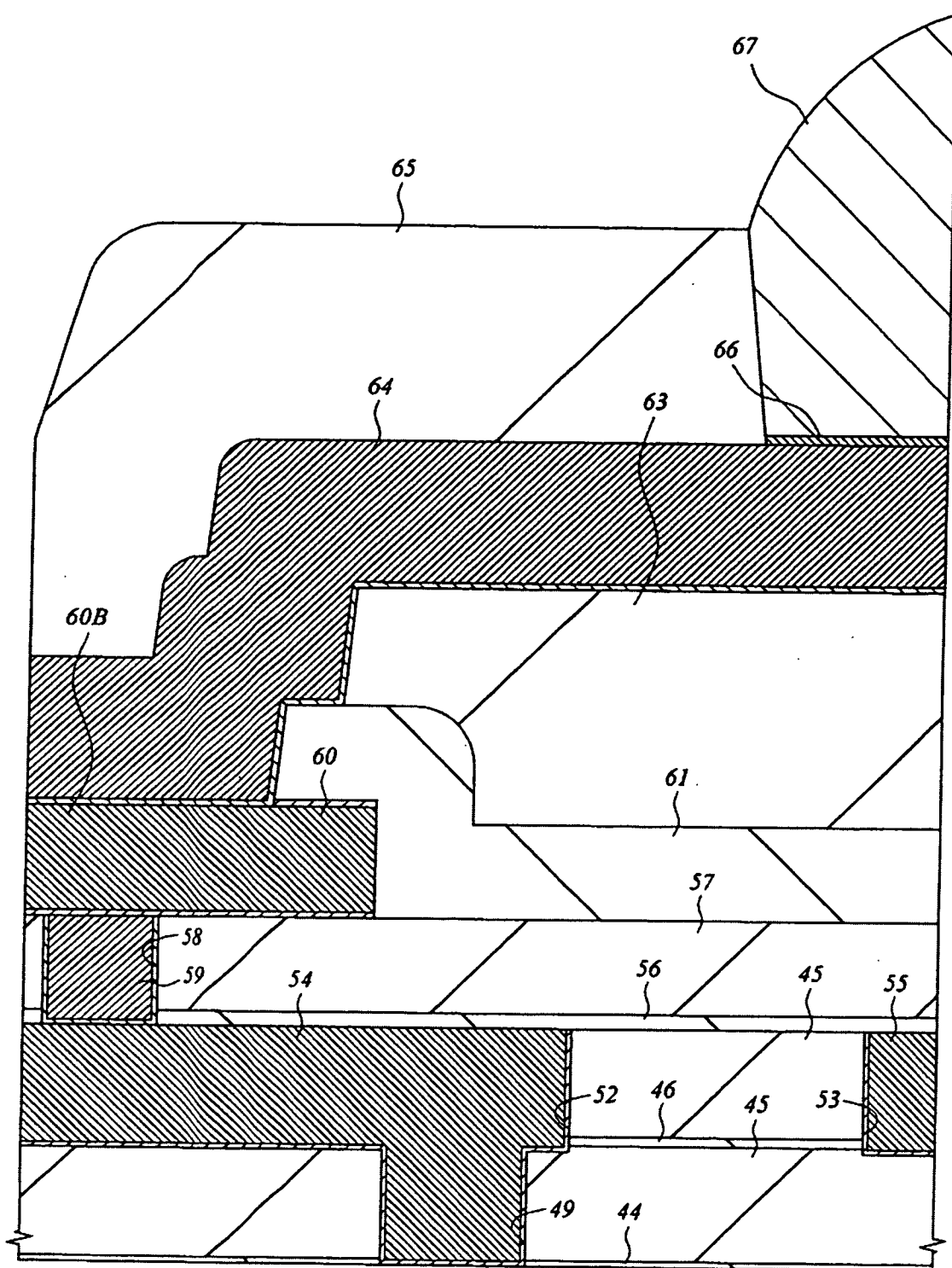


圖 26



•

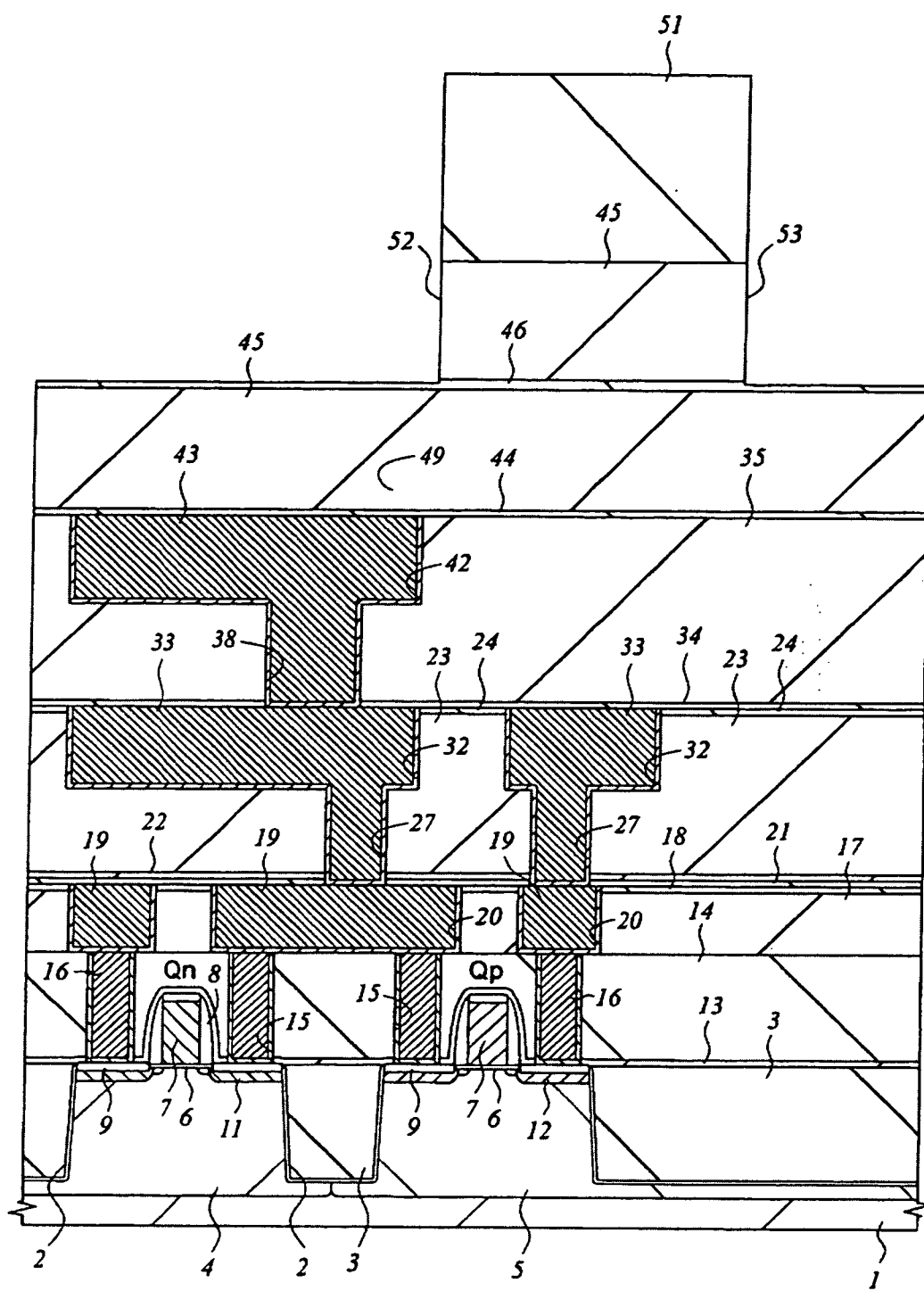


圖 28

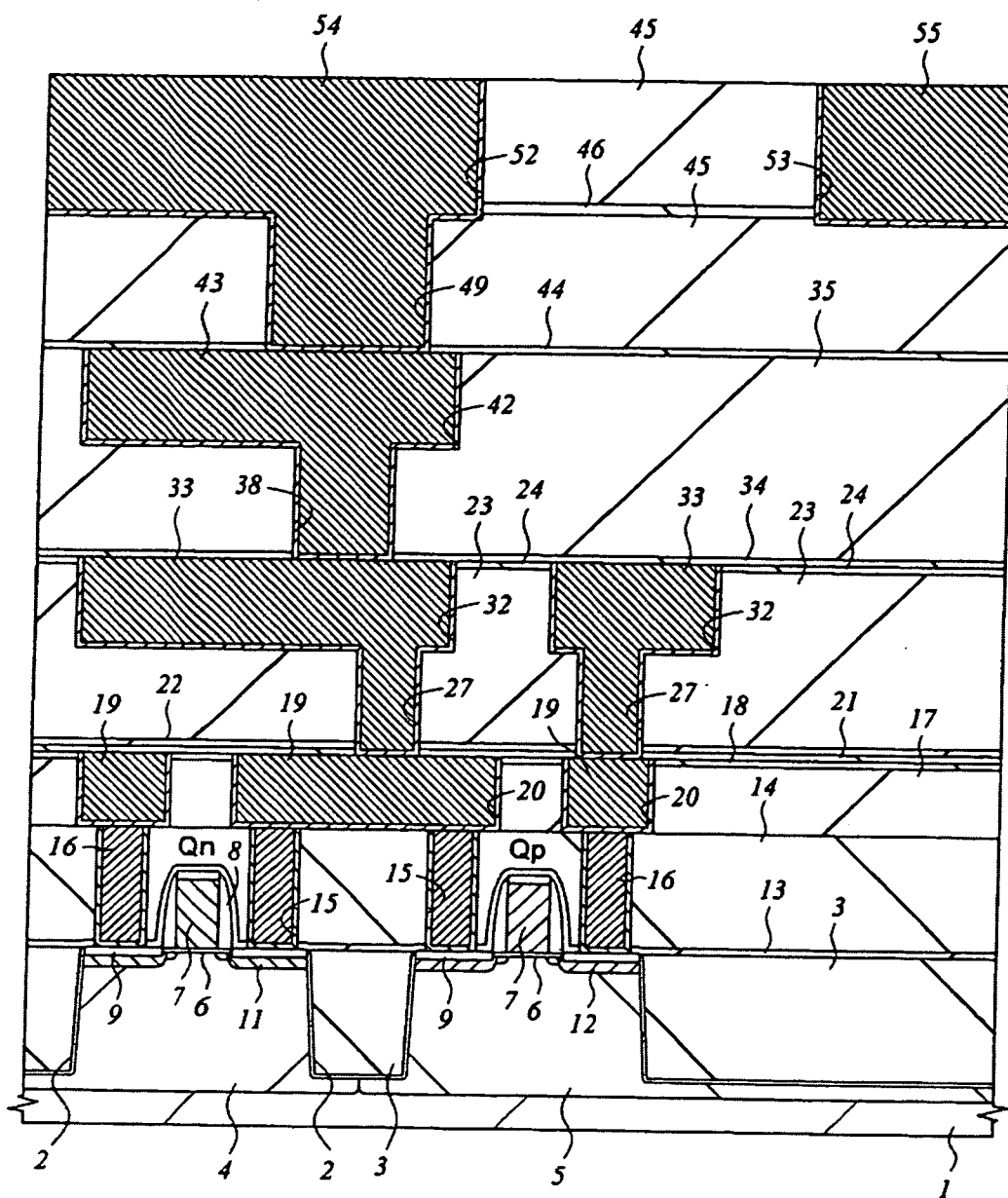


圖 30