



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년10월23일  
(11) 등록번호 10-1320519  
(24) 등록일자 2013년10월15일

(51) 국제특허분류(Int. Cl.)  
H01L 27/115 (2006.01) H01L 21/8247 (2006.01)  
B82Y 10/00 (2011.01)  
(21) 출원번호 10-2006-0070881  
(22) 출원일자 2006년07월27일  
심사청구일자 2011년07월27일  
(65) 공개번호 10-2008-0010618  
(43) 공개일자 2008년01월31일  
(56) 선행기술조사문헌  
US6829173 B2  
US20040070020 A1

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
김원주  
경기도 수원시 영통구 영통로290번길 26, 벽적골 8단지아파트 840동 1903호 (영통동)  
김석필  
경기도 용인시 기흥구 삼성2로 97, 기숙사 (농서동, 삼성종합기술원)  
(뒷면에 계속)  
(74) 대리인  
리엔목특허법인

전체 청구항 수 : 총 10 항

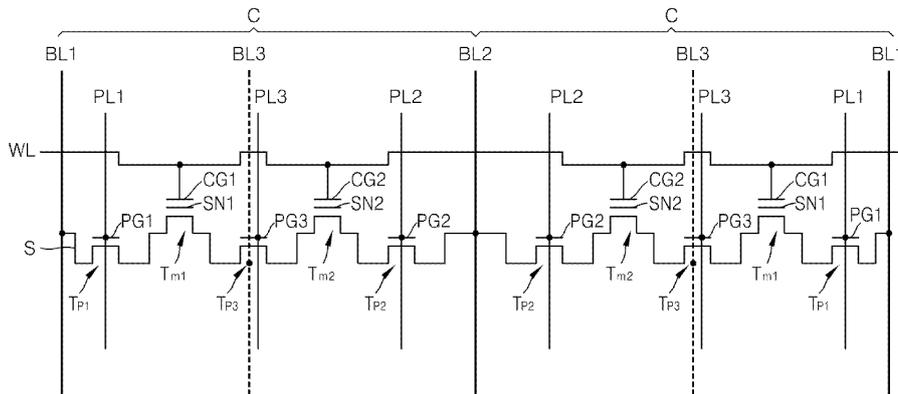
심사관 : 정구원

(54) 발명의 명칭 **패스 트랜지스터를 갖는 비휘발성 메모리 소자 및 그 동작방법**

**(57) 요약**

낸드 타입의 플래시 메모리 소자 및 노어 타입의 플래시 메모리 소자의 단점을 동시에 극복할 수 있는 비휘발성 메모리 소자가 제공된다. 비휘발성 메모리 소자는 하나의 스트링에 교차 연결된 제 1 및 제 2 비트 라인들을 포함한다. 제 1 및 제 2 메모리 트랜지스터들은 제 1 및 제 2 비트 라인들 사이의 스트링 부분에 포함되고, 제어 게이트 및 스토리지 노드를 각각 포함한다. 제 1 패스 트랜지스터는 제 1 비트 라인 및 제 1 메모리 트랜지스터 사이의 스트링 부분에 포함되고, 제 1 패스 게이트를 포함한다. 제 2 패스 트랜지스터는 제 2 메모리 트랜지스터 및 제 2 비트 라인 사이의 스트링 부분에 포함되고, 제 2 패스 게이트를 포함한다. 제 3 패스 트랜지스터는 제 1 및 제 2 메모리 트랜지스터들 사이의 스트링 부분에 포함되고, 제 3 패스 게이트를 포함한다. 제 3 비트 라인은 제 3 패스 트랜지스터의 채널에 연결된다. 그리고, 워드 라인은 제 1 및 제 2 메모리 트랜지스터들의 제어 게이트에 공통으로 연결된다.

**대표도**



(72) 발명자

**현재웅**

경기도 의정부시 흥선로128번길 28-29 (가능동)

**박윤동**

경기도 용인시 기흥구 삼성2로 97, 기숙사 (농서동, 삼성종합기술원)

**구준모**

서울특별시 강남구 논현로 209, 104동 1304호 (도곡동, 경남아파트)

---

## 특허청구의 범위

### 청구항 1

하나의 스트링에 교차 연결된 제 1 및 제 2 비트 라인들;

상기 제 1 및 제 2 비트 라인들 사이의 상기 스트링 부분에 포함되고, 제어 게이트 및 스토리지 노드를 각각 포함하는 제 1 및 제 2 메모리 트랜지스터들;

상기 제 1 비트 라인 및 상기 제 1 메모리 트랜지스터 사이의 상기 스트링 부분에 포함되고, 제 1 패스 게이트를 포함하는 제 1 패스 트랜지스터;

상기 제 2 메모리 트랜지스터 및 상기 제 2 비트 라인 사이의 상기 스트링 부분에 포함되고, 제 2 패스 게이트를 포함하는 제 2 패스 트랜지스터;

상기 제 1 및 제 2 메모리 트랜지스터들 사이의 상기 스트링 부분에 포함되고, 제 3 패스 게이트를 포함하는 제 3 패스 트랜지스터;

상기 제 3 패스 트랜지스터의 채널에 연결된 제 3 비트 라인; 및

상기 제 1 및 제 2 메모리 트랜지스터들의 제어 게이트에 공통으로 연결된 워드 라인을 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.

### 청구항 2

제 1 항에 있어서, 상기 워드 라인은 상기 제 1, 제 2 및 제 3 비트 라인들을 가로질러 신장하는 것을 특징으로 하는 비휘발성 메모리 소자.

### 청구항 3

제 1 항에 있어서, 상기 제 1, 제 2 및 제 3 패스 게이트는 상기 워드 라인을 가로질러 신장하는 것을 특징으로 하는 비휘발성 메모리 소자.

### 청구항 4

삭제

### 청구항 5

삭제

### 청구항 6

제 1 항의 비휘발성 메모리 소자를 단위셀로 하여, 상기 스트링에 직렬로 배열된 복수의 상기 단위셀들을 포함하고,

상기 복수의 단위셀에서 워드 라인은 공유된 것을 특징으로 하는 비휘발성 메모리 소자.

### 청구항 7

제 6 항에 있어서, 상기 복수의 단위셀들 가운데 인접한 두 단위셀의 제 1 또는 제 2 비트 라인이 서로 공유되는 것을 특징으로 하는 비휘발성 메모리 소자.

### 청구항 8

제 1 항의 비휘발성 메모리 소자를 단위셀로 하여, 복수의 행으로 배열된 복수의 상기 단위셀들을 포함하고,

상기 복수의 행으로 배열된 단위셀들의 상기 제 1 패스 게이트들을 공통으로 연결하는 제 1 패스 라인;

상기 복수의 행으로 배열된 단위셀들의 상기 제 2 패스 게이트들을 공통으로 연결하는 제 2 패스 라인; 및

상기 복수의 행으로 배열된 단위셀들의 상기 제 3 패스 게이트를 공통으로 연결하는 제 3 패스 라인을 더 포함

하고,

상기 복수의 행으로 배열된 단위셀들에서, 상기 제 1, 제 2 및 제 3 비트 라인들은 서로 공유된 것을 특징으로 하는 비휘발성 메모리 소자.

**청구항 9**

제 1 항의 비휘발성 메모리 소자의 동작 방법으로,

상기 제 1 및 제 2 메모리 트랜지스터 가운데 적어도 하나를 선택하여, 선택된 메모리 트랜지스터에 전하의 터널링 방법을 이용하여 데이터를 프로그램하는 단계;

상기 제 1 및 제 2 메모리 트랜지스터 가운데 적어도 하나를 선택하여, 선택된 메모리 트랜지스터의 데이터를 읽는 단계; 및

상기 제 1 및 제 2 메모리 트랜지스터의 데이터를 일시에 지우는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 동작 방법.

**청구항 10**

제 9 항에 있어서, 상기 프로그램하는 단계는,

상기 워드 라인에 프로그램 전압을 인가하고, 상기 제 1 및 제 2 비트 라인들에 프로그램 방지 전압을 인가하고, 상기 제 3 패스 게이트에 턴-오프 전압을 인가하고, 상기 제 1 및 제 2 패스 게이트들 가운데 선택된 하나에 턴-오프 전압을 인가하고 다른 하나에 턴-온 전압을 인가하여 수행하는 것을 특징으로 하는 비휘발성 메모리 소자의 동작 방법.

**청구항 11**

삭제

**청구항 12**

제 9 항에 있어서, 상기 읽는 단계는,

상기 워드 라인에 제 1 읽기 전압을 인가하고, 상기 제 1 및 제 2 비트 라인들 가운데 적어도 하나에 제 2 읽기 전압을 인가하고, 상기 제 3 비트 라인에 접지 전압을 인가하여 수행하는 것을 특징으로 하는 비휘발성 메모리 소자의 동작 방법.

**청구항 13**

제 9 항에 있어서, 상기 지우는 단계는,

상기 워드 라인에 접지 전압을 인가하고, 상기 제 1 및 제 2 메모리 트랜지스터들의 바디에 지우기 전압을 인가하여 수행하는 것을 특징으로 하는 비휘발성 메모리 소자의 동작 방법.

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- [0008] 본 발명은 반도체 소자에 관한 것으로서, 특히, 비휘발성 메모리 소자 및 그 동작 방법에 관한 것이다.
- [0009] 통상적인 비휘발성 메모리 소자, 예컨대 플래시 메모리 소자는 낸드(NAND) 타입 및 노어(NOR) 타입을 갖는다. 낸드 타입 및 노어 타입의 플래시 메모리 소자들은 공통적으로 블록 소거 특성을 이용한 빠른 지우기 특성을 갖는다. 하지만, 낸드 타입 및 노어 타입의 플래시 메모리 소자들은 프로그램 및 읽기 방식, 및 집적도 면에서 서로 다른 특성을 갖기 때문에 각각 한정된 용도에 우선적으로 사용되고 있다.
- [0010] 낸드 타입의 플래시 메모리 소자는 F-N(Fowler-Nordheim) 터널링 방식을 이용하기 때문에 프로그램 속도가 빠르고 프로그램 효율이 높고, 비트당 차지하는 셀 면적이 작아 집적도가 높다는 장점을 갖는다. 반면, 낸드 타입의 플래시 메모리 소자는 랜덤 액세스(random access)가 어려워 읽기 속도가 늦고, 선택적인 프로그램이 어렵다는 단점을 갖는다.
- [0011] 노어 타입의 플래시 메모리 소자는 랜덤 액세스가 용이하기 때문에 읽기 속도가 빠르고 선택적인 프로그램이 용이하다는 장점을 갖는다. 반면, 노어 타입의 플래시 메모리 소자는 채널 열전자 주입(channel hot electron injection; CHEI) 방식을 이용하기 때문에 프로그램 속도가 낮고 프로그램 효율이 낮고, 비트당 차지하는 셀 면적이 커서 집적도가 낮다는 단점을 갖는다.
- [0012] 따라서, 낸드 타입의 플래시 메모리 소자와 노어 타입의 플래시 메모리 소자의 장점을 골고루 갖춘 새로운 형태의 비휘발성 메모리 소자가 요구되고 있다.

**발명이 이루고자 하는 기술적 과제**

- [0013] 따라서, 본 발명이 이루고자 하는 기술적 과제는, 낸드 타입의 플래시 메모리 소자 및 노어 타입의 플래시 메모리 소자의 단점을 동시에 극복할 수 있는 비휘발성 메모리 소자를 제공하는 데 있다.
- [0014] 본 발명이 이루고자 하는 다른 기술적 과제는 상기 비휘발성 메모리 소자의 신뢰성 있는 동작 방법을 제공하는 데 있다.

**발명의 구성 및 작용**

- [0015] 상기 기술적 과제를 달성하기 위한 본 발명의 일 형태에 따른 비휘발성 메모리 소자는 하나의 스트링에 교차 연결된 제 1 및 제 2 비트 라인들을 포함한다. 제 1 및 제 2 메모리 트랜지스터들은 상기 제 1 및 제 2 비트 라인들 사이의 상기 스트링 부분에 포함되고, 제어 게이트 및 스토리지 노드를 각각 포함한다. 제 1 패스 트랜지스터는 상기 제 1 비트 라인 및 상기 제 1 메모리 트랜지스터 사이의 상기 스트링 부분에 포함되고, 제 1 패스 게이트를 포함한다. 제 2 패스 트랜지스터는 상기 제 2 메모리 트랜지스터 및 상기 제 2 비트 라인 사이의 상기 스트링 부분에 포함되고, 제 2 패스 게이트를 포함한다. 제 3 패스 트랜지스터는 상기 제 1 및 제 2 메모리 트랜지스터들 사이의 상기 스트링 부분에 포함되고, 제 3 패스 게이트를 포함한다. 제 3 비트 라인은 상기 제 3

패스 트랜지스터의 채널에 연결된다. 그리고, 워드 라인은 상기 제 1 및 제 2 메모리 트랜지스터들의 제어 게이트에 공통으로 연결된다.

[0016] 상기 기술적 과제를 달성하기 위한 다른 형태에 따른 비휘발성 메모리 소자는 상기 일 형태에 따른 비휘발성 메모리 소자를 단위셀로 이용한다. 복수의 단위셀들은 상기 스트링에 직렬로 배열되고, 상기 복수의 단위셀에서 워드 라인은 공유된다.

[0017] 상기 복수의 단위셀들 가운데 인접한 두 단위셀의 제 1 또는 제 2 비트 라인이 서로 공유될 수 있다.

[0018] 상기 기술적 과제를 달성하기 위한 또 다른 형태에 따른 비휘발성 메모리 소자는 상기 일 형태에 따른 비휘발성 메모리 소자를 단위셀로 이용한다. 복수의 상기 단위셀들은 복수의 행으로 배열된다. 제 1 패스 라인은 상기 복수의 행으로 배열된 단위셀들의 상기 제 1 패스 게이트들을 공통으로 연결한다. 제 2 패스 라인은 상기 복수의 행으로 배열된 단위셀들의 상기 제 2 패스 게이트들을 공통으로 연결한다. 제 3 패스 라인은 상기 복수의 행으로 배열된 단위셀들의 상기 제 3 패스 게이트를 공통으로 연결한다. 그리고, 상기 복수의 행으로 배열된 단위셀들에서, 상기 제 1, 제 2 및 제 3 비트 라인들은 서로 공유된다.

[0019] 상기 기술적 과제를 달성하기 위한 또 다른 형태에 따른 비휘발성 메모리 소자는 제 1 및 제 2 비트 라인 영역이 정의된 반도체 기판을 포함한다. 제 1 및 제 2 스토리지 노드층들은 상기 제 1 및 제 2 비트 라인 영역 사이의 상기 반도체 기판 상에 각각 형성된다. 제 1 패스 게이트 전극은 상기 제 1 비트 라인 영역 및 상기 제 1 스토리지 노드층 사이의 상기 반도체 기판 상에 형성된다. 제 2 패스 게이트 전극은 상기 제 2 비트 라인 영역 및 상기 제 2 스토리지 노드층 사이의 상기 반도체 기판 상에 형성된다. 제 3 패스 게이트 전극은 상기 제 1 및 제 2 스토리지 노드층 사이의 상기 반도체 기판 상에 형성된다. 제 3 비트 라인 영역은 상기 제 3 패스 게이트 전극 아래의 상기 반도체 기판 부분에 형성된다. 그리고, 제어 게이트 전극은 상기 제 1 및 제 2 스토리지 노드층들 상을 가로질러 신장한다.

[0020] 상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 형태에 따른 비휘발성 메모리 소자의 동작 방법은 상기 비휘발성 메모리 소자를 동작하기 위해 제공된다. 상기 제 1 및 제 2 메모리 트랜지스터 가운데 적어도 하나를 선택하여, 선택된 메모리 트랜지스터에 전하의 터널링 방법을 이용하여 데이터를 프로그램한다. 상기 제 1 및 제 2 메모리 트랜지스터 가운데 적어도 하나를 선택하여, 선택된 메모리 트랜지스터의 데이터를 읽는다. 그리고, 상기 제 1 및 제 2 메모리 트랜지스터의 데이터를 일시에 지운다.

[0021] 이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명함으로써 본 발명을 상세하게 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면에서 구성 요소들은 설명의 편의를 위하여 그 크기가 과장될 수 있다.

[0022] 본 발명의 실시예들에 따른 비휘발성 메모리 소자는 예를 들어, 이이피롬(EEPROM) 소자 및 플래시 메모리 소자를 포함할 수 있으나, 본 발명의 범위는 이러한 예에 제한되지 않는다.

[0023] 도 1은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자를 보여주는 회로도이다.

[0024] 도 1을 참조하면, 한 쌍의 단위셀들(C)이 직렬로 연결된 비휘발성 메모리 소자가 예시적으로 제공된다. 단위셀들(C)의 수는 예시적이고, 본 발명의 범위를 제한하지 않는다. 따라서, 도 1에도 불구하고, 이 실시예에 따른 비휘발성 메모리 소자는 하나의 단위셀(C)만을 포함할 수도 있고, 또는 셋 이상의 단위셀들(C)을 포함할 수도 있다. 이하에서는 먼저, 하나의 단위셀(C)의 배치에 대해서 설명한다.

[0025] 하나의 단위셀(C)은 하나의 스트링(S)에 연결된 제 1 및 제 2 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ ) 및 제 1, 제 2 및 제 3 패스 트랜지스터들( $T_{p1}$ ,  $T_{p2}$ ,  $T_{p3}$ )을 포함한다. 제 1 및 제 2 비트 라인들(BL1, BL2)은 단위셀(C)을 이루는 스트링(S)의 단부에 연결되고, 워드 라인(WL)은 제 1 및 제 2 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ )을 공통으로 제어한다.

[0026] 보다 구체적으로 보면, 제 1 및 제 2 비트 라인들(BL1, BL2)은 하나의 스트링(S)에 교차하도록 연결된다. 즉, 제 1 및 제 2 비트 라인들(BL1, BL2)의 신장 방향과 스트링(S)의 신장 방향은 일치하지 않을 수 있다. 제 1 및 제 2 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ )은 제 1 및 제 2 비트 라인들(BL1, BL2) 사이의 스트링(S) 부분에 포함된다.

[0027] 제 1 메모리 트랜지스터( $T_{m1}$ )는 제 1 제어 게이트(CG1) 및 제 1 스토리지 노드(SN1)를 포함하고, 제 2 메모리

트랜지스터( $T_{m2}$ )는 제 2 제어 게이트(CG2) 및 제 2 스토리지 노드(SN2)를 포함한다. 예를 들어, 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ )은 플래시 메모리 소자의 구조를 가질 수 있다. 여기에서, 플래시 메모리 소자는 소노스(SONOS) 메모리 소자를 포함할 수 있다. 이 경우, 스토리지 노드들(SN1, SN2)은 플로팅 게이트 노드 또는 전하 트랩핑 노드로 동작할 수 있다. 제어 게이트들(CG1, CG2)은 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ )의 동작을 제어하기 위해 사용될 수 있다.

[0028] 제 1, 제 2 및 제 3 패스 트랜지스터들( $T_{p1}$ ,  $T_{p2}$ ,  $T_{p3}$ )은 제 1 비트 라인(BL1) 및 제 1 메모리 트랜지스터( $T_{m1}$ )의 사이, 제 2 비트 라인(BL2) 및 제 2 메모리 트랜지스터( $T_{m2}$ )의 사이, 및 제 1 및 제 2 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ )의 사이의 스트링(S) 부분에 각각 포함된다. 따라서, 제 1 패스 트랜지스터( $T_{p1}$ )는 제 1 비트 라인(BL1)의 파워가 제 1 메모리 트랜지스터( $T_{m1}$ )에 인가되는 것을 제어할 수 있고, 제 2 패스 트랜지스터( $T_{p2}$ )는 제 2 비트 라인(BL2)의 파워가 제 2 메모리 트랜지스터( $T_{m2}$ )에 인가되는 것을 제어할 수 있다. 제 3 패스 트랜지스터( $T_{p3}$ )는 제 1 및 제 2 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ )의 전기적 연결을 제어할 수 있다.

[0029] 제 1, 제 2 및 제 3 패스 트랜지스터들( $T_{p1}$ ,  $T_{p2}$ ,  $T_{p3}$ )은 제 1, 제 2 및 제 3 패스 게이트들(PG1, PG2, PG3)을 각각 포함한다. 예를 들어, 제 1, 제 2 및 제 3 패스 트랜지스터들( $T_{p1}$ ,  $T_{p2}$ ,  $T_{p3}$ )은 통상적인 모스(MOS) 전계효과 트랜지스터의 구조를 가질 수 있고, 제 1, 제 2 및 제 3 패스 게이트들(PG1, PG2, PG3)은 이들 각각의 턴-온 및 턴-오프를 제어하기 위해 사용될 수 있다.

[0030] 선택적으로, 제 1 패스 게이트(PG1), 제 2 패스 게이트(PG2), 및 제 3 패스 게이트(PG3)에 각각 연결된 제 1 패스 라인(PL1), 제 2 패스 라인(PL2) 및 제 3 패스 라인(PL3)이 구비될 수 있다. 제 1, 제 2 및 제 3 패스 라인들(PL1, PL2, PL3)은 스트링(S)을 가로지르도록 배열될 수 있다. 이 실시예의 변형된 예에서, 제 1, 제 2 및 제 3 패스 라인들(PL1, PL2, PL3)은 생략되고, 제 1, 제 2 및 제 3 패스 게이트들(PG1, PG2, PG3)에 직접 파워가 인가될 수도 있다.

[0031] 제 3 비트 라인(BL3)은 제 3 패스 트랜지스터( $T_{p3}$ )의 채널에 연결된다. 따라서, 제 3 비트 라인(BL3)은 제 3 패스 트랜지스터( $T_{p3}$ )를 턴-온 시킨 상태에서 구동될 수 있다. 워드 라인(WL)은 제 1 및 제 2 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ )의 제어 게이트들(CG1, CG2)에 공통으로 연결될 수 있다. 워드 라인(WL)은 비트 라인들(BL1, BL2, BL3), 패스 게이트들(PG1, PG2, PG3), 및 패스 라인들(PL1, PL2, PL3)을 가로질러 신장하도록 배열될 수 있다.

[0032] 스트링(S)에 배열된 단위셀들(C)의 구조는 대칭적일 수 있다. 다만, 워드 라인(WL)은 스트링(S)의 단위셀들(C)에서 공유될 수 있다. 나아가, 스트링(S)에 직렬로 연결된 인접한 두 단위셀들(C)에서 제 1 비트 라인(BL1) 또는 제 2 비트 라인(BL2)은 공유될 수 있다. 도 1에서는 두 단위셀(C)들에서 제 2 비트 라인(BL2)이 공유되도록 예시적으로 도시되었다.

[0033] 이 실시예에 따른 비휘발성 메모리 소자는 직렬로 연결된 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ )의 제어 게이트들(CG1, CG2)이 하나의 워드 라인(WL)에 연결되었다는 점에서 통상적인 낸드 타입과 구분되고, 하나의 워드 라인(WL)에 연결된 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ )이 직렬로 연결되어 있다는 점에서 통상의 노어 타입과 구분될 수 있다. 반면, 이 실시예에 따른 비휘발성 메모리 소자는 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ )이 직렬로 연결되어 구동된다는 점에서 통상의 낸드 타입과 유사한 특징을 갖고, 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ )이 비트 라인들(BL1, BL2, BL3)을 통해서 개별적으로 접근 가능하다는 점에서 노어 타입과 유사한 특징을 갖는다. 따라서, 이 실시예의 비휘발성 메모리 소자는 통상적인 낸드 타입과 노어 타입이 결합된 형태를 갖는다고 할 수 있다.

[0034] 도 2는 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자를 보여주는 회로도이다. 예를 들어, 도 2의 비휘발성 메모리 소자는 도 1의 비휘발성 메모리 소자가 행으로 배열된 어레이 구조일 수 있다. 따라서, 두 실시예에서 중복된 설명은 생략하고, 동일한 참조부호는 동일한 구성을 나타낸다.

[0035] 도 2를 참조하면, 워드 라인들(WL1, WL2, WL3)은 도 1의 워드 라인(WL)을 참조할 수 있고, 스트링들(S1, S2, S3)은 도 1의 스트링(S)을 참조할 수 있다. 스트링들(S1, S2, S3)은 복수의 행으로 배열되고, 이에 따라서 워드 라인들(WL1, WL2, WL3)도 복수의 행으로 배열된다.

[0036] 단위셀들(C)은 어레이 형태로 배열될 수 있다. 같은 행에 배열된 단위셀들(C)의 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ )은

2)은 도 1에서 설명한 바와 같이 직렬로 연결된다. 반면, 다른 행에 배열된 단위셀들(C)의 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ )은 직접 연결되지 않을 수 있다. 다만, 비트 라인들(BL1, BL2, BL3), 및 패스 라인들(PL1, PL2, PL3)은 스트링들(S1, S2, S3)에서 각각 공유되고, 이에 따라서 서로 다른 행으로 배열된 단위셀들(C)에서 각각 공유될 수 있다.

[0037] 이하에서는 도 3 내지 도 6을 참조하여, 본 발명의 실시예들에 따른 비휘발성 메모리 소자의 동작 방법을 설명한다. 도 3 내지 도 6은 도 2의 비휘발성 메모리 소자를 이용한 동작 방법을 예시적으로 설명한다. 하지만, 도 2의 비휘발성 메모리 소자의 동작 방법은 도 1의 비휘발성 메모리 소자에도 용이하게 적용될 수 있음은 자명하다.

[0038] 도 3은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 프로그램 동작 방법을 보여주는 회로도이다.

[0039] 도 3을 참조하면, 점선으로 표시된 제 1 메모리 트랜지스터( $T_{m1}$ )를 선택하여 데이터를 프로그램하는 방법이 설명된다. 프로그램은 F-N 터널링 방법을 이용한다. 보다 구체적으로 보면, 제 2 스트링(S2)을 선택하기 위해, 제 2 워드 라인(WL2)에 프로그램 전압( $V_p$ )을 인가한다. 제 3 비트 라인(BL3)은 플로팅 시킨 상태에서("FT"로 표시), 제 3 패스 라인(PL3)에는 턴-오프 전압( $V_{OFF}$ )을 인가하여 제 1 및 제 2 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ )은 서로 전기적으로 분리한다. 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ )의 바디에는 접지 전압(0V)이 인가될 수 있다.

[0040] 제 1 및 제 2 비트 라인들(BL1, BL2)에는 프로그램 방지 전압( $V_I$ )을 인가하고, 제 1 패스 라인(PL1)에는 턴-오프 전압( $V_{OFF}$ )을 인가하고 제 2 패스 라인(PL2)에는 턴-온 전압( $V_{ON}$ )을 인가한다. 이에 따라, 제 1 패스 트랜지스터( $T_{p1}$ )는 턴-온 되고, 제 2 패스 트랜지스터( $T_{p2}$ )는 턴-오프 된다. 그 결과, 프로그램 방지 전압( $V_I$ )은 제 2 메모리 트랜지스터( $T_{m2}$ )의 채널에 선택적으로 인가된다. 따라서, 제 1 메모리 트랜지스터( $T_{m1}$ )의 채널에서 제 1 스트링 노드(SN1)로 터널링 방법에 의해 전하가 주입되나, 제 2 메모리 트랜지스터( $T_{m2}$ )에서는 전하의 터널링이 억제된다.

[0041] 비록 도 3에서는 제 1 메모리 트랜지스터( $T_{m1}$ )에 데이터를 프로그램하는 방법에 대해서 설명하였으나, 제 2 메모리 트랜지스터( $T_{m2}$ )에 데이터를 프로그램하는 방법도 전술한 설명을 참조하여 용이하게 실시할 수 있다. 예를 들어, 전술한 프로그램 방법에서, 제 1 패스 라인(PL1)에 턴-온 전압( $V_{ON}$ )을 인가하고, 제 2 패스 라인(PL2)에 턴-오프 전압( $V_{OFF}$ )을 인가함으로써, 제 2 메모리 트랜지스터( $T_{m1}$ )에 데이터를 선택적으로 프로그램할 수 있다. 다른 예로, 제 1 및 제 2 패스 라인(PL1, PL2)에 모두 턴-오프 전압( $V_{OFF}$ )을 인가함으로써, 제 1 및 제 2 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ )에 데이터를 동시에 프로그램하는 것도 가능하다.

[0042] 이러한 프로그램 방법은 다른 단위셀들(C)에도 동일하게 적용될 수 있고, 따라서 서로 다른 단위셀들(C)의 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ )을 동시에 프로그램 하는 것도 가능하다. 또한, 프로그램 전압( $V_p$ )을 다른 워드 라인들(WL1, WL3)에 인가함으로써, 다른 행의 단위셀들(C)을 선택할 수 있음은 자명하다.

[0043] 도 4는 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 프로그램 동작을 보여주는 회로도이다.

[0044] 도 4를 참조하면, 점선으로 표시된 제 1 메모리 트랜지스터( $T_{m1}$ )를 선택하여 데이터를 프로그램하는 방법이 설명된다. 프로그램은 도 3에서와 마찬가지로 F-N 터널링 방법을 이용하지만, 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ )의 선택은 LSB(localized self-boosting)법을 이용한다. 이에 따르면, 펄스형 프로그램 전압이 인가된 경우, 짧은 시간에 전하가 공급될 수 있도록 채널 또는 바디가 넓은 부분에서 선택적으로 전하의 터널링이 일어난다.

[0045] 보다 구체적으로 보면, 제 2 스트링(S2)을 선택하기 위해, 제 2 워드 라인(WL2)에 펄스형 프로그램 전압( $V_p$ )을 인가한다. 제 3 비트 라인(BL3)은 플로팅 시킨 상태에서("FT"로 표시), 제 3 패스 라인(PL3)에는 턴-오프 전압( $V_{OFF}$ )을 인가하여 제 1 및 제 2 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ )은 서로 전기적으로 분리한다.

[0046] 제 1 및 제 2 비트 라인들(BL1, BL2)에는 접지 전압(0V)을 인가하고, 제 1 패스 라인(PL1)에는 턴-온 전압( $V_{ON}$ )을 인가하고 제 2 패스 라인(PL2)에는 턴-오프 전압( $V_{OFF}$ )을 인가한다. 이 경우, 제 1 메모리 트랜지스터( $T_{m1}$ )의 채널은 제 1 패스 트랜지스터( $T_{p1}$ )의 채널로부터 전하를 공급받을 수 있지만, 제 2 메모리 트랜지스터( $T_{m2}$ )의 채널은

널은 제 2 패스 트랜지스터( $T_{p2}$ )의 채널과 단절된다. 따라서, 제 1 메모리 트랜지스터( $T_{m1}$ )에서만 선택적으로 데이터 프로그램이 가능하다.

[0047] 전술한 도 3 및 도 4의 프로그램 방법은 종래 노어 타입 및 낸드 타입의 장점을 채용한다. 즉, 노어 타입과 같이, F-N 터널링을 이용함으로써 프로그램 효율이 높고 프로그램 속도도 빠르고, 랜덤 액세스가 가능하므로 패스 트랜지스터들( $T_{p1}$ ,  $T_{p2}$ )에 의한 프로그램 간섭도 피할 수 있다. 또한, 낸드 타입과 같이, 복수의 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ )에 동시에 데이터를 프로그램할 수 있으므로, 페이지 프로그램이 가능하다.

[0048] 도 5는 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 읽기 동작을 보여주는 회로도이다.

[0049] 도 5를 참조하면, 점선으로 표시한 제 1 메모리 트랜지스터( $T_{m1}$ )의 데이터를 읽는 방법이 설명된다. 제 2 워드 라인(WL2)에 제 1 읽기 전압( $V_{R1}$ )을 인가하여, 제 2 행을 선택한다. 제 3 비트 라인(BL3)에 접지 전압(0V)을 인가하고, 제 3 패스 라인(PL3)에 턴-온 전압( $V_{ON}$ )을 인가한다. 제 1 비트 라인(BL1)에 제 2 읽기 전압( $V_{R2}$ )을 인가하고, 제 1 패스 라인(PL1)에 턴-온 전압( $V_{ON}$ )을 인가한다. 이에 따라, 제 1 비트 라인(BL1)으로부터 제 3 비트 라인(BL3)으로 전류의 흐름이 유도될 수 있고, 이로부터 제 1 메모리 트랜지스터( $T_{m1}$ )의 데이터를 읽어낼 수 있다.

[0050] 제 2 메모리 트랜지스터( $T_{m2}$ )의 데이터를 읽는 방법은 전술한 도 5의 설명으로부터 용이하게 실시할 수 있다. 예를 들어, 제 1 비트 라인(BL1) 대신에 제 2 비트 라인(BL2)에 제 2 읽기 전압( $V_{R2}$ )을 인가하고, 제 1 패스 라인(PL1) 대신에 제 2 패스 라인(PL2)에 턴-온 전압( $V_{ON}$ )을 인가한다. 이에 따라, 제 2 비트 라인(BL2)으로부터 제 3 비트 라인(BL3)으로 전류의 흐름을 유도할 수 있다. 또한, 제 2 워드 라인(WL2) 대신에 다른 워드 라인들(WL1, WL3)에 제 1 읽기 전압( $V_{R1}$ )을 인가함으로써 다른 행의 단위셀(C)들의 데이터를 읽어 낼 수 있음은 자명하다.

[0051] 전술한 이 실시예의 읽기 방법은 노어 타입의 장점을 채용한다. 따라서, 이 실시예의 읽기 방법은 랜덤 액세스가 가능하고, 읽기 속도가 빠른 장점을 갖는다.

[0052] 도 6은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 지우기 동작을 보여주는 회로도이다.

[0053] 도 6을 참조하면, 소정의 단위셀들(C)의 데이터를 일시에 지우는 블록 소거 방법이 설명된다. 워드 라인들(WL1, WL2, WL3)에는 모두 접지 전압(0V)을 인가하고, 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ )의 바디에는 지우기 전압( $V_E$ )을 인가한다. 비트 라인들(BL1, BL2, BL3) 및 패스 라인들(PL1, PL2, PL3)은 모두 플로팅 시킬 수 있다("FT"로 표시). 이에 따라, 스토리지 노드들(SN1, SN2)에 프로그램된 데이터가 일시에 소거될 수 있다.

[0054] 도 7은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자를 보여주는 단면도이다. 도 7의 구조는 도 1의 회로와 서로 대응할 수 있고, 중복된 설명은 생략된다.

[0055] 도 7을 참조하면, 반도체 기판(105)에는 제 1 및 제 2 비트 라인 영역들(112, 114)이 정의된다. 예를 들어, 비트 라인 영역들(112, 114)은 반도체 기판(105)에 불순물들이 도핑되어 형성될 수 있다. 반도체 기판(105)과 비트 라인 영역들(112, 114)은 서로 반대 도전형의 불순물들을 가질 수 있다. 비트 라인 영역들(112, 114)은 도 1의 비트 라인들(BL1, BL2)에 각각 대응할 수 있다.

[0056] 제 1 및 제 2 스토리지 노드층들(133, 136)은 제 1 및 제 2 비트 라인 영역들(112, 114) 사이의 반도체 기판(105) 상에 각각 형성된다. 예를 들어, 스토리지 노드층들(133, 136)은 폴리실리콘층, 실리콘 질화층, 실리콘 또는 금속의 도트, 및 실리콘 또는 금속의 나노크리스탈의 군에서 선택된 적어도 하나의 층을 포함할 수 있다. 스토리지 노드층들(133, 136) 및 반도체 기판(105) 사이에는 게이트 절연막(120)이 개재될 수 있다. 스토리지 노드층들(133, 136)은 도 1의 스토리지 노드들(SN1, SN2)에 각각 대응할 수 있고, 따라서 도 1의 메모리 트랜지스터들( $T_{m1}$ ,  $T_{m2}$ )을 각각 구성할 수 있다.

[0057] 제 1, 제 2 및 제 3 패스 게이트 전극들(122, 124, 126)은 제 1 비트 라인 영역(112) 및 제 1 스토리지 노드층(133)의 사이, 제 2 비트 라인 영역(114) 및 제 2 스토리지 노드층(136) 사이 및 제 1 및 제 2 스토리지 노드층들(133, 136)의 사이의 반도체 기판(105) 상에 각각 형성된다. 패스 게이트 전극들(122, 124, 126) 및 반도체 기판(105) 사이에는 게이트 절연막(120)이 개재될 수 있다. 패스 게이트 전극들(122, 124, 126)은 도 1의 패스

게이트들(PG1, PG2, PG3)에 대응할 수 있고, 따라서 도 1의 패스 트랜지스터들( $T_{p1}$ ,  $T_{p2}$ ,  $T_{p3}$ )을 각각 구성할 수 있다.

[0058] 예를 들어, 패스 게이트 전극들(122, 124, 126)은 반도체 기판(105) 내부로 리세스되어 형성될 수 있다. 이 경우, 스토리지 노드층들(133, 136) 아래의 채널 영역과 패스 게이트 전극들(122, 124, 126) 아래의 채널 영역은 별도의 불순물 영역(예컨대, 소오스 영역 또는 드레인 영역) 없이 단지 채널에 의해 연결될 수 있다. 따라서, 비휘발성 메모리 소자의 집적도가 크게 높아질 수 있다.

[0059] 하지만, 도 7에도 불구하고, 패스 게이트 전극들(122, 124, 126)은 평면형으로 형성될 수도 있다. 이 경우, 패스 게이트 전극들(122, 124, 126) 및 스토리지 노드들(133, 136)의 사이에 불순물 영역이 소정 크기로 형성될 수 있다.

[0060] 제 3 비트 라인 영역(116)은 제 3 패스 게이트 전극(126) 아래의 반도체 기판(105) 부분에 형성된다. 예를 들어, 제 3 비트 라인 영역(116)은 제 3 패스 게이트 전극(126)의 채널 영역을 포함할 수 있다. 제 3 비트 라인 영역(116)은 도 1의 제 3 비트 라인(BL3)에 대응할 수 있다. 제어 게이트 전극(150)은 스토리지 노드층들(133, 136) 상을 가로질러 신장하도록 배치된다. 제어 게이트 전극(150)은 워드 라인(도 1의 WL)으로 이용되고, 동시에 제어 게이트들(도 1의 CG1, CG2)로 이용될 수 있다. 제어 게이트 전극(150) 및 스토리지 노드층들(133, 136)의 사이에는 블로킹 절연막(140)이 개재될 수 있다. 제어 게이트 전극(150) 및 반도체 기판(105) 사이에는 층간 절연막(145)이 개재될 수 있다.

[0061] 도 7의 비휘발성 메모리 소자는 도 1에서 설명한 바와 같이 두 단위셀들(C)로 분리될 수 있다. 이 경우 두 단위셀들(C)에서 제어 게이트 전극(150)은 공유될 수 있다. 나아가, 두 단위셀들(C) 사이의 제 2 비트 라인 영역(114)은 두 단위셀들(C)에서 공유될 수 있다. 또한, 도 7의 비휘발성 메모리 소자는 도 2의 어레이 배치 구조로 확장될 수 있음은 자명하다.

[0062] 이 실시예의 비휘발성 메모리 소자의 동작 특성은 도 3 내지 도 6의 설명을 참조할 수 있다.

[0063] 발명의 특정 실시예들에 대한 이상의 설명은 예시 및 설명을 목적으로 제공되었다. 본 발명은 상기 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 해당 분야에서 통상의 지식을 가진 자에 의하여 상기 실시예들을 조합하여 실시하는 등 여러 가지 많은 수정 및 변경이 가능함은 명백하다.

### 발명의 효과

[0064] 본 발명에 따른 비휘발성 메모리 소자는 통상적인 낸드 타입과 노어 타입의 장점을 골고루 갖는다.

[0065] 예를 들어, 본 발명에 따른 비휘발성 메모리 소자의 프로그램 방법은 종래 노어 타입 및 낸드 타입의 장점을 채용한다. 즉, 노어 타입과 같이, F-N 터널링을 이용함으로써 프로그램 효율이 높고 프로그램 속도도 빠르고, 랜덤 액세스가 가능하므로 패스 트랜지스터들에 의한 프로그램 간섭도 피할 수 있다. 또한, 낸드 타입과 같이, 복수의 메모리 트랜지스터들에 동시에 데이터를 프로그램할 수 있으므로, 페이지 프로그램이 가능하다. 또한, 본 발명에 따른 비휘발성 메모리 소자의 읽기 방법은 노어 타입의 장점을 채용하고, 이에 따라 랜덤 액세스가 가능하고, 읽기 속도가 빠른 장점을 갖는다.

[0066] 본 발명에 따른 비휘발성 메모리 소자에 따르면, 스토리지 노드층들 및 패스 게이트 전극들 사이에 별도의 불순물 영역이 생략될 수 있다. 따라서, 비휘발성 메모리 소자의 집적도가 크게 높아질 수 있다.

### 도면의 간단한 설명

[0001] 도 1은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자를 보여주는 회로도이고;

[0002] 도 2는 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자를 보여주는 회로도이고;

[0003] 도 3은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 프로그램 동작 방법을 보여주는 회로도이고;

[0004] 도 4는 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 프로그램 동작을 보여주는 회로도이고;

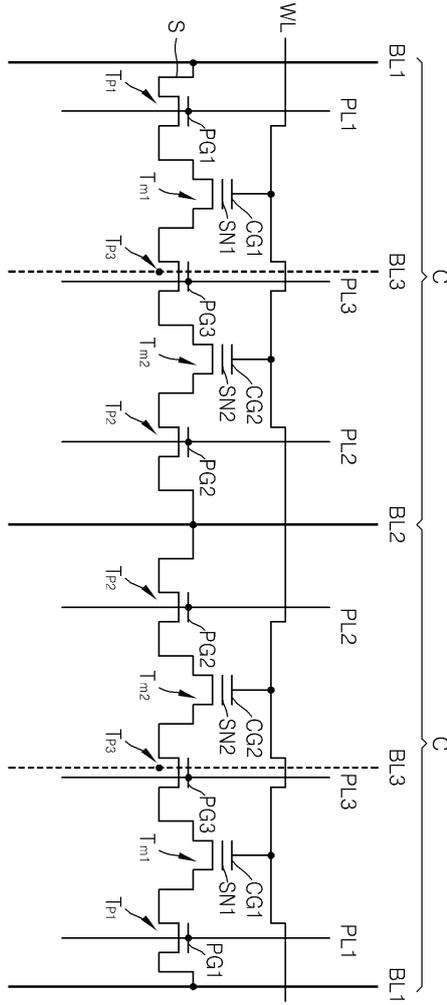
[0005] 도 5는 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 읽기 동작을 보여주는 회로도이고;

[0006] 도 6은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 지우기 동작을 보여주는 회로도이고; 그리고

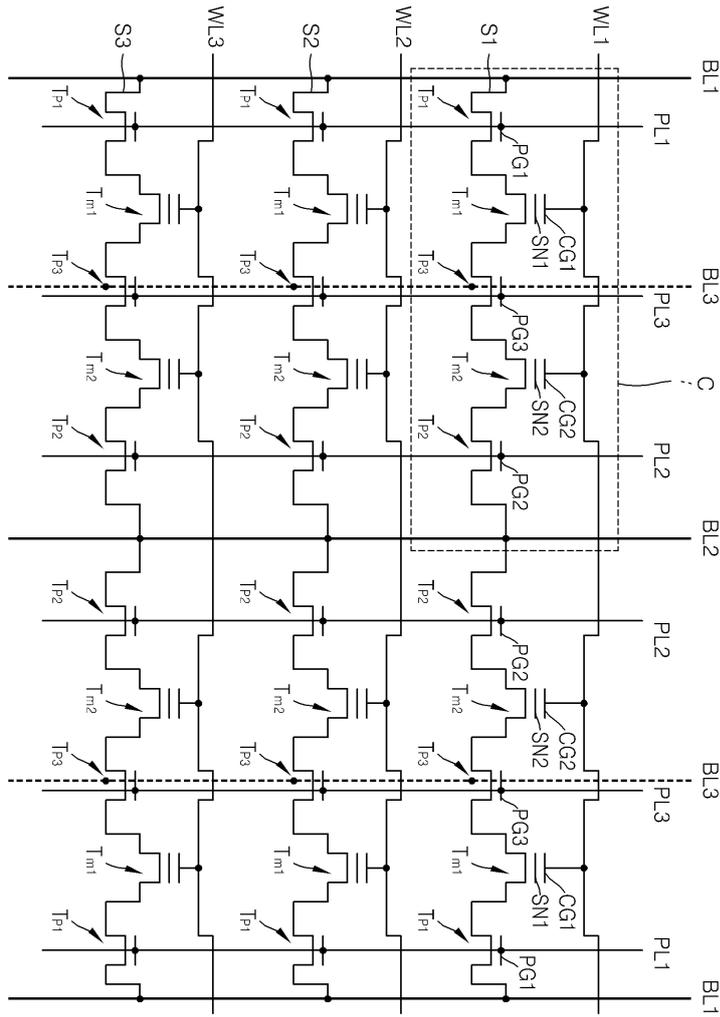
[0007] 도 7은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자를 보여주는 단면도이다.

도면

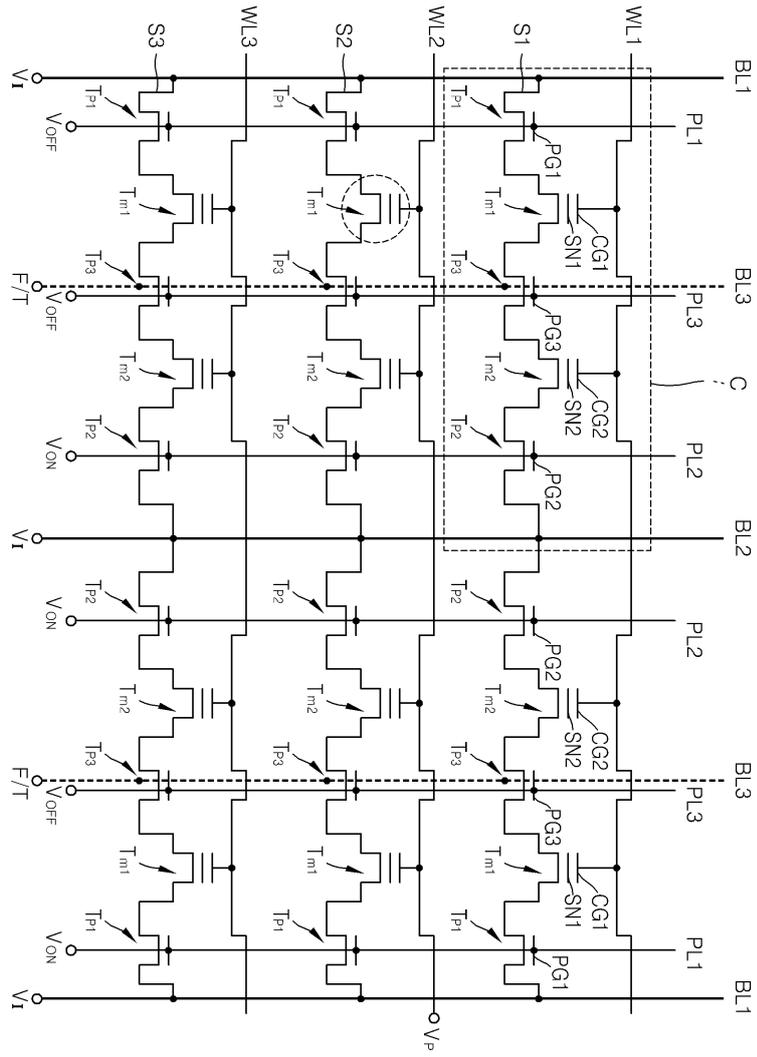
도면1



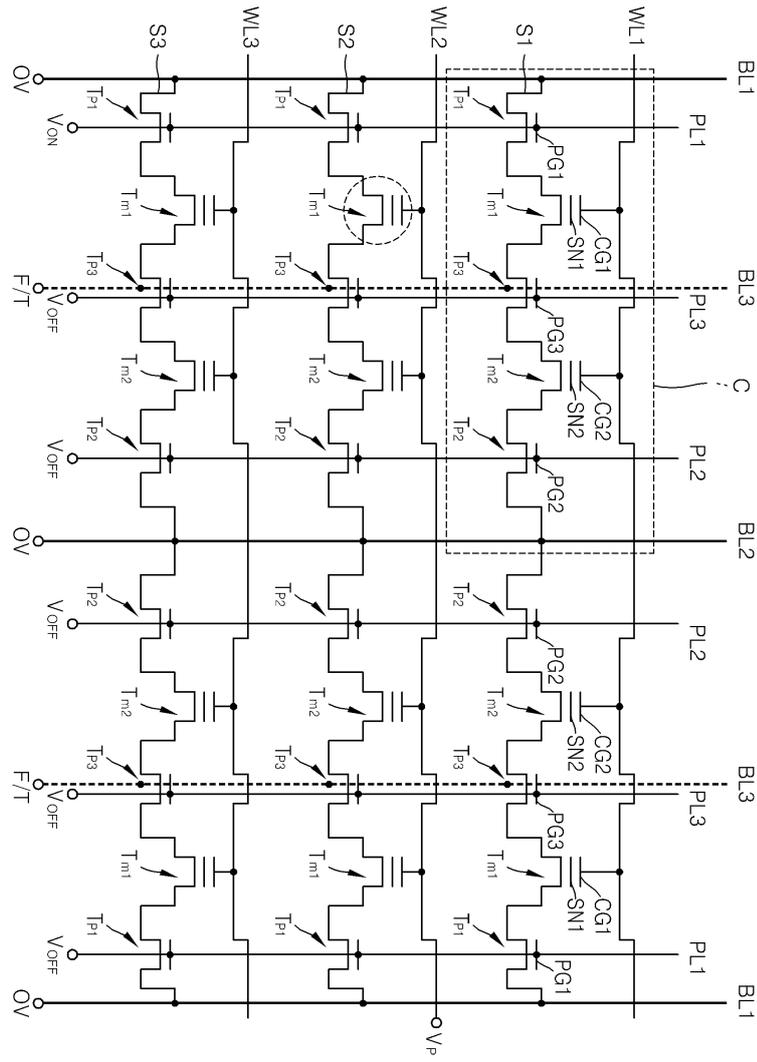
도면2



도면3

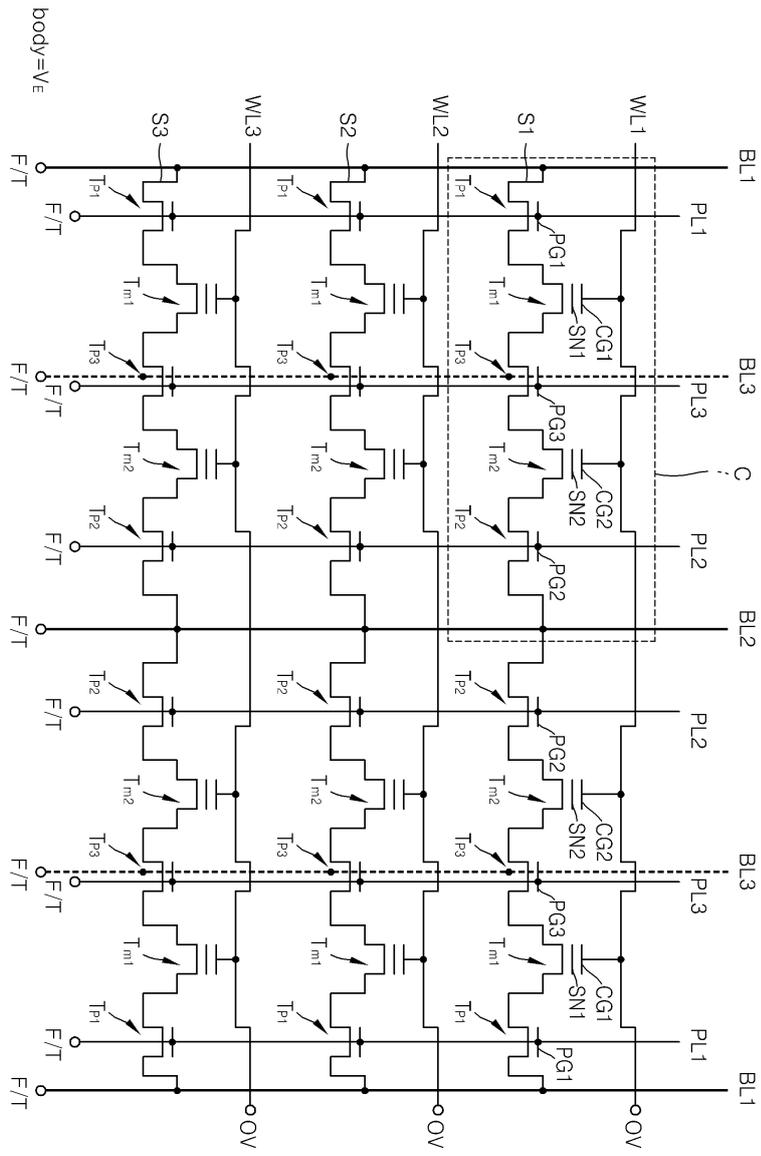


도면4





도면6



도면7

