(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/60
G11C 11/401

(45) 공고일자 1999년09월01일
(11) 등록번호 10-0218875
(24) 등록일자 1999년06월11일

(21) 출원번호 10-1996-0013507
(22) 출원일자 1996년04월29일
(65) 공개번호 특1996-0043145
(43) 공개일자 1996년12월23일

(30) 우선권주장 95-114359 1995년05월12일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시기가이샤 다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고
(72) 발명자 추쿠데 마사끼
일본국 도오교도 지요다구 마루노우찌 2쪼메 2-3 미쓰비시 뎅끼 가부시기가이샤나이
아리모토 카쭈타미
일본국 도오교도 지요다구 마루노우찌 2쪼메 2-3 미쓰비시 뎅끼 가부시기가이샤나이
(74) 대리인 이화익

심사관 : 송원선

(54) 점유면적의 저감된 패드배치를 가지는 반도체기억장치 및 그를 위한 패드배치방법

요약

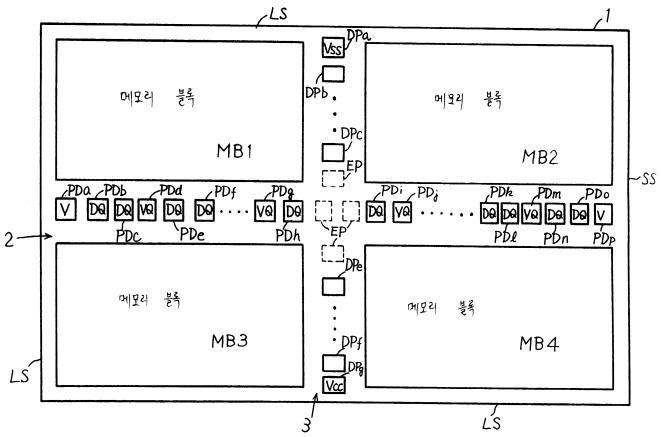
장변(LS)과 단변(SS)을 가지는 반도체 칩(1)의 표면에 십자 형상으로 복수의 제1패드(PDa -PDp)의 열 및 복수의 제2패드(DPa - DPg)의 열을 배치 한다.

다 비트 전개시에,패드 수가 증가하여도 이 제2패드를 추가로 설치하는것에 의해, 반도체 칩(1)의 장변 길이의 증가를 억제할 수 있다.

또, 이때 패드사이의 피치를 축소할 필요가 없다.

칩 및패드 사이즈의 증가 및 패드 및 핀의 피치의 축소를 수반하지 않는다비트 전개를 행할 수 있는 반도체 기억장치가 제공된다.

대표도



명세서

[발명의 명칭]

점유면적의 저감된패드 배치를 가지는 반도체 기억장치 및 그를 위한패드배치 방법

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 따른 반도체 기억장치의 내부배치를 나타낸 도면.

제2도는 제1도에 나타낸 반도체 기억장치의 베이스 칩의 내부 배치의 일예를 나타낸 도면.

제3도는 본 발명의 제 2실시예인 반도체 기억장치의 내부패드 및프레임 리드의 배치를 나타낸 도면.

제4도는 본 발명의 제3실시예에 따른 반도체 기억장치의 내부패드 및 프레임 리드의 배치를 나타낸 도면.

제5도는 본 발명의 제4실시예에 따른 반도체 기억장치의 내부배치를 나타낸 도면.

제6도는 본 발명의 제4실시예에 따른 반도체 기억장치를 수납하기위한 패키지의 의부 핀 단자의 배치를 나타낸 도면.

제7도는 본 발명의 제5실시예에 따른 반도체 기억장치의 내부배치를나타낸 도면.

제8a, 8b도는 제7도에 나타낸 프레임 리드의 단면구조를 개략적으로 나타낸 도면.

제9도는 본 발명의 제6실시예에 따른 반도체 기억장치의 내부배치를 개략적으로 나타낸 도면.

제10도는 본 발명의 제7실시예에 따른 반도체 기억장치의 내부배치를 나타낸 도면.

제11도는 종래의 반도체 장치의 내부배치를 나타낸 도면.

[발명의 상세한 설명]

본 발명은 반도체 기억장치 및 그의패드 배치 방법에 관한 것으로, 특히,핀 단자수의 증가에 용이하게 대응할 수 있는 패드 배치에 관한 것이다.

제11도는 종래의 다이내믹·랜덤·액세스·메모리(DRAM)의 패드 (및 리드 프레임의 배치를 나타낸 도면이다.

제11도에서, 장변 (제1변) 및 단변 (제2변)을 가지며 구형 형상을 가지는 반도체 칩 CH상에 필요로 하는 회로가 형성된다.

제11도에 있어서는, 명확하게는 표시하지 않지만, 반도체 기억장치에서는 메모리 셀 어레이, 입출력 버퍼, 제어회로가 형성된다.

반도체 칩 CH의 단변 방향에 대하여 중앙부에 장변 방향에 따라 연재하는 중앙 영역 CR이 형성된다.

이 중앙 영역 CR에서 외부의 전기적 접속을 실현하기 위한 패드 PD가 1열로 정렬하여 배치된다.

이들패드 PD와 접속하고, 또한 의부 핀 단자에 연결하는 리드 프레임 FL이 배치된다.

리드 프레임은 통상, 프레임(금형틀)에 리드가 지지되어 있어, 반도체 칩CH이 수지 봉지되어 밀봉된 후, 이 프레임에서 리드 부분이 분리된다.

이하의 설명에 있어서는 각각의 리드 부분을 프레임 리드이라 한다.

프레임 리드 FL는 각각 반도체 칩 CH상에 걸쳐 중앙 영역 CR 근방에까지 연재하고, 이 중앙 영역 CR 근방에서, 도시하지 않은 본딩 와이어를 통하여 대응하는 패드PD와 접속된다.

프레임 리드 FD의 다른편 단은, 본딩 공정 완료 후, 수지 봉지하여 밀봉되어, 패키지 PA에 반도체 기억장치가 수납된 후, 프레임 리드가 프레임에서 분리되고, 이 패키지의 핀 배치의 핀 형상에 따라 가공되어, 각각외부 핀 단자로 된다.

제11도에 나타낸 바와 같이, 프레임 리드가 반도체 칩 CH의 중앙 부분에 까지 연재하는 구조는 LOC(Lead On Chip)구조라 한다.

이 LOC 구조에 있어서 패키지 PD는, 반도체 칩 CH의 중앙 영역 CR에 배치된다.

통상의 반도체 칩 CH의 단변의 양측으로 장변에 따라패드를 배치하는주변패드 배치의 구성에 비하여, 패드의 점유 면적을 저감할 수 있슴에 따라서 반도체 칩 CH의 단변 방향의 길이를 작게할 수 있다.

일반적으르, DRM 등의 반도체 기억장치의 개발에 있이서는, X1 비트, X4비트 등의 데이터의 비록 폭이 작은 소 비트 제품에서 개발이 개시된다.

이 개발된 소 비트 제품을 기초로하여 X8 비트, X16 비트 등의 다비트제품의 개발이 행하여지게 된다(다비트 전개라 칭한다).

현재, 반도체 기억장치의 대 기억 용량화가 진행하고, 256M비트 이상의 기억 용량을 구비하는 DRAM이 개발되고 있다.

이와 같은 대기억 용량의 DRAM에 관하여는, 외부의 프로세서의 데이터폭에 합해서(워드 길이에 합하여), X32 비트 이상의 대 비트 제품을 개발하는 것이 필요하게 된다.

이와 같은 다비트 제품의 경우, 데이터 비트 수 및 기억 용량의 증대에 수반하여, 데이터 입 출력 핀, 어드레스 신호 입력 핀 및 제어신호 입력핀의 수가 증대하고, 80개 이상의 핀 단자가 필요하게 된다.

이와 같이 80개 이상의 핀 단자가 필요하게 되는 경우, 제11도에 나타낸 바와 같이, 패드 PD를 중앙 영역 CR에서 1열로 정렬하여 배치한 경우, 각패드가 외부 핀 단자에 대응하기 때문에, 이 반도체 칩 CH의 장변의 길이가 증대한다.

따라서, 이 경우에 있어서는 반도체 칩 CH내에서 필요하게 되는 회로를 형성하기 위하여 필요하게 되는 반도체 칩 CH의 길이가 아니고,패드PD의 피치(패드 중앙부와패드 중앙부의 사이의 거리)와패드의 수에 의해, 칩 길이(반도체 칩 CH의 장변의 길이)가 결정된다.

따라서,패드 PD의 피치를 작게할 수 없을 경우, 반도체 칩 CH의 장변의 길이가 패드 PD만을 설치하기 위

해서 불필요하게 길어지게 되므로, 칩사이즈가 증가한다는 문제가 발생한다.

반도체 칩 CH의 사이즈의 증가를 방지하기 위해서는 패드 PD의 피치를 작게하는 것이 요구되지만, 이 때문에는 종래와 전혀 다른 새로운 기술을 개발할 필요가 있으므로, 현상(現像)시에 있어서 패드 PD의 피치를 작게 하는 것이 곤란하게 된다.

또, 반도체 기억장치의 패키지 PA가 제11도에 나타낸 바와 같이 패키지 PA의 장변의 양측에서만 리드 핀을 인출하는 SOP(Small Outline Package) 또는 TSOP(Thin Small Outline Package)의 경우 및 SOJ(Small Outline J-leaded package)의 경우, 패키지 PA의 장변의 길이는 그것에 수납되는 반도체 칩 CH의 장변의 길이로 결정되는 것은 아니고, 핀 단자(프레임 리드 FL의 외부 패케이지의 부분)의 피치와 핀 단자의 수로 결정된다.

따라서, 패키지의 길이는 핀 단자의 피치를 작게할 수 없다면, 패키지 사이즈의 증가가 발생한다.

핀 단자의 피치를 작게하기 위해서는 리드의 가공 정밀도 및 절연성 등을 고려할 필요가 있으므로, 핀 단자의 피치를 작게하는데 에는 한계가 있으므로, 패키지 사이즈의 증가를 초래하지 않고 핀 단자의 피치를 충분히 작게하기 위해서는 종래와 다른 전혀 새로운 기술이 필요하게 되어 현상(現像)공정이 어렵게 된다.

[발명의 개요]

본 발명의 목적은 다(多)비트 전개(展開)에 수반하여 칩 사이즈를 대폭증대시키지 않고 용이하게패드수를 증가시키는 것이 가능한 반도체 기억장치 및 패드 배치 방법을 제공하는 것이다.

본 발명의 다른 목적은 다비트 전개에 수반하여 패키지의 사이즈를 대폭증대시키지 않고 용이하게 핀 단자수를 증가시킬 수 있는 반도체 기억장치를 제공하는 것이다.

본 발명의 제1관점에 따른 반도체 기억장치는 반도체 칩 상에 십자형상으로 배치되는 복수의 제1패드열 및 복수의 제2패드 열을 구비한다.

본 발명의 제2관점에 따른 반도체 기억장치는 제1변과 제2변을 가지는 구형 형상의 반도체 칩 상에 제1변방향 및 제2변방향 각각에 정렬되어 배치되는 복수의 메모리 블록과 이 제2변방향으로 정렬되어 배치되는 메모리 블록의 사이에 형성되어, 제1변방향에 따라 연재하는 제1중앙영역에 배치되는 복수의 제1패드와 제1변방향으로 정렬되어 배치되는 메모리 블록의 사이에 형성되어 제2변방향에 따라 연재하는제2중앙영역으로 배치되는 복수의 제2패드를 구비한다.

본 발명의 제3관점에 따른 반도체 기억장치는 제1변과 제2변을 가지는 구형 형상의 적어도 메모리 어레이가 그 위에 형성되는 반도체 칩과 제2변방향에 대하여 중앙부에 형성되고, 또한 제1변방향에 따라 연재하는 제1중앙영역에 배치되는 복수의 제1패드와, 이 제1변의 양단부 각각에서 제2변에 따라 배치되는 복수의 제2패드를 구비한다.

본 발명의 제4관점에 따른 패드 배치 방법은 메모리 셀 어레이에의데이터의 입출력이 제1소정수의 비트 단위로 행하게 될 때, 구형 형상을 가지는 반도체 칩의 제2변방향에 대하여 중앙부에 배치되는 제1변방향에 따라 연재하는 제1중앙영역에 복수의 패드를 배치하는 스텝과 메모리 셀 어레이에의 데이터 입출력이 더욱 제1소정수보다 큰 제2소정수의 비트 단위로 행하게 될 때, 제1변방향에 대하여 중앙부에 배치되는 제2변방향에 따라 연재하는 제2중앙영역에 패드를 추가적으로 배치하는 스텝을 구비한다.

본 발명의 제1관점에 따른 반도체 기억장치에 있어서는, 반도체 칩상에 십자 형상을 형성하도록패드가 배치된다.

패드가 한편 방향에 따라서만 배치되는 경우와 다르게 되어, 2개의 방향에따라 분할하여 배치되기 때문에, 패드의 한편 방향에서 길이의 증대를 억제할 수 있으므로 칩 길이의 증대를 억제할 수 있다.

본 발명의 제2관점에 따른 반도체 기억장치에 있어서는, 메모리 블록의사이의 영역에 패드가 배치된다.

메모리 블록 간에패드를 배치하는 것에 의해, 각 메모리 블록에 대한 신호배선을 짧게 할 수 있는 동시에, 다비트 전개시에 있어서도 한편 방향에서패드 수의 증대를 억제할 수 있으므로, 칩 길이의 증가를 억제할 수있다.

본 발명의 제3관점에 따른 반도체 기억장치에 있어서는 반도체 칩의 제1변방향에 대하여 양 단부 및 중앙 영역부의 제1변방향에 따른영역에 패드가 분산하여 배치된다.

따라서, 패드가 등가적으로 3열로 정렬되어 배치되게 되어, 1열로 정렬되어 배치하는 경우에 비하여,패드 증가시에패드 배열 방향의 길이의 증대를 억제하게 되므로, 칩 사이즈의 증가를 역제할 수 있다.

본 발명의 제4관점에 따른 패드 배치 방법에 있어서는 제1소정수 비트내에서 데이터 입출력이 행해지는 경우에는 칩의 제1 중앙 영역에 복수의 패드가 배치되어, 제1소정수보다 큰 제2소정수의 비트 단위로 데이터입출력이 행해지는 다비트 전개시에는 더욱 제2중앙영역에패드가 추가적으로 배치된다.

따라서, 다비트 전개시에서패드수의 증가가 발생하여도, 제1중앙영역과 다른 제2중앙영역에패드가 배치되기 때문에, 칩 길이의 증가를 억제할수 있다.

[발명의 바람직한실시예]

[실시예 1]

제1도는 본 발명의 제1실시예에 따른 반도체 기억장치의 내부패드 배치를 나타낸 도면이다.

제1도에서 제1변으로서의 장변 LS 및 제2변으로서의 단변 SS 을 가지는 구형 형상을 가지는 반도체 칩(1)상에 4개의 메모리 블록(MB1-MB4)이 배치된다.

메모리 블록(MB1 및 MB2)은 반도체 칩(1)의 장변 LS 방향(제1도에서 장변에 따른 방향)에 따라 정렬되어 배치되고, 메모리 블록 MB3 및 MB4이 각각 메모리 블록 MB1 및 MB2에 대향하여 배치되고 또한 장변 방향에따라 정렬되어 배치된다.

메모리 블록 MB1 및 MB3이 반도체 칩(1)의 단변 SS 방향(단변 SS의연재 방향)에 따라 정렬되어 배치되고, 또 메모리 블록 MB2 및 MB4이 메모리 블록 MB1 및 MB3에 대향하여 배치되고 또한 단변 방향에 따라 정렬되어 배치된다.

장변 방향에 따라 정렬되어 배치되는 메모리 블록 MB1 및 MB2 와 메모리블록 MB3 및 MB4의 사이에 장변 방향에 따라 연재하는 제1중앙영역(2)이 배치되고, 또 메모리 블록 MB1 및 MB3과 메모리 블록 MB2 및 MB4의 사이에 영역에 단변 방향에 따라 연재하는 제2중앙영역(3)이 형성된다.

제1중앙영역(2)에서는 1열로패드 PDa - PDp가 정렬되어 배치된다.

제2중앙영역(3)에서는 패드 DPa - DPg 가 1열로 정렬되어 배치된다.

제1중앙영역 2에서 그의 양단부에 배치되는패드 PDa 및 PDb는 전원패드 부분이고, 외부에서 제공되는 전원전압 Vcc 및 접지전압 Vss을 받아 내부로 전달한다.

패드 PDb, PDc, PDe, PDf, PDh, PDi, PDk, PDl, PDn, PDo는 데이터 입출력패드이고 근접하여 배치된 메모리 블록과 데이터의 입출력을 행하기위하여 사용된다.

패드 PDd, PDg, PDj, PDm는 데이터 입 출력버퍼(데이터 입출력패드 근방에 배치됨)에 대하여 전원 전압 Vcc 및 접지 전압 Vss 을 공급한다.

데이터 입출력패드의 사이에 전원패드 부분을 배치하는 것에 의해 각 데이터 입 출력 버퍼에 안정하게 동작 전원전압 Vcc 및 접지전압 Vss 을 공급하게 되어, 데이터 입 출력을 안정하게 행할 수 있다.

제1중앙영역(2)에서 파선으로 표시한 패드 EP는 빈 패드이고, 다 비트전개시에서 사용되지 않게된패드이다.

제2중앙영역(3)에서 그의 한편 단에 배치되는패드 PDa는 접지 전압yss을 받고, 다른편 단에 배치되는 패드PDg는 전원전압 Vcc을 받는다.

패드 DPb-DPc 및 DPe-DPf는 제어신호(칩 이네이블 신호,라이트 이네이블 신호 등) 및 어드레스 신호를 받기 위하여 사용된다.

제2중앙영역(3)에 있어서도, 빈패드 EP가 배치된다.

제1중앙영역(2)에는 데이터 입출력패드를 우선적으로 배치하고, 제2 중앙 영역의 클록신호 및 어드레스 신흐 입력을 위한패드를 우선적으로 배치한다.

제1중앙영역(2)에 1열로 정렬된패드만을 사용하여 베이스로 되는 반도체 기억장치를 개발할 때, 그의 다비트 전개시에서 제2중앙영역에패드를 배치하는 것에 의해, 패드 피치가 그의 베이스 칩(개발 개시 제품으로서 사용된 반도체 기억장치)의패드 피치를 유지하여도, 이 반도체 칩(1)의 장변 LS의 길이가 대폭 증대하는 것을 방지할 수 있다.

제2도는 베이스 칩의패드 배치를 개략적으로 표시하는 도면이다.

제2도에서는 X8 비트의 구성을 일예로서 표시한다.

제2도에서 반도체 칩(1)의 제1중앙영역(2)에서만 1열로 정렬되어패드가 배치된다.

패드 Pb, Pc, Pe, Pf, Pg, Ph, Rj 및 Pk가 데이터 입 출력패드이다.

패드 Pa, Pd, Pi, 및 P1 가 전원패드 부분이고, 동작 전원전압 Vcc 및 접지전압 Vss을 전달한다.

패드 Pa 및 P1에 제공되는 동작 전원전압은 데이터 입출력을 위하여만 사용되어도 좋다.

또, 이것에 대신하여, 패드 Pa, P1에서 그들에 근접하여 배치된 메모리블록에 대하여 동작 전원 전압이 공급되어도 좋다.

제1중앙영역(2)의 중앙부분(제2 중앙 영역과의 교차 부분근방)에서 주변영역을 위한 패드가 배치된다.

즉, 주변 회로영역 CHa, CHb 및 CHc이 배치된다.

주변 회로영역 CHa에는 주변 괘드(4a,4b)가 포함되도록 표시되고, 주변회로 영역 CHb에는 주변패드(4c,4d)가 포함되도록 표시된다.

제2도에 있어서, 주변 회로영역 CHa 및 CHb에 포함되는패드의 수는 단순한 하나의 예이고, 이 수는 임의적이다.

제2중앙영역(3)에 배치되는 주변회로 영역 CHc에서는, 중앙부에 전원패드(6a) 및 접지패드(6b)가 배치되고, 이들에 대하여 대칭으로 제어회로(5a 및 5b)가 배치된다.

제어회로 (5a 및 5b)는 이 주변 회로 영역 CHa 및 CHb에서 제공된 입력신호(클록 제어신호 및 어드레스 신호)에 따라 메모리 블록 MB1 - MB4에 대하여 필요한 제어신호를 발생한다.

주변회로 영역 CHa 및 CHb에서는 또 주변 제어회로가 배치되어도 좋다.

제I 및 제2중앙영역(2 및 3)의 중앙부분에 주변회로 로서의 제어회로부분을 배치하는 것에 의해, 메모리 블록 MB1-MB4에 대한 배선 길이를짧게 하는 것이 가능하게 되고, 신흐 전파지연이 짧게되어, 반도체 기억장치를 고속으로 동작시킬 수 있다.

또, 중앙부에 이들의 주변회로 밋 제어회로를 배치하는 것에 의해, 메모리블록 MB1-MB4 에 대한 배선 레이 아웃이 거의 대칭적으로 되어 각 배선길이를 동등하게 하는 것이 가능하게 되어, 메모리 블록 MBI-MB4 의동작 타이밍이 거의 동일하다고 할 수 있다.

데이터 입출력패드 Pb, Pc, Pe, 및 Pf 는 메모리 블록 MB1 및 MB3의 가능한한 중앙의 위치에 배치된다.

데이터 입출력패드 Pa, Ph, Pj 및 Pk 도 메모리 블록 MB2 및 MB4의 장변 방향에 대하여 중앙의 위치에 가까운 위치에 배치된다.

메모리 블록 MB1-MB4에서 선택된 메모리 셀의 위치에 의한 데이터 입출력패드와 선택 메모리셀 데이터가 판독되는 내부 데이터 선의 길이가 다른 것을 가능한한 억제하게되어, 메모리 셀 데이터 입 출력을 위해 필요하게 되는 시간을 동일하게 하여, 최악의 경우를 상정하여 액세스 시간을 설정할 필요가 없고, 고속 액세스가 가능케 된다.

따라서, 이 주변 제어회로를 반도체 칩의중앙영역에 십자 형상으로 배치하는 것에 의해 LOC 구조 고유의 특징, 즉, 본딩 와이어의 부분이 반도체 칩(1)상의 영역과 겹치기 때문에, 이 본딩 와이어의 부분의 길이를 짧게할 수 있고, 패키지의 실장 효율을 높게 할 수 있다는 효과에 부가하여, 주변회로 제어를 위한 제어신호 및 어드레스 신호가 반도체 칩(1)의 제2의 중앙영역의 중앙부분에 배치할 수 있으므로, 주변 제어회로를 이것에 부가하여 반도체 칩(1)의중앙영역에 십자 형상으로 배치하는 것에 의해 고속 액세스 및 안정된 동작을 실현할 수 있다.

제2도에 나타낸 패드 배치를 구비하는 반도체 기억장치를 베이스 칩으로서 개발한다.

다비트 전개시에 있어서는 제1도에 나타낸 바와 같이, 제2중앙역역(3)에 패드를 추가한다.

제1중앙영역(2)에 정렬되어 배치되는 패드는 주로 데이터 입출력을 위하여 이용한다(단, 전원패드 부분은 필요한 상태로 배치된다).

마찬가지로, 제2중앙영역에 1열로 정렬되어 주변제어를 위한 제어신호 및 어드레스 신호를 입력하기 위한 패드를 배치하는 것에 의해 주변 회로영역 CHa, CHb 및 CHc의 회로의 제어 아웃을변경하지 않고(패드 배치를 위하여 폭이 약간 넓게 될 가능성은 발생한다)용이하게 다비트 칩을 개발할수 있다 (이 때, 제1중앙영역에서의패드는 그의 할당되는 기능이 다른것이 있다. 이는 증가하는 데이터 입출력 비트의 수에 대응하기 때문이다).

패드의 피치는 전혀변경되지 않는다. 이것은 제2중앙영역(3)에 배치되는 패드에 대하여도 동일하다.

이와 같이, 본 발명의 제1실시예에 따르면, 반도체 칩(1)에 있어서 십자 형상으로패드를 배열하도록 구성하였기 때문에, 베이스 칩의 다비트 전개에 대하여도 패드 피치를 전혀 변경하지 않고, 또한 반도체 칩의 장변길이를 대폭 증가시키지 않고 용이하게 다비트 칩을 실현할 수 있다.

[실시예 2]

제3도는 본 발명의 제2실시예에 따른 반도체 기억 장치 내부의패드배치 및 리드 배치를 나타낸 도면이다.

제3도에 있어서, 반도체 칩(1)의 제1중앙영역(2)에서패드 PA1-PA16가 1열로 정렬되어 배치되고, 제2중앙영역(3)에서패드 PB1-PB16가 1열로 정렬되어 배치된다.

반도체 칩(1)의 장변 방향의 한편 측에 패키지 PA의 한편 측의 외부 핀단자가 배치된다.

제3도에 있어서는 외부핀 단자는 프레임 리드에 연결되기 때문에 프레임 리드 FL1a-FL18a로 표시한다.

반도체 칩(1)의 다른편 측에서 패키지 PA의 다른편 측의 외부핀 단자로되는 프레임 리드 FLIb-FL18b가 배치된다.

이들 리드 FL1a-FL15a 및 FLIb 및 FL5b 및 FL13a-FL18a 및 FL13b -FL18b는 각각 한편 단이 제1중앙영역(2)에서 배치는 사전에 정하여진다(핀 배치에 따라 접속선은 결정된다).

대응하는 패드에 다른편 측에 배치되는 외부 핀 단자에 연결된 프레임리드 FL6a-FL13a 및 FL6b - FL13b는 제2중앙영역(3)에 배치된 본딩패드 PB1 - PB16로 접속된다.

제3 도에 나타낸 프레임 리드와 본딩패드의 접속에 있어서, 패키지 PA의 한편 측과 다른 편 측의 중앙에 가장 가까운 위치에 배치되는 프레임리드에서 차례로 제2중앙영역에 배치된 최외부에 본딩패드에서 내측으로 향하여 차례로 접속된다.

즉, 프레임 리드 FL9a가 반도체 칩(1)의 제2중앙영역에 있어서 최외주부에 배치된 본딩패드 PB1에 접속되고, 이어서 중앙부에 배치되는 프레임리드 FLI0a가 다음 외주부에 가까운 본딩패드 PB2에 접속된다.

패키지 PA의 중앙부에 다음으로 가까운 프레임 FL8a 및 FLI1a가, 각각 제2영역에서 다음 외주부에 가까운 본딩패드 PB3 및 PB4에 각각 접속된다.

이와 같이 하여, 중앙부에서 차례로 제2 영역에 배치된 본딩패드와 프레임 리드를 접속한다.

최종적으로, 제2중앙영역(3)에서 분딩패드 PB5, PB6, PB7, PB8가 각각 프레임 리드 FL7a, FL12a, FL6a, FL13a에 차례로 각각 접속된다.

동일하게, 반도체 칩(1)의 다른 편 측에 있어서도 이 장변 방향의 중앙부에가까운 위치에 배치된 프레임 리드 FL9b 및 FLI0b가 제3중앙영역에 있어서 외주부에 가까운 위치에 배치된 본딩패드 PB16 및 PB15에 각각접속된다.

이어서, 프레임 리드 FL8b 및 FLI0b가 본딩패드 PB14 및 PB13 에 각각 접속된다.

마지막으로, 제3중앙영역에서 본딩 패드 PB12, PB11, PB10 및 PB9에각각 프레임 리드 FL7b, FL12b, FL6b 및 FL13b가 각각 접속된다.

패키지 PA의 장변방향에 대하여 중앙부에 가까운 외부 핀 단자에 연결되는 프레임 리드에서 차례로 제2중앙영역의 내부에 가까운패드가 접속되지 않고, 프레임 리드의 피치는 패드 피치의 2배로 된다(인접하는 프레임 리드는 1개 걸러의패드에 접속되어 있다).

따라서, 프레임 리드의 피치가 완화되어, 1열로 제1중앙영역에서 정렬되어 배치되는패드의 피치 조건을 유지하여 다비트 전개를 행할 수 있다.

제1중앙영역에 있어서도 인접하는 리드 프레임은패드의 2배의 피치에 대응하고 있는 피치를 가지고 있다(서로 대향하는 외부핀 단자에 연결하는 리드 프레임이 교호로 연속하는 본딩패드에 접속되어 있다).

따라서, 제3도에 나타낸 바와 같이, 패키지 PA의 장변의 한편 측 및 다른편 측의 중앙에 가까운 프레임 리드 피치, 즉 외부 핀 단자의 피치를 작게할 수 있다.

또,패드는 반도체 칩(1)상에서 제1중앙영역(2) 및 제2중앙영역(3)에 배치되는 십자 형상을 가지고 있기 때문에, 동일패드의 피치를 작게 할필요도 없고, 용이하게 다비트 전개에 대응할 수 있는 반도체 기역 장치를 실현할 수 있다.

또한, 제3도에 있어서, 파선으로 표시하는 본딩패드 EP는 미사용 본딩패드 이다.

이상과 같이, 본 발명의 제2실시예의 구성에 따르면, 반도체 칩의 장변의한편 측 및 다른편 측의 중앙부에 배치되는 외부핀 단자에 연결하는 프레임 리드를 제2중앙영역의 외주부에 가까운 본딩패드에서 차례로 접속하도록 구성하기 때문에, 하드 프레임 리드 피치, 즉 외부핀 단자의 피치를 작게 할 필요가 없고, 여유를 가지고 프레임 리드(외부 핀 단자)를 배치할수 있어, 용이하게 다비트 전개를 실현할 수 있다.

[실시예 3]

제4도는, 본 발명의 제3실시예에 따른 리드 프레임의 배치를 표시하는 도면이다.

제4도에 있어서, 반도체 칩(1)의 제1중앙영역(2) 및 제3중앙영역(3)에는 각각 외부의 전기적 접속을 실현하기 위한 패드 PD가 배치된다.

반도체 칩상에 걸쳐서 배설되는 프레임 리드는, 외부핀 단자에 연결하는 부분의 칩의 장변 및 단변 각각에 따라 배치된다.

즉, 패키지 PA는 소위, QFP(Quard Flat Package)의 핀 배치를 실현한다.

즉, 반도체 칩(1)의 장변의 일방측에 있어서, 외부 리드 단자에 연결하는 프레임 리드 FLa1 - FLa8가 배치된다.

이 프레임 리드 FLa1 - FLa8에 있어서 중앙부에 배치된 프레임 리드는 제2중앙영역(3)에 배치된 패드 PDa1 - l)Da2에 차례로 겁속된다.

즉, 프레임 리드 FLa1 가 반도체 칩(1)의 외주부에 배치된패드 PDa1에 접속되어, 상측의 프레임 리드 FLa2가 패드에 접속된다.

제2중앙영역(3)에 대하여 하측 및 상측에 배치되는 프레임 리드를 교호로 패드 PDa1-PDa2를 접속한다.

패드 PDal -PDa2 는 각각 프레임 리드 FLal, FLa2 - FLa3 및 FLa4에 차례로 접속된다.

반도체 칩(1)의 장변의 다른 편 측에 있어서도 동일하게, 중앙부에 배치된프레임 리드 FLb1 및 FLb2에서 차례로 제2중앙영역(3)에 배치된패드PDb1 - PDb2에 차례로 접속된다.

이 제2중앙영역(3)에 대하여 상측 및 하측에 배치되는 프레임 리드를 교대로 접속하는 것에 의해,패드 PDb1-PDb2가 프레임 리드 FLbl, FLb2-FLb3 및 FLb4에 각각 접속된다.

반도체 칩(1)의 단변에 있어서도 장변과 동일하게중앙영역(2)에 가까운 프레임 리드에서 차례로 제2중앙영역에 배치된패드에 차례로 접속한다.

즉, 반도체 칩(1)의 한편 측의 단편(상측)에 있어서, 프레임 리드 FLd4 및 FLd3 가 패드 PD2D에서 차례로 칩 내부에 배치되는패드에 접속된다.

단변의 양단의 프레임 리드 FLd2 및 Fhd1에 까지 차례로패드의 접속이 완료되면, 이어서중앙영역의 나머지의패드는 장변에 배치된 프레임 리드(장변에 배치되는 외부핀 단자에 연결하는 프레임 리드) FLa7 및 FLd7 -FLa5 및 FLd5 에 차례로 접속된다.

프레임 리드와패드의 접속에 있어서, 제1중앙영역(2)에 대하여 양측에 배치된 프레임이 교대로 제2중앙영역(2)에 배치된패드에 접속된다.

이어서, 제2중앙영역(2)에 배치된패드가, 한편 측의 장변 및 다른 편측의 장변에 배치된 외부 핀 단자에 연결하는 프레임 리드와 교대로 접속된다.

다른 편의 단변에 있어서도 동일한 접속이 실현되어, 단변의 중앙부에 배치된 프레임 리드 FLc4 및 FLc3 에서 차례로 제1중앙영역(2)의 단변에 따라 배치된 프레임 리드 FLc2 및 FLc1 까지 차례로 제1중앙영역(2)에 배치된 패드에 접속된다.

단변에 배치된 프레임 리드가 모두 접속되면, 장변 양측에 배치된 프레임리드 FLb8, FLa8-FLd6 및 FLa6 가 차례로 제1중앙영역의 패드에 접속된다.

이에 의해 패드 PDc1 - PDc2가 각각 대응하는 프레임 리드에 접속된다.

제4도에 나타낸 프레임 리드의 배치 및 외부핀 단자의 배치를 취하는것에 의해, 프레임 리드의 패드 근방에서 피치는 장변방향 및 단변방향 어느것에서도 완화된다(장변 및 단변 양자를 사용하여 프레임 리드를 연재시키고 있기 때문에).

또, 이 장변 및 단변 전체를 사용하여 외부핀 단자를 배치시키는 것에 의해, 외부 단자의 피치를 장변만을 사용하는 경우에 비하여 완화할 수 있다.

따라서, 외부핀 단자의 피치를 작게하지 않고 다비트 전개를 행하는 것이 가능하게 되고, 또 이 때 패키지의 사이즈의 증가도 억제된다.

패키지의 사이즈의 증가가 억제되기 때문에 보드 등에의 실장시에 있어서,이 패키지 점유면적이 작게되어, 보드 실장밀도를 증가 시킬수 있다.

이상과 같이, 본 발명의 제3실시예에 따르면, 장변 및 단변 전체를 사용하여 프레임 리드를 배설하고 있기 때문에, 패키지 및 칩 사이즈의 증대를핀 단자의 피치 및 프레임 리드의 피치를 축소하지 않고 억제할 수 있다.

또한, 제4도에 있어서 반도체 칩(1)(패키지 PA)의 단변 및 장변 각각의 중앙부에 배치되는 파선으로 표시하는 블록 NL은 이 영역에는 프레임 리드가 연재하고 있지 않은 것을 표시한다.

[실시예 4]

먼저, 제1도 및 제2도에서 설명한 바와 같이, 반도체 칩의 제1중앙영역에 있어서는 우선적으로 데이터 입출력을 행하기 위한 패드가 배치되어, 제2중앙영역에서는 제어신호 및 어드레스 신호를 입력하기 위한 패드가 우선적으로 배치된다.

먼저, 제2도를 참조하여 설명한 바와 같이, 주변회로는 제1 및 제2중앙영역의 중앙부분에 배치된다.

따라서, 제2중앙영역에 제어신호 및 어드레스 신호를 배치하는 것에 의해, 제1중앙영역 중앙부분에 제어신흐 및 어드레스 신호 입력을 위한패드를 배치한 경우 동일한, 짧은 배선 길이를 가지고 제어신호 및 어드레스 신호를 주변 제어회로로 전달할 수 있다.

이 배치 상태에 관하여 제5도를 참조하여 설명한다.

제5도에 있어서는 2개의 메모리 블록 MB1 및 MB3 사이의 제1중앙영역(2)에 4개의 DQ패드부분 DQI-DQ4이 배치되고, 또한 메모리 블록 MB1 및 MB3에 인접하는 제2중앙영역(3)에 주변패드부분 PH1- PH4 이 배치되는 상태가 일례로서 표시된다.

제1 및 제2중앙영역(2 및 3)의 증앙부분에 거의 십자 형상으로 주변제어회르 PC가 배치된다.

여기에서 「패드 부분」 은 패드와 그것에 접속되는 버퍼를 포함하는 구성을 표시한다.

제1중앙영역(2)에서, 패드부분 DQ1 및 DQ3 은 데이터 전달선 DL1을 통하여 메모리 블록 MB1과 데이터의 수수를 행하고, DQ패드 부분 DQ2 및 DQ4은 데이터 전달선 DL2을 통하여 메모리 블록 MB3과 데이터의 수수를 행한다.

메모리 블록 MB1 및 MB3 각각에 대응하고, 또한 근접하여 DQ패드 부분을 배치하는 것에 의해, 데이더 전달선 DL1 및 DL2 의 길이를 짧게하는 것이 가능하게 되어, 선택된 메모리의 셀 데이터를 고속으로 대응하는 DQ패드 부분에 전달할 수 있다.

또, 이들 DQ패드부분 DQ1 - DQ4 을 대응하는 메모리 블록 MB1 및 MB3의 장변 방향에 따라 가능한 한 중앙부분에 배치하는 것에 의해, 이하의 이점이 얻게 된다.

즉, 일반적으로 DRAM에 있어서는 메모리 블록 MBI 및 MB3 에 있어서는 「블록 분할」 구성이 취해진다.

이 「블록 분할」 구성에 있어서는 메모리 블록 MB1 및 MB3 각각에 있어서 선택된 서브 어레이의 위치 예컨대, 메모리 블록 MB1에서 그 중앙부에 배치된 서브 어레이가 선택되었을 때에는, 그 증앙부에서 데이터 전달선을 통하여 DQ패드 부분과 데이터의 수수를 행하게 된다.

또, 메모리 블록 MB1의 예컨대, 좌단의 서브 어레이가 선택된 경우에는 메모리 블록 MB1의 좌단 부분에서 데이터 전달선 DL1을 통하여 DQ패드부분과 데이터의 수수를 행하게 된다.

따라서, 예컨대 DQ패드부분인 DQ1은 메모리 블록 MB1의 좌측 반의 서브 어레이와 데이터의 수수를 행하고, 또 DQ 패드부분인 DQ3을 메모리블록 MIB1에서 선택된 서브 어레이의 위치에 의한 DQ 패드부분과 선택 메모리 셀의 사이의 데이터 전파 경로의 길이의 차를 작게할 수 있다.

또, 메모리 블록 MB1의 중앙부(장변 방향에 대하여)에 대하여 대칭적으로DQ패드부분 DQ1 및 DQ3을 배치하는 것에 의해, 메모리 블록 MB1과 DQ 패드부분 DQ1 및 DQ3에서 데이터 수수에 요하는 시간을 거의 동등하게 할 수 있다.

이것은 메모리 블록 MB3에서도 동일하다. 따라서, DQ패드 부분 DQI 및 DQ3을 메모리 블록 MB1의 중앙부분(장변방향에 따른)에 대하여 대칭적으로 배치한 경우, DQ패드 부분 DQ1 및 DQ3에 유효 데이터가 나타내는 시간을 거의 동등하게 할 수 있으므로, DQ패드 부분사이에서 유효 데이터의 확정 타이밍의 시간차를 충분히 작게할 수 있다.

또, 데이터 전달선 DL1 및 DL2은 대응하는 메모리 블록 MB1 및 MB3 의장변 방향에 따라 전체에 걸쳐서만 배치되어 있어, 2배로 배선 용량 및 저항을 작게 할 수 있으므로, 신호 전파 지연이 작게됨에 따라 고속 액세스가 가능하게 된다.

또, 제2중앙영역에는 주변패드부분 PH1-PH4이 배치된다. 이들 주변 제어회로 PC에 대하여 대칭적으로

배치되어 있고, 또한 근접하여 배치되어 있기 매문에 최소의 배선 길이 및 거의 동일한 배선 길이를 가지고 주변 제어회로 PC에 받아들인 신호를 전달할 수 있다.

따라서, 어드레스 신호 및 제어신호의 확정 타이밍을 빨리할 수 있으므로,주변 제어회로 PC에 대하여 대칭적으로 배치되어 있기 때문에 이들 주변패드 부분 PHI-PH4 이 출력하는 신호의 확정 타이밍은 거의 동일하게되고, 어드레스 신호 등의 내부 확정 타이밍이 동일하게 되어 「어드레스스큐」 를 저감할 수 있으므로 내부 동작 개시 타이밍이 빨라져, 고속 액세스가 가능하게 된다.

제6도는 본 발명의 제4실시예에 따른 패드 배치를 구비하는 반도체기억장치의 외부핀 단자의 배치를 나타낸 도면이다.

제6도에 나타낸 패키지는 QFP 패키지의 구성을 구비한다.제6도에 나타낸 패키지에 대응하는 내부 리드의 배치는 제4도에 나타낸 배치에 대응한다.

제6도에서 패키지 MPA이 장변의 한편 측에서 그의 한편 단에 데이터입출력 핀 단자 PT1, PT3, PT4, PT6가 배치되고, 다른 편 단에 데이터 입출력 핀 단자 PT9, PT11, PT12, PT14 가 배치된다.

데이터 입 출력 핀 단자의 사이에 전원 핀 단자가 배치된다. 즉, 데이터 핀 단자 PT1 및 PT3 의 사이에 전원 전압 Vcc을 받은 전원 핀단자 PT2가 배치되고, 데이터 핀 단자 PT4 및 PT6 의 사이에 전원 핀단자 PT 5가 배치된다.

또한, 데이터 핀 단자 PT6에 인접하여 전원 핀 단자 PT7 가 배치된다.

다른 편 단에도, 전원 핀 단자 PT10가 데이터 핀 단자 PT9 및 PT11사이에 배치되고, 또 전원 핀 단자 PT13가 데이터 핀 단자 PT12 및 PT14의 사이에 배치된다.

패키지 장변의 중앙부에 전원 핀 단자 PT8가 배치된다. 핀 단자 PT7 및 PT8의 사이에 어드레스 신호 또는 클록신호(제어신호)를받는 어드레스/클록 핀 단자 PTa - PTb(이하, 주변 핀 단자라 한다)가 배치되고, 핀 단자 PT8 및 PT9 의 사이에 주변 단자 PTc - PTb가 배치된다. 메모리 패키지 MPA의 다른 편의 장변측에서, 한편 단에 데이터 핀 단자PT42, PT40, PT39 및 PT37 가 배치되고, 다른 편 단에서 데이터 핀 단자PT42 및 PT40의 사이에 접지전압 Vss이 입력되는 접지 핀 단자 PT41가배치되고, 데이터 핀 단자 PT39 및 PT37의 사이에 접지 핀 단자 PT38 가 배치된다.

핀 단자 PT36는 접속되지 않은(비접속 : NC) 핀 단자이고, 내부에서패드에는 접속되지 않는다.

이것은 단지 내부의 패드 배치 및 외부 사양에서 핀의 피치를 일정하게 유지하기 위하여 설치된다.

핀 단자 PT36는 접지핀 단자로서 이용되어도 좋고, 또 별도의 신호를 입력하기 위한 핀 단자로서 사용되어도 좋다.

데이터 핀 단자 PT34 및 PT32 의 사이에 접지 핀 단자 PT33 가 배치되고, 데이터 핀 단자 PT31 및 TP29 의 사이에 접지 핀 단자 PT30 가 배치 된다.

핀 단자 PT36 및 PT35 의 사이에 주변 핀 단자 PTh - PTg가 배치되고, 핀 단자 PT34 의 사이에 주변 핀 단자 PTf - PTe가 배치된다. 메모리 패키지 MPA의 단변 일측에 따라, 데이터 핀 단자 PT56, PT53, PT51, PT48, PT46, PT45 및 PT43 가 배치된다. 핀 단자 PT56 및 PT54의 사이에 접지핀 단자 PT55가 배치되고, 핀단자 PT53 및 PT51의 사이에 접지 핀 단자 PT52 가 배치된다. 핀 단자 PT51 및 PT48 의 사이에 접지 핀 단자 PT50 및 전원 핀 단자PT49 가 배치된다.

데이터 핀 단자 PT45 및 PT43 의 사이에 전원 핀 단자 PT44가 배치된다.

메모리 패키지 MPA의 타측 단변에 따라, 데이터 핀 단자 PT15, PT17, PT18, PT20, PT23, PT25, PT26 및 PT28 가 배치된다.

데이터 핀 단자 PT15 및 PT17 의 사이에 접지 핀 단자 PT16 가 배치되고, 핀 단자 PT18 및 PT20의 사이에 접지 핀 단자 PT19 가 배치된다.

데이터 핀 단자 PT20 및 PT23의 사이에 접지 핀 단자 PT21 및 전원핀 단자 PT22가 배치된다. 데이터 핀 단자 PT23 및 PT25의 사이에 전원 핀 단자 PT24 가 배치되고, 데이터 핀 단자 PT26 및 PT28의 사이에 전원 핀 단자 PT27가 배치된다.

메모리 패키지 MPA의 장변에서 중앙부에 배치되는 전원 핀 단자 PT8 및 접지 핀 단자 PT35는 주변회로를 동작시키기 위한 전원 전압 및 접지 전압을 공급한다.

데이터 핀 단자의 사이에 배치되는 전원 핀 단자 및 접지 핀 단자는 데이터 입출력 버퍼 전용으로 사용되어도 좋고 또, 대응하는 메모리 블록의 동작을 위하여 사용되어도 좋다.

이것은, 메모리 패키지 MPA의 단변에 따라 배치되는 전원핀 단자 및 접지핀 단자에 대하여도 동일하다.

데이터 핀 단자의 사이에 전원 접지핀 단자를 배치하는 것에 의해 안정하게 전원 전압을 데이터 입 출력 버퍼에 공급할 수 있다.

제6도에 나타낸 외부 핀 단자 PT1-PT56는 제4도에 나타낸 프레임 리드에 접속된다.

따라서, 제6도에 나타낸 외부 핀 배치를 사용하는 것에 의해, 제4도에 나타낸 바와 같이 프레임 리드와 본딩패드의 사이의 와이어링을 용이하게 실현할 수 있다.

이상과 같이, 제4실시예의 구성에 따르면, 패키지 장변의 중앙부 부근에 어드레스 신호 및 제어신호를 입력하기 위한 주변 핀 단자를 배치하고,장변 일측단 및 타측 단의 양단 및 단변에 데이터 입출력 핀 단자를 배치하기 때문에, 제1중앙영역에 데이터 입출력을 위한 패드를 배치하고, 또한 제2중앙영역에 어드레스 신호 및 클록 신호를 입력하는패드를 배치하는 구성을 복잡한 와이어링을 가지게 하지 않고 실현할

수 있으므로,패드에서 내부 대응 회로에의 신호 전파 경로를 최소로 할 수 있고, 또한 대칭적으로 배치되기 때문에, 각 신호의 전파 시간을 거의 동일하게 하는것이 가능하게 되어, 고속으로 안정된 동작을 행하는 반도체 기억장치를 실현할 수 있다.

[실시예 5]

제7도는 본 발명의 제5실시예에 따른 리드의 배치를 나타낸 도면이다.

제7도에 나타낸 구성에 있어서, 반도체 칩(1)의 제1 및 제2중앙영역(2 및 3)에는 각각 이전의실시예와 동일한 패드 PL 및 PS가 1열로 정렬되어 배치된다.

제I중앙영역(2)에 배설된 패드 PL에 대하여 단변 방향에 따라 반도체칩(1)상에 걸쳐서 연재하는 프레임 리드 Fa와 다른 층에 배치되는 프레임리드 Fa가 배설되고, 이 프레임 리드 Fa는패드 PL의 사전에 정하여진 대응하는 패드에 접속된다.

제2중앙영역(3)에 배치된 패드 PS에 대하여, 반도체 칩(1)의 장변 방향에 따라 칩(1)상에 걸처 연재하는 프레임 리드 Fb가 배설된다.

이 프레임 리드 Fb는 제2중앙영역(3)에 배설된 패드 PS에 대응하는패드에 접속된다.

제1중앙영역(2)에 배설된 패드 PL는 반도체 칩(1)(또는, 패키지 PA)의 장변에 따라 배치되는 외부 핀 단자에 연결하는 프레임 리드만이 접속된다.

마찬가지로, 반도체 칩(1)(또는, 패키지 PA)의 단변에서는 제2중앙영역(3)에 배설되는 패드 PS에 접속되는 프레임 리드만이 배치된다.

장변 방향에서, 제1 및 제2중앙영역에 패드에 대하여 프레임 리드를 설치할 필요가 없고 이 프레임 리드의 피치가 완화된다.

또, 패드와 프레임 리드의 접속에서, 칩 장변의 중앙부에 배치된 외부핀 단자에 접속되는 프레임 리드와 제2중앙영역(3)에 배설된 패드의 외주부의 패드에서 차례로 접속하는 등의 규칙성이 필요하게 되지 않는다.

프레임 리드의 피치 소건이 완화되기 때문에, 프레임 리드와 대응하는 패드사이의 접속의 자유도가 증가하고,패드 및 외부 핀 단자에 대한 신호의 할당의 자유도가 증가한다.

예컨대, 제2중앙영역(3)에 배치된 패드 PS을 어드레스 신호 및 주변제어신호로서 사용한 경우, 반도체 칩(1)(패키지 PA)의 단변에 배치되는 외부 핀 단자에는 제어신호 및 어드레스 신호가 할당된다 (전원핀을 포함).

이때, 패키지 PA의 장변방향에 따라 배치되는 외부 핀 단자에는 데이터입출력을 위한 데이터 핀 단자가 배치된다.

또, 이것에 대신하여, 반도체 칩(1)(패키지 PA)의 장변에 따라 배치되는 프레임 리드중 중앙부(제2중앙영역에 가까운 부분)에 배치되는 프레임리드를 어드레스 신호 또는 제어신호에 접속하는 프레임 리드로서 이용할수 있다.

또, 제7도에 나타낸 배치에 있어서 프레임 리드는 장변 방향 또는 단변방향에 따라 1열로 연재하여 배치되어 있다.

이것은 반도체 칩(1)사이의 영역에서 위치를변경하기 위한 구부러진 부분(예컨대,제3 도에서 칩 장변 양단부의 프레임 리드 참조)을 가져도 좋다.

제8a, 8b도는 2층 프레임 리드의 단면 구조를 나타낸 도면이다.

제8a, 8b도에서는, 1층째 및 2층 째의 프레임의 1개의 프레임 리드에 대해서만 표시한다.

제8a도에 나타낸 바와 같이, 단변 방향에 따라 연재하는 프레임 리드Fa상에 장변 방향에 따라 배설되는 프레임 리드 Fb가 배설된다.

이들 프레임 리드 Fa 및 Fb의 사이는 속이 빈 구조로 된다.

프레임 리드는 도시하지 않은 프레임(금속 프레임)으로 지지되어 있기때문에, 속이 빈 구조로 되어도 다른 층간의 프레임 리드의 상호 접촉을 방지할 수 있다.

패키지 수납시에는 이들 프레임 리드는 수지 봉지하여 밀봉되기 때문에, 사용시에 문제가 발생하지 않는다.

프레임 리드는 거의 직선적으로 연재하고 있어, 지지부재를 가지지 않은 속이 빈 프레임 리드 구조로 되어 있어도, 리드의 위치 엇갈림을 방지하게 되어, 위치 정밀도가 개선되어 프레임 리드 피치 마진이 저감될 수 있다.

또, 위치 변경의 구부러진 부분에서 인접 프레임 리드의 접속이 방지되어, 장치의 신뢰성이 얻어진다.

또, 이것에 대신하여 제8b도에 나타낸 바와 같이, 1 층째의 프레임 리드Fa와 2층째의 프레임 리드 Fb의 사이에, 절연성 재료 IS가 끼워져 설치된다.

이 절연성 재료 IS로서는 TAB(Tape Automated Bonding)기술에서 사용되도록 고분자 유기재료로된 테이프를 절연성 재료 IS로서 이용할 수 있다.

또한, 제8a도 및 제8b도에 있어서는, 단변 방향에 따라 연재하는 프레임 리드 Fa가 1 층째의 프레임 리드로 형성될 수 있음을 나타내고 있다.

그렇지만, 이것에 대신하여 장변방향에 따라 연재하는 프레임 리드 Fb가 1층째의 프레임 리드를 다층 구조로 하기 때문에, 프레임 리드의 피치소건이 완화되고, 또한 프레임 배선의 자유도가 증가하고, 핀 및 패드에 대한 신호 할당의 제한이 완화된다.

[실시예 6]

제9도는 본 발명의 제6실시예에 따른 반도체 기억장치의 패드 및 프레임 리드의 배치를 나타낸 도면이다.

우선, 패드 배치에 대하여 설명한다.

(패드 배치)

제9도에 있어서, 반도체 칩(1)의 제1중앙영역(2)에 패드 PDA가 정렬되어 배치된다.

또한, 반도체 칩(1)의 장변 LS의 양단측의 단변 SS에 따른 주변 영역(10a및 10b)에패드 PDBa 및 PDBb가 배치된다. 장변 방향에 따른 제1중앙영역(2)뿐만 아니라, 주변 영역(10a 및 10b)에 있어서도 패드를 배치하고 있으므로, 다 비트 전개시에 있어서도, 이 주변영역(10a 및 10b)에패드를 추가적으로 배치할 수 있다.

이것에 의해, 반도체 칩(1)의 장변 길이의 다비트 전개시의 증대를 억제할 있다.

그 결과, 패드수가 증가하여도,패드사이의 피치를 작게할 필요가 없어, 용이하게 패드의 수를 증가시킬 수 있다.

또, 베이스 칩에 있어서는 제1중앙영역(2)에만패드 PDA를 배치하여제품을 개발한다.

다 비트 전개시에 있어서는, 주변 영역(10a 및 10b)에 부가적으로패드를배 치 한다.

이에 의해, 다비트 전개를 행한다.

또한, 다비트 전개시에 있어서, 제1중앙영역에 배치된패드에 대하여는 데이터 입출력을 행하기 위한 패드를 우선적으로 배치하고, 주변 영역(10a및 10b)에 배치되는패드에는 어드레스 신호 및 제어신호용패드를 우선적으로 배치하는 구성이 사용되어도 좋다.

상술한 바와 같이, 제9도에 도시한 패드 배치에 따라서 주변 영역(10a및 10b)에도패드를 배치하도록 구성하고 있기 때문에, 다비트 전개시에칩 장변 길이의 증대를 주변 영역(10a 및 10b)에 있어서패드를 추가적으로 배치하는 것에 의해 억제하게 되고, 또 이때, 제1중앙영역(2)에 배치된 패드의 피치를 저감할 필요에 따라 용이하게 다비트 전개를 행할 수 있다.

또한, 제9도에 나타낸 바와 같이, 제1중앙영역(2)에 배치된패드 PDA는 반도체 칩(1)(또는, 패키지 PA)의 장변에 따라 배치되는 외부핀 단자에 연결하는 프레임 리드 FLDa 및 FLDb에 접속된다. 이들 프레임 리드 FLDa 및 FLDb는 반도체 칩(1)상에 걸쳐 제1중앙영역까지 연재하고 있어, LDC구조를 구비한다.

한편, 주변 영역(10a 및 10b)에 배치된 패드 PDBa 및 PDBb는 단변에 따라 배치되는 외부 핀 단자에 접속하는 프레임 리드 FDa 및 FDb 에 각각 접속된다. 프레임 리드 FDa 및 FDb는 반도체 칩(1)상에 걸쳐 연재할 필요는 없고, 반도체 칩(1)의 주변부에 배치된 패드에 접속된다. 따라서, 이들 프레임 리드 FDa 및 FDb는 LDC구조를 가질 필요가 없다.

제9 도에 나타낸 프레임 리드의 배치 및 패키지의 핀 배치의 구성에서는 QFP 패키지에 반도체 기억장치가 수납된다.

그렇지만 이 경우, 제1중앙영역(2)에 배치된 패드에 대하여 단변 방향에 따라 연재하는 프레임 리드 FLDa 및 FLDb에 접속되는 것 뿐이다.

프레임 리드 FLDa 및 FLDb는 그의 위치를변경하기 위하여 반도체 칩(1)상에 구부러진 부분(예컨대, 제3도 참조)을 가지고 있지 않다.

즉, 그들은 거의 직선적으르 연재하고 있다. 따라서, LDC 프레임 리드 부재를 가지지 않은 속이 빈 프레임 리드로 구성된 경우에 있어서도, 그 위치의 엇갈림을 방지하게 되어, 프레임 리드의 피치의 마진의 저감이 얻어지는 동시에, 구부러진 부분에 의한 인접 프레임 리드는 반도체 칩(1)(또는, 패키지 PA)의 4변 전체에 배치되는 외부 핀 단자에 대응하여 배치되기 때문에, 핀 단자의 피치 즉, 프레임리드의 피치를 축소할 필요가 없고, 또 패키지 사이즈의 장변 방향에 대한 증대도 억제할 수 있다.

상술한 바와 같이, 제9도에 나타낸 프레임 리드의 배치에 따르면, 제1중앙영역에 배치된 패드는 패키지 PA의 장변에 따라 배치되는 외부 핀단자에 접속된 프레임 리드에 접속하고, 주변영역에 배치된 패드는 패키지PA 단변에 따라 배치된 외부 핀 단자에 접속하는 프레임 리드에 접속하도록 구성되어 있기 때문에, 다비트 전개시에서 핀의 피치 및 프레임 리드의 피치의 축소를 수반하지 않고 패키지 사이즈의 증대를 억제할 수 있다.

[실시예 7]

제10도는 본 발명의 제7실시예인 반도체 기억장치의 내부 배치를 나타낸 도면이다.

이하, 패드의 배치 및 프레임 리드의 배치에 대하여 차례로 설명한다.

(패드 배치)

제10도에 나타낸 바와 같이, 제7실시예에서는 반도체 칩(1)상의 제2중앙영역(3)과 장변 LS의 양단의 단변에 따른 주변 영역(10a 및 10b)에 패드와 함께 PDBc 및 PDBb가 각각 배치된다.

제1중앙영역(2)에서 패드는 장변 방향에 따라 배열되지 않는다.

장변 방향에 따라 패드를 배치하고 있지 않기 때문에, 제1중앙영역(2)에서 패드 배치에 의한 단변 길이의 증대를 억제할 수 있다.

따라서, 패키지 PA 또는 반도체 칩(1)의 단변 길이에 대한 제약이 심한 조건의 경우에 있어서, 유리한 패드 배치를 실현할 수 있다.

또, 단변 방향에 따를 뿐 패드 PDBa, PDBb 및 PDBc가 배치되지 않기때문에, 다비트 전개시에 반도체 칩(1)의 장변 길이의 증대를 억제할 수있다.

또, 이 경우에는패드상의 피치를 축소할 필요는 없다.

다비트 전개시에 있어서는, 예컨대, 이하의 방법으로 대처할 수 있다.

제2중앙영역(3)에만 패드 PDBc를 배치하는 것에 의해 베이스 칩을 개발한다.

다비트 전개시에 장변의 양단에서 주변 영역(10a 및 10b)에패드를 추가로 배 치 한다.

또, 이것에 대신하여 영역(3,10a 및 10b)각각에 패드 PDBc, PDBa 및PDBd를 배치하여 베이스 칩을 개발하고, 다비트 전개시에 각 영역에서 필요로 되는 패드를 추가적으로 배치한다.

어느 경우에 있어서도, 단지패드를 추가적으로 배치하는 간단한 방법으로 용이하게 다비트 전개를 행할 수 있다.

또,패드 배치에서 다비트 전개시 또는 베이스 칩의 경우에 주변 영역(10a및 10b)에 데이터 입출력패드를 우선적으로 배치하는 구성이 이용되어도 좋다.

이 경우에는 제2중앙영역(3)에는 제어신호 및 어드레스 신호를 입력하기 위한 패드가 우선적으로 배치된다.

이상과 같이, 제7실시예에 따른 패드 배치에서는 반도체 칩의 단변향에 따른 영역에만 패드를 배치하도록 구성하였으므로, 장변 방향에 따른 제1중앙영역에서패드 배치면적을 삭감할 수 있어, 반도체 칩(1)의 단변 길이의 중가를 억제할 수 있다.

또, 다비트 전개시에 단변 방향에 따라 패드가 배치되기 때문에패드 사이의 피치를 축소하지 않고 반도체 칩(1)이 장변 길이의 증가를 억제할 수있다.

또, 단지 패드를 단변 방향에 따라 추가적으로 배치하는 것으로 용이하게 다비트 전개시에 패드 위치의 수정을 실현할 수 있다.

(프레임 리드의 배치)

제2중앙영역(3)에 배치되는 패드 PDBc는 제10도에 나타낸 바와 같이 반도체 칩(1)(또는, 패키지 PA)의 장변에 따라 배치되는 외부 핀 단자에 접속하는 프레임 리드 FLDc 및 FLDd에 차례로 접속된다.

이 프레임 리드 FLDc 와 PDBc의 접속 상태는, 장변의 중앙부에 배치된 프레임 리드에서 제2중앙영역(3)의 외측에 배치된 패드에 순차 접속한다.

이에 의해, 본딩 와이어링을 실현할 수 있다. 이 프레임 리드 FLDc 및 FLDd 는 LOC 구조를 구비한다.

상술한 바와 같이, 중앙부에 배치된 프레임 리드에서 우선적으로 제2중앙영역에 배치된 본딩패드의 외측에 배치되는패드로 순차 접속하는것에 의해, 패키지 PA의 장변 방향에 따라 필요 이상으로 외부 핀 단자가 배치되는 것을 방지하게 되어, 패키지 장변 길이의 증가를 억제할 수있다.

또, 장변 방향으로 배치되는 외부 핀 단자에 접속하는 프레임 리드 FLDc 및 FLDd 를 단변 방향에 따라 배치되는패드 PDBc에 접속하기 때문에, 이 외부 핀 단자의 피치 조건이 완화되어 여유를 가지고 프레임 리드를 배치할 수 있다. 주변 영역(10a 및 10b)에 배치되는 외부 핀 단자에 접속하는 프레임 리드FDa 및 FDb에 각각 접속된다.

이 프레임 리드에 대한 신호의 할당으로서, 데이터 입출력 신호가 주변영역(10a 및 10b)에 접속하는 프레임 리드 FDa 및 FDb에 할당하여도 좋다.

제10도에 나타낸 프레임 리드의 배치에 따르면, 패키지 장변에 배치되는 외부 핀 단자에 접속하는 프레임 리드가 반도체 칩(1)의 단변방향에 따라 정렬되어 배치되는 패드에 접속하기 때문에 이 장변에 따라 배치되는 프레임 리드 FLDc 및 FLDd의 피치 조건도 완화할 수 있다. 상술한 바와 같이, 본 발명에 따르면, 다비트 전개시에 있어서도패드의 피치 및 핀 단자의 피치를 축소하지 않고 반도체 칩 및 패키지의 사이즈의 증가를 억제할 수 있다.

(57) 청구의 범위

청구항 1

싱글 반도체 칩상에 형성된 개별 반도체 기억장치에 있어서, 상기 반도체 칩상에 십자 형상으로 배치되어 외부장치와 전기적 접속을 이루도록 설치된 복수의 제1패드 열 및 복수의 제2패드 열과, 상기 반도체 칩의 4변에 따라 설치된 외부리드 단자에 각각 대응하고 각각이 상기 4변 중의 어느 일변에 배설되는 일단과 상기 제1 및 제2패드중 소정의 대응하는패드에 접속되는 타단을 가지며 상기운반도체 칩상에 걸쳐 연장하는 복수의 리드를 포함하며, 상기 복수의 리드의 제1단이 상기 반도체 칩의 4변에 따라 배치되어 상기 대응하는 외부리드 단자에 접속될 수 있는 반도체 기억장치.

청구항 2

싱글 반도체 칩상에 형성된 반도체 기억장치에 있어서, 상기 반도체 칩상에 십자 형상으로 배치되어 외

부장치와 전기적 접속을 이루도록 설치된 복수의 제1패드 열 및 복수의 제2패드열을 포함하고,상기 복수의 제1패드는 데이터를 입출력하기 위한패드를 구비하고, 상기 복수의 제2패드는 외부에서 공급되는 제어 신호 및 어드레스 신호를 받는패드를 포함하는 반도체 기억장치.

청구항 3

싱글 반도체 칩상에 형성된 반도체 기억장치에 있어서, 상기 반도체 칩상에 십자 형상으로 설치되어 외부장치와 전기적 접속을 이루도록 설치된 복수의 제1패드 열 및 복수의 제2패드 열과, 상기 반도체 칩의 4변에 따라 설치된 외부리드 단자에 대응하고 각각이 상기 4변의 어느 일변에 설치된 제1단과 상기 제1 및 제2패드중 소정의 대응하는패드에 접속되는 제2단을 가지고 상기 칩상에 걸쳐서 연장하는 복수의 리드를 구비하며, 상기 복수의 리드는 상기 4변중의 제1변의 중앙영역에 배치되어 상기 제2패드중의 하나의 패드에 접속되는 제1단을 가지는 제1리드와, 상기 제1변의 중앙영역으로부터 떨어진 일단에 배치되어 상기 제1패드중의 하나의패드에 접속된 제1단을 가지는 제2리드와, 상기 제1변에 수직으로 상기 4변중의 제2변상에 배치되어 상기제1패드중의 하나의 패드에 접속된 제1 단을 가지는 제3 리드를 포함하는 반도체 기억장치.

청구항 4

4번을 가지는 싱글 반도체 칩상에 형성된 개별 반도체 기억장치에 있어서, 상기 반도체 칩상에 십자형상으로 배치되어 외부장치와 전기적 접속을 이루도록 설치된 복수의 제1패드열 및 복수의 제2패드열과, 상기 반도체 칩상의 4변에 따라 설치된 외부 리드 단자에 대응하여 상기 반도체 칩상에 배치된 복수의 리드를 포함하고, 상기 리드의 각각은 상기 반도체 칩의 4변중의 하나의 일변에 설치된 제1단과, 상기 복수의 리드의 양단을 가지는 상기 4변을 각각 구비하는 상기패드중 소정의 대응하는패드에 접속된 제2단을 각각 구비하고, 상기 리드는 상기 4변의 각변에서 중앙영역에 배치되어 상기 제1열과 제2열중의 각각의 1열에서 소정의 대응하는 패드에 접속된 제1단을 각각 가지는 것에 의해, 상기 중앙영역으로부터 상기 반도체 칩의 각변의 단부까지 배치된 각각의 리드가 상기 각각의 1열에서 외주부패드로부터 내부패드로 향하여 순차적으로 상기 대응하는패드에 차례로 접속되는 반도체 기억장치.

청구항 5

싱글 반도체 칩상에 형성된 개별 반도체 기억장치에 있어서, 상기 반도체 칩상에 십자형상으로 배치되어 외부 장치와 전기적 접속을 이루도록 설치된 복수의 제1패드열 및 복수의 제2패드열과, 상기 반도체 칩의 제1변을 따라 연장하며 상기 복수의 제2패드중 소정의 대응하는 패드에 각각 접속된 복수의 제1 리드와, 상기 복수의 제1 리드와는 다른 층에 배치되어 상기 제1변에 수직으로 제2변을 따라 연장하며, 상기 복수의 제1패드중 소정의 대응 하는패드에 접속되어 상기 제1리드의 경로와 서로 다른층에서 각각 교차하는 복수의 제2 리드를 포함하는 반도체 기억장치.

청구항 6

싱글 반도체 칩상에 형성된 개별 반도체 기억장치에 있어서, 상기 반도체 칩상에 십자형상으로 배치되어, 외부장치와 전기적 접속을 이루도록 설치되고, 상기 십자형상이 상기 반도체 칩을 4개 영역으로 분할하는 복수의 제1패드 열 및 복수의 제2패드 열과,상기 4개 영역상에 배치된 복수의 메모리 블록과를 구비하고, 상기 반도체 칩은 상기 복수의 제1패드의 선에 평행한 제1변과상기 복수의 제2패드의 선에 평행한 제2변을 가지며, 상기 제1패드는 대응하는 메모리 블록에 데이터를 공급하거나 대응하는 메모리 블록으로부터 데이터를 받는 복수의 메모리블록에 대응 하여 설치된 데이터 입력패드 및 출력패드를 포함하고, 상기 데이터 입력 및 출력패드는 상기 제1변의 방향에서 대응하는 메모리 블록의 중앙에 근접하여 설치되는 반도체 기억장치.

청구항 7

싱글 반도체 칩상에 형성된 개별 반도체 기억장치에 있어서, 상기 반도체 칩상에 십자형상으로 배치되어 외부장치와 전기적 접속을 이루도록 설치되고, 상기 십자형상이 상기 반도체 칩을 4개 영역으로 분할하는 복수의 제1패드 열 및 복수의 제2패드 열과, 상기 4개 영역에 배치된 복수의 메모리 블록과를 포함하며, 상기 반도체 칩은 상기 제1패드의 선에 평행한 제1변과, 상기 제2패드의 선에 평행한 제2변을 가지며, 상기 제1패드는 대응하는 메모리 블록과 데이터 통신하기 위해, 각메모리 블록을 위한 소정수의 복수의 데이터 입출력 패드를 포함하고, 상기 소정수의 데이터 입출력패드는 제1변의 방향에서 대응하는 메모리 블록의 중앙에 대하여 대칭으로 배열되는 반도체 기억장치.

청구항 8

제6항에 있어서, 상기 제1변은 상기 제2변보다 긴 반도체 기억장치.

청구항 9

제7항에 있어서, 상기 제1변은 상기 제2변보다 긴 반도체 기억장치.

청구항 10

제1방향으로 연장하는 제1변과 상기 제1 방향에 수직한 제2방향으로 연장하는 제2변과 메모리 셀 어레이를 가지는 표면을 구비한 사각형상을 가지는 싱글 반도체 칩상에 형성된 개별 반도체 기억장치에 있어서, 상기 제2변의 방향에 대하여 중심영역에 형성된 제1중심영역에 배열되어 상기 제1변에 평행하게 연장하여 외부장치와 전기적접속을 이루는 복수의 제1패드와, 상기 의부장치와 전기적 접속을 이루며 상기 제2변을 따라 상기 제1변의 양단부에 배열된 복수의 제2패드를 포함하는 반도체 기억장치.

청구항 11

제10항에 있어서 상기 반도체 칩의 제1변에 배치된 외부리드 단자에 대응하여 배치되고, 상기 반도체 칩

상에 걸쳐서 상기 제2변방향으로 연장하며 상기 복수의 제1패드중의 소정의 대응하는 제1패드와 접속된 복수의 제1리드와, 상기 제2변에 따라 배치된 외부 리드 단자에 대응하여 배치되고,상기 복수의 제2패드중의 소정의 대응하는 제2패드에 접속된 복수의 제2리드를 더욱 구비하는 반도체 기억장치.

청구항 12

서로 수직하는 전개방향을 각각 가지는 제1변과 제2변을 가지는 구형 형상과 그의 표면에 형성된 메모리 셀의 어레이를 구비하는 싱글 반도체 칩상에 형성된 개별 반도체 기억장치에 있어서, 상기 제1변의 양 단부에 상기 반도체 칩의 주변 영역상과 반도체칩상의 상기 제1변의 방향에 대하여 중앙영역에서 상기 제2변의 전개 방향으르 배치되어 외부 장치와 전기적 접속을 실현하며, 상기 중심영역에서 대향하는 제1변 사이에서 연장하는 선에서 일정하게 격리되어 있는 복수의 패드를 포함하는 반도체 기억장치.

청구항 13

제12항에 있어서, 상기 제1변 방향에 따라 배치된 외부 핀 단자에 접속되고, 상기 중앙영역의 패드중의 소정의 대응하는 패드를 접속된 복수의 리드를 더욱 구비하는 반도체 기억장치.

청구항 14

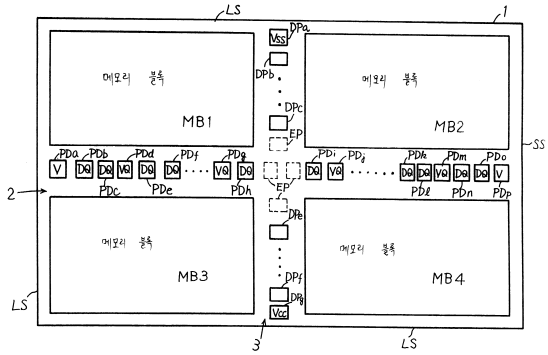
제2 항에 있어서, 상기 싱글 반도체 칩은 4변을 가지며, 그위에 배치되어 각각의 상기4변에 따라 배열된 외부 리드단자에 제1패드와 제2패드를 결합하는 복수의 리드를 더욱 포함하는 반도체 기억장치.

청구항 15

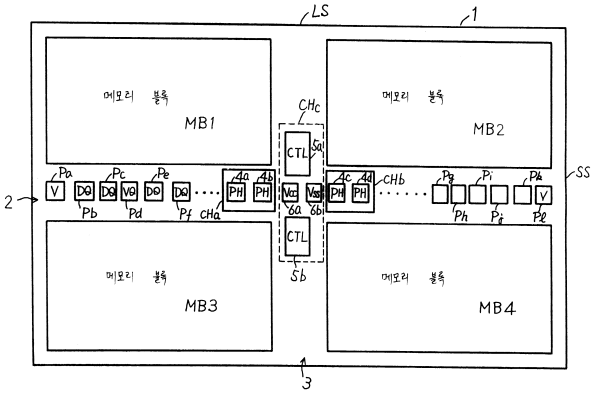
제12항에 있어서,상기 중심영역의 패드의 수는 상기 제1변의 각단에서 주변영역의 패드의 수와 동일한 반도체 기억장치.

도면

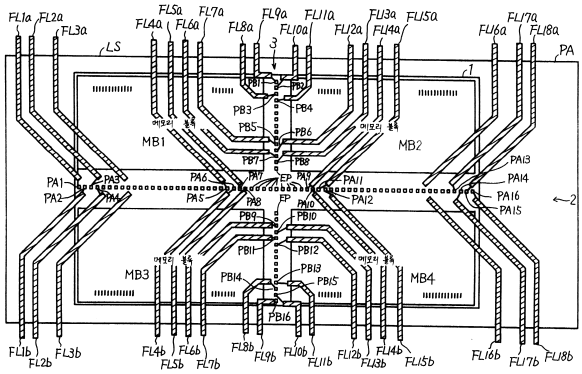
도면1



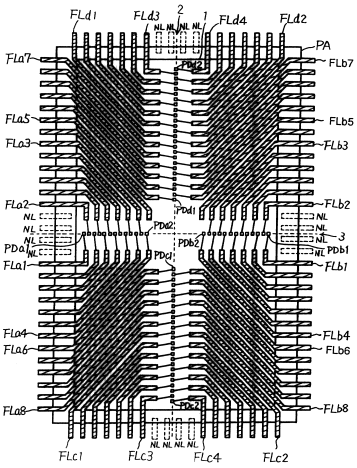
도면2



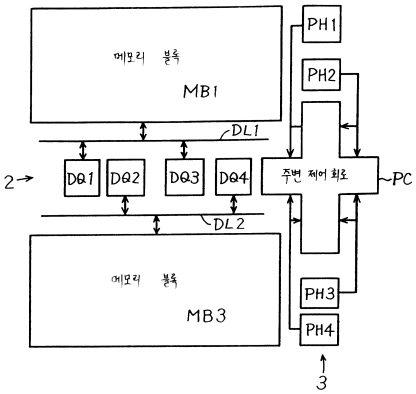
도면3


MB1
MB2
MB3
MB4
PA
LS

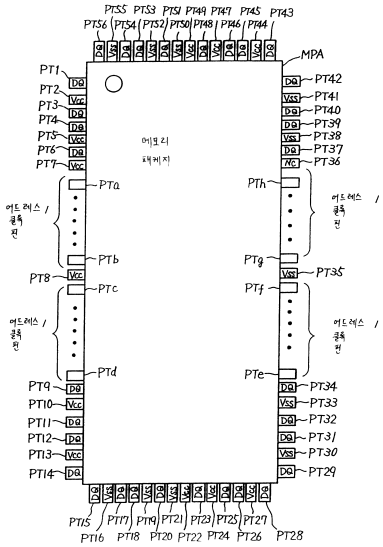
도면4


PA

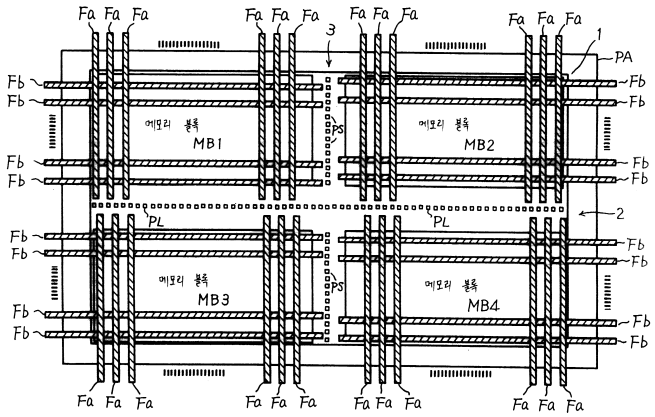
도면5


메모리 블록
MB1
DL1
DQ1
DQ2
DQ3
DQ4
주변 제어 회로
PC
DL2
메모리 블록
MB3
PH1
PH2
PH3
PH4

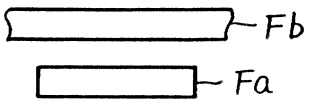
도면6



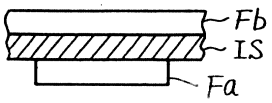
도면7



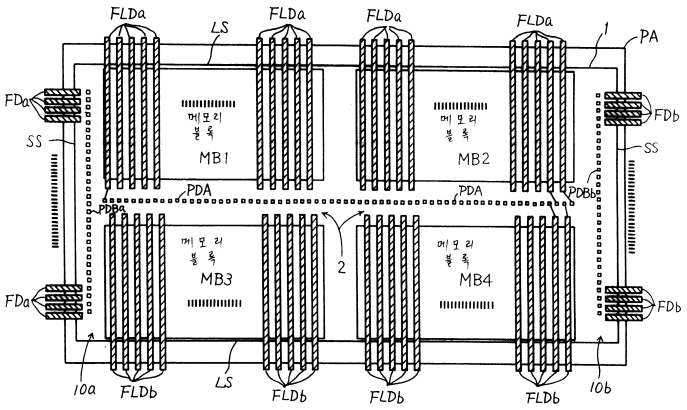
도면8a



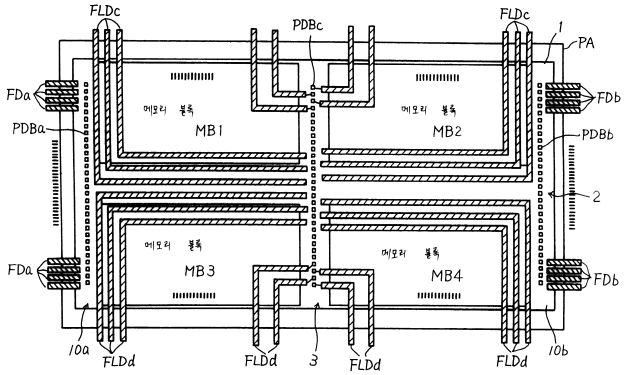
도면8b



도면9



도면10



도면11

