

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/336 (2006.01)

H01L 21/22 (2006.01)

H01L 29/76 (2006.01)



[12] 发明专利说明书

专利号 ZL 02819658.9

[45] 授权公告日 2007 年 3 月 14 日

[11] 授权公告号 CN 1305122C

[22] 申请日 2002.10.3 [21] 申请号 02819658.9

[30] 优先权

[32] 2001.10.4 [33] US [31] 09/970,972

[86] 国际申请 PCT/US2002/031638 2002.10.3

[87] 国际公布 WO2003/030244 英 2003.4.10

[85] 进入国家阶段日期 2004.4.5

[73] 专利权人 通用半导体公司

地址 美国纽约

[72] 发明人 理查德·A·布朗夏尔

让·米歇尔·吉约

[56] 参考文献

US4140558A 1979.2.20

US5216275A 1993.6.1

US5108783A 1992.4.28

US4711017A 1987.12.8

审查员 朱永全

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 樊卫民 钟 强

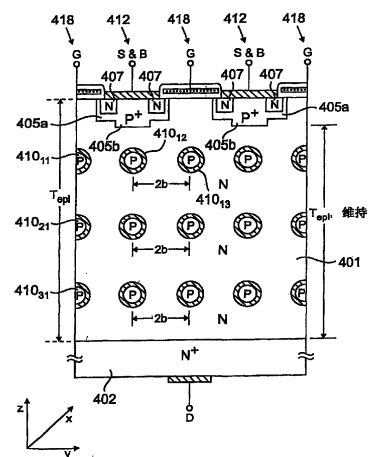
权利要求书 6 页 说明书 7 页 附图 7 页

[54] 发明名称

具有浮岛电压维持层的功率半导体器件的制
造方法

[57] 摘要

一种功率半导体器件及其制造方法，提供衬底 (402)，并接着通过在衬底 (402) 上淀积外延层 (401) 和在外延层 (401) 中形成至少一个沟槽而在衬底 (402) 上形成电压维持区。沿着沟槽壁淀积阻挡材料并穿过阻挡材料把掺杂剂注入到邻近沟槽底部并在沟槽底部之下的部分外延层 (401) 中。掺杂剂扩散形成第一掺杂层，并至少从沟槽的底部去除阻挡材料。穿过第一掺杂层蚀刻沟槽，并基本上填充沟槽，从而完成电压维持区。在电压维持区上形成至少一个区以在它们之间限定结面。



1. 一种功率半导体器件的制造方法，包括步骤：
 - A. 提供第一导电类型的衬底；
 - B. 通过以下步骤在所述衬底上形成电压维持区：
 1. 在衬底上淀积外延层，所述外延层具有第一导电类型；
 2. 在所述外延层中形成至少一个沟槽；
 3. 沿着所述沟槽的壁淀积阻挡材料；
 4. 穿过阻挡材料把第二导电类型的掺杂剂注入到邻近所述沟槽底部并在所述沟槽底部之下的部分外延层中；
 5. 扩散所述掺杂剂以在所述外延层中形成第一掺杂层；
 6. 至少从沟槽的底部去除阻挡材料；
 7. 穿过所述第一掺杂层蚀刻沟槽；和
 8. 在所述沟槽中淀积填充材料以基本上填充所述沟槽；和
 - C. 在所述电压维持区上形成至少一个所述第二导电类型区以在它们之间限定结面。

2. 如权利要求 1 所述的方法，还包括步骤：
 - 蚀刻沟槽到更深的深度并重复步骤 (B.3) - (B.6) 以在所述第一掺杂层之下纵向形成第二掺杂层；和
 - 蚀刻沟槽穿过所述第二掺杂层。

3. 如权利要求 1 所述的方法，其中，步骤 (C) 还包括步骤：
 - 在栅介质区上形成栅导体；
 - 在外延层中形成第一和第二体区以在它们之间限定漂移区，所述体区具有第二导电类型；
 - 分别在第一和第二体区中形成第一导电类型的第一和第二源区。

4. 如权利要求 1 所述的方法，其中，所述阻挡材料是氧化物材料。

5. 如权利要求 4 所述的方法, 其中, 所述氧化物材料是二氧化硅。
6. 如权利要求 1 所述的方法, 其中, 所述外延层具有给定的厚度, 并且还包括步骤:
 - D. 蚀刻沟槽基本上等于所述给定厚度的 $1/(x+1)$ 的附加量, 其中 x 等于或大于 2, 并与将在电压维持区中形成的掺杂层的规定数量相一致;
 - E. 重复步骤 (B.3) - (B.6) 以在所述第一掺杂层之下纵向形成另一层掺杂层; 和
 - F. 重复步骤 D-E 直到形成规定数量的掺杂层; 和
 - G. 蚀刻沟槽穿过第 x 层的所述掺杂层。
7. 如权利要求 1 所述的方法, 其中, 填充沟槽的所述材料是介质材料。
8. 如权利要求 7 所述的方法, 其中, 所述介质材料是二氧化硅。
9. 如权利要求 7 所述的方法, 其中, 所述介质材料是氮化硅。
10. 如权利要求 1 所述的方法, 其中, 所述掺杂剂是硼。
11. 如权利要求 3 所述的方法, 其中, 所述体区包括深体区。
12. 如权利要求 1 所述的方法, 其中, 通过提供限定至少一个沟槽的掩模层并蚀刻由掩模层限定的沟槽而形成所述沟槽。
13. 如权利要求 3 所述的方法, 其中, 通过把掺杂剂注入并扩散到外延层中而形成所述体区。
14. 如权利要求 1 所述的方法, 其中, 所述功率半导体器件选自

由纵向 DMOS、V 槽 DMOS 和沟槽 DMOS MOSFET、IGBT 及双极晶体管构成的组。

15. 一种功率半导体器件，包括：

第一导电类型的衬底；

在所述衬底上设置的电压维持区，所述电压维持区包括：

具有第一导电类型的外延层；

位于所述外延层中的至少一个沟槽，所述沟槽不延伸到所述衬底中；

具有第二导电类型掺杂剂的至少一个掺杂层，所述掺杂层位于邻近所述沟槽侧壁的所述外延层中；

基本上填充所述沟槽的填充材料；和

在所述电压维持区上设置的所述第二导电类型的至少一个区，用以在它们之间限定结面。

16. 如权利要求 15 所述的器件，其中，所述的至少一个掺杂层包括多个掺杂层，每个所述掺杂层相对于另一个位于垂直列中。

17. 如权利要求 15 所述的器件，其中，所述的至少一个区还包括：

栅介质和在所述栅介质上设置的栅导体；

位于外延层中的第一和第二体区，在它们之间限定漂移区，所述体区具有第二导电类型；和

分别位于第一和第二体区中的第一导电类型的第一和第二源区。

18. 如权利要求 15 所述的器件，其中，填充沟槽的所述材料是介质材料。

19. 如权利要求 18 所述的器件，其中，所述介质材料是二氧化硅。

20. 如权利要求 18 所述的器件，其中，所述介质材料是氮化硅。

21. 如权利要求 15 所述的器件，其中，所述掺杂剂是硼。
22. 如权利要求 17 所述的器件，其中，所述体区包括深体区。
23. 如权利要求 15 所述的器件，其中，所述沟槽具有圆形截面。
24. 如权利要求 23 所述的器件，其中，所述至少一个掺杂层是圆环形。
25. 如权利要求 16 所述的器件，其中，多个掺杂层中的至少一个是圆环形。
26. 如权利要求 15 所述的器件，其中，所述沟槽具有选自由正方形、矩形、八边形和六边形构成组的截面形状。
27. 一种功率半导体器件的制造方法，包括步骤：
 - A. 提供第一导电类型的衬底；
 - B. 通过以下步骤在所述衬底上形成电压维持区：
 1. 在衬底上淀积外延层，所述外延层具有第一导电类型；
 2. 在所述外延层中形成至少一个沟槽；
 3. 沿着所述沟槽的壁淀积阻挡材料；
 4. 穿过阻挡材料把第二导电类型的掺杂剂注入到邻近所述沟槽底部并在所述沟槽底部之下的部分外延层中；
 5. 扩散所述掺杂剂以在所述外延层中形成第一掺杂层；
 6. 至少从沟槽的底部去除阻挡材料；
 7. 在所述沟槽中淀积填充材料以基本上填充所述沟槽；和
 - C. 在所述电压维持区上形成至少一个所述第二导电类型区，以在它们之间限定结面。

28. 如权利要求 27 所述的方法，还包括步骤：蚀刻沟槽穿过所述第一掺杂层。

29. 如权利要求 28 所述的方法，还包括步骤：

蚀刻沟槽到更深的深度并重复步骤 (B.3) - (B.6) 以在所述第一掺杂层之下纵向形成第二掺杂层；和

蚀刻沟槽穿过所述第二掺杂层。

30. 如权利要求 27 所述的方法，其中，步骤 (C) 还包括步骤：

在栅介质区上形成栅导体；

在外延层中形成第一和第二体区以在它们之间限定漂移区，所述体区具有第二导电类型；

分别在第一和第二体区中形成第一导电类型的第一和第二源区。

31. 如权利要求 27 所述的方法，其中，所述阻挡材料是氧化物材料。

32. 如权利要求 31 所述的方法，其中，所述氧化物材料是二氧化硅。

33. 如权利要求 28 所述的方法，其中，所述外延层具有给定厚度，并且还包括步骤：

D. 蚀刻沟槽基本上等于所述给定厚度的 $1/(x+1)$ 的附加量，其中 x 等于或大于 2，并与将在电压维持区中形成的掺杂层的规定数量相一致；

E. 重复步骤 (B.3) - (B.6) 以在所述第一掺杂层之下纵向形成另一层掺杂层；

F. 重复步骤 D-E 直到形成规定数量的掺杂层；和

G. 蚀刻沟槽穿过第 x 层的所述掺杂层。

34. 如权利要求 27 所述的方法，其中，填充沟槽的所述材料是介质材料。

35. 如权利要求 34 所述的方法，其中，所述介质材料是二氧化硅。

36. 如权利要求 34 所述的方法，其中，所述介质材料是氮化硅。

37. 如权利要求 27 所述的方法，其中，所述掺杂剂是硼。

具有浮岛电压维持层的功率半导体器件的制造方法

技术领域

本发明一般涉及半导体功率器件，尤其涉及使用相反掺杂材料的浮岛形成电压维持层的半导体功率器件，例如 MOSFET 和其它功率器件。

背景技术

半导体功率器件，例如纵向 DMOS、V 槽 DMOS 和沟槽 DMOS MOSFET、IGBT 以及二极管和双极晶体管应用在例如自动电气系统、供电系统、电动机驱动应用和其它功率控制应用中。虽然在开态（on-state）由于高电流密度而具有低接通电阻或低电压降，在关态（off-state）中这种器件仍需要维持高压。

图 1 说明 N 沟道功率 MOSFET 的一般结构。在 N+掺杂硅衬底 102 上形成的 N-外延硅层 101 包含 p 体区 105a 和 106a 以及用于器件中两个 MOSFET 单元的 N+源区 107 和 108。P 体区 105 和 106 还可以包括深 p 体区 105b 和 106b。源体电极 112 横过外延层 101 的某些表面部分延伸以接触源区和体区。由在图 1 中延伸到上半导体表面的 N 型外延层 101 部分形成用于两个单元的 N 型漏。在 N+掺杂衬底 102 的底部设置漏极。包括绝缘和导电层（例如氧化物和多晶硅层）的绝缘栅极 118 位于体的沟道和漏部分上。

图 1 所示的常规 MOSFET 的接通电阻很大程度上由外延层 101 中的漂移区电阻决定。因为由外延层 101 维持用在 N+掺杂衬底和 P+掺杂深体区之间的反向电压，外延层 101 有时还称为电压维持层。相应地由外延层 101 的掺杂浓度和厚度决定漂移区电阻。但是，为了增加器件的击穿电压，增加层厚度的同时必须降低外延层 101 的掺杂浓

度。图 2 中的曲线示出用于常规功率 MOSFET 作为击穿电压函数的每单位面积的接通电阻。不利地，如曲线所示，器件的接通电阻随着其击穿电压的增加而快速增加。当 MOSFET 工作在较高电压下，特别是在高于几百伏的电压下时，电阻的这种快速增加存在问题。

图 3 示出被设计成带有减小的接通电阻、在较高电压下工作的 MOSFET。在 Cezac 等在 Proceeding of the ISPSD, 2000 年 5 月, 69-72 页, 和 Chen 等在 IEEE Transactions on Electron Devices, 2000 年 6 月 47 卷 6 期 1280-1285 页中公开了这种 MOSFET, 在此通过引用将其全部结合进来。这种 MOSFET 与图 1 所示的常规 MOSFET 相似, 此外它还包括一连串的纵向分隔 P 掺杂层 310_1 、 310_2 、 310_3 , ... 310_n (所谓的“浮岛”), 其位于电压维持层 301 的漂移区中。浮岛 310_1 、 310_2 、 310_3 , ... 310_n 产生的电场比没有浮岛结构的电场低。较低电场允许在部分形成电压维持层 301 的外延层中使用较高的掺杂浓度。浮岛产生锯齿形电场轮廓, 其整体导致维持电压层获得比用于常规器件中的浓度高的掺杂浓度。相应地, 该较高的掺杂浓度产生器件的接通电阻具有比没有一层或多层浮岛的器件的接通电阻低。

用包括多步外延淀积步骤的工序可以制造图 3 所示的结构, 每一步之后引入适当的掺杂剂。不利的是执行外延淀积步骤非常昂贵, 由此制造使用多步外延淀积步骤的结构非常昂贵。

因此, 需要提供一种功率半导体器件 (例如图 3 所示的 MOSFET 结构) 的制造方法, 该方法需要最少量的外延淀积步骤, 以能够较廉价地生产器件。

发明内容

按照本发明, 提供一种形成功率半导体器件的方法。该方法开始于提供第一导电类型的衬底, 并接着在衬底上形成电压维持区。通过在衬底上淀积第一导电类型的外延层和在外延层中形成至少一个沟槽

来形成电压维持区。沿着沟槽壁淀积阻挡材料。穿过阻挡材料把第二导电类型的掺杂剂注入到邻近沟槽底部并在沟槽底部之下的部分外延层中。掺杂剂扩散在外延层中形成第一掺杂层，并至少从沟槽的底部去除阻挡材料。穿过第一掺杂层蚀刻沟槽，并在沟槽中淀积填充材料以基本上填充沟槽，由此完成电压维持区。在电压维持区上形成至少一个第二导电类型区以在它们之间限定结面。

由本发明方法形成的功率半导体器件可以选自由纵向 DMOS、V 槽 DMOS 和沟槽 DMOS MOSFET、IGBT、双极晶体管及二极管构成的组。

按照本发明的另一个方面，提供了一种功率半导体器件。该器件包括第一导电类型的衬底和在衬底上设置的电压维持区。电压维持区包括具有第一导电类型的外延层和位于外延层中的至少一个沟槽。具有第二导电类型掺杂剂的至少一个掺杂层位于外延层中，邻近沟槽的侧壁。还提供了基本上填充沟槽的填充材料。在电压维持区上设置至少一个第二导电类型区以在它们之间限定结面。

附图说明

图 1 示出常规功率 MOSFET 结构的剖面图。

图 2 示出用于常规功率 MOSFET、作为击穿电压函数的每单位面积的接通电阻。

图 3 示出包括带有位于体区之下浮岛的电压维持区的 MOSFET 结构，其被设计成以在相同电压下比与图 1 所描绘结构的每单位面积接通电阻低的接通电阻工作。

图 4 示出包括带有在体区之下和之间浮岛的电压维持区的 MOSFET 结构。

图 5(a)-5(f)示出用于制造按照本发明构造的电压维持区的示例工艺步骤顺序。

具体实施方式

按照本发明，以下一般性介绍了在半导体功率器件的电压维持层中形成 p 型浮岛的方法。首先，在将形成器件电压维持区的外延层中蚀刻至少一个沟槽。每个沟槽居于将被设置的纵向成串岛位置的中心。通过把 p 型掺杂剂材料注入到沟槽的底部形成这些岛的第一水平面。注入的材料扩散到位于直接邻近沟槽底部和在沟槽底部之下的电压维持区部分。随后蚀刻沟槽到更深的深度，以致通过再次注入和扩散 p 型掺杂剂材料形成浮岛的第二水平面。该第二蚀刻步骤形成具有圆环形状（当沟槽是圆形的时）并位于第一水平面中的浮岛。如果沟槽具有非圆形的其它形状，例如正方形、矩形或六边形，那么沟槽的形状决定浮岛的形状。重复上述工艺直到形成所需数量的纵向岛层。最后，用不会不利影响器件特性的材料填充沟槽。用于填充沟槽材料的示例材料包括高电阻多晶硅、例如二氧化硅的介质或其它材料和材料的组合。

图 4 示出按照本发明构造的功率半导体器件。在本发明的该实施例中，假定沟槽是圆形的，因此把浮岛描绘成圆环形。在 N+硅衬底 402 上形成的 N 型外延硅层 401 包含 P 体区 405 和用于器件中的两个 MOSFET 单元的 N+源区 407。如所示，P 体区 405a 还可以包括深 P 体区 405b。源体电极 412 横过外延层 401 的某些表面部分延伸以接触源区和体区。由延伸到上半导体表面的 N 型外延层 401 部分形成用于两个单元的 N 型漏。在 N+衬底 402 的底部设置漏极。包括氧化物和多晶硅层的绝缘栅极 418 位于体的沟道和漏部分上。在由外延硅层 401 限定的器件电压维持区中设置成串的浮岛 410。当从器件的顶部观察时，浮岛被布置成阵列。例如，在图 4 中，在“y”方向上，由参考标号 410_{11} 、 410_{12} 、 410_{13} ， $\dots 410_{1m}$ 代表浮岛，在“z”方向上，由参考标号 410_{11} 、 410_{21} 、 410_{31} ， $\dots 410_{m1}$ 代表浮岛。尽管可以应用或不应用于栅 418 之下的浮岛列 410，但当器件的几何尺寸和外延层 401 的电阻率需要时会应用它们。

按照以下在图 5(a)-5(f)中说明的示例步骤制造图 4 所示的功率半导体器件。

首先，在常规 N+掺杂衬底 502 上生长 N 型掺杂外延层 501。对于具有 5-40ohm-cm 电阻率的 400-800V 的器件，外延层 1 一般是 15-50 微米厚。接着，通过用介质层覆盖外延层 501 的表面而形成介质掩模层，接着常规曝光并构图介质层以保留限定沟槽 520 位置的掩模部分。通过反应离子蚀刻穿过掩模开口干法蚀刻沟槽 520 到达 5-15 微米范围的最初深度。具体来说，如果“x”是所需的等间隔水平浮岛行的数量，那么沟槽 520 应最初蚀刻到位于体区底部和 N+掺杂衬底顶部之间的外延层 502 厚度的大约 $1/(x+1)$ 深度。如果需要，使每个沟槽的侧壁变光滑。首先，使用干法化学蚀刻从沟槽侧壁去除氧化物薄层（一般大约 500-1000Å），以消除由反应离子蚀刻工艺引起的损伤。接着，在沟槽上生长牺牲二氧化硅层。通过缓冲氧化物蚀刻或 HF 蚀刻去除牺牲层以使最终的沟槽侧壁尽可能光滑。

在图 5(b)中，在沟槽 520 中生长二氧化硅层 524。二氧化硅层 524 的厚度应足够防止注入的原子穿透邻近沟槽 520 侧壁和在沟槽 520 侧壁之下的硅，同时使注入的原子穿透在沟槽 520 底部的氧化层 524 以使它们能够淀积到邻近沟槽底部和在沟槽底部之下的硅中。接着，穿过在沟槽 520 底部的氧化物层注入掺杂剂 528，例如硼。掺杂剂的总剂量和注入能量应选择成在每个水平面执行随后的扩散和蚀刻步骤之后在外延层 501 中剩余的掺杂剂量满足最终器件的击穿需要。接着，在图 5(c)中，执行高温扩散步骤，纵向和横向地“推进（drive-in）”注入的掺杂剂 528。从沟槽 520 的底部去除氧化物层 524。可以从沟槽 520 的侧壁去除氧化物层 524，或也可以不去除。

在图 5(d)中，沟槽 520 深度增加大约等于位于体区底部和 N+掺杂衬底之间的外延层 501 厚度的 $1/(x+1)$ 的量。接着，重复在沟槽壁上生长氧化物层、穿过沟槽的底部注入并扩散掺杂剂和从沟槽的底部去

除氧化物层，从而制造浮岛 530 的第二水平层。重复该工艺形成“x”层浮岛水平层所需的那么多次，其中选择“x”提供所需的击穿电压。例如，在图 5(d)中，示出了四个这样的水平层 528、530、532 和 534。如图 5(e)所示，一旦形成最后的水平浮岛阵列，沟槽的深度增加足够蚀刻穿过最后的浮岛水平阵列的量。如果仅应用单个水平浮岛阵列，在本发明的某些实施例中将不是必须蚀刻穿过阵列。

最后，用不会对器件特性产生不利影响的材料填充沟槽 520。示例材料包括但不限于热生长二氧化硅、例如二氧化硅的淀积介质、氮化硅或这些或其它材料的热生长和淀积层组合。最后，如图 5(f)所示，整平该结构的表面。

在图 5(f)中描述的上述工艺步骤顺序产生的结构提供了带浮岛的电压维持层，在浮岛上可以制造任意多个不同的功率半导体器件。如前面所提到的，这些功率半导体器件包括纵向 DMOS、V 槽 DMOS 和沟槽 DMOS MOSFET、IGBT 及其它 MOS 栅器件。例如，图 4 示出包括带有按照本发明的原理构造的浮岛的电压维持层的 MOSFET 实例。应注意到尽管图 5 示出用于形成圆环形浮岛列的单个沟槽，本发明包括具有形成任意多列具有多种不同形状浮岛的单个或多个沟槽的电压维持区。

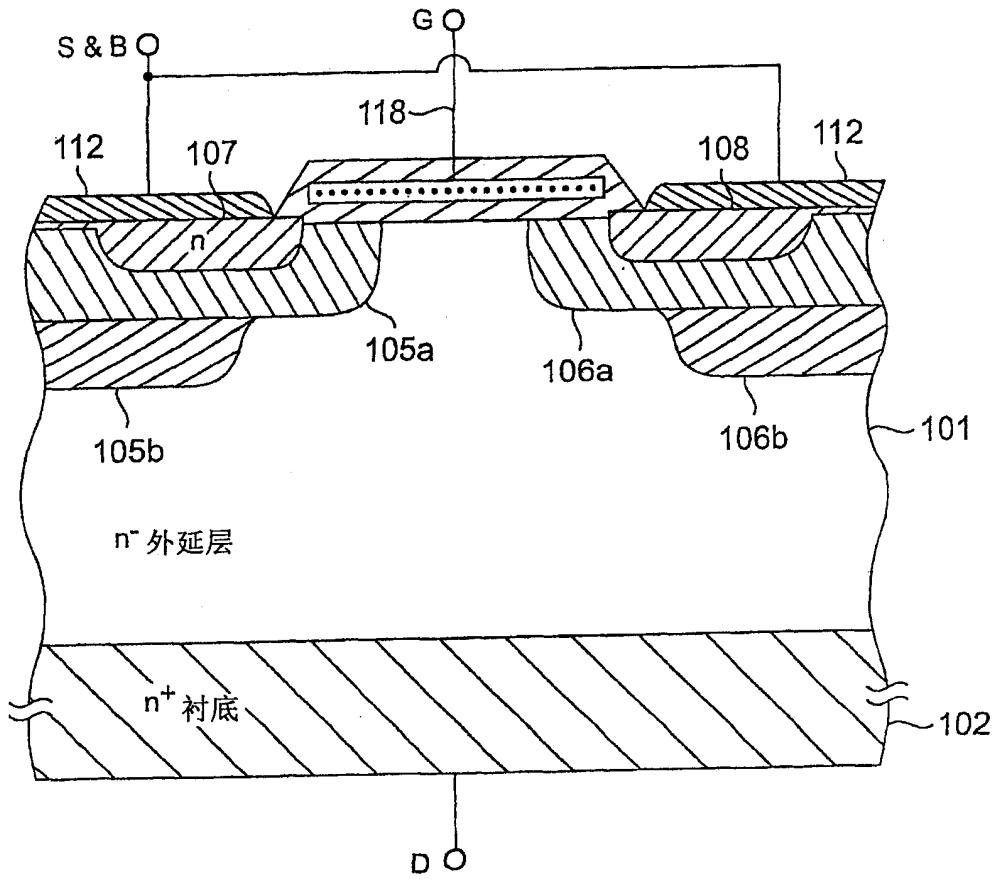
一旦如图 5 所示形成电压维持区和浮岛，按以下方式可以完成图 4 所示的 MOSFET。在形成有源区掩模之后生长栅氧化物。接着，淀积、掺杂和氧化多晶硅层。接着掩模多晶硅形成栅区。使用常规掩模、注入和扩散步骤形成 p+掺杂深体区 405b。例如，在 20 至 200KeV 用从大约 1×10^4 到 $5 \times 10^{15}/\text{cm}^2$ 的剂量硼注入 p+掺杂深体区。以相似的方式形成浅体区 405a。在 20 至 100KeV 的能量，对该区的注入剂量将为 1×10^{13} 到 $5 \times 10^{14}/\text{cm}^2$ 。

接着，使用光刻掩模工艺形成限定源区 407 的构图掩模层。接着

通过注入和扩散工艺形成源区 407。例如，在 20 至 100KeV 用砷注入源区，达到一般大约 2×10^{15} 到 $1.2 \times 10^{16}/\text{cm}^2$ 范围的浓度。在注入之后，砷扩散到大约 0.5 到 2.0 微米的深度。体区的深度一般在大约 1-3 微米的范围，P+掺杂深体区（如果存在）将稍深。最后，以常规方法去除掩模层。通过蚀刻氧化物层在前表面上形成接触开口，从而以常规方法完成了 DMOS 晶体管。还淀积并掩模金属化层来限定源体和栅极。而且，使用焊盘掩模限定焊盘接触。最后，在衬底的底表面上形成漏接触层。

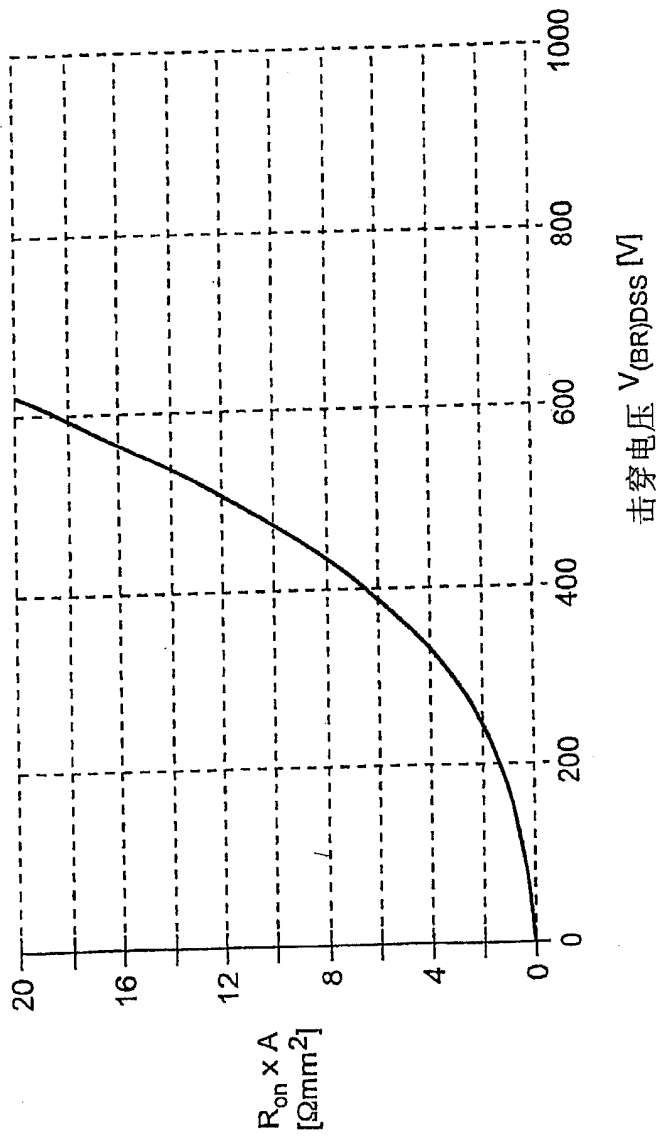
应注意到尽管公开了制造功率 MOSFET 的特定工序，但在本发明的范围内还可以使用其它工序。例如，可以在限定栅区之前形成深 p+掺杂体区。还可以在形成沟槽之前形成深 p+掺杂体区。在一些 DMOS 结构中，P+掺杂深体区可以比 P 掺杂体区浅，或者在某些情况中，甚至可以不存在 P+掺杂体区。

虽然这里特别说明并介绍了各个实施例，应意识到，上面的教导覆盖本发明的改进和变型，并且这些改进和变型在不脱离本发明的精神和确定范围的所附权利要求的范围内。例如，可以提供按照本发明的功率半导体器件，其中各个半导体区的导电性与这里介绍的那些相反。而且，尽管使用纵向 DMOS 晶体管说明了按照本发明制造器件所需的示例步骤，遵循这些教导还可以制造其它 DMOSFET 和例如二极管、双极晶体管、功率 JFET、IGBT、MCT 之类的其它功率半导体器件以及其它 MOS 栅功率器件。



常规MOSFET

图1



具有图1掺杂剂分布的纵向
DMOS晶体管的特定接通电阻

图2

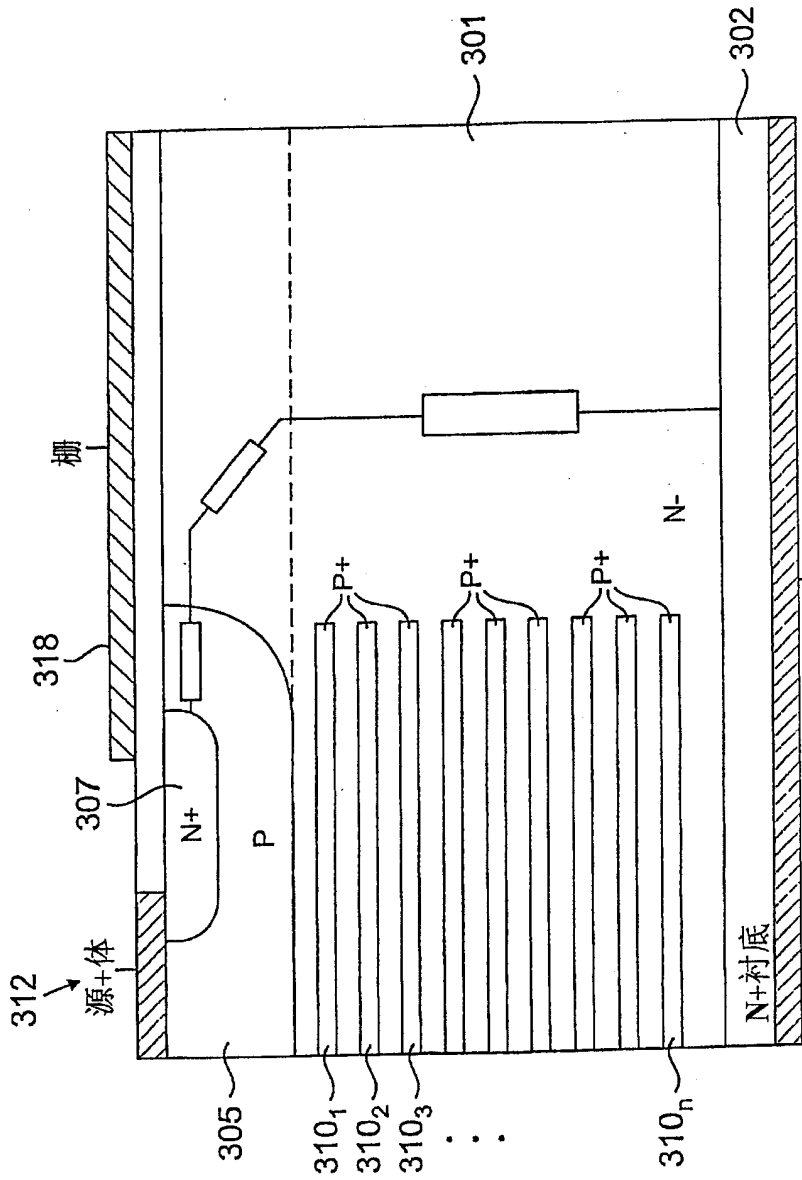


图3

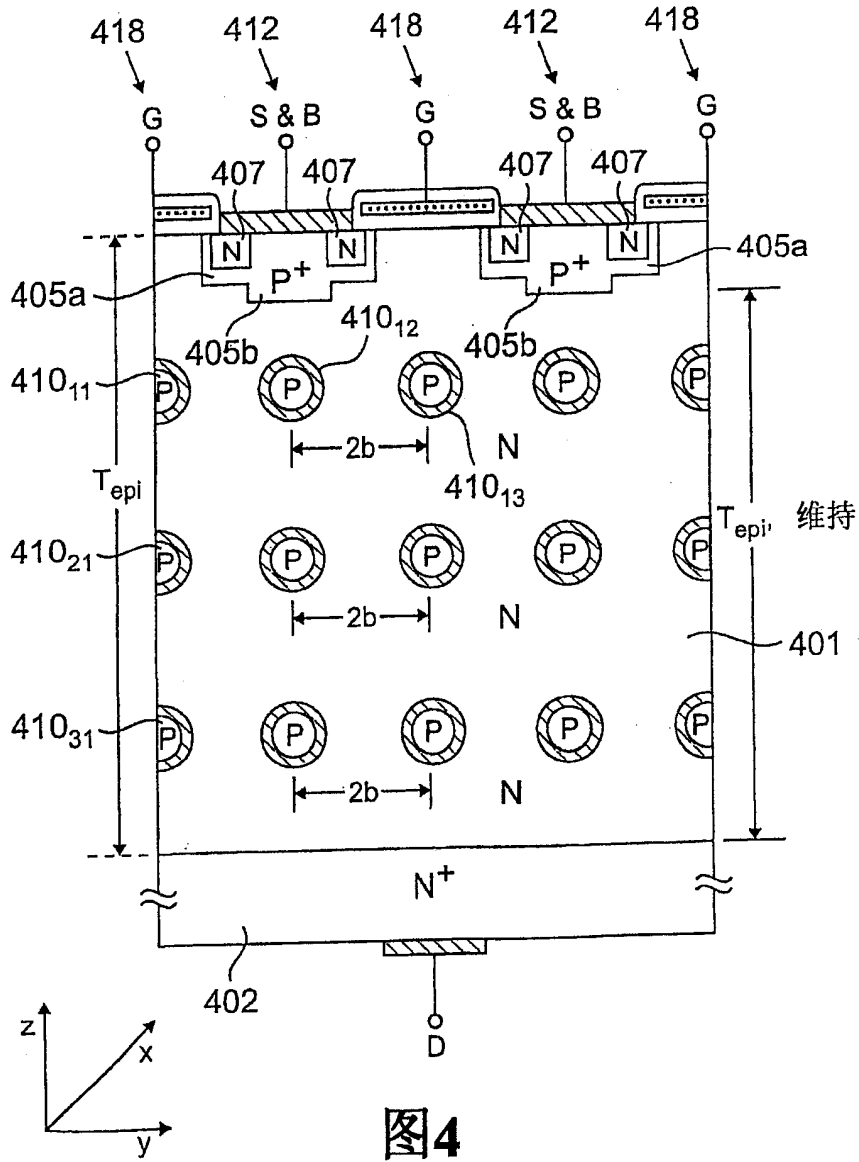


图4

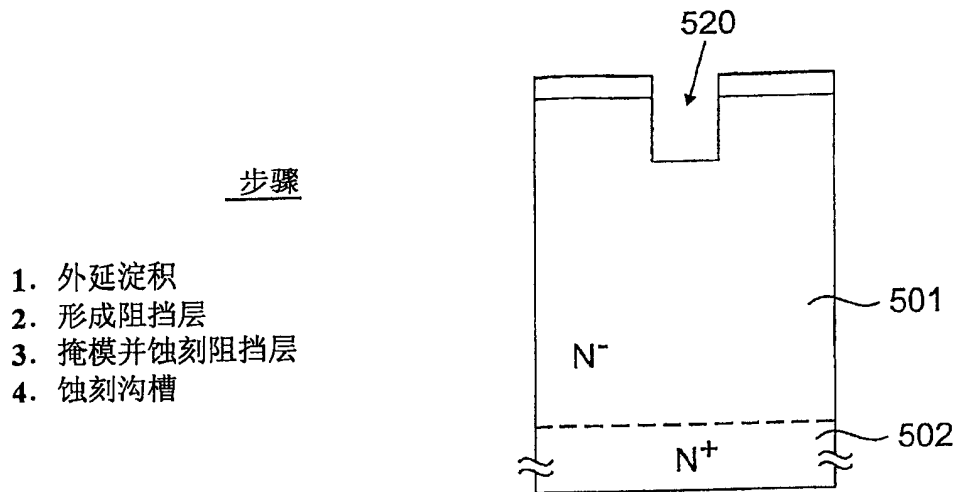


图5(a)

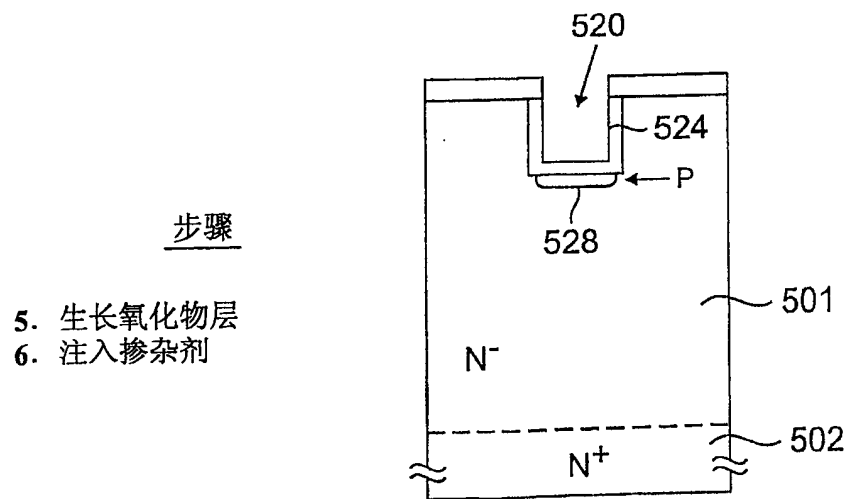


图5(b)

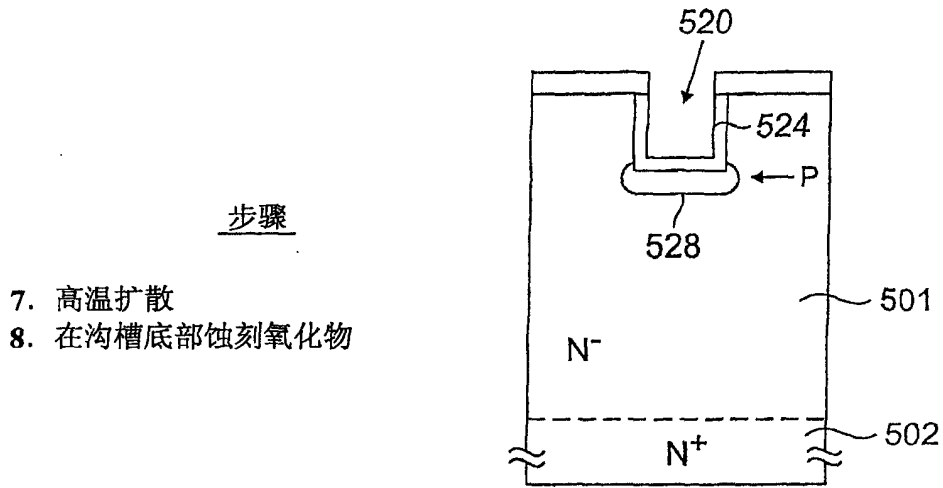


图5(c)

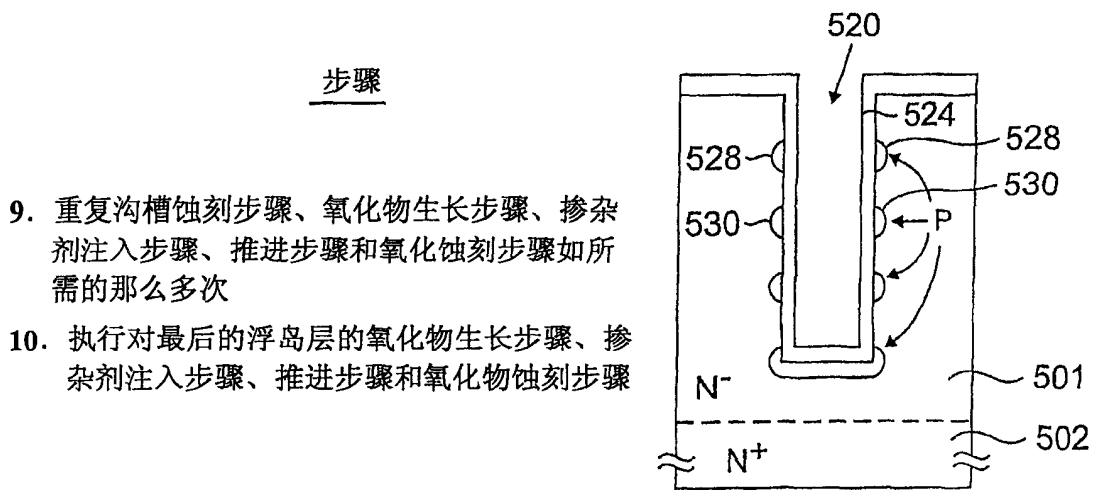


图5(d)

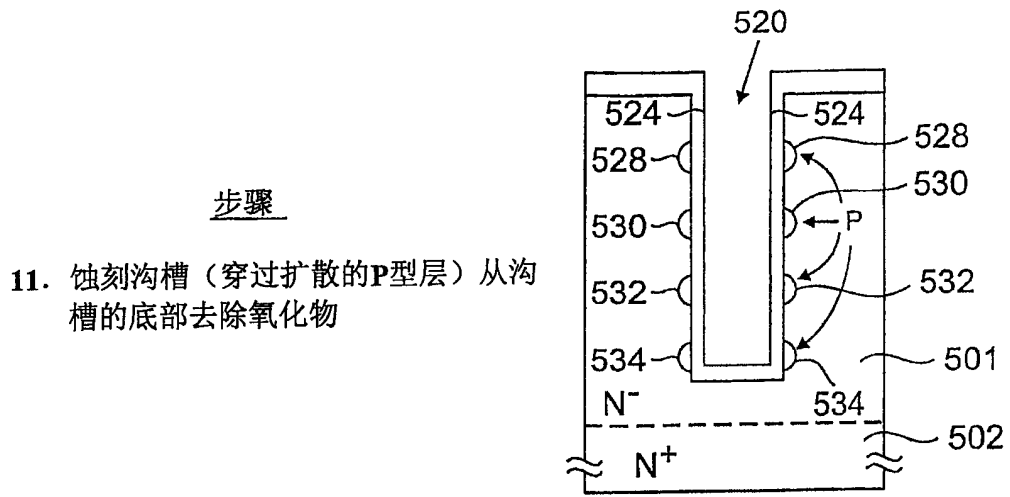


图5(e)

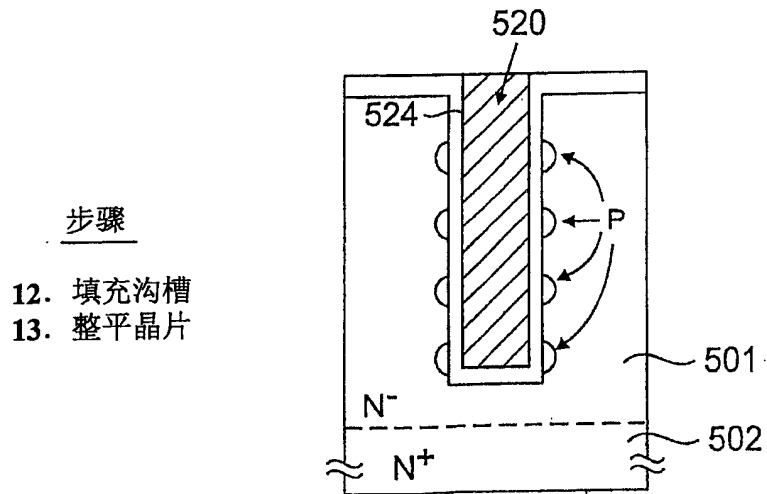


图5(f)