

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年12月16日(16.12.2010)

PCT

(10) 国際公開番号
WO 2010/143274 A1

- (51) 国際特許分類:
H02M 3/155 (2006.01)
- (21) 国際出願番号: PCT/JP2009/060578
- (22) 国際出願日: 2009年6月10日(10.06.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): トヨタ自動車株式会社(TOYOTA JIDOSHA KABUSHIKI KAISHA) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町1番地 Aichi (JP). 株式会社豊田自動織機(KABUSHIKI KAISHA TOYOTA JIDOSHOKKI) [JP/JP]; 〒4488671 愛知県刈谷市豊田町2丁目1番地 Aichi (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 小池 靖弘(KOIKE, Yasuhiro) [JP/JP]; 〒4488671 愛知県刈谷市豊田町2丁目1番地 株式会社豊田自動織機内 Aichi (JP).
- (74) 代理人: 深見 久郎, 外(FUKAMI, Hisao et al.); 〒5300005 大阪府大阪市北区中之島二丁目2番7号 中之島セントラルタワー 特許業務法人深見特許事務所 Osaka (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

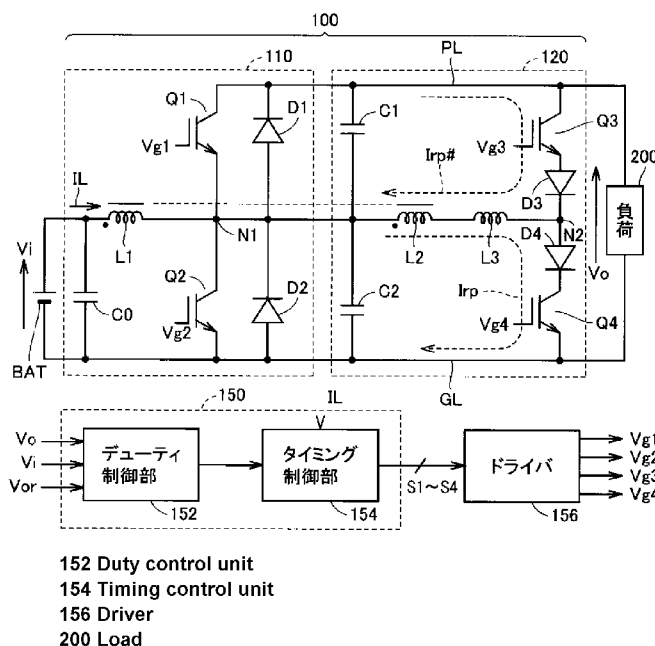
添付公開書類:

- 国際調査報告(条約第21条(3))
- 補正された請求の範囲及び説明書(条約第19条(1))

(54) Title: DC VOLTAGE CONVERTER

(54) 発明の名称: 直流電圧コンバータ

[図1]



(57) Abstract: Auxiliary switching elements (Q3, Q4) that generate auxiliary currents (Irp, Irp#) that do not directly contribute to DC voltage conversion are provided to reduce the switching loss by primary switching elements (Q1, Q2) used for DC voltage conversion. An auxiliary switch turnoff instruction is normally generated after auxiliary current disappears. A driver (156) determines whether a turnoff instruction produced by control signals (S3, S4) is a normal turnoff instruction or an abnormal turnoff instruction and, if the turnoff instruction is an abnormal turnoff instruction, lowers the gate driving speed of the auxiliary switching elements compared with the case of a normal turnoff instruction.

(57) 要約: 直流電圧変換のための主たるスイッチング素子(Q1, Q2)のスイッチング損失を低減するために、直流電圧変換には直接寄与しない補助電流(Irp, Irp#)を発生する補助スイッチング素子(Q3, Q4)が設けられる。補助スイッチングのターンオフ指示は、通常、補助電流の消滅後に発生される。ドライバ(156)は、制御信号(S3, S4)による

るターンオフ指示が、正常なターンオフ指示および非正常なターンオフ指示のいずれであるかを判断するとともに、非正常なターンオフ指示のときには、正常なターンオフ指示のときと比較して、補助スイッチング素子のゲート駆動速度を低下させる。

WO 2010/143274 A1

明 細 書

発明の名称： 直流電圧コンバータ

技術分野

[0001] この発明は、直流電圧コンバータに関し、より特定的には、直流電圧変換のための主たるスイッチング素子のスイッチング損失を低減するために、直流電圧変換には直接寄与しない補助電流を発生する補助的なスイッチング素子を備えた直流電圧コンバータのスイッチング制御に関する。

背景技術

[0002] 電力用半導体スイッチング素子（以下、単に「スイッチング素子」とも称する）のオンオフを繰返すことにより、インダクタへの電磁エネルギーの蓄積動作と、インダクタに蓄積された電磁エネルギーの放出動作を組合せることによって、低圧電源の出力電圧を昇圧する、いわゆる昇圧チョップタイプの直流電圧コンバータ（DC-DCコンバータ）の構成が知られている。

[0003] このようなタイプのDC-DCコンバータでは、回路素子としてインダクタが必要となるが、インダクタを小型化するためのスイッチング周波数の高周波化と、高周波化によるスイッチング損失の増大とがトレードオフの関係にある。このため、電力用半導体スイッチング素子を高周波でオンオフさせてもスイッチング損失を抑制できるように、ゼロ電流スイッチングまたはゼロ電圧スイッチングといったいわゆるソフトスイッチングの適用が進められている。

[0004] たとえば、特開2005-261059号公報（特許文献1）には、昇圧機能を備えた電流双方向コンバータの構成に、ソフトスイッチングを実現するための補助回路を設ける回路構成およびその制御方法が記載されている。この補助回路は、ソフトスイッチングを実現するための、直流電圧変換には直接寄与しない補助電流を発生させる回路素子群を有するように構成されている。

[0005] また、スイッチング損失低減のための一般的な技術として、特開平10-

０２３７４３号公報（特許文献２）、特開２００５－１９８４０６号公報（特許文献３）、および、特開平１０－０７５１６４号公報（特許文献４）には、ゲート抵抗の切換によって制御電極（ゲート）の駆動速度、すなわちスイッチング速度を制御する構成が記載されている。

先行技術文献

特許文献

[0006] 特許文献１：特開２００５－２６１０５９号公報

特許文献２：特開平１０－０２３７４３号公報

特許文献３：特開２００５－１９８４０６号公報

特許文献４：特開平１０－０７５１６４号公報

発明の概要

発明が解決しようとする課題

[0007] 特許文献１に記載された電流双方向コンバータでは、直接的に直流電圧変換を行うメインのトランジスタ（Ｑ１，Ｑ２）のスイッチング時の端子間電圧（コレクタ・エミッタ間電圧）を低減するために、補助回路内の補助トランジスタ（Ｑ３，Ｑ４）をオンすることによって補助電流経路を形成する。

[0008] しかしながら、特許文献１の構成では、補助電流は補助回路内のインダクタ（ L_r ）を通過する。したがって、補助電流が流れている状態で補助トランジスタをオフすると、インダクタに蓄えられたエネルギーによって、ターンオフした補助トランジスタのコレクタ・エミッタ間に過電圧が発生する可能性がある。すなわち、インダクタの蓄積エネルギーによって、補助トランジスタの耐圧を超えたサージ状の過電圧がコレクタ・エミッタ間に発生し、当該トランジスタが破損する虞がある。

[0009] 通常は、補助トランジスタ（Ｑ３，Ｑ４）のオフタイミングを適切に制御することによって、上記のような過電圧の発生は回避できる。しかしながら、短絡電流が発生する等により各スイッチング素子（トランジスタ）を強制的にターンオフさせる必要がある緊急停止時には、補助電流が残っているに

もかわらず補助トランジスタのターンオフ指示が発せられる可能性がある。ノイズ等の誤信号によってターンオフが指示されたときにも同様の可能性がある。

- [0010] この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、直流電圧変換のための主たるスイッチング素子のスイッチング損失を低減するために、直流電圧変換には直接寄与しない補助電流を発生する補助的なスイッチング素子を備えた直流電圧コンバータにおいて、当該補助電流を発生させるためのスイッチング素子の保護を図ることである。

課題を解決するための手段

- [0011] この発明による直流電圧コンバータは、低圧電源および電源配線の間で直流電圧変換を行うための直流電圧コンバータであって、メインインダクタと、第1および第2のメインスイッチング素子と、第1および第2のメイン整流素子と、第1および第2のメインスイッチング素子の少なくとも一方のメインスイッチング素子に対応して設けられた補助共振回路と、制御回路と、駆動回路とを備える。メインインダクタは、低圧電源および第1のノードの間に接続される。第1のメインスイッチング素子は、電源配線および第1のノードの間に接続される。第1のメイン整流素子は、第1のメインスイッチング素子と逆並列に接続される。第2のメインスイッチング素子は、基準電圧配線および第1のノードの間に接続される。第2のメイン整流素子は、第2のメインスイッチング素子と逆並列に接続される。補助共振回路は、少なくとも一方のメインスイッチング素子と並列に接続されたキャパシタと、キャパシタに対して並列に接続される、直列接続された補助スイッチング素子および補助インダクタと、補助スイッチング素子のオン時の電流と逆方向の電流を阻止するように、補助スイッチング素子と直列に接続された補助整流素子とを含む。各メインスイッチング素子および補助スイッチング素子は、それぞれの制御電極の電圧または電流に応答してオンまたはオフされる。制御回路は、各メインスイッチング素子および補助スイッチング素子のオンオ

フを指示する制御信号を発生するように構成される。駆動回路は、制御信号に応答して、各メインスイッチング素子および補助スイッチング素子の制御電極の電圧または電流を駆動するように構成される。駆動回路は、駆動選択回路と、第1の駆動ユニットとを含む。駆動選択回路は、制御信号による補助スイッチング素子のターンオフ指示が、正常なターンオフ指示および非正常なターンオフ指示のいずれであるかを判断するように構成される。第1の駆動ユニットは、正常なターンオフ指示のときには、制御信号に応答して補助スイッチング素子の制御電極を第1の速度で駆動する一方で、非正常なターンオフ指示のときには、制御信号に応答して補助スイッチング素子の制御電極を、第1の速度よりも低い第2の速度で駆動するように構成される。

[0012] 上記直流電圧コンバータによれば、直流電圧変換のためのメインスイッチング素子の損失低減のための補助電流（部分共振電流）を流すための補助スイッチング素子のターンオフ指令があった場合に、補助スイッチング素子の通電中に発せられた可能性がある非正常なターンオフ指示のときには、正常なターンオフ指示のときと比較して、制御電極の駆動速度が低下される。したがって、補助スイッチング素子が、通電中に非正常なターンオフ指令によって補助スイッチング素子がターンオフされる際にも、ターンオフ速度を低下させることによって、ターンオフに伴う端子間電圧の立上りを緩やかにすることができる。この結果、端子間電圧が耐圧を超えることにより補助スイッチング素子が破損することを確実に防止できる。

[0013] 好ましくは、駆動選択回路へは、補助スイッチング素子の緊急停止時にオンされる識別信号が入力される。そして、駆動選択回路は、識別信号がオンされたときのターンオフ指示については非正常なターンオフ指示と判断する一方で、識別信号がオフされたときのターンオフ指示については正常なターンオフ指示と判断する。

[0014] このようにすると、補助スイッチング素子の通電中であるか否かを問わずに生成される緊急停止のためのターンオフ指令を、非正常なターンオフ指示と判断することができる。これにより、ターンオフ時の過電圧発生による補

助スイッチング素子の破損を防止できる。

- [0015] また好ましくは、直流電圧コンバータは、補助スイッチング素子の通過電流を検出するための電流検出器をさらに備える。そして、駆動選択回路は、電流検出器による電流検出時におけるターンオフ指示については正常なターンオフ指示と判断する一方で、電流検出器による電流非検出時におけるターンオフ指示については非正常なターンオフ指示と判断する。
- [0016] このようにすると、電流検出器の出力に基づいて、制御電極の駆動速度を低下させるべき非正常なターンオフ指示を、正常なターンオフ指示と確実に区別できる。これにより、ターンオフ時の過電圧発生による補助スイッチング素子の破損を防止できる。
- [0017] さらに好ましくは、駆動回路は、第2の駆動ユニットをさらに含む。第2の駆動ユニットは、補助スイッチング素子のターンオンが指示されたときに、制御信号に応答して当該補助スイッチング素子の制御電極を、第1および第2の速度のいずれよりも高い第3の速度で駆動するように構成される。
- [0018] このようにすると、過電圧発生の心配がないターンオン時には、制御電極の駆動速度を高めることによって、スイッチング損失の低減を図ることができる。
- [0019] あるいは好ましくは、駆動回路は、過電圧防止回路をさらに含む。過電圧防止回路は、オフ状態である補助スイッチング素子の第1および第2の端子の間の端子間電圧が所定電圧よりも高くなると、当該補助スイッチング素子を強制的にターンオンさせるように制御電極を駆動するように構成される。
- [0020] このようにすると、オフ状態の補助スイッチング素子の端子間電圧が所定電圧よりも上昇すると、強制的に当該補助スイッチング素子をターンオンするように制御電極を駆動することができる。この結果、補助スイッチング素子の端子間電圧が耐圧を超えて破損することを確実に防止できる。
- [0021] この発明の他の構成による直流電圧コンバータは、低圧電源および電源配線の間で直流電圧変換を行うための直流電圧コンバータであって、メインインダクタと、第1および第2のメインスイッチング素子と、第1および第2

のメイン整流素子と、第1および第2のメインスイッチング素子の少なくとも一方のメインスイッチング素子に対応して設けられた補助共振回路と、制御回路と、駆動回路とを備える。メインインダクタは、低圧電源および第1のノードの間に接続される。第1のメインスイッチング素子は、電源配線および第1のノードの間に接続される。第1のメイン整流素子は、第1のメインスイッチング素子と逆並列に接続される。第2のメインスイッチング素子は、基準電圧配線および第1のノードの間に接続される。第2のメイン整流素子は、第2のメインスイッチング素子と逆並列に接続される。補助共振回路は、少なくとも一方のメインスイッチング素子と並列に接続されたキャパシタと、キャパシタに対して並列に接続される、直列接続された補助スイッチング素子および補助インダクタと、補助スイッチング素子のオン時の電流と逆方向の電流を阻止するように、補助スイッチング素子と直列に接続された補助整流素子とを含む。各メインスイッチング素子および補助スイッチング素子は、それぞれの制御電極の電圧または電流に応答してオンまたはオフされる。制御回路は、各メインスイッチング素子および補助スイッチング素子のオンオフを指示するように構成される。駆動回路は、制御信号に応答して、各メインスイッチング素子および補助スイッチング素子の制御電極の電圧または電流を駆動するように構成される。さらに、駆動回路は、過電圧防止回路を含む。過電圧防止回路は、オフ状態である補助スイッチング素子の第1および第2の端子の間の端子間電圧が所定電圧よりも高くなると、当該補助スイッチング素子を強制的にターンオンさせるように制御電極を駆動するように構成される。

[0022] 上記直流電圧コンバータによれば、直流電圧変換のためのメインスイッチング素子の損失低減のための補助電流（部分共振電流）を流すための補助スイッチング素子について、オフ状態における端子間電圧が所定電圧よりも上昇すると、強制的に当該補助スイッチング素子をターンオンするように制御電極を駆動することができる。この結果、補助スイッチング素子の端子間電圧が耐圧を超えて破損することを確実に防止できる。

- [0023] 好ましくは、過電圧防止回路は、端子間電圧を所定電圧と比較するための電圧比較器と、電圧比較器の出力に応答して、当該補助スイッチング素子がターンオンするように制御電極を駆動するためのゲート回路とを含む。さらに好ましくは、ゲート回路は、さらに、補助スイッチング素子のターンオフが指示されたときには、制御信号に応答して当該補助スイッチング素子がターンオンするように制御電極を駆動するように構成される。
- [0024] また好ましくは、過電圧防止回路は、ツェナーダイオードを有する。ツェナーダイオードは、補助スイッチング素子の第1の端子および第2の端子のうちの、補助スイッチング素子のオフ時に高電圧となる一方の端子と、補助スイッチング素子の制御電極との間に電氣的に接続される。ツェナーダイオードの降伏電圧は所定電圧と同等であり、かつ、ツェナーダイオードは、制御電極から一方の端子へ向かう方向を順方向として接続される。
- [0025] このようにすると、簡易な構成で過電圧防止回路を構成することができる。

発明の効果

- [0026] この発明によれば、直流電圧変換のための主たるスイッチング素子のスイッチング損失を低減するために、直流電圧変換には直接寄与しない補助電流を発生する補助的なスイッチング素子を備えた直流電圧コンバータにおいて、当該補助電流を発生させるためのスイッチング素子の保護を図ることができる。

図面の簡単な説明

- [0027] [図1]本発明の実施の形態によるDC-DCコンバータの回路構成を示す回路図である。
- [図2]図1に示したDC-DCコンバータの補助共振回路を動作させたときの動作を説明する波形図である。
- [図3]図1中の補助スイッチング素子のターンオフタイミングの制約を説明する波形図である。
- [図4]本発明の実施の形態によるDC-DCコンバータにおける非正常なター

ンオフ時の補助スイッチング素子のターンオフ挙動を説明する波形図である。

[図5]補助スイッチング素子のゲート駆動構成の比較例を説明する回路図である。

[図6]本発明の実施の形態によるDC-DCコンバータにおける補助スイッチング素子のゲート駆動構成の比較例を説明する回路図である。

[図7]オフ状態の補助スイッチング素子を過電圧から保護するための過電圧保護回路の第1の構成例を示す回路図である。

[図8]過電圧保護回路の第2の構成例を示す回路図である。

発明を実施するための形態

[0028] 以下に、本発明の実施の形態について図面を参照して詳細に説明する。なお以下図中の同一または相当部分には同一符号を付してその説明は原則として繰返さないものとする。

[0029] 図1は、本発明の実施の形態によるDC-DCコンバータ100の回路構成を示す回路図である。

[0030] 図1を参照して、実施の形態によるDC-DCコンバータ100は、メインコンバータ回路110と、補助共振回路120とを含む。

[0031] メインコンバータ回路110は、「低圧電源」であるバッテリーBATの出力電圧に相当する電圧 V_i を昇圧した電圧 V_o を、負荷200と接続された電源配線PLおよび基準電圧配線GL間に出力するとともに、電源配線PLおよび基準電圧配線GLの間の電圧 V_o を電圧 V_i へ降圧して低圧電源を充電することも可能である、いわゆる非絶縁型の電流双方向（昇降圧）コンバータの構成を有する。

[0032] 負荷200としては、たとえばインバータ回路を介して駆動される交流電動機が適用される。そして、エンジン出力および／または電動機出力によって走行するハイブリッド自動車や電動機出力のみによって走行する電気自動車等への適用が、本発明の実施の形態によるDC-DCコンバータの代表的な適用例として挙げられる。この場合には、たとえば、低圧電源（バッテリ

BAT) の出力電圧 (電圧 V_i) が 200V 程度とされる一方で、負荷 200 へ供給すべき電圧 V_o が 500V 程度とされる。

[0033] メインコンバータ回路 110 は、キャパシタ C0 と、「メインインダクタ」としてのインダクタ L1 と、「メインスイッチング素子」としてのスイッチング素子 Q1, Q2 と、「メイン整流素子」としてのダイオード D1, D2 とを含む。

[0034] キャパシタ C0 は、バッテリー BAT の正極端子および負極端子の間に接続されて、電圧 V_i を平滑化する。インダクタ L1 はバッテリー BAT の正極端子とノード N1 (第 1 のノード) との間に接続される。

[0035] スwitching 素子 Q1, Q2 としては、本実施の形態では IGBT (Insulated Gate Bipolar Transistor) を例示するが、制御電極 (ゲートあるいはベース) の駆動制御により、ターンオンおよびターンオフを制御可能なスイッチング素子であれば、電圧駆動型のスイッチング素子 (MOS-FET 等) や電流駆動型のスイッチング素子 (バイポーラトランジスタ等)、各種のスイッチング素子を適用可能である。

[0036] メインスイッチング素子 Q1 は、電源配線 PL およびノード N1 の間に接続される。そして、IGBT であるメインスイッチング素子 Q1 のコレクタが電源配線 PL と接続される一方で、エミッタがノード N1 と接続される。また、メインスイッチング素子 Q2 は、基準電圧配線 GL およびノード N1 の間に接続される。そして、メインスイッチング素子 Q2 のコレクタがノード N1 と接続される一方で、エミッタが基準電圧配線 GL と接続される。さらに、メインスイッチング素子 Q1, Q2 のオンオフは、ドライバ 156 による制御電極 (ゲート) の電圧駆動によって制御される。ダイオード D1, D2 は、スイッチング素子 Q1, Q2 に対して逆並列接続される。

[0037] 補助共振回路 120 は、メインスイッチング素子 Q1, Q2 にそれぞれ並列接続されるキャパシタ C1, C2 と、ノード N1 および N2 の間に直列接続されるインダクタ L2, L3 と、電源配線 PL およびノード N2 の間に直列接続されるスイッチング素子 Q3 およびダイオード D3 と、ノード N2 お

よび基準電圧配線 G L の間に直列接続されるダイオード D 4 およびスイッチング素子 Q 4 とを含む。

[0038] スwitchング素子 Q 3, Q 4 は、「補助スイッチング素子」として設けられ、そのオンオフは、ドライバ 1 5 6 による制御電極（ゲート）の電圧駆動によって制御される。「補助整流素子」としてのダイオード D 3 および D 4 は、補助スイッチング素子 Q 3 および Q 4 のオン時にそれぞれ生じる補助電流 I_{rp} および I_{rp} と逆方向の電流を阻止する極性で接続される。

[0039] インダクタ L 2 は、インダクタ L 1 のノード N 1 側の端子と、インダクタ L 2 のノード N 1 側の端子とに逆極性で起電力が誘起されるように、インダクタ L 1 と電磁的に結合されている。なお、電磁的結合とは、たとえばインダクタ L 1 およびインダクタ L 2 でトランスを構成することによって実現される。

[0040] 図 1 から理解されるように、DC-DC コンバータ 1 0 0 を構成するメインコンバータ回路 1 1 0 および補助共振回路 1 2 0 の構成および動作は、上述の特許文献 1 と同様である。

[0041] したがって、メインコンバータ回路 1 1 0 では、基本的には、メインスイッチング素子 Q 1, Q 2 は、排他的に交互にオンオフするように、制御回路 1 5 0 によって制御される。なお、動作原理上は、昇圧コンバータとしての動作時には、メインスイッチング素子 Q 1 をオフ固定した上でメインスイッチング素子 Q 2 のオンオフ制御（デューティ制御）を実行してもよく、降圧コンバータとしての動作時には、メインスイッチング素子 Q 2 をオフ固定した上でメインスイッチング素子 Q 1 のオンオフ制御（デューティ制御）を実行してもよい。

[0042] そして、メインコンバータ回路 1 1 0 は、バッテリー B A T からの電圧 V_i を電源配線 P L への電圧 V_o に昇圧する昇圧動作時には、メインスイッチング素子 Q 2 の導通によりメインインダクタ L 1 に蓄積された電磁エネルギーを、メインスイッチング素子 Q 1 および逆並列ダイオード D 1 を介して電源配線 P L に供給するように動作する。また、メインコンバータ回路 1 1 0 は、

電源配線 P L の電圧 V_o をバッテリー B A T への電圧 V_i に降圧する降圧動作時には、メインスイッチング素子 Q 1 の導通によりメインインダクタ L 1 に蓄積された電磁エネルギーを、メインスイッチング素子 Q 2 および逆並列ダイオード D 2 を介して低圧電源 B A T に供給するように動作する。

[0043] 制御回路 150 は、デューティ制御部 152 と、タイミング制御部 154 とを含む。制御回路 150 は、D C - D C コンバータ 100 の制御要素を包括的に示すものであり、各制御機能部分に対応する、デューティ制御部 152 およびタイミング制御部 154 については、所定プログラムの実行によるソフトウェア処理、および、専用の電子回路構築によるハードウェア処理のいずれによって実現することも可能である。また、ドライバ 156 は、通常電子回路（ハードウェア）により構築される。

[0044] デューティ制御部 152 は、電圧 V_o または電圧 V_i の電圧指令値 V_{or} と、電圧 V_i および電圧 V_o の検出値とに基づいて、メインスイッチング素子 Q 1、Q 2 のデューティ比を制御する。デューティ比は、一般的には、所定のスイッチング周期に対するメインスイッチング素子 Q 1 および／またはメインスイッチング素子 Q 2 のオン期間の比で示される。たとえば、昇圧動作時には、メインスイッチング素子 Q 2 の指令デューティが設定され、降圧動作時には、メインスイッチング素子 Q 1 の指令デューティが設定される。

[0045] タイミング制御部 154 は、デューティ制御部 152 からの指令デューティに従って、スイッチング素子 Q 1 ~ Q 4 のオンオフをそれぞれ制御するためのパルス状の制御信号 S 1 ~ S 4 を生成する。たとえば、制御信号 S 1 ~ S 4 は、スイッチング素子 Q 1 ~ Q 4 のそれぞれのオン期間において論理ハイレベル（以下、H レベルとも称する）に設定される一方で、それぞれのオフ期間では論理ローレベル（以下、L レベルとも称する）に設定される。

[0046] ドライバ 156 は、タイミング制御部 154 からの制御信号 S 1 ~ S 4 に従って、スイッチング素子 Q 1 ~ Q 4 のゲート電圧 V_{g1} ~ V_{g4} を駆動する。ドライバ 156 の構成については、後ほど詳細に説明する。

[0047] 次に、図 2 を用いて、補助共振回路を動作させたときの D C - D C コンバ

ータ 100 のについて詳細に説明する。図 2 では、DC-DC コンバータ 100 の昇圧動作を説明する。

- [0048] 図 2 を参照して、メインスイッチング素子 Q 1, Q 2 は、相補的にオンオフされる。たとえば、タイミング制御部 154 (図 1) において、デューティ制御部 152 からの指令デューティに応じた直流電圧と、メインスイッチング素子 Q 1, Q 2 のスイッチング周波数に相当する所定周波数の搬送波 (三角波やのこぎり波) との電圧比較に基づいて、メインスイッチング素子 Q 1, Q 2 のオンオフを規定するパルス信号を生成することができる。
- [0049] ここで、メインスイッチング素子 Q 1, Q 2 のターンオフ時には、メインスイッチング素子 Q 1, Q 2 に並列接続されたキャパシタ C 1, C 2 によって、コレクタ・エミッタ間電圧の上昇が抑制されるのでゼロ電圧スイッチングを適用できる。また、昇圧動作時には、メインスイッチング素子 Q 2 のオフ期間に応答した転流によって通常ダイオード D 1 が導通するため、コレクタ・エミッタに僅かな電圧が印加された状態でスイッチング素子 Q 1 を、ゼロ電圧スイッチングによってターンオンすることができる。
- [0050] したがって、昇圧動作時には、メインスイッチング素子 Q 2 のターンオン損失について対策の必要があり、補助共振回路 120 によって、メインスイッチング素子 Q 2 のターンオンにゼロ電圧スイッチングを適用する。
- [0051] 図 2 に示されるように、昇圧動作時には、メインスイッチング素子 Q 1 のターンオフ後に、補助スイッチング素子 Q 4 をターンオンさせて、補助共振回路 120 に補助電流 I_{rp} (図 1) を発生させる。この結果、ダイオード D 2 が導通することによって、コレクタ・エミッタ間に僅かな電圧が印加された状態でメインスイッチング素子 Q 2 をターンオンさせることができるので、ソフトスイッチング (ゼロ電圧スイッチング) の適用による電力損失の抑制を図ることができる。
- [0052] 上述のように、昇圧動作時には、メインスイッチング素子 Q 1 はターンオン、ターンオフともにスイッチング損失が低いので、補助共振回路 120 中の補助スイッチング素子 Q 3 は、オフ状態に固定してもよい。あるいは、補

助スイッチング素子Q3のオンオフを伴って、メインスイッチング素子Q1をオンオフさせてもよい。

[0053] なお、図示しないが、DC-DCコンバータ100の降圧動作時には、メインスイッチング素子であるスイッチング素子Q1、Q2が相補的にオンオフされる一方で、補助共振回路120では、補助スイッチング素子Q3が、メインスイッチング素子Q1のターンオフに先立って、補助電流 I_{rp} #（図1）を生じさせるように一定期間オンされる。補助スイッチング素子Q4については、オフ状態に固定されてもよく、メインスイッチング素子Q2のターンオンに先立ってオンするように制御してもよい。

[0054] なお、図1に示した補助共振回路120は、昇圧動作時にスイッチング素子Q2のソフトスイッチングのための補助電流 I_{rp} を発生させるためのスイッチング素子Q4と、降圧動作時にスイッチング素子Q1のソフトスイッチングのための補助電流 I_{rp} #を発生させるためのスイッチング素子Q3との両方を有する構成としているが、スイッチング素子Q1、Q2の一方のみに対して補助電流を発生させるように、補助共振回路120を構成することも可能である。

[0055] 一例として、スイッチング素子Q2のみのソフトスイッチングに対応する構成とする場合には、スイッチング素子Q3およびダイオードD3の配置を省略してノードN2および電源配線PLの間を切り離す構成とすることができる。

[0056] ここで、図3を用いて、補助スイッチング素子Q3、Q4のターンオフタイミングの制約について説明する。図3では、一例として補助スイッチング素子Q4について説明する。

[0057] 図3を参照して、時刻 t_0 に補助スイッチング素子Q4がターンオンすることによって、コレクタ・エミッタ間電圧 V_{4ce} 、すなわちスイッチング素子Q4の端子間電圧が低下するとともに、補助電流（部分共振電流） I_{rp} が発生する。

[0058] この補助電流 I_{rp} は、インダクタ L_2 、 L_3 およびキャパシタ C_2 の間

の共振現象により、ピーク値を迎えた後0に向かって減少する。そして、ダイオードD4により逆方向の電流がブロックされていることから、時刻 t_2 において $I_{rp}=0$ となった後は、負方向に流れることなく消滅する。

[0059] 補助スイッチング素子Q4は、本来は、補助電流 I_{rp} が消滅した後のタイミングにターンオフされる。したがって、制御信号S4は、時刻 t_1 でLレベルからHレベルに遷移するとともに、本来は、時刻 t_2 よりも後の時刻 t_3 でHレベルからLレベルに遷移するように設定される。

[0060] ここで、DC-DCコンバータ100の内部で短絡電流が発生することによって緊急停止が指示された場合や、ノイズ等による誤動作が発生した場合に、時刻 t_2 よりも前、すなわち、補助電流 I_{rp} が流れているときに、制御信号S4がLレベルに変化してしまったと仮定する。

[0061] この場合には、制御信号S4によって駆動される制御電極の電圧であるゲート電圧 V_{g4} の低下に対応して、補助スイッチング素子Q4がターンオフされる際に、インダクタL3に蓄えられたエネルギーによって、コレクタ・エミッタ間電圧 V_{4ce} が急激に上昇して大きなサージ電圧が発生する。この電圧上昇により V_{4ce} が耐圧 V_{max} を超えると、補助スイッチング素子Q4が破損される虞がある。

[0062] したがって、本実施の形態によるDC-DCコンバータでは、図3に示した非正常なターンオフ指令に対しては、図4に示すように、スイッチング速度を低下させることによって、補助スイッチング素子を保護する。

[0063] 図4には、図3に加えてゲート電圧 V_{g4} の波形がさらに示される。制御信号S4は、図3と同様に、時刻 t_0 でLレベルからHレベルへ遷移することによってターンオンを指示するとともに、時刻 t_1 でHレベルからLレベルへ遷移することによってターンオフを指示する。すなわち、補助電流 I_{rp} が流れている非正常なタイミングにおいて、ターンオフ指令が発せされている。

[0064] ターンオン指令時には、ゲート電圧 V_{g4} は速やかに駆動される。ゲート電圧 V_{g4} の上昇に応じて、補助スイッチング素子Q4のターンオン速度も

相対的に高い。

- [0065] 一方で、ターンオフ時には、ゲート電圧 V_{g4} は緩やかに駆動される。このため、補助スイッチング素子 $Q4$ のターンオン速度は低く、インダクタ $L3$ に蓄えられたエネルギーを吸収する時間的余裕が生じる。このため、ターンオンに伴うコレクタ・エミッタ間電圧 V_{4ce} の上昇は緩やかなものとなり、サージ電圧も低下する。この結果、 V_{4ce} が耐圧 V_{max} を超えることを防止して、補助スイッチング素子 $Q4$ を保護することができる。
- [0066] なお、補助スイッチング素子 $Q3$ のターンオフについても、補助電流 $I_{rp\#}$ が流れているときにターンオフすると同様の問題が発生する。
- [0067] 次に図5および図6を用いて、図4に示したターンオフ動作を実現するための補助スイッチング素子の駆動構成について説明する。
- [0068] 図5には、本発明の実施の形態の比較例としての、補助スイッチング素子のゲート駆動構成が示される。
- [0069] 図5には、図1に示したドライバ156のうちの、補助スイッチング素子 $Q4$ （または $Q3$ ）の駆動に関連する部分の構成が示される。以下では、補助スイッチング素子 $Q4$ の駆動構成を説明するが、補助スイッチング素子 $Q3$ に対しても同様の構成を適用することが可能である点について確認的に記載する。
- [0070] 図5を参照して、補助スイッチング素子 $Q4$ は、「制御電極」であるゲート201と、「第1の端子」および「第2の端子」に対応するコレクタ202およびエミッタ203とを含む。
- [0071] ゲート201は、駆動スイッチ210およびゲート抵抗220を介して電圧源205と電氣的に接続される。電圧源205は、補助スイッチング素子 $Q4$ をオンさせるためのゲート電圧に相当する電源電圧 V_H （オン電圧 V_H とも称する）を供給する。また、補助スイッチング素子 $Q3$ は、エミッタ電圧に対するゲート電圧の差が所定値より小さくなると、オフされる。このときのゲート電圧を、オフ電圧 V_L とも称することとする。
- [0072] さらに、ゲート201は、駆動スイッチ215およびゲート抵抗225を

介して、エミッタ203と接続されている。

[0073] 駆動スイッチ210は、制御信号S4がHレベルになるとオンする。駆動スイッチ210がオンすると、ゲート電圧がオン電圧 V_H へ駆動される。このときの駆動速度は、ゲート抵抗220の抵抗値 R_0 に依存する。

[0074] 一方で、駆動スイッチ215は、制御信号S4がLレベルになるとオンする。駆動スイッチ215がオンすると、ゲート201がオフ電圧 V_L へ駆動される。このときの駆動速度は、ゲート抵抗225の抵抗値 R_1 に依存する。

[0075] ゲート抵抗220の抵抗値 R_0 は、ゲート抵抗225の抵抗値 R_1 よりも小さく設計される。したがって、ターンオン時におけるゲート201の駆動速度を高くする一方で、ターンオフ時には、ゲート201の駆動速度は、ゲート抵抗225の抵抗値 R_1 に従って低下する。これにより、図4に示したように、補助電流 I_{rp} が存在するタイミングでの非正常なターンオフとしても、補助スイッチング素子Q4を破損から保護できる。

[0076] しかしながら、図5の駆動構成によれば、補助スイッチング素子のターンオフ時におけるゲート201の駆動速度が一律に下げられるので、正常なターンオフ指令に対してもターンオフ速度が低下する。ただし、正常なターンオフ時には、補助電流 I_{rp} が消滅してからのターンオフとなるので、ターンオフ速度が低下してもスイッチング損失は増加しない。また、抵抗値 R_0 を適正化することによって、ターンオン時のスイッチング損失が増大しないように、ターンオフ速度とは独立にターンオン速度を設定することができる。

[0077] しかしながら、ターンオフ速度を一律に低下させると、DC-DCコンバータ100を高周波化する場合や、メインスイッチング素子Q1、Q2のデューティ比が0(%)または100(%)に近づいた場合には、補助スイッチング素子Q4(Q3)が完全にターンオフする前に、メインスイッチング素子Q2(Q1)がターンオンする誤動作を引き起こす可能性がある。逆に言えば、補助スイッチング素子Q4(Q3)のターンオフ速度を一律に低下

させると、メインスイッチング素子 Q_1 、 Q_2 のデューティ比の可変範囲やスイッチング周波数が制約を受ける虞がある。

[0078] 図6には、本実施の形態によるDC-DCコンバータにおける補助スイッチング素子の制御電極の駆動構成が示される。

[0079] 図6に示した補助スイッチング素子のゲート駆動構成では、図5の構成と比較して、ターンオフ時のゲート駆動のために、駆動スイッチ217およびゲート抵抗227がさらに設けられる。駆動スイッチ217およびゲート抵抗227は、ゲート201およびエミッタ203の間に、駆動スイッチ215およびゲート抵抗225と並列に接続される。ここで、ゲート抵抗227の抵抗値 R_2 は、ゲート抵抗225の抵抗値 R_1 よりも小さく、ゲート抵抗220の抵抗値 R_0 よりも大きい。すなわち、 $R_0 < R_2 < R_1$ の関係である。

[0080] さらに、駆動スイッチ210、215、217を選択的にオンするための駆動選択回路155が設けられる。その他の部分の構成は、図5と同様であるので、詳細な説明は繰り返さない。

[0081] 駆動選択回路155は、制御信号 S_4 がHレベルのときには、駆動スイッチ210をオンする。一方で、駆動選択回路155は、制御信号 S_4 がLレベルのときには、正常なターンオフ指示および非正常なターンオフ指示のいずれであるかを判断するとともに、この判断結果に従って駆動スイッチ215および217の一方を選択的にオンする。

[0082] たとえば、駆動選択回路155には、補助スイッチング素子の緊急停止指令の発生時にオンされる識別信号 F_{em} が入力される。そして、駆動選択回路155は、識別信号 F_{em} のオン時に制御信号 S_4 がLレベルになると、非正常なターンオフ指示と判断して、駆動スイッチ215をオンする。一方で、駆動選択回路155は、識別信号 F_{em} のオフに制御信号 S_4 がLレベルになると、正常なターンオフ指示と判断して、駆動スイッチ217をオンする。

[0083] これにより、非正常なターンオフ指示に対しては、ゲート抵抗225（抵

抗値 R_1)によって、図4に示したようにターンオフ速度を低下させることができる。一方で、正常なターンオフ指示に対しては、ゲート抵抗 227 (抵抗値 R_2)によって、ターンオフ速度を、非正常なターンオフ時よりも高くすることができる。したがって、図5で説明したターンオフ速度を一律に大幅に低下させたときの問題点を解消した上で、補助スイッチング素子の保護を図ることができる。

[0084] あるいは、駆動選択回路 155 は、補助スイッチング素子 Q_4 の通過電流を検出する電流検出器 207 の出力に基づいて、駆動スイッチ 215 、 217 の一方を選択してもよい。電流検出器 207 は、補助スイッチング素子 Q_4 の外部に別個の電流センサとして設けられてもよく、モジュール化されたスイッチング素子の電流検出機能によって実現されてもよい。

[0085] 駆動選択回路 155 は、電流検出器 207 による電流検出時(検出電流値 >0)に制御信号 S_4 が L レベルになると、非正常なターンオフ指示と判断して、駆動スイッチ 215 をオンする。一方で、駆動選択回路 155 は、電流検出器 207 による電流非検出時(検出電流値 $=0$)に制御信号 S_4 が L レベルになると、正常なターンオフ指示と判断して、駆動スイッチ 217 をオンする。

[0086] このようにしても、補助スイッチング素子 Q_4 の通電中におけるターンオフに対して補助スイッチング素子の保護を図ることができるとともに、ターンオフ速度を一律に大幅に低下させたときの問題点を解消できる。

[0087] 以上説明したように、本発明の実施の形態による $DC-DC$ コンバータによれば、直流電圧変換のためのメインスイッチング素子 Q_1 、 Q_2 の損失低減のための補助スイッチング素子 Q_3 、 Q_4 について、補助スイッチング素子の通電中に発せられた可能性がある非正常なターンオフ指示のときには、正常なターンオフ指示のときと比較して、ゲート 201 (制御電極)の駆動速度が低下される。したがって、補助スイッチング素子が通電中にターンオフされる際にも、ターンオフ速度を低下させることによって、ターンオフ時のコレクタ・エミッタ間電圧 V_{ce} (端子間電圧)の立上りを緩やかにする

ことができる。この結果、端子間電圧が耐圧を超えることにより補助スイッチング素子Q 3, Q 4が破損することを確実に防止できる。

[0088] なお、実施の形態においては、ドライバ156は「駆動回路」に対応する。また、駆動スイッチ215, 217およびゲート抵抗225, 227によって、ターンオフ速度を切換えるための「第1の駆動ユニット」が構成される。さらに、駆動スイッチ210およびゲート抵抗220によって、「第1の駆動ユニット」よりも駆動速度が高い「第2の駆動ユニット」が構成される。

[0089] また、図6では、ゲート抵抗を切換えることによって、ゲート（制御電極）の駆動速度を切換える構成例を説明したが、駆動速度を切換えるための構成は、周知の任意のものを適用することができる。

[0090] 以上では、オン状態の補助スイッチング素子をターンオフする際の過電圧防止について説明した。次に、図7および図8を用いて、オフ状態の補助スイッチング素子を過電圧から保護するための回路構成について説明する。なお、以下でも、補助スイッチング素子Q 4に適用される過電圧防止回路の構成を説明するが、補助スイッチング素子Q 3に対しても同様の過電圧防止回路を適用することが可能である点について確認的に記載する。

[0091] 図7には、過電圧防止回路の第1の構成例が示される。

図7を参照して、過電圧防止回路300は、抵抗素子306, 307で構成される分圧器305と、所定電圧V 1を出力する電圧源310と、電圧比較器320と、ゲート回路330とを含む。

[0092] 分圧器305を構成する抵抗素子306および307は、補助スイッチング素子Q 4のコレクタ202およびエミッタ203間に直列に接続される。分圧器305からは、抵抗素子306, 307の抵抗値で決まる分圧比によって、コレクタ・エミッタ間電圧V_{ce}（端子間電圧）を分圧した電圧V_dが出力される。

[0093] 電圧比較器320へは、分圧器305からの分圧電圧V_dと、電圧源310が出力する所定電圧V 1が入力される。電圧比較器320は、V_d > V 1

のときにはその出力電圧をHレベルに設定する一方で、 $V_d \leq V_1$ のときには出力電圧をLレベルに設定する。所定電圧 V_1 は、耐圧 V_{max} に対してマージンを有するように決められた所定電圧 V_0 ($V < V_{max}$) に対して、 $V_1 = V_0 \times (V_d / V_{ce})$ に設定される。

[0094] ゲート回路330は、オン電圧 V_H をHレベルとし、オフ電圧 V_L をLレベルとする論理ゲートとして構成される。ゲート回路330の出力ノードは、ゲート抵抗220を介して、補助スイッチング素子Q4のゲート201と電氣的に接続される。

[0095] ゲート回路330は、電圧比較器320の出力電圧がHレベルになると、出力ノードをオン電圧 V_H で駆動する。これにより、ゲート抵抗220を介して、ゲート201がオン電圧 V_H に駆動される。

[0096] さらに、ゲート回路330は、制御信号 S_4 と電圧比較器320の出力との間の論理和演算結果を出力するように構成されてもよい。このようにすると、 $V_{ce} \leq V_0$ のときには、電圧比較器320の出力電圧がLレベルになるので、ゲート回路330の出力ノードは、制御信号 S_4 に従って、オン電圧 V_H およびオフ電圧 V_L の一方に駆動される。すなわち、制御信号 S_4 に従って補助スイッチング素子Q4をオンオフさせることができる。

[0097] このように、図7に示した過電圧防止回路300は、オフ状態の補助スイッチング素子Q4の端子間電圧 V_{ce} が所定電圧 V_0 よりも上昇すると、補助スイッチング素子のゲート電圧を強制的にオン電圧 V_H へ駆動してターンオンさせることができる。したがって、耐圧を超える高電圧が補助スイッチング素子の端子間に印加されることを確実に防止できる。

[0098] なお、図7に示した過電圧防止回路300を図6に示した駆動構成と組み合わせることも可能である。具体的には、過電圧防止回路300の出力に従って、駆動スイッチ210のオンオフを制御する構成とすることができる。

[0099] 図8には、過電圧防止回路の第2の構成例が示される。

図8を参照して、過電圧防止回路300#は、ゲート201およびコレク

タ 202 の間に直列に接続された、ツェナーダイオード 340 および抵抗素子 350 を有する。ツェナーダイオード 340 は、ゲート 201 からコレクタ 202 へ向かう方向を順方向として接続される。ツェナーダイオード 340 の逆降伏電圧は、上述の所定電圧 V_0 に相当する。

[0100] 駆動スイッチ 210, 215 は、制御信号 S_4 に従って選択的にオンされる。これにより、補助スイッチング素子 Q_4 は、制御信号 S_4 に応答してオンオフされる。さらに、オフ状態の補助スイッチング素子 Q_4 の端子間（コレクタ・エミッタ間）に過電圧が発生すると、ツェナーダイオード 340 が導通することによって、ゲート 201 がターンオン側の電圧に駆動される。これにより、スイッチング素子 Q_4 を強制的にオンすることができるので、端子間電圧（コレクタ・エミッタ間電圧 V_{ce} ）が低下する。すなわち、端子間電圧が耐電圧を超えることを未然に防止することによって、補助スイッチング素子 Q_4 が破壊されることを防止できる。

[0101] なお、図 8 に示した過電圧防止回路 300 # を図 6 に示した駆動構成と組み合わせ用いることも可能である。具体的には、補助スイッチング素子 Q_3 (Q_4) のゲート 201 およびコレクタ 202 の間に、過電圧防止回路 300 # を接続する構成とすることができる。

[0102] なお、本実施の形態では半導体スイッチング素子として IGBT を例示したが、電力用 MOS (Metal Oxide Semiconductor) トランジスタ等の他の電圧駆動型素子に対しても、本発明による補助スイッチング素子の駆動構成および過電圧防止回路を適用できる。また、本実施の形態におけるゲート電圧駆動速度と同様に、制御電極（ベース）の電流駆動速度を制御することにより、電力用バイポーラトランジスタ等の電流駆動型素子によって補助スイッチング素子が構成された直流電圧コンバータに対しても、本発明による補助スイッチング素子の駆動構成を適用できる。本発明による過電圧防止回路についても、電流駆動型スイッチング素子に対して適用可能である。

[0103] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求

の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

産業上の利用可能性

[0104] 本発明は、主たる電力用半導体スイッチング素子のスイッチング損失を低減するために、直流電圧変換に直接的には寄与しない補助電流を発生する補助的な電力用半導体スイッチング素子を備えた直流電圧コンバータに適用することができる。

符号の説明

[0105] 100 DC-DCコンバータ、110 メインコンバータ回路、120 補助共振回路、150 制御回路、152 デューティ制御部、154 タイミング制御部、155 駆動選択回路、156 ドライバ、200 負荷、201 ゲート、202 コレクタ、203 エミッタ、205 電圧源、207 電流検出器、210, 215, 217 駆動スイッチ、220, 225, 227 ゲート抵抗、300, 300# 過電圧防止回路、305 分圧器、306, 307 抵抗素子、310 電圧源、320 電圧比較器、330 ゲート回路、340 ツェナーダイオード、350 抵抗素子、BAT 低圧電源、C0 キャパシタ、C1, C2 キャパシタ（補助共振回路）、D1, D2 逆並列ダイオード（メイン整流素子）、D3, D4 ダイオード（補助整流素子）、Fem 識別信号（緊急停止）、GL 基準電圧配線、Irp, Irp# 補助電流（部分共振電流）、L1 インダクタ（メインインダクタ）、L2, L3 インダクタ（補助共振回路）、N1, N2 ノード、PL 電源配線、Q1, Q2 電力用半導体スイッチング素子（メインスイッチング素子）、Q3, Q4 電力用半導体スイッチング素子（補助スイッチング素子）、R0, R1, R2 抵抗値、S1~S4 制御信号、Vg1~Vg4 ゲート電圧、VH 電源電圧（オン電圧）、VL オフ電圧、Vmax 耐圧、Vo 出力電圧、Vor 電圧指令値。

請求の範囲

- [請求項1] 低圧電源（BAT）および電源配線（PL）の間で直流電圧変換を行うための直流電圧コンバータであって、
- 前記低圧電源および第1のノード（N1）の間に接続されるメインインダクタと、
- 前記電源配線および前記第1のノードの間に接続された第1のメインスイッチング素子（Q1）と、
- 前記第1のメインスイッチング素子と逆並列に接続された第1のメイン整流素子（D1）と、
- 基準電圧配線（GL）および前記第1のノードの間に接続された第2のメインスイッチング素子（Q2）と、
- 前記第2のメインスイッチング素子と逆並列に接続された第2のメイン整流素子（D2）と、
- 前記第1および前記第2のメインスイッチング素子の少なくとも一方のメインスイッチング素子に対応して設けられた補助共振回路（120）とを備え、
- 前記補助共振回路は、
- 前記少なくとも一方のメインスイッチング素子と並列に接続されたキャパシタ（C1、C2）と、
- 前記キャパシタに対して並列に接続される、直列接続された補助スイッチング素子（Q3、Q4）および補助インダクタ（L2、L3）と、
- 前記補助スイッチング素子のオン時の電流と逆方向の電流を阻止するように、前記補助スイッチング素子と直列に接続された補助整流素子（D3、D4）とを含み、
- 各前記メインスイッチング素子および前記補助スイッチング素子は、それぞれの制御電極の電圧または電流に応答してオンまたはオフされ、

前記直流電圧コンバータは、

各前記メインスイッチング素子および前記補助スイッチング素子のオンオフを指示する制御信号（S 1～S 4）を発生するように構成された制御回路（150）と、

前記制御信号に応答して、各前記メインスイッチング素子および前記補助スイッチング素子の制御電極（201）の電圧または電流を駆動するための駆動回路（156）とをさらに備え、

前記駆動回路は、

前記制御信号（S 3，S 4）による前記補助スイッチング素子（Q 3，Q 4）のターンオフ指示が、正常なターンオフ指示および非正常なターンオフ指示のいずれであるかを判断するように構成された駆動選択回路（155）と、

前記正常なターンオフ指示のときには、前記制御信号に응答して前記補助スイッチング素子の制御電極を第1の速度で駆動する一方で、前記非正常なターンオフ指示のときには、前記制御信号に응答して前記補助スイッチング素子の制御電極を、前記第1の速度よりも低い第2の速度で駆動するように構成された第1の駆動ユニット（215，217，225，227）とを含む、直流電圧コンバータ。

[請求項2]

前記駆動選択回路（155）へは、前記補助スイッチング素子（Q 3，Q 4）の緊急停止時にオンされる識別信号（F em）が入力され、

前記駆動選択回路（155）は、前記識別信号がオンされたときのターンオフ指示については前記非正常なターンオフ指示と判断する一方で、前記識別信号がオフされたときのターンオフ指示については前記正常なターンオフ指示と判断する、請求の範囲第1項に記載の直流電圧コンバータ。

[請求項3]

前記補助スイッチング素子（Q 3，Q 4）の通過電流を検出するための電流検出器（207）をさらに備え、

前記駆動選択回路（１５５）は、前記電流検出器による電流検出時におけるターンオフ指示については前記正常なターンオフ指示と判断する一方で、前記電流検出器による電流非検出時におけるターンオフ指示については前記前記非正常なターンオフ指示と判断する、請求の範囲第１項に記載の直流電圧コンバータ。

[請求項4]

前記駆動回路は、

前記補助スイッチング素子（Ｑ３，Ｑ４）のターンオンが指示されたときに、前記制御信号に応答して当該補助スイッチング素子の制御電極（２０１）を、前記第１および前記第２の速度のいずれよりも高い第３の速度で駆動するように構成された第２の駆動ユニット（２１０，２２０）をさらに含む、請求の範囲第１～３項のいずれか１項に記載の直流電圧コンバータ。

[請求項5]

前記駆動回路（１５６）は、

オフ状態である前記補助スイッチング素子（Ｑ３，Ｑ４）の第１および第２の端子（２０２，２０３）の間の端子間電圧（ V_{ce} ）が所定電圧（ V_0 ）よりも高くなると、当該補助スイッチング素子を強制的にターンオンさせるように前記制御電極（２０１）を駆動するための過電圧防止回路（３００，３００＃）をさらに含む、請求の範囲第１項に記載の直流電圧コンバータ

[請求項6]

低圧電源（ＢＡＴ）および電源配線（ＰＬ）の間で直流電圧変換を行うための直流電圧コンバータであって、

前記低圧電源および第１のノード（Ｎ１）の間に接続されるメインインダクタと、

前記電源配線および前記第１のノードの間に接続された第１のメインスイッチング素子（Ｑ１）と、

前記第１のメインスイッチング素子と逆並列に接続された第１のメイン整流素子（Ｄ１）と、

基準電圧配線（ＧＬ）および前記第１のノードの間に接続された第

2のメインスイッチング素子（Q2）と、

前記第2のメインスイッチング素子と逆並列に接続された第2のメイン整流素子（D2）と、

前記第1および前記第2のメインスイッチング素子の少なくとも一方のメインスイッチング素子に対応して設けられた補助共振回路（120）とを備え、

前記補助共振回路は、

前記少なくとも一方のメインスイッチング素子と並列に接続されたキャパシタ（C1, C2）と、

前記キャパシタに対して並列に接続される、直列接続された補助スイッチング素子（Q3, Q4）および補助インダクタ（L2, L3）と、

前記補助スイッチング素子のオン時の電流と逆方向の電流を阻止するように、前記補助スイッチング素子と直列に接続された補助整流素子（D3, D4）とを含み、

各前記メインスイッチング素子および前記補助スイッチング素子は、それぞれの制御電極の電圧または電流に応答してオンまたはオフされ、

前記直流電圧コンバータは、

各前記メインスイッチング素子および前記補助スイッチング素子のオンオフを指示する制御信号を発生するように構成された制御回路（150）と、

前記制御信号に応答して、各前記メインスイッチング素子および前記補助スイッチング素子の制御電極（201）の電圧または電流を駆動するための駆動回路（156）とをさらに備え、

前記駆動回路は、

オフ状態である前記補助スイッチング素子の第1および第2の端子（202, 203）の間の端子間電圧（V_{ce}）が所定電圧（V_O）

よりも高くなると、当該補助スイッチング素子を強制的にターンオンさせるように前記制御電極を駆動するための過電圧防止回路（３００，３００＃）を含む、直流電圧コンバータ。

[請求項7]

前記過電圧防止回路（３００）は、

前記端子間電圧（ V_{ce} ）を所定電圧（ V_0 ）と比較するための電圧比較器（３２０）と、

前記電圧比較器の出力に応答して、当該補助スイッチング素子がターンオンするように前記制御電極を駆動するためのゲート回路（３３０）とを含む、請求の範囲第５または第６項に記載の直流電圧コンバータ。

[請求項8]

前記ゲート回路（３３０）は、さらに、前記補助スイッチング素子（ Q_3 ， Q_4 ）のターンオフが指示されたときには、前記制御信号（ S_3 ， S_4 ）に応答して当該補助スイッチング素子がターンオンするように前記制御電極を駆動する、請求の範囲第７項に記載の直流電圧コンバータ。

[請求項9]

前記過電圧防止回路（３００＃）は、

前記補助スイッチング素子の前記第１の端子（２０２）および前記第２の端子（２０３）のうちの、前記補助スイッチング素子のオフ時に高電圧となる一方の端子（２０２）と、前記補助スイッチング素子の制御電極（２０１）との間に電氣的に接続されたツェナーダイオード（２０２）を有し、

前記ツェナーダイオードの降伏電圧は前記所定電圧（ V_0 ）と同等であり、かつ、前記ツェナーダイオードは、前記制御電極から前記一方の端子へ向かう方向を順方向として接続される、請求の範囲第５または第６項に記載の直流電圧コンバータ。

補正された請求の範囲
[2010年8月18日(18.08.2010)国際事務局受理]

- [請求項1] (補正後) 低圧電源 (BAT) および電源配線 (PL) の間で直流電圧変換を行うための直流電圧コンバータであって、
- 前記低圧電源および第1のノード (N1) の間に接続されるメインインダクタと、
- 前記電源配線および前記第1のノードの間に接続された第1のメインスイッチング素子 (Q1) と、
- 前記第1のメインスイッチング素子と逆並列に接続された第1のメイン整流素子 (D1) と、
- 基準電圧配線 (GL) および前記第1のノードの間に接続された第2のメインスイッチング素子 (Q2) と、
- 前記第2のメインスイッチング素子と逆並列に接続された第2のメイン整流素子 (D2) と、
- 前記第1および前記第2のメインスイッチング素子の少なくとも一方のメインスイッチング素子に対応して設けられた補助共振回路 (120) とを備え、
- 前記補助共振回路は、
- 前記少なくとも一方のメインスイッチング素子と並列に接続されたキャパシタ (C1, C2) と、
- 前記キャパシタに対して並列に接続される、直列接続された補助スイッチング素子 (Q3, Q4) および補助インダクタ (L2, L3) と、
- 前記補助スイッチング素子のオン時の電流と逆方向の電流を阻止するように、前記補助スイッチング素子と直列に接続された補助整流素子 (D3, D4) とを含み、
- 各前記メインスイッチング素子および前記補助スイッチング素子は、それぞれの制御電極の電圧または電流に応答してオンまたはオフされ、

前記直流電圧コンバータは、

各前記メインスイッチング素子および前記補助スイッチング素子のオンオフを指示する制御信号（S 1 ～ S 4）を発生するように構成された制御回路（1 5 0）と、

前記制御信号に応答して、各前記メインスイッチング素子および前記補助スイッチング素子の制御電極（2 0 1）の電圧または電流を駆動するための駆動回路（1 5 6）とをさらに備え、

前記駆動回路は、

前記制御信号（S 3， S 4）による前記補助スイッチング素子（Q 3， Q 4）のターンオフ指示が、前記補助スイッチング素子を流れる補助共振電流が消滅したことに応じて発生された正常なターンオフ指示および前記補助スイッチング素子の通電中に発せられた可能性がある非正常なターンオフ指示のいずれであるかを判断するように構成された駆動選択回路（1 5 5）と、

前記正常なターンオフ指示のときには、前記制御信号に応答して前記補助スイッチング素子の制御電極を第 1 の速度で駆動する一方で、前記非正常なターンオフ指示のときには、前記制御信号に応答して前記補助スイッチング素子の制御電極を、前記第 1 の速度よりも低い第 2 の速度で駆動するように構成された第 1 の駆動ユニット（2 1 5， 2 1 7， 2 2 5， 2 2 7）とを含む、直流電圧コンバータ。

[請求項2]

前記駆動選択回路（1 5 5）へは、前記補助スイッチング素子（Q 3， Q 4）の緊急停止時にオンされる識別信号（F e m）が入力され、

前記駆動選択回路（1 5 5）は、前記識別信号がオンされたときのターンオフ指示については前記非正常なターンオフ指示と判断する一方で、前記識別信号がオフされたときのターンオフ指示については前記正常なターンオフ指示と判断する、請求の範囲第 1 項に記載の直流電圧コンバータ。

[請求項3] (補正後) 前記補助スイッチング素子(Q3, Q4)の通過電流を検出するための電流検出器(207)をさらに備え、

前記駆動選択回路(155)は、前記電流検出器による電流検出時におけるターンオフ指示については前記非正常なターンオフ指示と判断する一方で、前記電流検出器による電流非検出時におけるターンオフ指示については前記正常なターンオフ指示と判断する、請求の範囲第1項に記載の直流電圧コンバータ。

[請求項4] 前記駆動回路は、

前記補助スイッチング素子(Q3, Q4)のターンオンが指示されたときに、前記制御信号に応答して当該補助スイッチング素子の制御電極(201)を、前記第1および前記第2の速度のいずれよりも高い第3の速度で駆動するように構成された第2の駆動ユニット(210, 220)をさらに含む、請求の範囲第1～3項のいずれか1項に記載の直流電圧コンバータ。

[請求項5] 前記駆動回路(156)は、

オフ状態である前記補助スイッチング素子(Q3, Q4)の第1および第2の端子(202, 203)の間の端子間電圧(Vce)が所定電圧(V0)よりも高くなると、当該補助スイッチング素子を強制的にターンオンさせるように前記制御電極(201)を駆動するための過電圧防止回路(300, 300#)をさらに含む、請求の範囲第1項に記載の直流電圧コンバータ

[請求項6] 低圧電源(BAT)および電源配線(PL)の間で直流電圧変換を行うための直流電圧コンバータであって、

前記低圧電源および第1のノード(N1)の間に接続されるメインインダクタと、

前記電源配線および前記第1のノードの間に接続された第1のメインスイッチング素子(Q1)と、

前記第1のメインスイッチング素子と逆並列に接続された第1のメ

イン整流素子（D 1）と、

基準電圧配線（G L）および前記第 1 のノードの間に接続された第 2 のメインスイッチング素子（Q 2）と、

前記第 2 のメインスイッチング素子と逆並列に接続された第 2 のメイン整流素子（D 2）と、

前記第 1 および前記第 2 のメインスイッチング素子の少なくとも一方のメインスイッチング素子に対応して設けられた補助共振回路（120）とを備え、

前記補助共振回路は、

前記少なくとも一方のメインスイッチング素子と並列に接続されたキャパシタ（C 1, C 2）と、

前記キャパシタに対して並列に接続される、直列接続された補助スイッチング素子（Q 3, Q 4）および補助インダクタ（L 2, L 3）と、

前記補助スイッチング素子のオン時の電流と逆方向の電流を阻止するように、前記補助スイッチング素子と直列に接続された補助整流素子（D 3, D 4）とを含み、

各前記メインスイッチング素子および前記補助スイッチング素子は、それぞれの制御電極の電圧または電流に応答してオンまたはオフされ、

前記直流電圧コンバータは、

各前記メインスイッチング素子および前記補助スイッチング素子のオンオフを指示する制御信号を発生するように構成された制御回路（150）と、

前記制御信号に応答して、各前記メインスイッチング素子および前記補助スイッチング素子の制御電極（201）の電圧または電流を駆動するための駆動回路（156）とをさらに備え、

前記駆動回路は、

オフ状態である前記補助スイッチング素子の第1および第2の端子(202, 203)の間の端子間電圧(V_{ce})が所定電圧(V_0)よりも高くなると、当該補助スイッチング素子を強制的にターンオンさせるように前記制御電極を駆動するための過電圧防止回路(300, 300#)を含む、直流電圧コンバータ。

[請求項7]

前記過電圧防止回路(300)は、

前記端子間電圧(V_{ce})を所定電圧(V_0)と比較するための電圧比較器(320)と、

前記電圧比較器の出力に応答して、当該補助スイッチング素子がターンオンするように前記制御電極を駆動するためのゲート回路(330)とを含む、請求の範囲第5または第6項に記載の直流電圧コンバータ。

[請求項8]

(補正後) 前記ゲート回路(330)は、さらに、前記補助スイッチング素子(Q3, Q4)のターンオンが指示されたときには、前記制御信号(S3, S4)に応答して当該補助スイッチング素子がターンオンするように前記制御電極を駆動する、請求の範囲第7項に記載の直流電圧コンバータ。

[請求項9]

(補正後) 前記過電圧防止回路(300#)は、

前記補助スイッチング素子の前記第1の端子(202)および前記第2の端子(203)のうちの、前記補助スイッチング素子のオフ時に高電圧となる一方の端子(202)と、前記補助スイッチング素子の制御電極(201)との間に電氣的に接続されたツェナーダイオード(340)を有し、

前記ツェナーダイオードの降伏電圧は前記所定電圧(V_0)と同等であり、かつ、前記ツェナーダイオードは、前記制御電極から前記一方の端子へ向かう方向を順方向として接続される、請求の範囲第5または第6項に記載の直流電圧コンバータ。

条約第19条（1）に基づく説明書

1. 説明

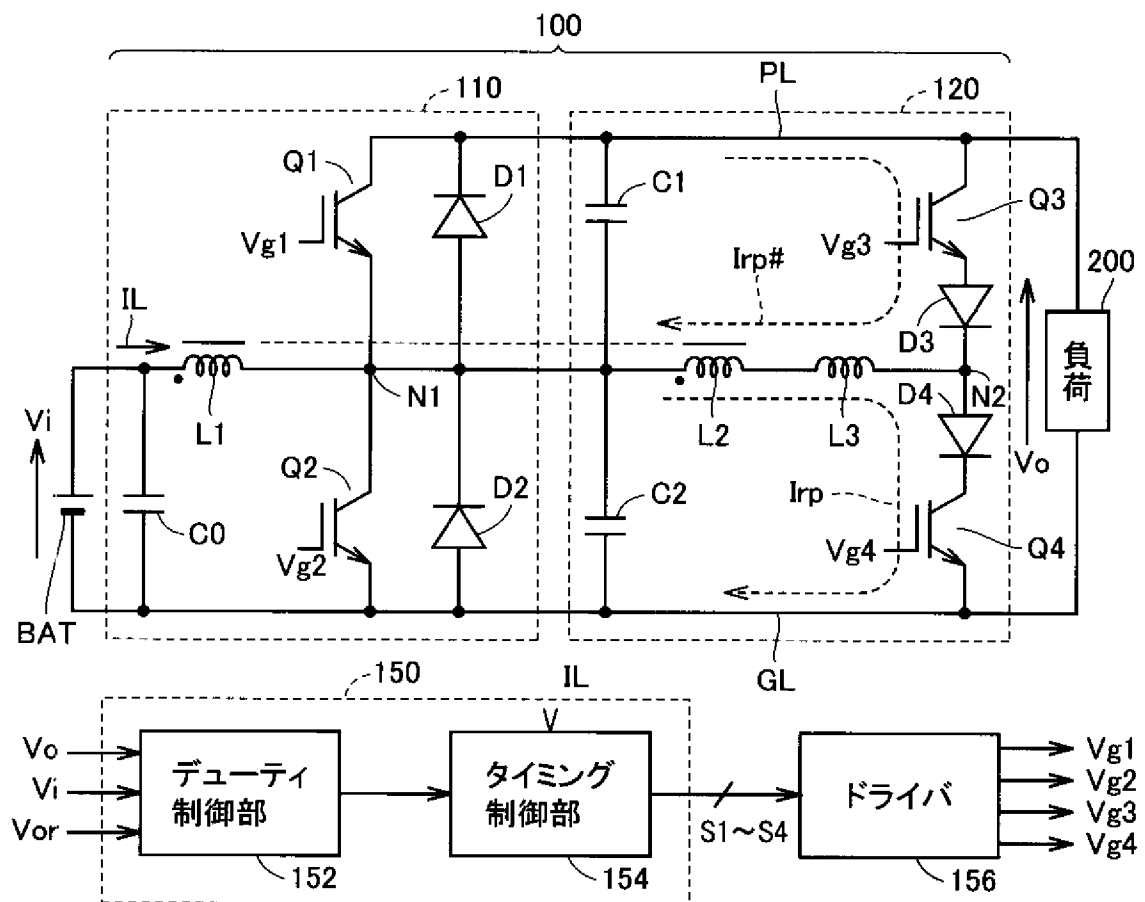
請求の範囲第1項に記載された「正常なターンオフ指示」が「補助スイッチング素子を流れる補助共振電流が消滅したことに応じて発生された」ターンオフ指示であることを明細書の段落〔0059〕に記載に基づいて明確化するとともに、
5 「非正常なターンオフ指示」が「補助スイッチング素子の通電中に発せられた可能性がある」ターンオフ指示であることを明細書の段落〔0087〕の記載に基づいて明確化した。

10 請求の範囲第3項では、指摘を受けた「前記前記」の誤記を訂正するとともに、明細書の段落〔0085〕の記載に基づいて、電流検出器による電流検出時／非検出時と、「正常なターンオフ指示」および「非正常なターンオフ指示」との間の対応関係についての誤記を訂正した。

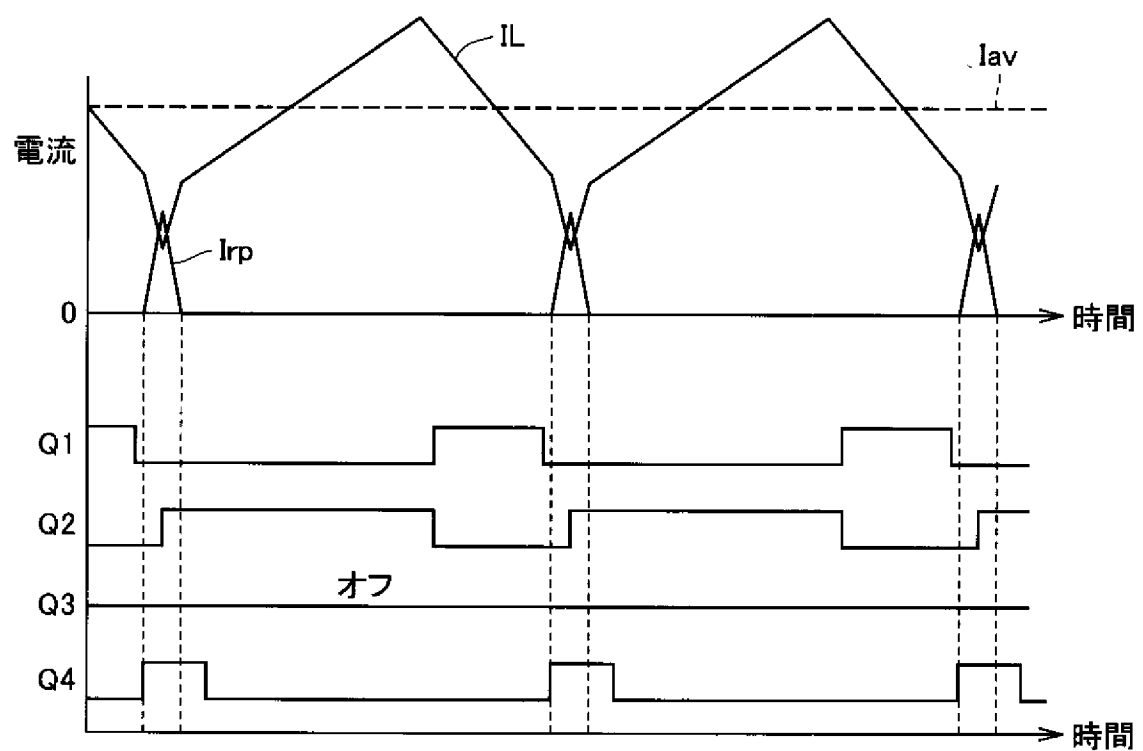
15 請求の範囲第8項では、明細書の段落〔0100〕の記載に基づいて、「ターンオフが指示されたとき」との誤記を「ターンオンが指示されたとき」に訂正した。

請求の範囲第9項では、指摘を受けた「ツェナーダイオード」の参照符号の誤記を訂正した。

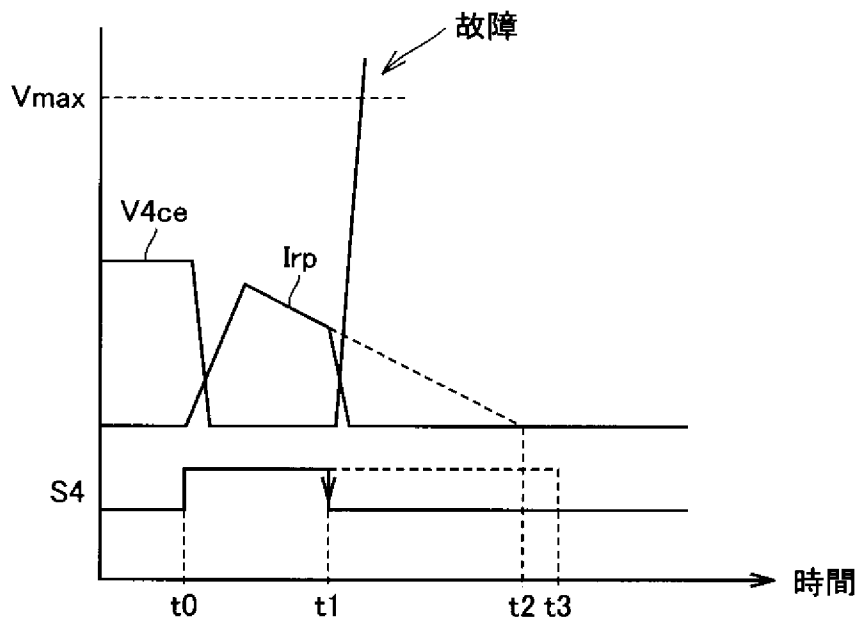
[図1]



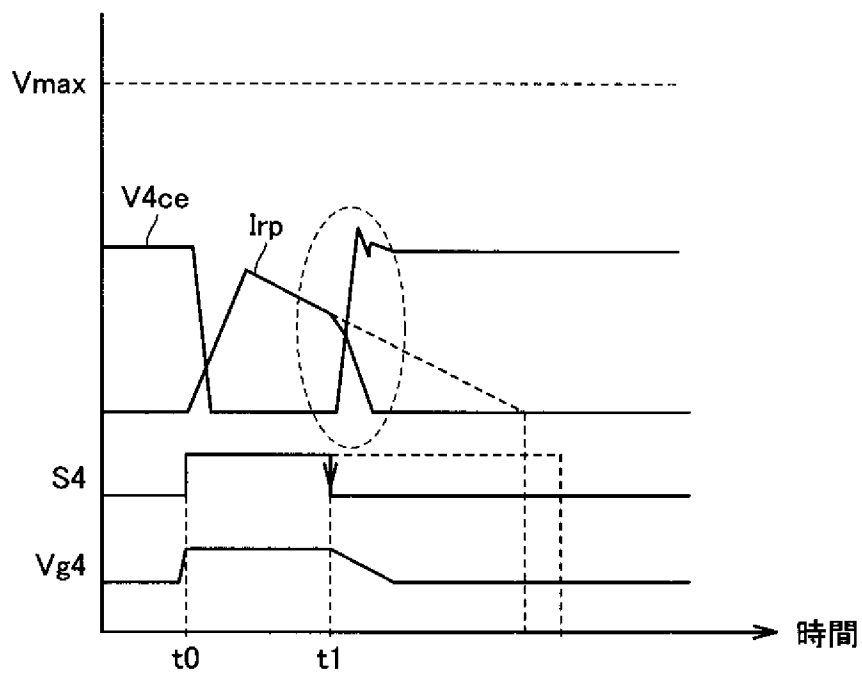
[図2]



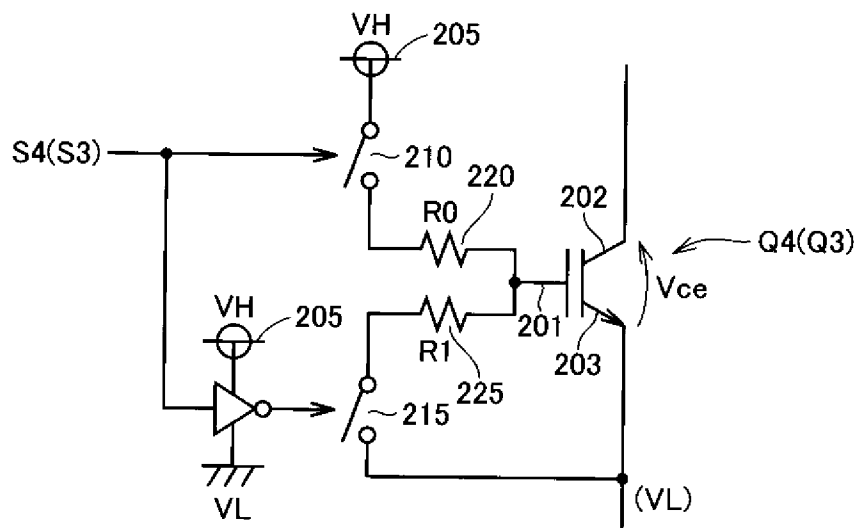
[図3]



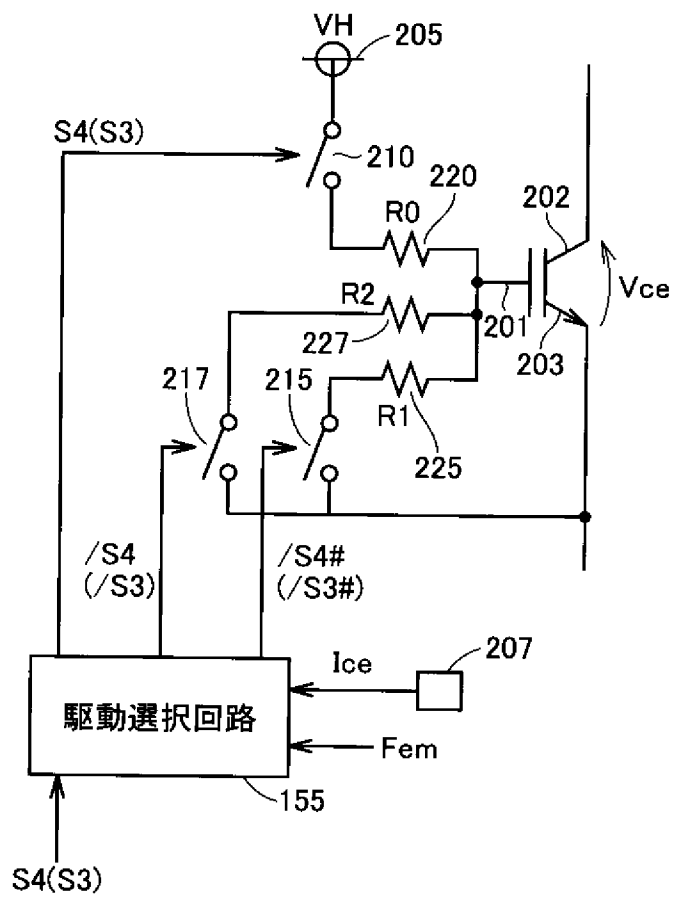
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/060578

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/155 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-261059 A (Toyota Industries Corp.), 22 September, 2005 (22.09.05), Full text; all drawings (Family: none)	1-9
Y	JP 11-69780 A (Fuji Electric Co., Ltd.), 09 March, 1999 (09.03.99), Full text; all drawings (Family: none)	1-9
Y	JP 8-298777 A (Mitsui Engineering & Shipbuilding Co., Ltd.), 12 November, 1996 (12.11.96), Par. No. [0026] (Family: none)	5-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
27 August, 2009 (27.08.09)

Date of mailing of the international search report
08 September, 2009 (08.09.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/060578

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-141151 A (Densei Ramuda Kabushiki Kaisha), 01 June, 2006 (01.06.06), Par. Nos. [0056] to [0071] (Family: none)	9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M3/155 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-261059 A（株式会社豊田自動織機）2005. 09. 22, 全文全図（ファミリーなし）	1-9
Y	JP 11-69780 A（富士電機株式会社）1999. 03. 09, 全文全図（ファミリーなし）	1-9
Y	JP 8-298777 A（三井造船株式会社）1996. 11. 12, 段落【0 0 2 6】等（ファミリーなし）	5-9

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 7 . 0 8 . 2 0 0 9

国際調査報告の発送日

0 8 . 0 9 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

今井 貞雄

3 V

4 1 2 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-141151 A (デンセイ・ラムダ株式会社) 2006.06.01, 段落【0056】－【0071】等 (ファミリーなし)	9