

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第3区分  
 【発行日】平成21年7月2日(2009.7.2)

【公表番号】特表2007-505380(P2007-505380A)  
 【公表日】平成19年3月8日(2007.3.8)  
 【年通号数】公開・登録公報2007-009  
 【出願番号】特願2006-525832(P2006-525832)  
 【国際特許分類】

G 0 6 F 13/00 (2006.01)

【 F I 】

G 0 6 F 13/00 3 0 1 K

【手続補正書】

【提出日】平成21年5月12日(2009.5.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ゼロから「K - 1」の信号伝導体に障害がある「K」の信号導電体を有する信号バスを介して、第1の電子ユニットから第2の電子ユニットへデータの「J」ビット・ブロックを伝送するための方法であって、前記方法が、

前記信号バスにおいて障害ありおよび障害なしの信号導電体を識別するステップと、

前記信号バスにおいて障害ありおよび障害なしの信号導電体を識別するステップによって発見された情報を使用して、前記第1の電子ユニットおよび前記第2の電子ユニットにおける前記信号導電体の障害状況を設定するステップと、

前記信号バスにおいて障害のある信号導電体の数「F」を決定するステップと、

前記信号バスにおいて障害のない信号導電体の数「K - F」を決定するステップと、

「J / (K - F)」ビットと、残りの場合は追加のビットとを使用して、前記「K - F」の障害のない信号導電体を介してデータの「J」ビット・ブロックを伝送するステップと、を有する方法であり、

前記伝送するステップが、

前記データの「J」ビット・ブロックからデータの「K」ビット・グループを選択するステップと、

前記「K - F」の障害のない信号導電体を使用して、前記データの「K」ビット・グループのうちの「K - F」ビットをビット上で伝送するステップと、

前記信号バス内の前記障害のある「F」信号導電体により、前記ビット上で伝送できない前記「K」ビット・グループ内の前記「F」ビットを格納するステップと、

前記データの「J」ビット・ブロックのうちのすべての「J」ビットが選択されるまで、前記3つのステップを反復するステップと、

前記「K - F」の障害のない信号導電体のうちの1つまたは複数を使用して、前記格納された「F」ビットを1つまたは複数の追加ビット上で伝送するステップと、をさらに有し、

前記「F」ビットを格納するステップが、

前記「F」ビットのうちの少なくとも1ビットをシフト・レジスタの第1のエンドにシフトするステップと、

前記シフト・レジスタのビットのうちの少なくとも1つを障害のない信号導電体に伝送す

るステップと、をさらに有する、  
方法。

【請求項 2】

前記シフト・レジスタ内の特定ビットを、障害のない信号導電体に結合するために位置合わせするように移動するステップをさらに有する、請求項1に記載の方法。

【請求項 3】

前記第 2 の電子ユニットで「 $J / (K - F)$ 」ビットについて 1 ビットあたり「 $K - F$ 」ビットを格納するステップと、

「 $J / (K - F)$ 」で残りが生じる場合、追加ビット内に残りのビットを格納するステップと、をさらに有する、請求項1に記載の方法。

【請求項 4】

前記第 1 の電子ユニット上のデータの前記「 $J$ 」ビット・ブロックからビットの「 $K - F$ 」ビット・グループを選択するステップと、

前記信号バスにおける前記「 $K - F$ 」の障害のない信号導電体を使用して、前記ビットの「 $K - F$ 」ビット・グループを前記第 1 の電子ユニットから前記第 2 の電子ユニットに伝送するステップと、

すべての「 $K - F$ 」ビット・グループが伝送されるまで前記ステップを反復するステップと、

前記信号バスの追加ビットを使用して、前記第 1 の電子ユニット上に前記データの「 $J$ 」ビット・ブロックの残りのビットがあればそれを前記「 $K - F$ 」の障害のない信号導電体の一部またはすべてを使用して前記第 2 の電子ユニットに伝送するステップと、  
をさらに有する、請求項1に記載の方法。

【請求項 5】

第 1 の電子ユニットから第 2 の電子ユニットへデータの「 $J$ 」ビット・ブロックを伝送するための装置であって、

伝送用に「 $J$ 」ビットを保持する前記第 1 の電子ユニット内のデータの第 1 ブロックと、  
「 $J$ 」ビットを有するデータの第 2 ブロックを保持することが可能な第 2 の電子ユニット内のストレージと、

前記第 1 の電子ユニットを前記第 2 の電子ユニットに結合する「 $K$ 」の信号導電体を有し（ $K$  は 1 より大きい）、1 つの障害のある信号導電体および「 $K - 1$ 」の障害のない信号導電体を有する、信号バスと、

前記第 1 の電子ユニットおよび前記第 2 の電子ユニットに結合され、前記信号バス上で前記1 つの障害のある信号導電体および前記「 $K - 1$ 」の障害のない信号導電体を識別すること、ならびに前記第 1 の電子ユニットおよび前記第 2 の電子ユニット内に障害識別情報を格納することが可能な、診断ユニットと、

前記障害識別情報に応答して、前記「 $K - 1$ 」の障害のない導電体のみを使用し、「 $J / (K - 1)$ 」ビットおよび残りの場合は追加のビットを使用して前記「 $J$ 」ビットのデータを伝送する、前記第 1 の電子ユニット内の駆動シーケンサと、

「 $K$ 」ビットを有するシフトレジスタであって、各ビットの間、前記シフト・レジスタの第 1 のエンドで前記障害のある信号導電体に向けられるビットを受け取るように構成され、前記シフト・レジスタが一杯になると第 1 の回転のために回転され、前記第 1 の回転の間、前記シフト・レジスタの第 2 のエンドのビットが前記シフト・レジスタの第 1 のエンドで受け取られるように構成される、前記シフト・レジスタと、を有し、

前記装置は、前記第 1 の回転に続いて、前記シフト・レジスタの「 $K - 1$ 」ビットを障害のない信号導電体に伝送するように構成され、

前記シフト・レジスタは、さらに第 2 の回転のために回転され、前記第 2 の回転の間、前記シフト・レジスタの第 2 のエンドのビットが前記シフト・レジスタの第 1 のエンドで受け取られるように構成され、

前記装置は、前記第 2 の回転に続いて、残りの伝送されていない「 $J$ 」ビットを前記障害

のない信号導電体に伝送するように構成される、  
装置。