(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 105872306 B
(45)授权公告日 2020.06.05

(21)申请号 201510538343.8

(22)申请日 2015.08.28

(65)同一申请的已公布的文献号
申请公布号 CN 105872306 A

(43)申请公布日 2016.08.17

(30)优先权数据
2015-021417 2015.02.05 JP

(73)专利权人 辛纳普蒂克斯日本合同会社
地址 日本东京都

(72)发明人 织尾正雄 降旗弘史 能势崇

(74)专利代理机构 中国专利代理(香港)有限公司 72001
代理人 王岳 陈岚

(51)Int.Cl.
H04N 1/393(2006.01)
G06T 3/40(2006.01)

(56)对比文件
CN 103096009 A,2013.05.08,
JP H02250471 A,1990.10.08,
US 2011298973 A1,2011.12.08,
JP 2012124598 A,2012.06.28,

审查员 夏团兵

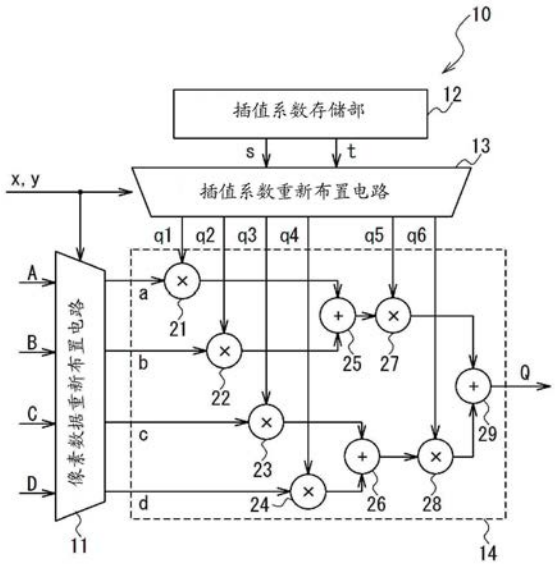
权利要求书4页 说明书25页 附图24页

(54)发明名称

用于图像缩放的设备和方法

(57)摘要

本发明涉及用于图像缩放的设备和方法。图像处理电路包括具有插值系数输入的缩放处理部、插值系数重新布置部和插值系数馈送部。插值系数馈送部将第一插值系数馈送给插值系数重新布置部。插值系数重新布置部被配置成响应于输出图像的目标像素的坐标而将从第一插值系数和通过从预定值分别减去第一插值系数所获得的第二插值系数选择的插值系数馈送给缩放处理部的相应插值系数输入。缩放处理部被配置成通过使用从插值系数重新布置部馈送给插值系数输入的插值系数对输入图像的像素的像素数据执行插值来生成输出图像的目标像素的像素数据。



CN 105872306 B

1.一种图像处理电路,包括:

缩放处理部,其被配置成通过对输入图像执行图像缩放来生成输出图像;以及

插值系数重新布置部,

其中插值系数重新布置部被配置成响应于输出图像的目标像素的坐标而将从多个第一插值系数和通过从预定值分别减去第一插值系数所获得的多个第二插值系数选择的插值系数馈送给缩放处理部的相应插值系数输入,并且

其中缩放处理部被配置成通过使用馈送给插值系数输入的插值系数对输入图像的像素的像素数据执行插值来生成输出图像的目标像素的像素数据;

其中,相对于其中布置输入图像像素的区段的中心来划分第一区域、第二区域、第三区域和第四区域;

所述第二区域、第三区域和第四区域中的输入和输出图像的像素布置关于所述第一区域中的输入和输出图像的像素布置是线对称或点对称的。

2.根据权利要求1所述的图像处理电路,还包括像素数据重新布置部,其被配置成接收用于生成输出图像的目标像素的输入图像的四个像素的像素数据,并且将所接收的四个像素的像素数据馈送给第一到第四像素数据输入,从而响应于目标像素的坐标而重新布置四个像素的像素数据,并且

其中缩放处理部通过对在第一到第四像素数据输入上所接收的输入图像的四个像素的像素数据执行插值来生成输出图像的目标像素的像素数据。

3.根据权利要求1或2所述的图像处理电路,其中图像处理电路执行以缩放因子M/N的图像缩放,其中M和N是被选择成使得M/N为不可约分数的正整数,

其中在与图像缩放的每一个单元处理相关的输入图像的(N+2)×(N+2)个像素和输出图像的M×M个像素被布置在其中的区段中限定所述第一区域、第二区域、第三区域和第四区域,以使得满足以下条件(a)至(d):

(a)所述第二区域在第一方向上从第一区域偏移,所述第三区域在与第一方向垂直的第二方向上从第一区域偏移,并且所述第四区域在第一方向上从第三区域偏移,

(b)输入和输出图像的像素在所述第二区域中的布置与输入和输出图像的像素在所述第一区域中的布置是线对称的,

(c)输入和输出图像的像素在所述第三区域中的布置与输入和输出图像的像素在所述第一区域中的布置是线对称的,以及

(d)输入和输出图像的像素在所述第四区域中的布置与输入和输出图像的像素在所述第一区域中的布置是点对称的,并且

其中与定位在所述第一区域中的输出图像的像素相关联的插值系数被馈送给插值系数重新布置部来作为第一插值系数。

4.根据权利要求3所述的图像处理电路,其中M是偶数,并且

其中所述第一区域、第二区域、第三区域和第四区域被限定成使得彼此不重叠。

5.根据权利要求3所述的图像处理电路,其中M是奇数,并且

其中所述第一区域、第二区域、第三区域和第四区域被限定成使得彼此部分重叠。

6.根据权利要求1所述的图像处理电路,其中缩放处理部包括每一个具有第一到第四像素数据输入的多个乘加电路,并且

其中每一个乘加电路被配置成通过使用从插值系数重新布置部馈送给插值系数输入的插值系数对馈送给第一到第四像素数据输入的输入图像的像素的像素数据执行插值来生成输出图像的像素的像素数据。

7.根据权利要求6所述的图像处理电路，其中图像处理电路被配置成执行以缩放因子M/N的图像缩放，其中M和N是被选择成使得M/N是不可约分数的正整数，并且其中乘加电路的数目为M。

8.一种显示面板驱动器，包括：

缩放器电路，其被配置成对输入图像执行图像缩放以生成输出图像；以及

驱动部，其被配置成响应于从缩放器电路所接收的输出图像的像素的像素数据来驱动显示面板，

其中缩放器电路包括：

缩放处理部，具有多个插值系数输入；以及

插值系数重新布置部，

其中插值系数重新布置部被配置成响应于输出图像的目标像素的坐标而将从多个第一插值系数和通过从预定值分别减去第一插值系数所获得的多个第二插值系数选择的插值系数馈送给缩放处理部的相应插值系数输入，并且

其中缩放处理部被配置成通过使用馈送给插值系数输入的插值系数对输入图像的像素的像素数据执行插值来生成输出图像的目标像素的像素数据；

其中，相对于其中布置输入图像像素的区段的中心来划分第一区域、第二区域、第三区域和第四区域；

所述第二区域、第三区域和第四区域中的输入和输出图像的像素布置关于所述第一区域中的输入和输出图像的像素布置是线对称或点对称的。

9.根据权利要求8所述的显示面板驱动器，其中缩放器电路还包括像素数据重新布置部，其中缩放处理部包括第一到第四像素数据输入，

其中像素数据重新布置部接收用于生成输出图像的目标像素的输入图像的四个像素的像素数据，并且将所接收的四个像素的像素数据馈送给第一到第四像素数据输入，从而响应于目标像素的坐标而重新布置四个像素的像素数据，并且

其中缩放处理部通过对在第一到第四像素数据输入上所接收的输入图像的四个像素的像素数据执行插值来生成输出图像的目标像素的像素数据。

10.根据权利要求8或9所述的显示面板驱动器，其中缩放器电路执行以缩放因子M/N的图像缩放，其中M和N是被选择成使得M/N是不可约分数的正整数，

其中在与图像缩放的每一个单元处理相关的输入图像的(N+2)×(N+2)个像素和输出图像的M×M个像素被布置在其中的区段中限定所述第一区域、第二区域、第三区域和第四区域，以使得满足以下条件(a)至(d)：

(a)所述第二区域在第一方向上从所述第一区域偏移，所述第三区域在与第一方向垂直的第二方向上从所述第一区域偏移，并且所述第四区域在第一方向上从所述第三区域偏移，

(b)输入和输出图像的像素在所述第二区域中的布置与输入和输出图像的像素在所述第一区域中的布置是线对称的，

(c)输入和输出图像的像素在所述第三区域中的布置与输入和输出图像的像素在所述第一区域中的布置是线对称的,以及

(d)输入和输出图像的像素在所述第四区域中的布置与输入和输出图像的像素在所述第一区域中的布置是点对称的,并且

其中与定位在所述第一区域中的输出图像的像素相关联的插值系数被馈送给插值系数重新布置部来作为第一插值系数。

11.根据权利要求8所述的显示面板驱动器,其中缩放处理部包括每一个具有第一到第四像素数据输入的多个乘加电路,并且

其中每一个乘加电路被配置成通过使用从插值系数重新布置部馈送给插值系数输入的插值系数对馈送给第一到第四像素数据输入的输入图像的像素的像素数据执行插值来生成输出图像的像素的像素数据。

12.一种显示设备,包括:

显示面板;以及

显示面板驱动器,其包括:

缩放器电路,其被配置成对输入图像执行图像缩放以生成输出图像;以及

驱动部,其被配置成响应于从缩放器电路所接收的输出图像的像素的像素数据来驱动显示面板,

其中缩放器电路包括:

缩放处理部,具有多个插值系数输入;以及

插值系数重新布置部,

其中插值系数重新布置部被配置成响应于输出图像的目标像素的坐标而将从多个第一插值系数和通过从预定值分别减去第一插值系数所获得的多个第二插值系数选择的插值系数馈送给缩放处理部的相应插值系数输入,并且

其中缩放处理部被配置成通过使用馈送给插值系数输入的插值系数对输入图像的像素的像素数据执行插值来生成输出图像的目标像素的像素数据;

其中,相对于其中布置输入图像像素的区段的中心来划分第一区域、第二区域、第三区域和第四区域;

所述第二区域、第三区域和第四区域中的输入和输出图像的像素布置关于所述第一区域中的输入和输出图像的像素布置是线对称或点对称的。

13.根据权利要求12所述的显示设备,其中缩放器电路还包括像素数据重新布置部,

其中缩放处理部包括第一到第四像素数据输入,

其中像素数据重新布置部接收用于生成输出图像的目标像素的输入图像的四个像素的像素数据,并且将所接收的四个像素的像素数据馈送给第一到第四像素数据输入,从而响应于目标像素的坐标而重新布置四个像素的像素数据,并且

其中缩放处理部通过对在第一到第四像素数据输入上所接收的输入图像的四个像素的像素数据执行插值来生成输出图像的目标像素的像素数据。

14.根据权利要求12或13所述的显示设备,其中缩放器电路执行以缩放因子M/N的图像缩放,其中M和N是被选择成使得M/N是不可约分数的正整数,

其中在与图像缩放的每一个单元处理相关的输入图像的(N+2)×(N+2)个像素和输出

图像的M×M个像素被布置在其中的区段中限定所述第一区域、第二区域、第三区域和第四区域，以使得满足以下条件(a)至(d)：

(a)所述第二区域在第一方向上从所述第一区域偏移，所述第三区域在与第一方向垂直的第二方向上从所述第一区域偏移，并且所述第四区域在第一方向上从所述第三区域偏移，

(b)输入和输出图像的像素在所述第二区域中的布置与输入和输出图像的像素在所述第一区域中的布置是线对称的，

(c)输入和输出图像的像素在所述第三区域中的布置与输入和输出图像的像素在所述第一区域中的布置是线对称的，以及

(d)输入和输出图像的像素在所述第四区域中的布置与输入和输出图像的像素在所述第一区域中的布置是点对称的，并且

其中与定位在所述第一区域中的输出图像的像素相关联的插值系数被馈送给插值系数重新布置部来作为第一插值系数。

15.根据权利要求12所述的显示设备，其中缩放处理部包括每一个具有第一到第四像素数据输入的多个乘加电路，并且

其中每一个乘加电路被配置成通过使用从插值系数重新布置部馈送给插值系数输入的插值系数对馈送给第一到第四像素数据输入的输入图像的像素的像素数据执行插值来生成输出图像的像素的像素数据。

16.一种用于通过利用具有多个插值系数输入的缩放处理部对输入图像执行图像缩放来生成输出图像的图像处理方法，所述方法包括：

响应于输出图像的目标像素的坐标而将从多个第一插值系数和通过从预定值分别减去第一插值系数所获得的多个第二插值系数选择的插值系数馈送给缩放处理部的相应插值系数输入；以及

通过缩放处理部，通过使用馈送给插值系数输入的插值系数对输入图像的像素的像素数据执行插值来生成输出图像的目标像素的像素数据；

其中，相对于其中布置输入图像像素的区段的中心来划分第一区域、第二区域、第三区域和第四区域；

所述第二区域、第三区域和第四区域中的输入和输出图像的像素布置关于所述第一区域中的输入和输出图像的像素布置是线对称或点对称的。

17.根据权利要求16所述的图像处理方法，还包括：

接收用于生成输出图像的目标像素的输入图像的四个像素的像素数据；以及

将所接收的四个像素的像素数据馈送给缩放处理部的第一到第四像素数据输入，其中四个像素的像素数据响应于目标像素的坐标而被重新布置，

其中输出图像的目标像素的像素数据通过对在第一到第四像素数据输入上所接收的输入图像的四个像素的像素数据执行插值来生成。

用于图像缩放的设备和方法

技术领域

[0001] 本发明涉及图像处理电路、显示面板驱动器、显示设备和图像处理方法，更具体地涉及优选地用于图像处理电路、显示面板驱动器和显示设备中的用于图像缩放的设备和方法。

背景技术

[0002] 驱动显示面板(例如液晶显示面板)的显示面板驱动器通常具有执行图像缩放以放大图像的功能。这样的功能可以用于在输入图像数据与显示面板分辨率不匹配时从外部馈送给显示面板驱动器的输入图像数据生成与显示面板分辨率匹配的像素数据。

[0003] 双线性方法是用于图像缩放的一种已知方法。在双线性方法中，通过输入图像的像素数据的线性插值来计算输出图像(经放大或缩小的图像)的像素数据。通过双线性方法的图像缩放通常涉及依照放大/缩小因子来确定输出图像的每一个像素的位置、以及通过最接近于输出图像的每一个像素的输入图像的四个像素的像素数据的线性插值来计算每一个像素的像素数据(更通常是，包括指示红色(R)、绿色(G)和蓝色(B)的灰度级的数据)。基于输出图像的每一个像素的位置来确定在线性插值中给予输入图像的四个最接近像素的权重。

[0004] 在诸如显示面板驱动器之类的集成电路(IC)中，常常通过硬件电路来实现图像缩放。其中通过硬件电路来实现图像缩放的配置在处理速度方面是优越的，并且尤其适于要求实时图像处理的系统，诸如显示面板驱动器。

[0005] 基于硬件的图像缩放的一个问题是插值系数的馈送。当以缩放因子M/N(也就是说，从输入图像的N×N个像素的图像数据生成输出图像的M×M个像素的图像数据)执行图像缩放时，必要的是确定用于输出图像的M×M个像素中的每一个的插值系数，其中M和N是被选择成使得M/N是不可约分数的正整数。换言之，以缩放因子M/N的图像缩放需要将插值系数的M×M个集合馈送给图像缩放单元。这不合期望地增加了对于馈送插值系数所必要的硬件资源。当使用ROM(只读存储器)来存储必要的插值系数时，例如ROM的电路尺寸不合期望地增加。

[0006] 因而，存在针对减少用于馈送插值系数的硬件资源的技术需要。

[0007] 应当指出的是，在以下列出的专利文献中公开了图像缩放：

[0008] 日本专利申请公开第H02-176873 A号公开了一种其中插值函数和放大因子被存储在ROM中的技术。

[0009] 日本专利申请公开第H02-234579 A号公开了一种涉及从相邻两个像素和靠近这两个像素的像素的像素数据来计算定位在该相邻两个像素之间的中点处的中点像素的像素数据、以及通过使用中点像素的像素数据的插值来计算定位在该相邻两个像素之间的期望位置处的新像素的像素数据的技术。

[0010] 国际公开第WO 2012/114574 A1号公开了一种其中通过低分辨率图像的多个像素的像素数据的插值来计算经放大的图像的每一个像素的像素数据的技术。在该国际公布中

所公开的技术中，给予与目标像素高度相关的像素的像素数据的插值系数被增加以实现独立于图像中包括的边缘的形状的适当插值。

[0011] 日本专利申请公开第2011-146888 A号公开了一种涉及针对经放大的图像的目标像素从包括原始图像中的两个相邻像素的三个邻近像素的像素数据来计算像素改变速率、以及使用所计算的像素改变速率来执行插值的技术。

[0012] 日本专利申请公开第H08-315129 A号公开了一种通过向频域中的正交变换而实现图像放大的技术。

[0013] 日本专利申请公开第H08-18769 A号公开了一种用于生成原始图像的每一个像素周围的N×N个像素的图像放大处理。在该专利文献中所公开的技术中，定位在原始图像的每一个像素的左侧、右侧、上侧和下侧上的像素的像素数据被确定为等于原始图像的每一个像素的像素数据，并且针对原始图像的每一个像素倾斜定位的像素的图像数据被确定为原始图像的每一个像素周围的像素的像素数据的平均。

[0014] 日本专利申请公开第H04-156690 A号公开了一种通过仿射变换的图像放大处理。

[0015] 日本专利申请公开第S62-282377 A号公开了一种将移位寄存器用作行缓冲器并且通过将地址除以放大因子来计算插值系数的技术。

发明内容

[0016] 因此，本发明的目的是减少用于将插值系数馈送给执行图像缩放的电路的硬件资源。

[0017] 本发明的其他目的和新特征将被本领域技术人员根据以下公开内容所理解。

[0018] 在本发明的一方面中，提供了一种用于通过对输入图像执行图像缩放来生成输出图像的图像处理电路。图像处理电路包括具有多个插值系数输入的缩放处理部、插值系数重新布置部、以及插值系数馈送部。插值系数馈送部将多个第一插值系数馈送给插值系数重新布置部。插值系数重新布置部被配置成响应于输出图像的目标像素的坐标而将从多个第一插值系数和通过从预定值分别减去第一插值系数所获得的多个第二插值系数选择的插值系数馈送给缩放处理部的相应插值系数输入。缩放处理部被配置成通过使用从插值系数重新布置部馈送给插值系数输入的插值系数对输入图像的像素的像素数据执行插值来生成输出图像的目标像素的像素数据。

[0019] 在本发明的另一方面中，提供了一种用于驱动显示面板的显示面板驱动器。显示面板驱动器包括：对输入图像的像素的像素数据执行图像缩放以生成输出图像的像素的像素数据的缩放器电路；以及响应于从缩放器电路所接收的输出图像的像素的像素数据来驱动显示面板的驱动部。缩放器电路包括具有多个插值系数输入的缩放处理部、插值系数重新布置部、以及插值系数馈送部。插值系数馈送部将多个第一插值系数馈送给插值系数重新布置部。插值系数重新布置部被配置成响应于输出图像的目标像素的坐标而将从多个第一插值系数和通过从预定值分别减去第一插值系数所获得的多个第二插值系数选择的插值系数馈送给缩放处理部的相应插值系数输入。缩放处理部被配置成通过使用从插值系数重新布置部馈送给插值系数输入的插值系数对输入图像的像素的像素数据执行插值来生成输出图像的目标像素的像素数据。

[0020] 在本发明的又另一方面中，显示设备包括显示面板和显示面板驱动器。显示面板

驱动器包括:对输入图像的像素的像素数据执行图像缩放以生成输出图像的像素的像素数据的缩放器电路;以及响应于从缩放器电路所接收的输出图像的像素的像素数据来驱动显示面板的驱动部。缩放器电路包括具有多个插值系数输入的缩放处理部、插值系数重新布置部、以及插值系数馈送部。

[0021] 插值系数馈送部将多个第一插值系数馈送给插值系数重新布置部。插值系数重新布置部被配置成响应于输出图像的目标像素的坐标而将从多个第一插值系数和通过从预定值分别减去第一插值系数所获得的多个第二插值系数选择的插值系数馈送给缩放处理部的相应插值系数输入。缩放处理部被配置成通过使用从插值系数重新布置部馈送给插值系数输入的插值系数对输入图像的像素的像素数据执行插值来生成输出图像的目标像素的像素数据。

[0022] 本发明有效地减少了用于将插值系数馈送给执行图像缩放的电路的硬件资源。

附图说明

[0023] 本发明的上述和其他优点和特征将根据结合附图进行的以下描述而更明显,在所述附图中:

[0024] 图1是图示了双线性图像缩放的示例的概念图;

[0025] 图2是图示了通过双线性方法计算输出图像的目标像素Q的像素数据的细节的图;

[0026] 图3图示了与以缩放因子4/3的图像缩放的一个单元处理相关的输出图像的4×4个像素Q和输入图像的5×5个像素P的布置;

[0027] 图4图示了以缩放因子4/3的图像缩放中的输入和输出图像的像素的布置中的对称性质;

[0028] 图5图示了定位在输出图像的左上方区域中的像素Q的像素数据的示例性计算方法;

[0029] 图6是图示了执行本实施例的图像缩放的图像处理电路的示例性配置的电路图;

[0030] 图7A图示了本实施例中的像素数据重新布置电路的示例性操作的真值表;

[0031] 图7B是图示了本实施例中的插值系数重新布置电路的示例性操作的真值表;

[0032] 图8A是图示了本实施例中的针对y=0的图像处理电路的操作的时间图;

[0033] 图8B是图示了本实施例中的针对y=1的图像处理电路的操作的时间图;

[0034] 图8C是图示了本实施例中的针对y=2的图像处理电路的操作的时间图;

[0035] 图8D是图示了本实施例中的针对y=3的图像处理电路的操作的时间图;

[0036] 图9概念地图示了以缩放因子3/2的图像缩放;

[0037] 图10图示了与以缩放因子3/2的图像缩放的一个单元处理相关的输入图像的4×4个像素P和对应的输出图像的3×3个像素Q的布置;

[0038] 图11是图示了用于以缩放因子3/2的图像缩放的图像处理电路的示例性配置的电路图;

[0039] 图12概念地图示了由图11中所图示的图像处理电路针对其执行图像缩放的像素的布置;

[0040] 图13是图示了本实施例中的插值系数重新布置电路的示例性操作的真值表;

[0041] 图14A和14B是图示了针对y=0的图11中所图示的图像处理电路的操作的时间图;

[0042] 图15A和15B是图示了针对y=1的图11中所图示的图像处理电路的操作的时间图；

[0043] 图16A和16B是图示了针对y=2的图11中所图示的图像处理电路的操作的时间图；

[0044] 图17是图示了本发明的一个实施例中的显示设备的示例性配置的框图；

[0045] 图18是液晶显示面板的显示区段(region)的配置的一个示例;以及

[0046] 图19是图示了驱动器IC的配置的示例的框图。

具体实施方式

[0047] 现在本文将参照说明性实施例来描述本发明。本领域技术人员将认识到,可以使用本发明的教导实现许多可替换的实施例,并且本发明不限于出于解释性目的而说明的实施例。将领会到,出于说明的简单性和清楚性,图中的元件未必按照比例绘制。例如,一些元件的尺寸相对于其他元件被夸大。

[0048] 为了更好地理解本发明,首先给出双线性图像缩放的概况的描述。

[0049] 图1是图示了双线性图像缩放的示例的概念图。图1中所图示的是以放大因子4/3的图像放大,也就是,其中从输入图像的3×3个像素P的图像数据生成输出图像的4×4个像素Q的图像数据的图像缩放。

[0050] 在双线性图像缩放中,依照放大因子(或缩小因子)来确定输出图像(经放大或缩小的图像)的每一个像素Q的位置,并且通过最接近于每一个像素Q的输入图像的四个像素的像素数据的线性插值来计算输出图像的每一个像素Q的像素数据(最通常是,指示红色(R)、绿色(G)和蓝色(B)的数据)。在其中输出图像的一些像素从输入图像的最外侧像素P向外定位的图像放大处理中,通过虚拟地生成作为输入图像的最外侧像素P的副本并且具有相同像素数据的副本像素以及对最外侧像素P和副本像素的像素数据执行线性插值来确定从输入图像的最外侧像素P向外定位的输出图像的像素Q的像素数据。

[0051] 图2是图示了通过双线性方法计算输出图像的目标像素Q的像素数据的细节的图。从最接近于目标像素Q的输入图像的四个像素A、B、C和D的像素数据来计算目标像素Q的像素数据。更具体地,通过在水平方向上执行像素A和B的像素数据的线性插值来计算像素R1的像素数据,并且通过在水平方向上执行像素C和D的像素数据的线性插值来计算像素R2的像素数据,其中像素R1是定位在与目标像素Q相同的水平位置(x轴方向上的位置)处并且与像素A和B相同的竖直位置(y轴方向上的位置)处的虚拟像素,并且像素R2是定位在与目标像素Q相同的水平位置(x轴方向上的位置)处并且与像素C和D相同的竖直位置(y轴方向上的位置)处的虚拟像素。通过在竖直方向上执行像素R1和R2的像素数据的线性插值来计算目标像素Q的像素数据。

[0052] 四个插值系数t、1-t、s和1-s被用来计算目标像素Q的像素数据。更具体地,通过水平方向上的插值所获得的像素R1和R2的像素数据以及目标像素Q的像素数据可以如下那样表示：

[0053] $R1 = t \cdot A + (1-t) \cdot B,$ …(1a)

[0054] $R2 = t \cdot C + (1-t) \cdot D$,以及 …(1b)

[0055] $Q = s \cdot R1 + (1-s) \cdot R2$。 …(1c)

[0056] 在图2中所图示的示例中,t和1-t是用于水平方向上的插值的插值系数,并且s和1-s是用于竖直方向上的插值的插值系数。

[0057] 应当指出的是，尽管图2图示了其中竖直方向上的线性插值跟在水平方向上的线性插值之后的计算过程，但是顺序可以颠倒。在实际实现方式中，可以执行其中同时执行水平和竖直方向上的线性插值的计算。当以RGB格式描述像素数据时，对于每一个颜色单独地执行像素数据的图像缩放处理。

[0058] 返回参照图1，以缩放因子M/N的图像缩放的单元处理涉及生成输出图像的M×M个像素Q的像素数据，其中M和N是被选择成使得M/N是不可约分数的正整数。在图示了以缩放因子4/3的图像缩放的图1中，例如区段U1中的输出图像的4×4个像素Q是在某一单元处理中针对其处理像素数据的像素Q。在双线性方法中，需要与输出图像的M×M个像素Q向外相邻的输入图像的像素P的像素数据以执行插值，并且因此输出图像的M×M个像素Q的像素数据的生成需要输入图像的(N+2)×(N+2)个像素P的像素数据。

[0059] 图3图示了与以缩放因子4/3的图像缩放的某一单元处理相关的输出图像的4×4个像素Q和输入图像的5×5个像素P的布置。在以缩放因子4/3的图像缩放中，从输入图像的5×5个像素P的像素数据生成输出图像的4×4个像素Q的像素数据。

[0060] 由于输出图像的每一个像素Q的像素数据的计算需要插值系数(t、1-t、s和1-s)的一个集合，所以针对与每一个单元处理相关的M×M个像素Q的计算需要插值系数的M×M个集合。一种可能的方法可以是将M×M个插值系数存储在存储单元(例如ROM(只读存储器))中，如日本专利申请公开第H02-176873 A号中所公开的。然而，该方法不合期望地导致存储单元的电路大小的增加。另一种可能的方法是连续计算插值系数，如例如日本专利申请公开第2011-146888 A号中所公开的。然而，连续计算插值系数的配置在处理量和电路大小方面是不利的。在下文详细描述的本实施例的图像缩放采用用于减少用来将插值系数馈送给执行图像缩放的电路的硬件资源的方法。

[0061] 本发明人所关注的是输入和输出图像的像素关于以缩放因子M/N的双线性图像缩放的每一个单元处理的对称布置。图4图示了输入和输出图像的像素的布置中的对称性质。图4中所图示的是以缩放因子4/3的图像缩放中的输入和输出图像的像素的布置中的对称性质，也就是，输入图像的5×5个像素和输出图像的4×4个像素的布置中的对称性质。

[0062] 在以下讨论中，在其中布置输入图像的5×5个像素的区段中限定四个区域：左上方区域、右上方区域、左下方区域和右下方区域。通过利用直线H和V划分其中布置输入图像的5×5个像素的区段来限定这四个区域，其中直线H在x轴方向上延伸并经过其中布置输入图像的5×5个像素的区段的中心，并且直线V在y方向上延伸并经过其中布置输入图像的5×5个像素的区段的中心。更具体地，左上方区域被限定为输入图像的像素P(0,0)、P(0,2)、P(2,0)和P(2,2)关于其被限定为顶点的矩形区域，并且右上方区域被限定为输入图像的像素P(0,2)、P(0,4)、P(2,2)和P(2,4)关于其被限定为顶点的矩形区域。对应地，左下方区域被限定为输入图像的像素P(2,0)、P(2,2)、P(4,0)和P(4,2)关于其被限定为顶点的矩形区域，并且右下方区域被限定为输入图像的像素P(2,2)、P(2,4)、P(4,2)和P(4,4)关于其被限定为顶点的矩形区域。要指出的是，像素P(i,j)是定位在输入图像的5×5个像素的第i行和第j列中的像素。

[0063] 应当注意到以下事实：右上方区域、左下方区域和右下方区域中的输入和输出图像的像素布置关于左上方区域中的输入和输出图像的像素布置是线对称或点对称的。详细地说，右上方区域中的输入和输出图像的像素布置和左上方区域中的输入和输出图像的像

素布置关于直线V是线对称的。换言之，通过左上方区域中的输入和输出图像的像素布置的水平反转(关于直线V反转)来获得右上方区域中的输入和输出图像的像素布置。如图4的右上部中所图示的，通过对右上方区域中的输入和输出图像的像素布置执行水平反转所获得的像素布置与左上方区域中的输入和输出图像的像素布置相同。

[0064] 同样地，左下方区域中的输入和输出图像的像素布置和左上方区域中的输入和输出图像的像素布置关于直线H是线对称的。换言之，通过左上方区域中的输入和输出图像的像素布置的竖直反转(关于直线H的反转)来获得左下方区域中的输入和输出图像的像素布置。如图4的左下部中所图示的，对左下方区域中的输入和输出图像的像素布置执行竖直反转所获得的像素布置与左上方区域中的输入和输出图像的像素布置相同。

[0065] 此外，右下方区域中的输入和输出图像的像素布置和左上方区域中的输入和输出图像的像素布置关于特定点(在该示例中，像素P(2,2))是点对称的。换言之，通过左上方区域中的输入和输出图像的像素布置的竖直和水平反转(关于直线V和直线H的反转)来获得右下方区域中的输入和输出图像的像素布置。如图4的右下部中所图示的，通过对右下方区域中的输入和输出图像的像素布置执行竖直和水平反转所获得的像素布置与左上方区域中的输入和输出图像的像素布置相同。

[0066] 可以通过使用上述对称性质来有效地减少要馈送给执行图像缩放的电路系统的插值系数的集合的数目。首先，图5图示了定位在左上方区域中的输出图像的像素Q(0,0)、Q(0,1)、Q(1,0)和Q(1,1)的像素数据的示例性计算方法。通过输入图像的像素P(0,0)、P(0,1)、P(1,0)和P(1,1)的像素数据的线性插值来获得输出图像的像素Q(0,0)的像素数据。在该线性插值中，s和1-s被用作针对水平和竖直方向上的两个插值的插值系数。通过输入图像的像素P(0,1)、P(0,2)、P(1,1)和P(1,2)的像素数据的线性插值来获得输出图像的像素Q(0,1)的像素数据。在该线性插值中，t和1-t被用作水平方向上的插值中的插值系数，并且s和1-s被用作竖直方向上的插值中的插值系数。

[0067] 此外，通过输入图像的像素P(1,0)、P(1,1)、P(2,0)和P(2,1)的像素数据的线性插值来获得输出图像的像素Q(1,0)的像素数据。在该线性插值中，s和1-s被用作水平方向上的插值中的插值系数，并且t和1-t被用作竖直方向上的插值中的插值系数。通过输入图像的像素P(1,1)、P(1,2)、P(2,1)和P(2,2)的像素数据的线性插值来获得输出图像的像素Q(1,1)的像素数据。在该线性插值中，t和1-t被用作针对水平和竖直方向上的两个插值的插值系数。

[0068] 可以通过对输入和输出图像的像素布置分别执行水平反转、竖直反转和水平及竖直反转并且然后执行与对输出图像的左上方区域中的像素的像素数据所执行的相同处理来实现输出图像的右上方区域、左下方区域和右下方区域中的像素的像素数据的计算。可以通过重新布置像素数据和/或插值系数来实现输入和输出图像的像素布置的反转。因此，可以通过准备被配置成执行图5中所图示的处理(也就是，输出图像的左上方区域中的像素的图像数据的计算)的缩放处理部并且在馈送四个像素的像素数据和插值系数时执行输入图像的四个像素的像素数据和/或插值系数的重新布置来得到定位在右上方区域、左下方区域和右下方区域中的输出图像的像素的像素数据。该方法允许减少要馈送给缩放处理部的插值系数的集合数目。可以利用具有数据选择的功能的重新布置电路(诸如选择器和复用器)来实现像素数据和/或插值系数的重新布置。在下文中，给出被配置成通过执行像素

数据和/或插值系数的重新布置来减少要馈送给缩放处理部的插值系数的集合数目的图像处理电路的配置的描述。

[0069] 图6是图示了执行本实施例的图像缩放的图像处理电路10的示例性配置的电路图。图像处理电路10被配置成根据如图2中所图示的那样布置的输入图像的四个像素A、B、C和D的像素数据来计算输出图像的目标像素Q的像素数据。应当指出的是，输入图像的四个像素A、B、C和D的像素数据还可以由符号“A”、“B”、“C”和“D”来表示，并且输出图像的目标像素Q的像素数据还可以由符号“Q”来表示。

[0070] 图像处理电路10包括像素数据重新布置电路11、插值系数存储部12、插值系数重新布置电路13和缩放处理部14。

[0071] 像素数据重新布置电路11接收输入图像的四个像素的像素数据A、B、C和D，并且以期望顺序重新布置像素数据A、B、C和D以输出到缩放处理部14的像素数据输入a、b、c和d。基于输出图像的目标像素Q的坐标(x,y)执行该重新布置，其中坐标x以像素数目的表示法指示目标像素Q在输出图像的水平方向上的位置，并且坐标y以像素数目的表示法指示目标像素Q在输出图像的竖直方向上的位置。

[0072] 图7A是图示了本实施例中的像素数据重新布置电路11的示例性操作的真值表。图7A的真值表指示例如当以下对于坐标(x,y)有效时将像素数据A、B、C和D分别馈送给像素数据输入a、b、c和d：

[0073] (y/2)%2 = 0，以及

[0074] (x/2)%2 = 0，

[0075] 其中运算符“/”指示除法并且运算符“%”指示找出余数的模运算。本领域技术人员将从图7A中所图示的真值表理解针对(y/2)%2和(x/2)%2的不同值的操作。

[0076] 返回参照图6，插值系数存储部12在其中存储插值系数s和t，并且将所存储的插值系数s和t馈送给插值系数重新布置电路13。应当指出的是，插值系数存储部12仅存储对于计算定位在输出图像的左上方区域中的像素的像素数据所必要的插值系数s和t。

[0077] 插值系数重新布置电路13从插值系数s和t计算插值系数1-s和1-t，并且将从插值系数s、1-s、t和1-t选择的插值系数馈送给缩放处理部14的每一个插值系数输入q1至q6，其中插值系数输入q1至q4是接收用于水平方向上的插值的插值系数的输入，并且插值系数输入q5和q6是接收用于竖直方向上的插值的插值系数的输入。应当指出的是，馈送给插值系数输入q1和q3的插值系数具有相同值，并且馈送给插值系数输入q2和q4的插值系数具有相同值。响应于输出图像的目标像素Q的坐标(x,y)来选择馈送给插值系数输入q1至q6的插值系数。

[0078] 图7B是图示了本实施例中的插值系数重新布置电路13的示例性操作的真值表。图7B的真值表指示例如当以下对于坐标(x,y)有效时分别将插值系数s、1-s、s、1-s、s和1-s馈送给插值系数输入q1至q6：

[0079] y%2 = 0，以及

[0080] x%2 = 0。

[0081] 本领域技术人员将根据图7B中所图示的真值表理解针对y%2和x%2的不同值的操作。

[0082] 返回参照图6，缩放处理部14利用在插值系数输入q1至q6上所接收的插值系数对

在像素数据输入a、b、c和d上所接收的四个像素数据执行图像缩放，以计算输出图像的目标像素的像素数据Q。详细地说，被配置为执行乘加运算的乘加电路的缩放处理部14包括乘法器21至24、加法器25、26、乘法器27、28和加法器29。

[0083] 乘法器21输出在像素数据输入a上所接收的像素数据与在插值系数输入q1上所接收的插值系数的乘积，并且乘法器22输出在像素数据输入b上所接收的像素数据与在插值系数输入q2上所接收的插值系数的乘积。类似地，乘法器23输出在像素数据输入c上所接收的像素数据与在插值系数输入q3上所接收的插值系数的乘积，并且乘法器24输出在像素数据输入d上所接收的像素数据与在插值系数输入q4上所接收的插值系数的乘积。

[0084] 加法器25输出乘法器21和22的输出之和，并且加法器26输出乘法器23和24的输出之和。

[0085] 乘法器27输出加法器25的输出与在插值系数输入q5上所接收的插值系数的乘积，并且乘法器28输出加法器26的输出与在插值系数输入q6上所接收的插值系数的乘积。

[0086] 加法器29输出乘法器27和28的输出之和。在本实施例的图像处理电路10中，加法器29的输出被用作输出图像的目标像素Q的像素数据。

[0087] 应当指出的是，在图像处理电路10的实际实现方式中，插值系数s和1-s以二进制表示法表示，并且因此从插值系数s获得插值系数1-s的计算可以实现为从预定值减去插值系数s的运算。类似地，从插值系数t获得插值系数1-t的计算可以实现为从预定值减去插值系数t的运算。

[0088] 图8A至8B是图示了本实施例中的图像处理电路10的示例性操作的时间图。在下文中，给出了关于左上方、右上方、左下方和右下方区域的输出图像的像素的像素数据的计算的描述。

[0089] (关于左上方和右上方区域的输出图像的像素的像素数据的计算)

[0090] 图8A和8B是图示了关于左上方和右上方区域的输出图像的像素Q的像素数据的示例性计算方法的时间图。

[0091] 图8A图示了针对y=0(也就是，针对输出图像的像素Q(0,0)、Q(0,1)、Q(0,2)、Q(0,3)…的像素数据的计算)的图像处理电路10的操作。当y=0且x=0时，计算输出图像的像素Q(0,0)的像素数据。如从图4所理解的，根据输入图像的像素P(0,0)、P(0,1)、P(1,0)和P(1,1)的像素数据来计算输出图像的像素Q(0,0)的像素数据。也就是说，馈送像素P(0,0)、P(0,1)、P(1,0)和P(1,1)的像素数据来作为像素数据A、B、C和D。如从图4所理解的，输出图像的像素Q(0,0)定位在左上方区域中，并且因此在计算像素Q(0,0)的像素数据时针对输入图像的像素P和输出图像的像素Q的布置不执行反转。因此，像素数据重新布置电路11分别将像素数据A、B、C和D(也就是，输入图像的像素P(0,0)、P(0,1)、P(1,0)和P(1,1)的像素数据)馈送给像素数据输入a、b、c和d。

[0092] 插值系数重新布置电路13将用于水平方向上的插值的插值系数馈送给插值系数输入q1至q4，并且将用于竖直方向上的插值的插值系数馈送给插值系数输入q5和q6。换言之，插值系数s、1-s、s和1-s分别被馈送给插值系数输入q1、q2、q3和q4，并且插值系数s和1-s分别被馈送给插值系数输入q5和q6。从图5将容易理解到，在输出图像的像素Q(0,0)的像素数据的计算中，用于水平方向上的插值的插值系数是s和1-s，并且用于竖直方向上的插值的插值系数也是s和1-s。

[0093] 缩放处理部14根据馈送给像素数据输入a、b、c和d的像素数据和馈送给插值系数输入q1至q6的插值系数来计算输出图像的像素Q(0,0)的像素数据。依照以下表达式来计算像素Q(0,0)的像素数据：

[0094] $Q(0,0) = s \cdot (s \cdot P(0,0) + (1-s) \cdot P(0,1)) +$

[0095] $(1-s) \cdot (s \cdot P(1,0) + (1-s) \cdot P(1,1))$，

[0096] 其中运算符“•”表示乘法。

[0097] 当y=0且x=1时，计算输出图像的像素Q(0,1)的像素数据。根据输入图像的像素P(0,1)、P(0,2)、P(1,1)和P(1,2)的像素数据来计算输出图像的像素Q(0,1)的像素数据。也就是说，分别馈送像素P(0,1)、P(0,2)、P(1,1)和P(1,2)的像素数据来作为像素数据A、B、C和D。

[0098] 输出图像的像素Q(0,1)也定位在左上方区域中，并且因此在计算像素Q(0,1)的像素数据时针对输入图像的像素P和输出图像的像素Q的布置不执行反转。因此，像素数据重新布置电路11分别将像素数据A、B、C和D(也就是，输入图像的像素P(0,1)、P(0,2)、P(1,1)和P(1,2)的像素数据)馈送给像素数据输入a、b、c和d。另一方面，插值系数重新布置电路13分别将作为用于水平方向上的插值的插值系数的插值系数t、1-t、t和1-t馈送给插值系数输入q1、q2、q3和q4，并且分别将作为用于竖直方向上的插值的插值系数的插值系数s和1-s馈送给插值系数输入q5和q6。

[0099] 缩放处理部14根据馈送给像素数据输入a、b、c和d的像素数据和馈送给插值系数输入q1至q6的插值系数来计算输出图像的像素Q(0,1)的像素数据。依照以下表达式计算像素Q(0,1)的像素数据：

[0100] $Q(0,1) = s \cdot (t \cdot P(0,1) + (1-t) \cdot P(0,2)) +$

[0101] $(1-s) \cdot (t \cdot P(1,1) + (1-t) \cdot P(1,2))$。

[0102] 当y=0且x=2时，计算输出图像的像素Q(0,2)的像素数据。根据输入图像的像素P(0,2)、P(0,3)、P(1,2)和P(1,3)的像素数据来计算输出图像的像素Q(0,2)的像素数据。也就是说，分别馈送像素P(0,2)、P(0,3)、P(1,2)和P(1,3)的像素数据来作为像素数据A、B、C和D。

[0103] 如从图4所理解到的，输出图像的像素Q(0,2)定位在右上方区域中，并且因此输入图像的像素P和输出图像的像素Q的布置被水平反转。因此，像素数据重新布置电路11分别将像素数据B、A、D和C(也就是，输入图像的像素P(0,3)、P(0,2)、P(1,3)和P(1,2)的像素数据)馈送给像素数据输入a、b、c和d。另一方面，插值系数重新布置电路13将插值系数馈送给插值系数输入q1至q6，从而使输入图像的像素P和输出图像的像素Q的布置水平反转。也就是说，插值系数重新布置电路13分别将作为用于水平方向上的插值的插值系数的插值系数t、1-t、t和1-t馈送给插值系数输入q1、q2、q3和q4，并且分别将作为用于竖直方向上的插值的插值系数的插值系数s和1-s馈送给插值系数输入q5和q6。应当指出的是，在计算输出图像的像素Q(0,2)的像素数据中馈送给插值系数输入q1至q6的插值系数与在计算像素Q(0,1)的像素数据中馈送给插值系数输入q1至q6的插值系数相同；要指出的是，像素Q(0,1)和Q(0,2)关于直线V线对称地定位。

[0104] 缩放处理部14根据馈送给像素数据输入a、b、c和d的像素数据和馈送给插值系数输入q1至q6的插值系数来计算输出图像的像素Q(0,2)的像素数据。依照以下表达式计算像

素Q(0,2)的像素数据：

[0105] Q(0, 2) = s • (t • P(0, 3) + (1-t) • P(0, 2)) +

[0106] (1-s) • (t • P(1, 3) + (1-t) • P(1, 2))。

[0107] 当y=0且x=3时，计算输出图像的像素Q(0,3)的像素数据。根据输入图像的像素P(0,3)、P(0,4)、P(1,3)和P(1,4)的像素数据来计算输出图像的像素Q(0,3)的像素数据。也就是说，分别馈送像素P(0,3)、P(0,4)、P(1,3)和P(1,4)的像素数据来作为像素数据A、B、C和D。

[0108] 输出图像的像素Q(0,3)也定位在右上方区域中，并且因此输入图像的像素P和输出图像的像素Q的布置被水平反转。因此，像素数据重新布置电路11分别将像素数据B、A、D和C(也就是，输入图像的像素P(0,4)、P(0,3)、P(1,4)和P(1,3)的像素数据)馈送给像素数据输入a、b、c和d。另一方面，插值系数重新布置电路13将插值系数馈送给插值系数输入q1至q6，从而使输入图像的像素P和输出图像的像素Q的布置水平反转。也就是说，插值系数重新布置电路13分别将作为用于水平方向上的插值的插值系数的插值系数s、1-s、s和1-s馈送给插值系数输入q1、q2、q3和q4，并且分别将作为用于竖直方向上的插值的插值系数的插值系数s和1-s馈送给插值系数输入q5和q6。应当指出的是，在计算输出图像的像素Q(0,3)的像素数据中馈送给插值系数输入q1至q6的插值系数与在计算像素Q(0,0)的像素数据中馈送给插值系数输入q1至q6的插值系数相同；要指出的是，像素Q(0,0)和Q(0,3)关于直线V线对称地定位。

[0109] 缩放处理部14根据馈送给像素数据输入a、b、c和d的像素数据和馈送给插值系数输入q1至q6的插值系数来计算输出图像的像素Q(0,3)的像素数据。依照以下表达式计算像素Q(0,3)的像素数据：

[0110] Q(0, 3) = s • (s • P(0, 4) + (1-s) • P(0, 3)) +

[0111] (1-s) • (s • P(1, 4) + (1-s) • P(1, 3))。

[0112] 与像素Q(0,0)至Q(0,3)类似地计算y=0情况下的输出图像的其他像素Q的像素数据。与像素Q(0,0)和Q(0,1)的像素数据类似地，在不反转输入图像的像素P和输出图像的像素Q的布置的情况下计算像素Q(0,4i)和Q(0,4i+1)(其中i是等于或大于1的整数)的像素数据。与像素Q(0,2)和Q(0,3)的像素数据类似地，在输入图像的像素P和输出图像的像素Q的布置被水平反转的情况下计算像素Q(0,4i+2)和Q(0,4i+3)(其中i是等于或大于1的整数)的像素数据。

[0113] 图8B图示了针对y=1(也就是，针对输出图像的像素Q(1,0)、Q(1,1)、Q(1,2)、Q(1,3)…的像素数据的计算)的图像处理电路10的操作。采用与针对y=0的输出图像的像素Q的像素数据的计算类似的方式实现针对y=1的输出图像的像素Q的像素数据的计算。

[0114] 细节如下：当y=1且x=0时，计算输出图像的像素Q(1,0)的像素数据。如从图4所理解到的，根据输入图像的像素P(1,0)、P(1,1)、P(2,0)和P(2,1)的像素数据来计算输出图像的像素Q(1,0)的像素数据。也就是说，馈送像素P(1,0)、P(1,1)、P(2,0)和P(2,1)的像素数据来作为像素数据A、B、C和D。

[0115] 如从图4所理解到的，输出图像的像素Q(1,0)定位在左上方区域中，并且因此针对输入图像的像素P和输出图像的像素Q的布置不执行反转。因此，像素数据重新布置电路11分别将像素数据A、B、C和D(也就是，输入图像的像素P(1,0)、P(1,1)、P(2,0)和P(2,1)的像

素数据)馈送给像素数据输入a、b、c和d。另一方面，插值系数重新布置电路13分别将作为用于水平方向上的插值的插值系数的插值系数s、1-s、s和1-s馈送给插值系数输入q1、q2、q3和q4，并且分别将作为用于竖直方向上的插值的插值系数的插值系数t和1-t馈送给插值系数输入q5和q6。

[0116] 缩放处理部14根据馈送给像素数据输入a、b、c和d的像素数据和馈送给插值系数输入q1至q6的插值系数来计算输出图像的像素Q(1,0)的像素数据。依照以下表达式计算像素Q(1,0)的像素数据：

[0117] $Q(1, 0) = t \cdot (s \cdot P(1, 0) + (1-s) \cdot P(1, 1)) +$

[0118] $(1-t) \cdot (s \cdot P(2, 0) + (1-s) \cdot P(2, 1))$。

[0119] 当y=1且x=1时，计算输出图像的像素Q(1,1)的像素数据。根据输入图像的像素P(1,1)、P(1,2)、P(2,1)和P(2,2)的像素数据来计算输出图像的像素Q(1,1)的像素数据。也就是说，分别馈送像素P(1,1)、P(1,2)、P(2,1)和P(2,2)的像素数据来作为像素数据A、B、C和D。

[0120] 输出图像的像素Q(1,1)也定位在左上方区域中，并且因此针对输入图像的像素P和输出图像的像素Q的布置不执行反转。因此，像素数据重新布置电路11分别将像素数据A、B、C和D(也就是，输入图像的像素P(1,1)、P(1,2)、P(2,1)和P(2,2)的像素数据)馈送给像素数据输入a、b、c和d。另一方面，插值系数重新布置电路13分别将作为用于水平方向上的插值的插值系数的插值系数t、1-t、t和1-t馈送给插值系数输入q1、q2、q3和q4，并且分别将作为用于竖直方向上的插值的插值系数的插值系数t和1-t馈送给插值系数输入q5和q6。

[0121] 缩放处理部14根据馈送给像素数据输入a、b、c和d的像素数据和馈送给插值系数输入q1至q6的插值系数来计算输出图像的像素Q(1,1)的像素数据。依照以下表达式计算像素Q(1,1)的像素数据：

[0122] $Q(1, 1) = t \cdot (t \cdot P(1, 1) + (1-t) \cdot P(1, 2)) +$

[0123] $(1-t) \cdot (t \cdot P(2, 1) + (1-t) \cdot P(2, 2))$。

[0124] 当y=1且x=2时，计算输出图像的像素Q(1,2)的像素数据。根据输入图像的像素P(1,2)、P(1,3)、P(2,2)和P(2,3)的像素数据来计算输出图像的像素Q(1,2)的像素数据。也就是说，分别馈送像素P(1,2)、P(1,3)、P(2,2)和P(2,3)的像素数据来作为像素数据A、B、C和D。

[0125] 如从图4所理解到的，输出图像的像素Q(1,2)定位在右上方区域中，并且因此输入图像的像素P和输出图像的像素Q的布置被水平反转。因此，像素数据重新布置电路11分别将像素数据B、A、D和C(也就是，输入图像的像素P(1,3)、P(1,2)、P(2,3)和P(2,2)的像素数据)馈送给像素数据输入a、b、c和d。另一方面，插值系数重新布置电路13将插值系数馈送给插值系数输入q1至q6，从而使输入图像的像素P和输出图像的像素Q的布置水平反转。也就是说，插值系数重新布置电路13分别将作为用于水平方向上的插值的插值系数的插值系数t、1-t、t和1-t馈送给插值系数输入q1、q2、q3和q4，并且分别将作为用于竖直方向上的插值的插值系数的插值系数t和1-t馈送给插值系数输入q5和q6。应当指出的是，在计算输出图像的像素Q(1,2)的像素数据中馈送给插值系数输入q1至q6的插值系数与在计算像素Q(1,1)的像素数据中馈送给插值系数输入q1至q6的插值系数相同；要指出的是，像素Q(1,1)和Q(1,2)关于直线V线对称地定位。缩放处理部14根据馈送给像素数据输入a、b、c和d的像素数

据和馈送给插值系数输入q1至q6的插值系数来计算输出图像的像素Q(1,2)的像素数据。依照以下表达式计算像素Q(1,2)的像素数据：

[0126] Q(1, 2) =t • (t • P(1, 3) + (1-t) • P(1, 2)) +

[0127] (1-t) • (t • P(2, 3) + (1-t) • P(2, 2))。

[0128] 当y=1且x=3时，计算输出图像的像素Q(1,3)的像素数据。根据输入图像的像素P(1,3)、P(1,4)、P(2,3)和P(2,4)的像素数据来计算输出图像的像素Q(1,3)的像素数据。也就是说，分别馈送像素P(1,3)、P(1,4)、P(2,3)和P(2,4)的像素数据来作为像素数据A、B、C和D。

[0129] 输出图像的像素Q(1,3)也位于右上方区域中，并且因此输入图像的像素P和输出图像的像素Q的布置被水平反转。因此，像素数据重新布置电路11分别将像素数据B、A、D和C(也就是，输入图像的像素P(1,4)、P(1,3)、P(2,4)和P(2,3)的像素数据)馈送给像素数据输入a、b、c和d。另一方面，插值系数重新布置电路13将插值系数馈送给插值系数输入q1至q6，从而使输入图像的像素P和输出图像的像素Q的布置水平反转。也就是说，插值系数重新布置电路13分别将作为用于水平方向上的插值的插值系数的插值系数s、1-s、s和1-s馈送给插值系数输入q1、q2、q3和q4，并且分别将作为用于竖直方向上的插值的插值系数的插值系数t和1-t馈送给插值系数输入q5和q6。应当指出的是，在计算输出图像的像素Q(1,3)的像素数据中馈送给插值系数输入q1至q6的插值系数与在计算像素Q(1,0)的像素数据中馈送给插值系数输入q1至q6的插值系数相同；要指出的是，像素Q(1,0)和Q(1,3)关于直线V线对称地定位。

[0130] 缩放处理部14根据馈送给像素数据输入a、b、c和d的像素数据和馈送给插值系数输入q1至q6的插值系数来计算输出图像的像素Q(1,3)的像素数据。依照以下表达式计算像素Q(1,3)的像素数据：

[0131] Q(1, 3) = t • (s • P(1, 4) + (1-s) • P(1, 3)) +

[0132] (1-t) • (s • P(2, 4) + (1-s) • P(2, 3))。

[0133] 与像素Q(1,0)至Q(1,3)类似地计算y=1的情况下的输出图像的其他像素Q的像素数据。与像素Q(1,0)和Q(1,1)的像素数据类似地，在不反转输入图像的像素P和输出图像的像素Q的布置的情况下计算像素Q(1,4i)和Q(1,4i+1)(其中i为等于或大于1的整数)的像素数据。与像素Q(1,2)和Q(1,3)的像素数据类似地，在使输入图像的像素P和输出图像的像素Q的布置水平反转的情况下计算像素Q(1,4i+2)和Q(1,4i+3)(其中i为等于或大于1的整数)的像素数据。

[0134] (关于左下方和右下方区域的输出图像的像素的像素数据的计算)

[0135] 图8C和8D是图示了关于左下方和右下方区域的输出图像的像素Q的像素数据的示例性计算方法的时间图。

[0136] 图8C图示了针对y=2(也就是，针对输出图像的像素Q(2,0)、Q(2,1)、Q(2,2)、Q(2,3)…的像素数据的计算)的图像处理电路10的操作。

[0137] 当y=2且x=0时，计算输出图像的像素Q(2,0)的像素数据。如从图4所理解到的，根据输入图像的像素P(2,0)、P(2,1)、P(3,0)和P(3,1)的像素数据来计算输出图像的像素Q(2,0)的像素数据。也就是说，分别馈送像素P(2,0)、P(2,1)、P(3,0)和P(3,1)的像素数据来作为像素数据A、B、C和D。

[0138] 如从图4所理解到的，输出图像的像素Q(2,0)定位在左下方区域中，并且因此输入图像的像素P和输出图像的像素Q的布置被竖直反转。因此，像素数据重新布置电路11分别将像素数据C、D、A和B(也就是，输入图像的像素P(3,0)、P(3,1)、P(2,0)和P(2,1)的像素数据)馈送给像素数据输入a、b、c和d。另一方面，插值系数重新布置电路13将作为用于水平方向上的插值的插值系数的插值系数s、1-s、s和1-s分别馈送给插值系数输入q1、q2、q3和q4，并且将作为用于竖直方向上的插值的插值系数的插值系数t和1-t分别馈送给插值系数输入q5和q6。应当指出的是，在计算输出图像的像素Q(2,0)的像素数据中馈送给插值系数输入q1至q6的插值系数与在计算像素Q(1,0)的像素数据中馈送给插值系数输入q1至q6的插值系数相同；要指出的是，像素Q(1,0)和Q(2,0)关于直线H线对称地定位。

[0139] 缩放处理部14根据馈送给像素数据输入a、b、c和d的像素数据和馈送给插值系数输入q1至q6的插值系数来计算输出图像的像素Q(2,0)的像素数据。依照以下表达式计算像素Q(2,0)的像素数据：

[0140] $Q(2,0) = t \cdot (s \cdot P(3,0) + (1-s) \cdot P(3,1)) +$

[0141] $(1-t) \cdot (s \cdot P(2,0) + (1-s) \cdot P(2,1))$。

[0142] 当y=2且x=1时，计算输出图像的像素Q(2,1)的像素数据。根据输入图像的像素P(2,1)、P(2,2)、P(3,1)和P(3,2)的像素数据来计算输出图像的像素Q(2,1)的像素数据。也就是说，分别馈送像素P(2,1)、P(2,2)、P(3,1)和P(3,2)的像素数据来作为像素数据A、B、C和D。

[0143] 输出图像的像素Q(2,1)也定位在左下方区域中，并且因此输入图像的像素P和输出图像的像素Q的布置被竖直反转。因此，像素数据重新布置电路11将像素数据C、D、A和B(也就是，输入图像的像素P(3,1)、P(3,2)、P(2,1)和P(2,2)的像素数据)分别馈送给像素数据输入a、b、c和d。另一方面，插值系数重新布置电路13分别将作为用于水平方向上的插值的插值系数的插值系数t、1-t、t和1-t馈送给插值系数输入q1、q2、q3和q4，并且分别将作为用于竖直方向上的插值的插值系数的插值系数t和1-t馈送给插值系数输入q5和q6。缩放处理部14根据馈送给像素数据输入a、b、c和d的像素数据和馈送给插值系数输入q1至q6的插值系数来计算输出图像的像素Q(2,1)的像素数据。依照以下表达式计算像素Q(2,1)的像素数据：

[0144] $Q(2,1) = t \cdot (t \cdot P(3,1) + (1-t) \cdot P(3,2)) +$

[0145] $(1-t) \cdot (t \cdot P(2,1) + (1-t) \cdot P(2,2))$。

[0146] 当y=2且x=2时，计算输出图像的像素Q(2,2)的像素数据。根据输入图像的像素P(2,2)、P(2,3)、P(3,2)和P(3,3)的像素数据来计算输出图像的像素Q(2,2)的像素数据。也就是说，分别馈送像素P(2,2)、P(2,3)、P(3,2)和P(3,3)的像素数据来作为像素数据A、B、C和D。

[0147] 如从图4所理解到的，输出图像的像素Q(2,2)定位在右下方区域中，并且因此输入图像的像素P和输出图像的像素Q的布置被竖直且水平反转(或180度旋转)。因此，像素数据重新布置电路11将像素数据D、C、B和A(也就是，输入图像的像素P(3,3)、P(3,2)、P(2,3)和P(2,2)的像素数据)分别馈送给像素数据输入a、b、c和d。另一方面，插值系数重新布置电路13将插值系数馈送给插值系数输入q1至q6，从而使输入图像的像素P和输出图像的像素Q的布置竖直且水平反转。插值系数重新布置电路13分别将作为用于水平方向上的插值的插值

系数的插值系数t、1-t、t和1-t馈送给插值系数输入q1、q2、q3和q4，并且分别将作为用于竖直方向上的插值的插值系数的插值系数t和1-t馈送给插值系数输入q5和q6。应当指出的是，在计算输出图像的像素Q(2,2)的像素数据中馈送给插值系数输入q1至q6的插值系数与在计算像素Q(1,1)的像素数据中馈送给插值系数输入q1至q6的插值系数相同；要指出的是，像素Q(1,1)和Q(2,2)点对称地定位。

[0148] 缩放处理部14根据馈送给像素数据输入a、b、c和d的像素数据和馈送给插值系数输入q1至q6的插值系数来计算输出图像的像素Q(2,2)的像素数据。依照以下表达式计算像素Q(2,2)的像素数据：

[0149] $Q(2,\ 2) = t \cdot (t \cdot P(3,\ 3) + (1-t) \cdot P(3,\ 2)) +$

[0150] $(1-t) \cdot (t \cdot P(2,\ 3) + (1-t) \cdot P(2,\ 2))$。

[0151] 当y=2且x=3时，计算输出图像的像素Q(2,3)的像素数据。根据输入图像的像素P(2,3)、P(2,4)、P(3,3)和P(3,4)的像素数据来计算输出图像的像素Q(2,3)的像素数据。也就是说，分别馈送像素P(2,3)、P(2,4)、P(3,3)和P(3,4)的像素数据来作为像素数据A、B、C和D。

[0152] 输出图像的像素Q(2,3)也定位在右下方区域中，并且因此输入图像的像素P和输出图像的像素Q的布置被水平且竖直反转。因此，像素数据重新布置电路11将像素数据D、C、B和A(也就是，输入图像的像素P(3,4)、P(3,3)、P(2,4)和P(2,3)的像素数据)分别馈送给像素数据输入a、b、c和d。另一方面，插值系数重新布置电路13将插值系数分别馈送给插值系数输入q1至q6，从而使输入图像的像素P和输出图像的像素Q的布置水平且竖直反转。插值系数重新布置电路13将作为用于水平方向上的插值的插值系数的插值系数s、1-s、s和1-s分别馈送给插值系数输入q1、q2、q3和q4，并且将作为用于竖直方向上的插值的插值系数的插值系数t和1-t分别馈送给插值系数输入q5和q6。应当指出的是，在计算输出图像的像素Q(2,3)的像素数据中馈送给插值系数输入q1至q6的插值系数与在计算像素Q(1,0)的像素数据中馈送给插值系数输入q1至q6的插值系数相同；要指出的是，像素Q(1,0)和Q(2,3)点对称地定位。

[0153] 缩放处理部14根据馈送给像素数据输入a、b、c和d的像素数据和馈送给插值系数输入q1至q6的插值系数来计算输出图像的像素Q(2,3)的像素数据。依照以下表达式计算像素Q(2,3)的像素数据：

[0154] $Q(2,\ 3) = t \cdot (s \cdot P(3,\ 4) + (1-s) \cdot P(3,\ 3)) +$

[0155] $(1-t) \cdot (s \cdot P(2,\ 4) + (1-s) \cdot P(2,\ 3))$。

[0156] 与像素Q(2,0)至Q(2,3)类似地计算y=2情况下的输出图像的其他像素Q的像素数据。类似于像素Q(2,0)和Q(2,1)的像素数据，在输入图像的像素P和输出图像的像素Q的布置被竖直反转的情况下计算像素Q(2,4i)和Q(2,4i+1)(其中i为等于或大于1的整数)的像素数据。类似于像素Q(2,2)和Q(2,3)的像素数据，在输入图像的像素P和输出图像的像素Q的布置被水平且竖直反转的情况下计算像素Q(2,4i+2)和Q(2,4i+3)(其中i为等于或大于1的整数)的像素数据。

[0157] 图8D图示了针对y=3(也就是，针对输出图像的像素Q(3,0)、Q(3,1)、Q(3,2)、Q(3,3)…的像素数据的计算)的图像处理电路10的操作。采用与针对y=2的输出图像的像素Q的像素数据的计算类似的方式实现针对y=3的输出图像的像素Q的像素数据的计算。

[0158] 当y=3且x=0时，计算输出图像的像素Q(3,0)的像素数据。如从图4所理解到的，根据输入图像的像素P(3,0)、P(3,1)、P(4,0)和P(4,1)的像素数据来计算输出图像的像素Q(3,0)的像素数据。也就是说，馈送像素P(3,0)、P(3,1)、P(4,0)和P(4,1)的像素数据来作为像素数据A、B、C和D。

[0159] 如从图4所理解到的，输出图像的像素Q(3,0)定位在左下方区域中，并且因此输入图像的像素P和输出图像的像素Q的布置被竖直反转。因此，像素数据重新布置电路11将像素数据C、D、A和B(也就是，输入图像的像素P(4,0)、P(4,1)、P(3,0)和P(3,1)的像素数据)分别馈送给像素数据输入a、b、c和d。另一方面，插值系数重新布置电路13将作为用于水平方向上的插值的插值系数的插值系数s、1-s、s和1-s分别馈送给插值系数输入q1、q2、q3和q4，并且将作为用于竖直方向上的插值的插值系数的插值系数s和1-s分别馈送给插值系数输入q5和q6。应当指出的是，在计算输出图像的像素Q(3,0)的像素数据中馈送给插值系数输入q1至q6的插值系数与在计算像素数据Q(0,0)的像素数据中馈送给插值系数输入q1至q6的插值系数相同；要指出的是，像素Q(0,0)和Q(3,0)关于直线H线对称地定位。

[0160] 缩放处理部14根据馈送给像素数据输入a、b、c和d的像素数据和馈送给插值系数输入q1至q6的插值系数来计算输出图像的像素Q(3,0)的像素数据。依照以下表达式计算像素Q(3,0)的像素数据：

[0161] $$Q(3,\ 0) = s \cdot (s \cdot P(4,\ 0) + (1-s) \cdot P(4,\ 1)) +$$

[0162] $$(1-s) \cdot (s \cdot P(3,\ 0) + (1-s) \cdot P(3,\ 1))。$$

[0163] 当y=3且x=1时，计算输出图像的像素Q(3,1)的像素数据。根据输入图像的像素P(3,1)、P(3,2)、P(4,1)和P(4,2)的像素数据来计算输出图像的像素Q(3,1)的像素数据。也就是说，分别馈送像素P(3,1)、P(3,2)、P(4,1)和P(4,2)的像素数据来作为像素数据A、B、C和D。

[0164] 输出图像的像素Q(3,1)也定位在左下方区域中，并且因此输入图像的像素P和输出图像的像素Q的布置被竖直反转。因此，像素数据重新布置电路11将像素数据C、D、A和B(也就是，输入图像的像素P(4,1)、P(4,2)、P(3,1)和P(3,2)的像素数据)分别馈送给像素数据输入a、b、c和d。另一方面，插值系数重新布置电路13将作为用于水平方向上的插值的插值系数的插值系数t、1-t、t和1-t分别馈送给插值系数输入q1、q2、q3和q4，并且将作为用于竖直方向上的插值的插值系数的插值系数s和1-s分别馈送给插值系数输入q5和q6。缩放处理部14根据馈送给像素数据输入a、b、c和d的像素数据和馈送给插值系数输入q1至q6的插值系数来计算输出图像的像素Q(3,1)的像素数据。依照以下表达式计算像素Q(3,1)的像素数据：

[0165] $$Q(3,\ 1) = s \cdot (t \cdot P(4,\ 1) + (1-t) \cdot P(4,\ 2)) +$$

[0166] $$(1-s) \cdot (t \cdot P(3,\ 1) + (1-t) \cdot P(3,\ 2))。$$

[0167] 当y=3且x=2时，计算输出图像的像素Q(3,2)的像素数据。根据输入图像的像素P(3,2)、P(3,3)、P(4,2)和P(4,3)的像素数据来计算输出图像的像素Q(3,2)的像素数据。也就是说，分别馈送像素P(3,2)、P(3,3)、P(4,2)和P(4,3)的像素数据来作为像素数据A、B、C和D。

[0168] 如从图4所理解到的，输出图像的像素Q(3,2)定位在右下方区域中，并且因此输入图像的像素P和输出图像的像素Q的布置被竖直且水平反转(或108度旋转)。因此，像素数据

重新布置电路11将像素数据D、C、B和A(也就是,输入图像的像素P(4,3)、P(4,2)、P(3,3)和P(3,2)的像素数据)分别馈送给像素数据输入a、b、c和d。另一方面,插值系数重新布置电路13将插值系数分别馈送给插值系数输入q1至q6,从而使输入图像的像素P和输出图像的像素Q的布置竖直且水平反转。插值系数重新布置电路13将作为用于水平方向上的插值的插值系数的插值系数t、1-t、t和1-t分别馈送给插值系数输入q1、q2、q3和q4,并且将作为用于竖直方向上的插值的插值系数的插值系数s和1-s分别馈送给插值系数输入q5和q6。应当指出的是,在计算输出图像的像素Q(3,2)的像素数据中馈送给插值系数输入q1至q6的插值系数与在计算像素Q(0,1)中馈送给插值系数输入q1至q6的插值系数相同;要指出的是,像素Q(0,1)和Q(3,2)点对称地定位。

[0169] 缩放处理部14根据馈送给像素数据输入a、b、c和d的像素数据和馈送给插值系数输入q1至q6的插值系数来计算输出图像的像素Q(3,2)的像素数据。依照以下表达式计算像素Q(3,2)的像素数据:

[0170] $Q(3,\ 2) = s \cdot (t \cdot P(4,\ 3) + (1-t) \cdot P(4,\ 2)) +$

[0171] $(1-s) \cdot (t \cdot P(3,\ 3) + (1-t) \cdot P(3,\ 2))$。

[0172] 当y=3且x=3时,计算输出图像的像素Q(3,3)的像素数据。根据输入图像的像素P(3,3)、P(3,4)、P(4,3)和P(4,4)的像素数据来计算输出图像的像素Q(3,3)的像素数据。也就是说,分别馈送像素P(3,3)、P(3,4)、P(4,3)和P(4,4)的像素数据来作为像素数据A、B、C和D。

[0173] 输出图像的像素Q(3,3)也定位在右下方区域中,并且因此输入图像的像素P和输出图像的像素Q的布置被竖直且水平反转。因此,像素数据重新布置电路11将像素数据D、C、B和A(也就是,输入图像的像素P(4,4)、P(4,3)、P(3,4)和P(3,3)的像素数据)分别馈送给像素数据输入a、b、c和d。另一方面,插值系数重新布置电路13将插值系数馈送给插值系数输入q1至q6,从而使输入图像的像素P和输出图像的像素Q的布置竖直且水平反转。插值系数重新布置电路13将作为用于水平方向上的插值的插值系数的插值系数s、1-s、s和1-s分别馈送给插值系数输入q1、q2、q3和q4,并且将作为用于竖直方向上的插值的插值系数的插值系数s和1-s分别馈送给插值系数输入q5和q6。应当指出的是,在计算输出图像的像素Q(3,3)的像素数据中馈送给插值系数输入q1至q6的插值系数与在计算像素Q(0,0)中馈送给插值系数输入q1至q6的插值系数相同;要指出的是,像素Q(0,0)和Q(3,3)点对称地定位。

[0174] 缩放处理部14根据馈送给像素数据输入a、b、c和d的像素数据和馈送给插值系数输入q1至q6的插值系数来计算输出图像的像素Q(3,3)的像素数据。依照以下表达式计算像素Q(3,3)的像素数据:

[0175] $Q(3,\ 3) = s \cdot (s \cdot P(4,\ 4) + (1-s) \cdot P(4,\ 3)) +$

[0176] $(1-s) \cdot (s \cdot P(3,\ 4) + (1-s) \cdot P(3,\ 3))$。

[0177] 与像素Q(3,0)至Q(3,3)类似地计算y=3情况下的输出图像的其他像素Q的像素数据。类似于像素Q(3,0)和Q(3,1)的像素数据,在输入图像的像素P和输出图像的像素Q的布置被竖直反转的情况下计算像素Q(3,4i)和Q(3,4i+1)(其中i是等于或大于1的整数)的像素数据。类似于像素Q(3,2)和Q(3,3)的像素数据,在输入图像的像素P和输出图像的像素Q的布置被竖直且水平反转的情况下计算像素Q(3,4i+2)和Q(3,4i+3)(其中i是等于或大于1的整数)的像素数据。

[0178] 当y等于或大于4时类似地计算输出图像的像素Q的像素数据。与针对y=0的那些输出图像的像素Q的像素数据类似地计算针对y=4j(j是等于或大于1的整数)的输出图像的像素Q的像素数据,并且与针对y=1的那些输出图像的像素Q的像素数据类似地计算针对y=4j+1的输出图像的像素Q的像素数据。与针对y=2的那些输出图像的像素Q的像素数据类似地计算针对y=4j+2的输出图像的像素Q的像素数据,并且与针对y=3的那些输出图像的像素Q的像素数据类似地计算针对y=4j+3的输出图像的像素Q的像素数据。

[0179] 对于M和N的其他值,可以利用如图6中所图示的那样配置的图像处理电路10并且通过由像素重新布置电路11适当地修改像素数据的重新布置并由插值系数重新布置电路13适当地修改插值系数的重新布置来计算输出图像的像素Q的像素数据。

[0180] 然而,应当指出的是,以下给出关于与作为图像缩放的单元处理的输出图像的M×M个像素的像素数据的计算相关的输入图像的(N+2)×(N+2)个像素被布置在其中的区段中所限定的四个区域的讨论。在以缩放因子M/N的图像缩放中,对于M为偶数而言,如上文所描述的,可以通过将与图像缩放的单元处理(也就是,输出图像的M×M个像素的像素数据的计算)相关的输入图像的(N+2)×(N+2)个像素被布置在其中的区段划分成四个区域:左上方、右上方、左下方和右下方区域(同样参照图4,其图示了针对M为4的示例)来限定在像素布置方面彼此对称的四个区域。要指出的是,四个区域被限定成使得彼此不重叠。

[0181] 另一方面,对于M为奇数而言,不能通过将输入图像的(N+2)×(N+2)个像素被布置在其中的区段划分成四个非重叠区域来限定在像素布置方面彼此对称的四个区域。然而,如下文所讨论的,如果允许四个区域彼此重叠,则对于M为奇数而言可以限定在输入和输出图像的像素的像素布置方面彼此对称的四个区域。

[0182] 图9概念地图示了以缩放因子3/2的图像缩放,并且图10图示了与以缩放因子3/2的图像缩放的一个单元处理相关联的输入图像的4×4个像素P和对应的输出图像的3×3个像素Q的布置。在缩放因子3/2的图像缩放中,在其中布置输入图像的4×4个像素P的区段中限定四个区域:左上方、右上方、左下方和右下方区域。应当指出的是,四个区域被限定成使得彼此重叠。更具体地,左上方区域被限定为像素P(0,0)、P(0,2)、P(2,0)和P(2,2)关于其被限定为顶点的矩形区域,并且右上方区域被限定为像素P(0,1)、P(0,3)、P(2,1)和P(2,3)关于其被限定为顶点的矩形区域。对应地,左下方区域被限定为像素P(1,0)、P(1,2)、P(3,0)和P(3,2)关于其被限定为顶点的矩形区域,并且右下方区域被限定为像素P(1,1)、P(1,3)、P(3,1)和P(3,3)关于其被限定为顶点的矩形区域。应当指出的是,当如上文所描述的那样限定这些区域时,右上方、左下方和右下方区域与左上方区域部分重叠。

[0183] 当如上文所描述的那样限定左上方、右上方、左下方和右下方区域时,右上方、左下方和右下方区域中的输入和输出图像的像素布置与左上方区域中的输入和输出图像的像素布置是线对称或点对称的。更具体地,通过左上方区域中的输入和输出图像的像素布置的水平反转来获得右上方区域中的输入和输出图像的像素布置。通过左上方区域中的输入和输出图像的像素布置的竖直反转来获得左下方区域中的输入和输出图像的像素布置。此外,通过左上方区域中的输入和输出图像的像素布置的竖直及水平反转来获得右下方区域中的输入和输出图像的像素布置。可以通过利用上文所描述的对称性质来有效地减少要馈送给执行图像缩放的电路系统的插值系数的集合数目。

[0184] 在这样的图像缩放中,位于其中两个区域彼此重叠的区段中的输出图像的像素Q

可以被限定为属于这两个区域中的任一个。例如，像素Q(0,1)位于左上方区域和右上方区域二者中。可以在像素Q(0,1)被限定为属于左上方区域的情况下计算像素Q(0,1)的像素数据，而不反转输入和输出图像的像素布置。可替换地，可以在像素Q(0,1)被限定为属于右上方区域的情况下计算像素Q(0,1)的像素数据，而伴随输入和输出图像的像素布置的水平反转。

[0185] 如从以上所述的讨论所理解到的，也可以针对M为奇数而利用如图6中所图示的那样配置的图像处理电路10并且通过在像素数据重新布置电路11中修改像素数据的重新布置并在插值系数重新布置电路13中修改插值系数的重新布置来计算输出图像的像素Q的像素数据。

[0186] 尽管图6中所图示的图像处理电路10被配置成包括一个乘加电路(缩放处理部)，在其中在每一个步骤处针对输出图像的一个像素来计算像素数据，但是，图像处理电路10可以被配置成包括多个乘加电路并且并行地计算输出图像的多个像素的像素数据。

[0187] 图11是图示了被配置成并行地计算输出图像的多个像素的像素数据的图像处理电路10A的示例性配置的电路图。图11中所图示的图像处理电路10A被配置成执行以缩放因子3/2的图像缩放。应当指出的是，对于M为奇数的上述讨论应用于以缩放因子3/2的图像缩放。图11中所图示的图像处理电路10A被配置成根据如图12中所图示的那样布置的八个像素A、B、C、D、E、F、G和H的像素数据来计算位于相同的水平行(也就是，具有相同y坐标)中的输出图像的三个目标像素Q1、Q2和Q3的像素数据。

[0188] 图像处理电路10A包括插值系数存储部12、插值系数重新布置电路13A和缩放处理部14A。插值系数存储部12在其中存储插值系数s和t，并且将所存储的插值系数s和t馈送给插值系数重新布置电路13A。应当指出的是，插值系数存储部12仅存储对于计算定位在输出图像的左上方区域中的像素的像素数据所必要的插值系数s和t。插值系数重新布置电路13A从插值系数s和t计算插值系数1-s和1-t，并且将从插值系数s、1-s、t和1-t选择的插值系数馈送给缩放处理部14A的每一个插值系数输入q5和q6。缩放处理部14A利用在插值系数输入q5和q6上所接收的插值系数来对所接收的像素A、B、C、D、E、F、G和H的像素数据执行图像缩放，以由此计算输出图像的目标像素Q1、Q2和Q3的像素数据。

[0189] 应当指出的是，图11中所图示的图像处理电路10A被配置成在图像缩放的每一个单元处理中并行地处理具有相同的y坐标的输出图像的所有像素。如以上所描述的，在以缩放因子3/2的图像缩放的每一个单元处理中计算输出图像的3×3个像素的像素数据，并且这暗示着图11中所图示的图像处理电路10A并行地处理具有相同的y坐标的输出图像的所有像素的像素数据。

[0190] 在其中并行地处理具有相同y坐标的输出图像的所有像素的像素数据的配置中，可以通过适当地设计用于将像素数据馈送给图像处理电路10A的互连的连接来实现输入图像数据的像素的像素数据的重新布置。因此，与图6中所图示的图像处理电路10不同，图11中所图示的图像处理电路10A不包括执行输入图像的像素的像素数据的重新布置的像素数据重新布置电路11。

[0191] 附加地，在其中在每一个单元处理中并行地处理具有相同y坐标的输出图像的所有像素的配置中，用于水平方向上的插值的插值系数是固定的。因此，插值系数重新布置电路13被配置成将仅用于竖直方向上的插值的插值系数馈送给缩放处理部14A的插值系数输

入q5和q6。

[0192] 缩放处理部14A包括相同配置的三个乘加电路14_1，14_2和14_3，其中每一个具有执行图像缩放中的插值的功能。乘加电路14_1、14_2和14_3分别计算输出图像的目标像素的像素数据Q1、Q2和Q3。

[0193] 乘加电路14_1包括乘法器21_1至24_1、加法器25_1、26_1、乘法器27_1、28_1以及加法器29_1。

[0194] 乘法器21_1输出在像素数据输入a1上所接收的像素数据与插值系数s的乘积，并且乘法器22_1输出在像素数据输入b1上所接收的像素数据与插值系数1-s的乘积。类似地，乘法器23_1输出在像素数据输入c1上所接收的像素数据与插值系数s的乘积，并且乘法器24_1输出在像素数据输入d1上所接收的像素数据与插值系数1-s的乘积。应当指出的是，馈送给乘法器21_1、22_1、23_1和24_1的插值系数s和1-s用于水平方向上的插值。插值系数s和1-s可以从插值系数重新布置电路13A馈送给乘法器21_1、22_1、23_1和24_1。可替换地，从插值系数存储部12接收插值系数s并且将插值系数s和1-s馈送给乘法器21_1、22_1、23_1和24_1的电路可以附加地与插值重新布置电路13A分开地准备。

[0195] 加法器25_1输出乘法器21_1和22_1的输出之和，并且加法器26_1输出乘法器23_1和24_1的输出之和。乘法器27_1输出加法器25_1的输出与在插值系数输入q5上所接收的插值系数的乘积，并且乘法器28_1输出加法器26_1的输出与在插值系数输入q6上所接收的插值系数的乘积。加法器29_1输出乘法器27_1和28_1的输出之和。加法器29_1的输出被用作输出图像的目标像素Q1的像素数据。

[0196] 类似地，乘加电路14_2包括乘法器21_2至24_2、加法器25_2、26_2、乘法器27_2、28_2和加法器29_2。

[0197] 乘法器21_2输出在像素数据输入a2上所接收的像素数据与插值系数t的乘积，并且乘法器22_2输出在像素数据输入b2上所接收的像素数据与插值系数1-t的乘积。类似地，乘法器23_2输出在像素数据输入c2上所接收的像素数据与插值系数t的乘积，并且乘法器24_2输出在像素数据输入d2上所接收的像素数据与插值系数1-t的乘积。应当指出的是，馈送给乘法器21_2、22_2、23_2和24_2的插值系数t和1-t用于水平方向上的插值。插值系数t和1-t可以从插值系数重新布置电路13A馈送给乘法器21_2、22_2、23_2和24_2。可替换地，从插值系数存储部12接收插值系数t并且将插值系数t和1-t馈送给乘法器21_2、22_2、23_2和24_2的电路可以附加地与插值重新布置电路13A分开地准备。

[0198] 加法器25_2输出乘法器21_2和22_2的输出之和，并且加法器26_2输出乘法器23_2和24_2的输出之和。乘法器27_2输出加法器25_2的输出与在插值系数输入q5上所接收的插值系数的乘积，并且乘法器28_2输出加法器26_2的输出与在插值系数输入q6上所接收的插值系数的乘积。加法器29_2输出乘法器27_2和28_2的输出之和。加法器29_2的输出被用作输出图像的目标像素Q2的像素数据。

[0199] 此外，乘加电路14_3包括乘法器21_3至24_3、加法器25_3、26_3、乘法器27_3、28_3和加法器29_3。

[0200] 乘法器21_3输出在像素数据输入a3上所接收的像素数据与插值系数s的乘积，并且乘法器22_3输出在像素数据输入b3上所接收的像素数据与插值系数1-s的乘积。类似地，乘法器23_3输出在像素数据输入c3上所接收的像素数据与插值系数s的乘积，并且乘法器24_3输出在像素数据输入d3上所接收的像素数据与插值系数1-s的乘积。应当指出的是，馈送给乘

法器21_3、22_3、23_3和24_3的插值系数s和1-s用于水平方向上的插值。插值系数s和1-s可以从插值系数重新布置电路13A馈送给乘法器21_3、22_3、23_3和24_3。可替换地，从插值系数存储部12接收插值系数s并且将插值系数s和1-s馈送给乘法器21_3、22_3、23_3和24_3的电路可以附加地与插值重新布置电路13A分开地准备。

[0201] 加法器25_3输出乘法器21_3和22_3的输出之和，并且加法器26_3输出乘法器23_3和24_3的输出之和。乘法器27_3输出加法器25_3的输出与在插值系数输入q5上所接收的插值系数的乘积，并且乘法器28_3输出加法器26_3的输出与在插值系数输入q6上所接收的插值系数的乘积。加法器29_3输出乘法器27_3和28_3的输出之和。加法器29_3的输出被用作输出图像的目标像素Q3的像素数据。

[0202] 应当指出的是，在不反转输入图像的像素布置的情况下将像素数据馈送给乘加电路14_1和14_2，而在使输入图像的像素布置水平反转的情况下将像素数据馈送给乘加电路14_3。更具体地，在如图12中所图示的那样布置输入图像的像素A至H时的情况下，乘加电路14_1的像素数据输入a1、b1、c1和d1分别被馈送以像素数据A、B、E和F，并且乘加电路14_2的像素数据输入a2、b2、c2和d2分别被馈送以像素数据B、C、F和G。针对乘加电路14_1和14_2不执行像素数据的重新布置。另一方面，对于乘加电路14_3，像素数据输入a3、b3、c3和d3分别被馈送以像素数据D、C、H和G。这意味着，在图11中所图示的配置中，通过用于将像素数据馈送给乘加电路14_3的互连的路由来实现像素数据的重新布置。

[0203] 图13是图示了本实施例中的插值系数重新布置电路13A的示例性操作的真值表。如图13中所图示的，当对于目标像素Q1至Q3的y坐标而言y%3=0时，插值系数重新布置电路13A将插值系数s和1-s分别馈送给插值系数输入q5和q6。当y%3=1时，插值系数重新布置电路13A将插值系数t和1-t分别馈送给插值系数输入q5和q6，并且当y%3=2时，将插值系数1-s和s分别馈送给插值系数输入q5和q6。在该实施例中，通过在y%3=0和y%3=2时的情形之间交换馈送给插值系数输入q5和q6的插值系数来实现输入和输出图像的像素布置的竖直反转。

[0204] 图14A至16B是图示了本实施例中的图像处理电路10A的示例性操作的时间图。

[0205] 图14A和14B图示了计算针对y=0的像素数据(也就是，像素数据Q(0,0)、Q(0,1)、Q(0,2)、Q(0,3)和Q(0,4)…)中的图像处理电路10A的示例性操作。

[0206] 详细地说，在y坐标被设定为零之后的第一时钟周期中计算输出图像的像素Q(0,0)、Q(0,1)和Q(0,2)的像素数据。如从图10所理解到的，根据输入图像的像素P(0,0)、P(0,1)、P(0,2)、P(0,3)、P(1,0)、P(1,1)、P(1,2)和P(1,3)的像素数据来计算输出图像的像素Q(0,0)、Q(0,1)和Q(0,2)的像素数据。换言之，馈送像素P(0,0)、P(0,1)、P(0,2)、P(0,3)、P(1,0)、P(1,1)、P(1,2)和P(1,3)的像素数据来作为像素数据A、B、C、D、E、F、G和H。

[0207] 如图10中所图示的，输出图像的像素Q(0,0)和Q(0,1)定位在左上方区域中，并且因此在计算像素Q(0,0)和Q(0,1)的像素数据中针对输入图像的像素P和输出图像的像素Q的布置不执行反转。因此，如图14A中所图示的，分别地，像素数据输入a1、b1、c1和d1被馈送以像素数据A、B、E和F(也就是，输入图像的像素P(0,0)、P(0,1)、P(1,0)和P(1,1)的像素数据)，并且像素数据输入a2、b2、c2和d2被馈送以像素数据B、C、F和G(也就是，输入图像的像素P(0,1)、P(0,2)、P(1,1)和P(1,2)的像素数据)。

[0208] 同时，如从图10所理解到的，输出图像的像素Q(0,2)定位在右上方区域中，并且因此在计算像素Q(0,2)的像素数据中输入图像的像素P和输出图像的像素Q的布置被水平反

转。因此，像素数据输入a3、b3、c3和d3被馈送以像素数据D、C、H和G，也就是，输入图像的像素P(0,3)、P(0,2)、P(1,3)和P(1,2)的像素数据。

[0209] 应当指出的是，像素Q(0,1)定位在其中左上方和右上方区域彼此重叠的区段中，并且因此在其中像素Q(0,1)定位在右上方区域中的限定的情况下，可以在输入图像的像素P和输出图像的像素Q的布置被水平反转的情况下计算像素Q(0,1)的像素数据。然而，应当是，在图14A和14B中所图示的操作中，在其中像素Q(0,1)定位在左上方区域中的限定的情况下计算像素Q(0,1)的像素数据。

[0210] 插值系数重新布置电路13将插值系数s和1-s分别馈送给插值系数输入q5和q6，以用于竖直方向上的插值。在该情形中，不对输入图像的像素P和输出图像的像素Q的布置执行竖直反转。

[0211] 缩放处理部14A根据馈送给像素数据输入a1至d1、a2至d2和a3至d3的像素数据以及馈送给插值系数输入q5和q6的插值系数来计算输出图像的像素Q(0,0)、Q(0,1)和Q(0,2)的像素数据。如图14B中所图示的，依照以下表达式计算像素Q(0,0)、Q(0,1)和Q(0,2)的像素数据：

[0212] $Q(0,0) = s \cdot (s \cdot P(0,0) + (1-s) \cdot P(0,1)) +$

[0213] $(1-s) \cdot (s \cdot P(1,0) + (1-s) \cdot P(1,1))$，

[0214] $Q(0,1) = s \cdot (t \cdot P(0,1) + (1-t) \cdot P(0,2)) +$

[0215] $(1-s) \cdot (t \cdot P(1,1) + (1-t) \cdot P(1,2))$，以及

[0216] $Q(0,2) = s \cdot (s \cdot P(0,3) + (1-s) \cdot P(0,2)) +$

[0217] $(1-s) \cdot (s \cdot P(1,3) + (1-s) \cdot P(1,2))$。

[0218] 与像素Q(0,0)至Q(0,2)类似地计算y=0的情况下的输出图像的其他像素Q的像素数据。类似于像素Q(0,0)和Q(0,1)的像素数据，在不使输入图像的像素P和输出图像的像素Q的布置反转的情况下计算像素Q(0,3i)和Q(0,3i+1)(其中i是等于或大于1的整数)的像素数据。类似于像素Q(0,2)的像素数据，在输入图像的像素P和输出图像的像素Q的布置被水平反转的情况下计算像素Q(0,3i+2)的像素数据。

[0219] 图15A和15B图示了计算y=1的像素数据(也就是，像素数据Q(1,0)、Q(1,1)、Q(1,2)、Q(1,3)和Q(1,4)…)中的图像处理电路10A的示例性操作。

[0220] 详细地说，在y坐标被设定为1之后的第一时钟周期中计算输出图像的像素Q(1,0)、Q(1,1)和Q(1,2)的像素数据。如从图10所理解到的，根据输入图像的像素P(1,0)、P(1,1)、P(1,2)、P(1,3)、P(2,0)、P(2,1)、P(2,2)和P(2,3)的像素数据来计算输出图像的像素Q(1,0)、Q(1,1)和Q(1,2)的像素数据。换言之，馈送像素P(1,0)、P(1,1)、P(1,2)、P(1,3)、P(2,0)、P(2,1)、P(2,2)和P(2,3)的像素数据来作为像素数据A、B、C、D、E、F、G和H。

[0221] 如在图10中所理解到的，输出图像的像素Q(1,0)定位在其中左上方和左下方区域彼此重叠的区段中，并且像素Q(1,1)定位在其中四个区域彼此重叠的区段中，而像素Q(1,2)定位在其中右上方和右下方区域彼此重叠的区段中。出于计算的简单性，在本实施例中，在其中输出图像的像素Q(1,0)和Q(1,1)定位在左上方区域中并且像素Q(1,2)定位在右上方区域中的限定的情况下计算像素Q(1,0)、Q(1,1)和Q(1,2)的像素数据。这允许与y=0时的情况类似地计算像素Q(1,0)、Q(1,1)和Q(1,2)的像素数据，而仅修改馈送给插值系数输入q5和q6的用于竖直方向上的插值的插值系数。

[0222] 更具体地，像素Q(1,0)和Q(1,1)被限定为定位在左上方区域中，并且因此在计算像素Q(1,0)和Q(1,1)的像素数据中不对输入图像的像素P和输出图像的像素Q的布置执行反转。因此，如图15A中所图示的，像素数据输入a1、b1、c1和d1被馈送以像素数据A、B、E和F(也就是，输入图像的像素P(1,0)、P(1,1)、P(2,0)和P(2,1)的像素数据)，并且像素数据输入a2、b2、c2和d2被馈送以像素数据B、C、F和G(也就是，输入图像的像素P(1,1)、P(1,2)、P(2,1)和P(2,2)的像素数据)。

[0223] 另一方面，输出图像的像素Q(1,2)被限定为定位在右上方区域中，并且因此在计算像素Q(1,2)的像素数据中使输入图像的像素P和输出图像的像素Q的布置水平反转。因此，像素数据输入a3、b3、c3和d3分别被馈送以像素数据D、C、H和G，也就是，输入图像的像素P(1,3)、P(1,2)、P(2,3)和P(2,2)的像素数据。

[0224] 插值系数重新布置电路13将插值系数t和1-t分别馈送给插值系数输入q5和q6，以用于竖直方向上的插值。在该情形中，不对输入图像的像素P和输出图像的像素Q的布置执行竖直反转。

[0225] 缩放处理部14A根据馈送给像素数据输入a1至d1、a2至d2和a3至d3的像素数据以及馈送给插值系数输入q5和q6的插值系数来计算输出图像的像素Q(1,0)、Q(1,1)和Q(1,2)的像素数据。如图15B中所图示的，依照以下表达式计算像素Q(1,0)、Q(1,1)和Q(1,2)的像素数据：

[0226] $Q(1,0) = t \cdot (s \cdot P(1,0) + (1-s) \cdot P(1,1)) +$

[0227] $(1-t) \cdot (s \cdot P(2,0) + (1-s) \cdot P(2,1))$，

[0228] $Q(1,1) = t \cdot (t \cdot P(1,1) + (1-t) \cdot P(1,2)) +$

[0229] $(1-t) \cdot (t \cdot P(2,1) + (1-t) \cdot P(2,2))$，以及

[0230] $Q(1,2) = t \cdot (s \cdot P(1,3) + (1-s) \cdot P(1,2)) +$

[0231] $(1-t) \cdot (s \cdot P(2,3) + (1-s) \cdot P(2,2))$。

[0232] 与像素Q(1,0)至Q(1,2)类似地计算y=1的情况下的输出图像的其他像素Q的像素数据。类似于像素Q(1,0)和Q(1,1)的像素数据，在不使输入图像的像素P和输出图像的像素Q的布置反转的情况下计算像素Q(1,3i)和Q(1,3i+1)(其中i是等于或大于1的整数)的像素数据。类似于像素Q(1,2)的像素数据，在输入图像的像素P和输出图像的像素Q的布置被水平反转的情况下计算像素Q(1,3i+2)的像素数据。

[0233] 图16A和16B图示了计算针对y=2的像素数据(也就是，像素数据Q(2,0)、Q(2,1)、Q(2,2)、Q(2,3)和Q(2,4)…)中的图像处理电路10A的示例性操作。

[0234] 详细地说，在y坐标被设定为2之后的第一时钟周期中计算输出图像的像素Q(2,0)、Q(2,1)和Q(2,2)的像素数据。如从图10所理解到的，根据输入图像的像素P(2,0)、P(2,1)、P(2,2)、P(2,3)、P(3,0)、P(3,1)、P(3,2)和P(3,3)的像素数据来计算输出图像的像素Q(2,0)、Q(2,1)和Q(2,2)的像素数据。换言之，馈送像素P(2,0)、P(2,1)、P(2,2)、P(2,3)、P(3,0)、P(3,1)、P(3,2)和P(3,3)的像素数据来作为像素数据A、B、C、D、E、F、G和H。

[0235] 如图10中所图示的，输出图像的像素Q(2,0)和Q(2,1)定位在左下方区域中，并且因此在计算像素Q(2,0)和Q(2,1)的像素数据中不对输入图像的像素P和输出图像的像素Q的布置执行水平反转(如下文所描述的，最终执行竖直反转)。因此，如图16A中所图示的，分别地，像素数据输入a1、b1、c1和d1被馈送以像素数据A、B、E和F(也就是，输入图像的像素P

(2,0)、P(2,1)、P(3,0)和P(3,1)的像素数据)，并且像素数据输入a2、b2、c2和d2被馈送以像素数据B、C、F和G(也就是，输入图像的像素P(2,1)、P(2,2)、P(3,1)和P(3,2)的像素数据)。

[0236] 同时，如从图10所理解到的，输出图像的像素Q(2,2)定位在右下方区域中，并且因此在计算像素Q(2,2)的像素数据中输入图像的像素P和输出图像的像素Q的布置被水平反转(如下文所描述的，还执行竖直反转)。因此，像素数据输入a3、b3、c3和d3被馈送以像素数据D、C、H和G，也就是，输入图像的像素P(2,3)、P(2,2)、P(3,3)和P(3,2)的像素数据。

[0237] 应当指出的是，像素Q(2,1)定位在其中左下方和右下方区域彼此重叠的区段中，并且因此在其中像素Q(2,1)定位在右下方区域中的限定的情况下，可以在输入图像的像素P和输出图像的像素Q的布置被水平反转的情况下计算像素Q(2,1)的像素数据。然而，应当是，在图16A和16B中所图示的操作中，在其中像素Q(2,1)定位在左下方区域中的限定的情况下计算像素Q(2,1)的像素数据。

[0238] 插值系数重新布置电路13将插值系数1-s和s分别馈送给插值系数输入q5和q6，以用于竖直方向上的插值。这实现了输入图像的像素P和输出图像的像素Q的布置的竖直反转。在计算像素Q(2,0)、Q(2,1)和Q(2,2)的像素数据中需要输入图像的像素P和输出图像的像素Q的布置的竖直反转，这是因为像素Q(2,0)和Q(2,1)定位在左下方区域中并且像素Q(2,2)定位在右下方区域中。

[0239] 缩放处理部14A根据馈送给像素数据输入a1至d1、a2至d2和a3至d3的像素数据以及馈送给插值系数输入q5和q6的插值系数来计算输出图像的像素Q(2,0)、Q(2,1)和Q(2,2)的像素数据。如图16B中所图示的，依照以下表达式计算像素Q(2,0)、Q(2,1)和Q(2,2)的像素数据：

[0240] $Q(2,0) = (1-s)\cdot(s\cdot P(2,0) + (1-s)\cdot P(2,1)) +$

[0241] $s\cdot(s\cdot P(3,0) + (1-s)\cdot P(3,1))$，

[0242] $Q(2,1) = (1-s)\cdot(t\cdot P(2,1) + (1-t)\cdot P(2,2)) +$

[0243] $s\cdot(t\cdot P(3,1) + (1-t)\cdot P(3,2))$，以及

[0244] $Q(2,2) = (1-s)\cdot(s\cdot P(2,3) + (1-s)\cdot P(2,2)) +$

[0245] $s\cdot(s\cdot P(3,3) + (1-s)\cdot P(3,2))$。

[0246] 与像素Q(2,0)至Q(2,2)类似地计算y=2的情况下的输出图像的其他像素Q的像素数据。类似于像素Q(2,0)和Q(2,1)的像素数据，在输入图像的像素P和输出图像的像素Q的布置被竖直反转的情况下计算像素Q(2,3i)和Q(2,3i+1)(其中i是等于或大于1的整数)的像素数据。类似于像素Q(2,2)的像素数据，在输入图像的像素P和输出图像的像素Q的布置被水平且竖直反转的情况下计算像素Q(2,3i+2)的像素数据。

[0247] 上述实施例的图像处理电路在针对其强烈希望硬件减少的系统中是特别有用的。上述实施例的图像处理电路的示例性应用包括在面板显示设备中驱动显示面板(例如液晶显示面板)的显示面板驱动器。在下文中，给出本实施例的上述图像处理电路的示例性实现方式的描述。

[0248] 图17是图示了本发明的一个实施例中的显示设备的示例性配置的框图。被配置为液晶显示设备1的本实施例的显示设备包括液晶显示面板2、以及驱动器IC(集成电路)3。

[0249] 液晶显示面板2包括显示区段4和栅极线驱动器电路5(还被称为GIP(面板中栅极(gate-in-panel))电路)。如图18中所图示的，多个栅极线41(还被称为扫描线或地址线)、

多个源极线42(还被称为信号线或数据线)和多个像素43布置在显示区段4中。在本实施例中,每一个像素43包括显示红色(R)的R子像素(subpixel)44R、显示绿色(G)的G子像素44G和显示蓝色(B)的B子像素44B。R、G和B子像素44R、44G和44B连接到相同的栅极线41并且还连接到不同的源极线42。对于本领域技术人员将显而易见的是,每一个像素43的配置(诸如R、G和B子像素44R、44G和44B的布置)可以以不同方式修改。栅极线驱动器电路5顺序地驱动栅极线41。在驱动液晶显示面板2的像素43中,栅极线41被顺序地选择并且期望的模拟驱动电压经由源极线42写入到连接于所选择的栅极线41的子像素(R、G和B子像素44R、44G和44B)中。这允许将相应的子像素设定为期望的灰度级,并且由此在液晶显示面板2的显示区段4中显示期望的图像。

[0250] 返回参照图17,驱动器IC 3响应于外部馈送给驱动器IC 3(通常从处理单元)的输入图像的相应像素的像素数据D_{IN}而驱动显示区段4的源极线42。当如图18中所图示的那样配置液晶显示面板2的每一个像素43时,每一个像素43的像素数据D_{IN}包括指示R、G和B子像素44R、44G和44B的灰度级的数据。驱动器IC 3与外部馈送给驱动器IC 3的定时控制信号(更具体地,竖直同步信号Vsync和水平同步信号Hsync)同步地驱动源极线42。驱动器IC 3利用诸如COG(玻璃上芯片(chip-on-glass))技术之类的表面安装技术安装在液晶显示面板2上。

[0251] 图19图示了本实施例中的驱动器IC 3的配置的一个示例。在本实施例中,驱动器IC 3包括接口31、RAM 32、RAM访问逻辑电路33、行缓冲器34、缩放器电路35、图像处理电路36和源极驱动器电路37。

[0252] 接口31将输入图像的像素数据D_{IN}转发给RAM 32,并且与竖直同步信号Vsync和水平同步信号Hsync同步地控制驱动器IC 3的操作定时。

[0253] RAM 32在其中存储输入图像的像素数据D_{IN}。在本实施例中,RAM 32具有足以存储一个帧图像(在每一个帧周期(每一个竖直同步周期)中显示在显示区段4中的图像)的像素数据的容量。

[0254] RAM访问逻辑电路33从RAM 32读出输入图像的像素数据D_{IN},并且将输入图像的像素数据D_{IN}转发给缩放器电路35。

[0255] 行缓冲器34被用作用于以合适的顺序将从RAM 32所接收的输入图像的像素数据D_{IN}从RAM访问逻辑电路33转发给缩放器电路35的工作区域。

[0256] 缩放器电路35对从RAM访问逻辑电路33所接收的像素数据执行图像缩放,以生成输出图像的相应像素的像素数据。在一个实施例中,上述图像处理电路10可以并入在缩放器电路35中。

[0257] 图像处理电路36对通过由缩放器电路35进行的图像缩放所获得的输出图像的相应像素的像素数据执行预定的图像处理,以生成最终显示在液晶显示面板2的显示区段4中的图像的相应像素的像素数据。在图像处理电路36中执行的图像处理可以例如包括边缘增强。一般地,通过双线性方法的图像缩放常常导致图像模糊,并且因此优选的是在图像处理电路36中执行边缘增强以获得清晰图像。

[0258] 源极驱动器电路37响应于从图像处理电路36所接收的输出像素数据来驱动显示区段4中的相应像素43。

[0259] 尽管已经在上文描述了本发明的具体实施例,但是本发明不应该被解释为限于上

述实施例;对于本领域技术人员将显而易见的是,本发明可以利用各种修改来实现。尤其应当指出的是,尽管上述实施例阐述了将本发明应用于在液晶显示设备中驱动液晶显示面板的驱动器IC,但是本发明还适用于在显示设备中驱动不同的显示面板(诸如OLED(有机发光二极管)显示面板和等离子体显示面板)的显示面板驱动器。

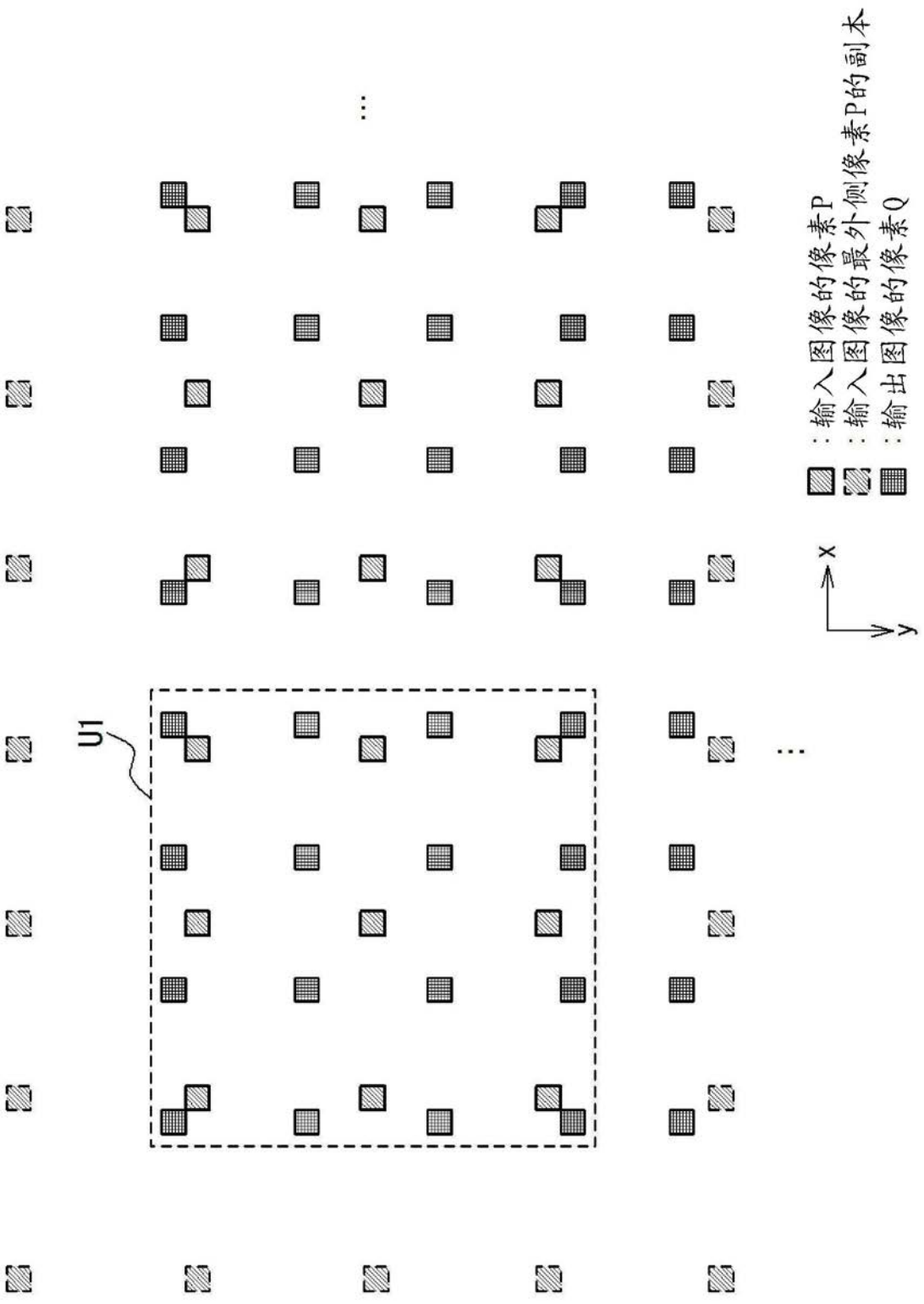


图 1

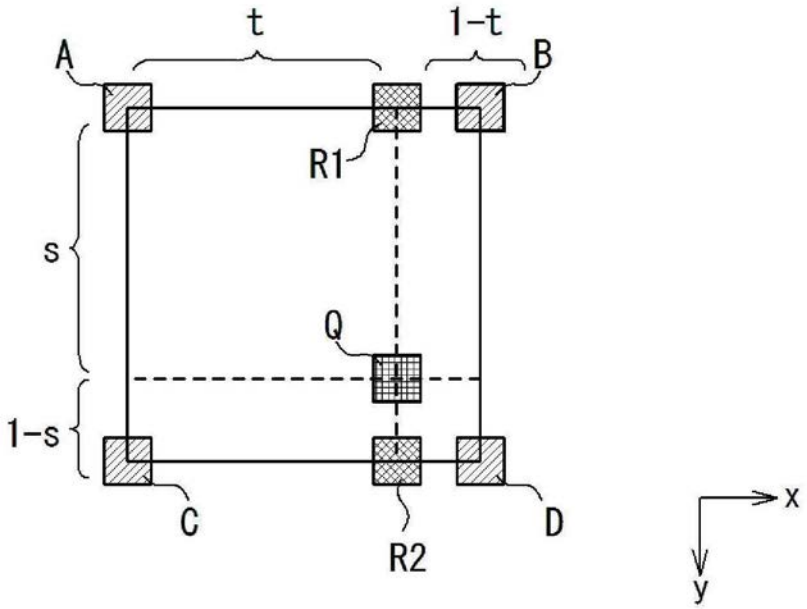


图 2

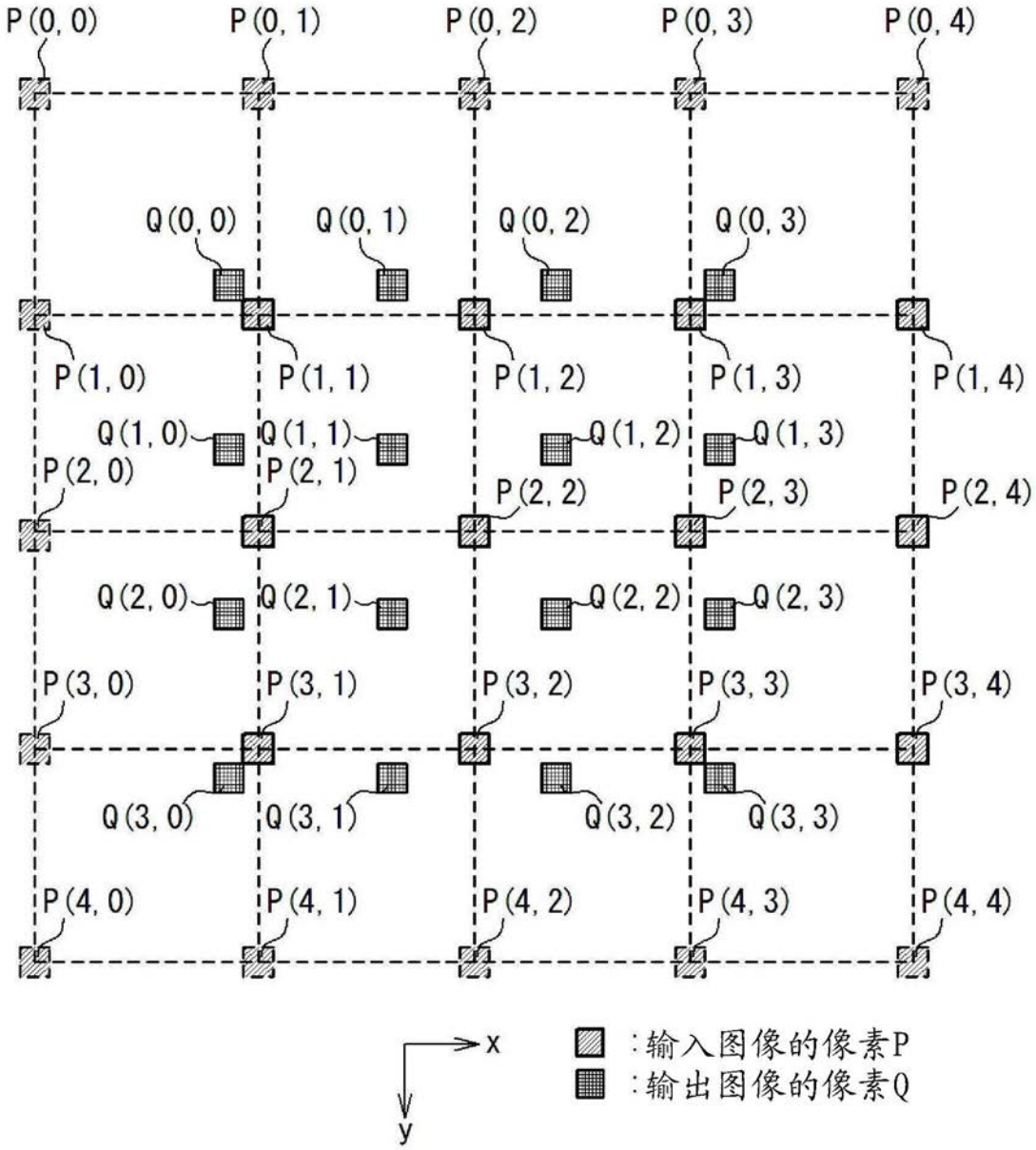

P(0, 0)
P(0, 1)
P(0, 2)
P(0, 3)
P(0, 4)
Q(0, 0)
Q(0, 1)
Q(0, 2)
Q(0, 3)
P(1, 0)
P(1, 1)
P(1, 2)
P(1, 3)
P(1, 4)
Q(1, 0)
Q(1, 1)
Q(1, 2)
Q(1, 3)
P(2, 0)
P(2, 1)
P(2, 2)
P(2, 3)
P(2, 4)
Q(2, 0)
Q(2, 1)
Q(2, 2)
Q(2, 3)
P(3, 0)
P(3, 1)
P(3, 2)
P(3, 3)
P(3, 4)
Q(3, 0)
Q(3, 1)
Q(3, 2)
Q(3, 3)
P(4, 0)
P(4, 1)
P(4, 2)
P(4, 3)
P(4, 4)
x
y
：输入图像的像素P
：输出图像的像素Q

图 3

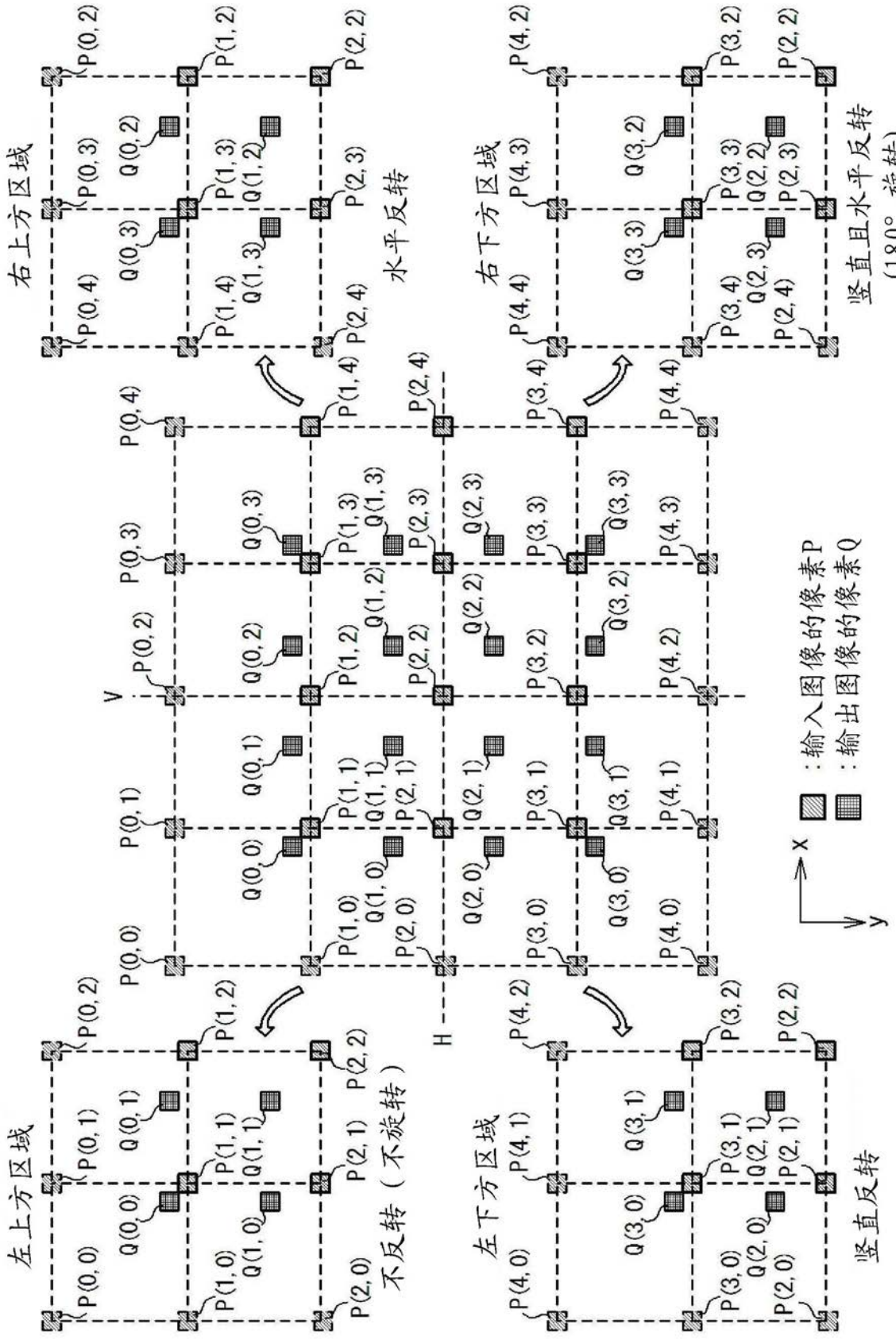

左上方区域
右上方区域
左下方区域
右下方区域
不反转（不旋转）
水平反转
竖直反转
竖直且水平反转
(180° 旋转)
H
V
X
Y
：输入图像的像素P
：输出图像的像素Q

图 4

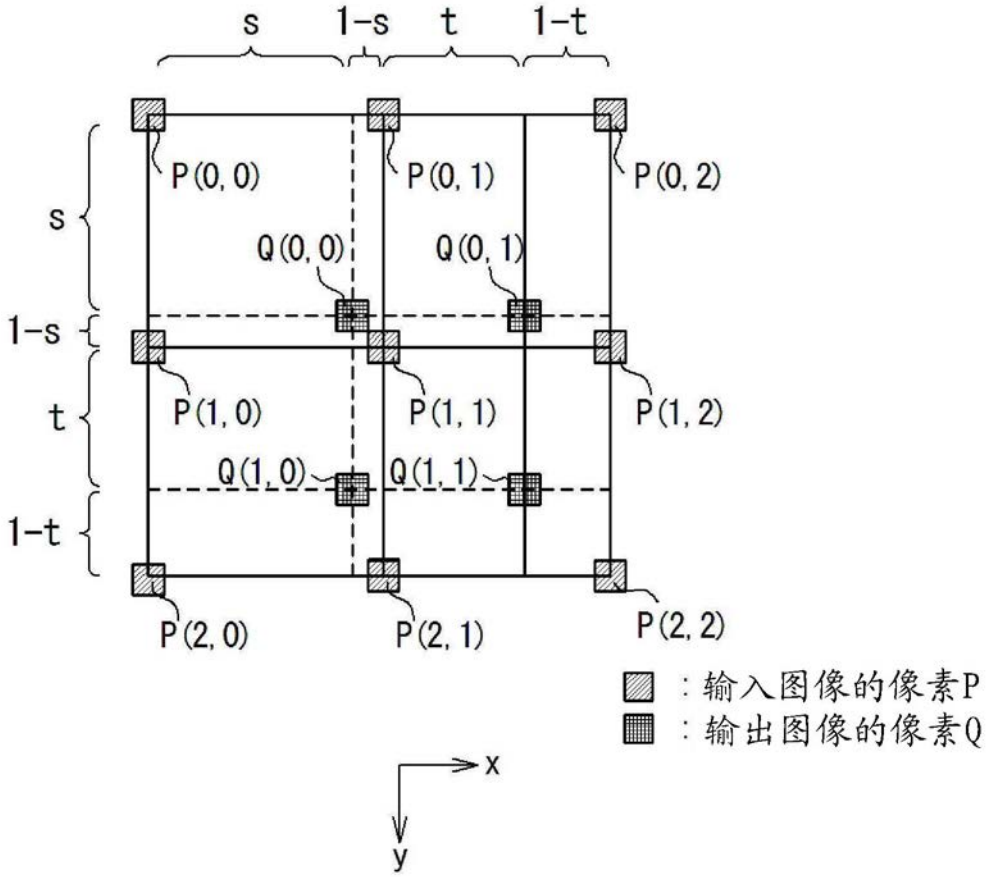

s
1-s
t
1-t
P(0, 0)
P(0, 1)
P(0, 2)
Q(0, 0)
Q(0, 1)
P(1, 0)
P(1, 1)
P(1, 2)
Q(1, 0)
Q(1, 1)
P(2, 0)
P(2, 1)
P(2, 2)
：输入图像的像素P
：输出图像的像素Q
x
y

图 5

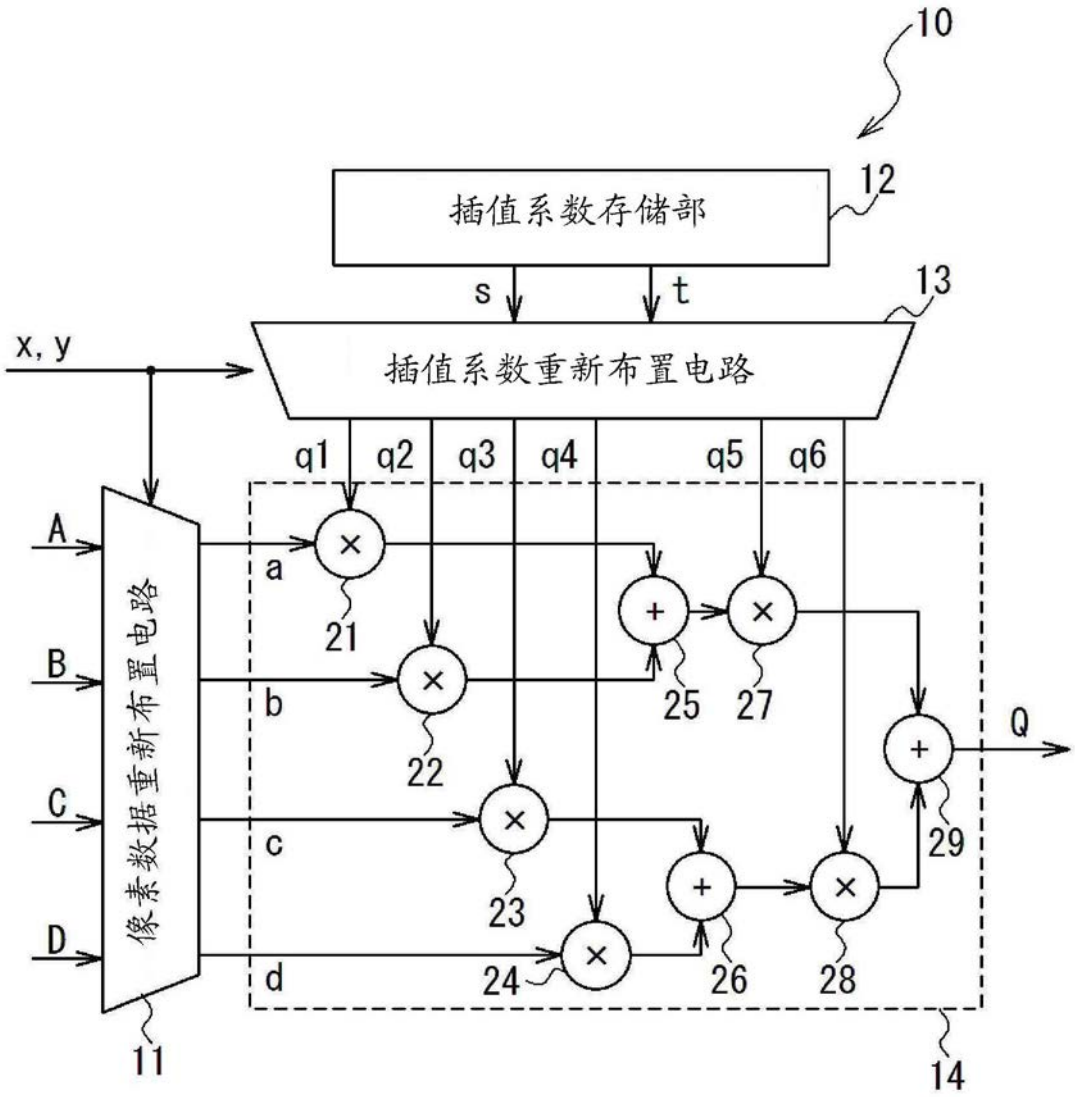


图 6

(y/2)%2	(x/2)%2	a	b	c	d
0	0	A	B	C	D
0	1	B	A	D	C
1	0	C	D	A	B
1	1	D	C	B	A

图 7A

y%2	x%2	q1	q2	q3	q4	q5	q6
0	0	s	1-s	s	1-s	s	1-s
0	1	t	1-t	t	1-t	s	1-s
1	0	s	1-s	s	1-s	t	1-t
1	1	t	1-t	t	1-t	t	1-t

图 7B

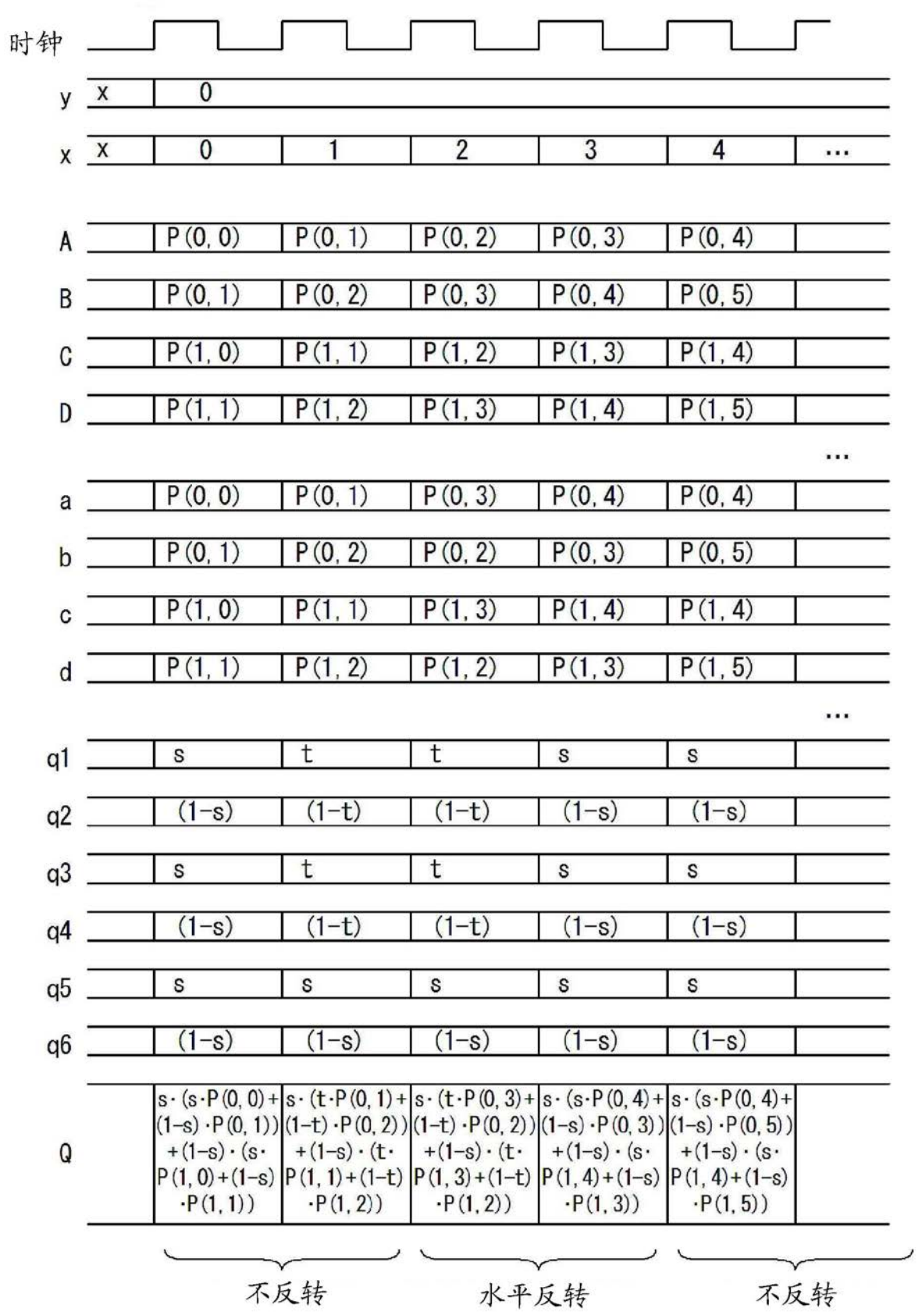

时钟
y
x
x
0
1
2
3
4
…
A
B
C
D
a
b
c
d
q1
q2
q3
q4
q5
q6
Q
P(0, 0)
P(0, 1)
P(0, 2)
P(0, 3)
P(0, 4)
P(0, 5)
P(1, 0)
P(1, 1)
P(1, 2)
P(1, 3)
P(1, 4)
P(1, 5)
s
t
(1-s)
(1-t)
s·(s·P(0, 0)+(1-s)·P(0, 1))+(1-s)·(s·P(1, 0)+(1-s)·P(1, 1))
s·(t·P(0, 1)+(1-t)·P(0, 2))+(1-s)·(t·P(1, 1)+(1-t)·P(1, 2))
s·(t·P(0, 3)+(1-t)·P(0, 2))+(1-s)·(t·P(1, 3)+(1-t)·P(1, 2))
s·(s·P(0, 4)+(1-s)·P(0, 3))+(1-s)·(s·P(1, 4)+(1-s)·P(1, 3))
s·(s·P(0, 4)+(1-s)·P(0, 5))+(1-s)·(s·P(1, 4)+(1-s)·P(1, 5))
不反转
水平反转
不反转

图 8A

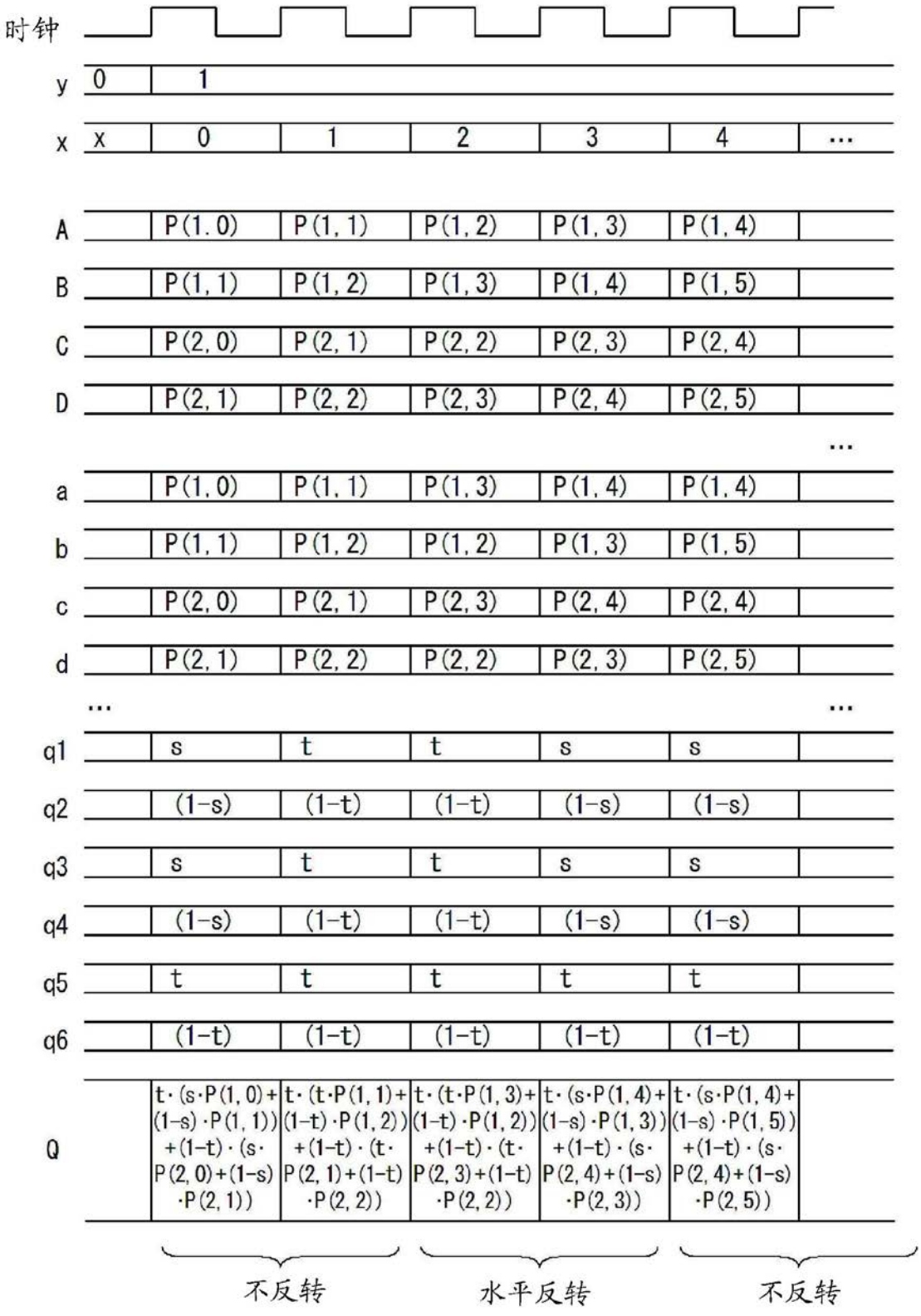

时钟
y
0
1
x
x
0
1
2
3
4
…
A
P(1,0)
P(1,1)
P(1,2)
P(1,3)
P(1,4)
B
P(1,1)
P(1,2)
P(1,3)
P(1,4)
P(1,5)
C
P(2,0)
P(2,1)
P(2,2)
P(2,3)
P(2,4)
D
P(2,1)
P(2,2)
P(2,3)
P(2,4)
P(2,5)
a
P(1,0)
P(1,1)
P(1,3)
P(1,4)
P(1,4)
b
P(1,1)
P(1,2)
P(1,2)
P(1,3)
P(1,5)
c
P(2,0)
P(2,1)
P(2,3)
P(2,4)
P(2,4)
d
P(2,1)
P(2,2)
P(2,2)
P(2,3)
P(2,5)
q1
s
t
t
s
s
q2
(1-s)
(1-t)
(1-t)
(1-s)
(1-s)
q3
s
t
t
s
s
q4
(1-s)
(1-t)
(1-t)
(1-s)
(1-s)
q5
t
t
t
t
t
q6
(1-t)
(1-t)
(1-t)
(1-t)
(1-t)
Q
t·(s·P(1,0)+(1-s)·P(1,1))+(1-t)·(s·P(2,0)+(1-s)·P(2,1))
t·(t·P(1,1)+(1-t)·P(1,2))+(1-t)·(t·P(2,1)+(1-t)·P(2,2))
t·(t·P(1,3)+(1-t)·P(1,2))+(1-t)·(t·P(2,3)+(1-t)·P(2,2))
t·(s·P(1,4)+(1-s)·P(1,3))+(1-t)·(s·P(2,4)+(1-s)·P(2,3))
t·(s·P(1,4)+(1-s)·P(1,5))+(1-t)·(s·P(2,4)+(1-s)·P(2,5))
不反转
水平反转
不反转

图 8B

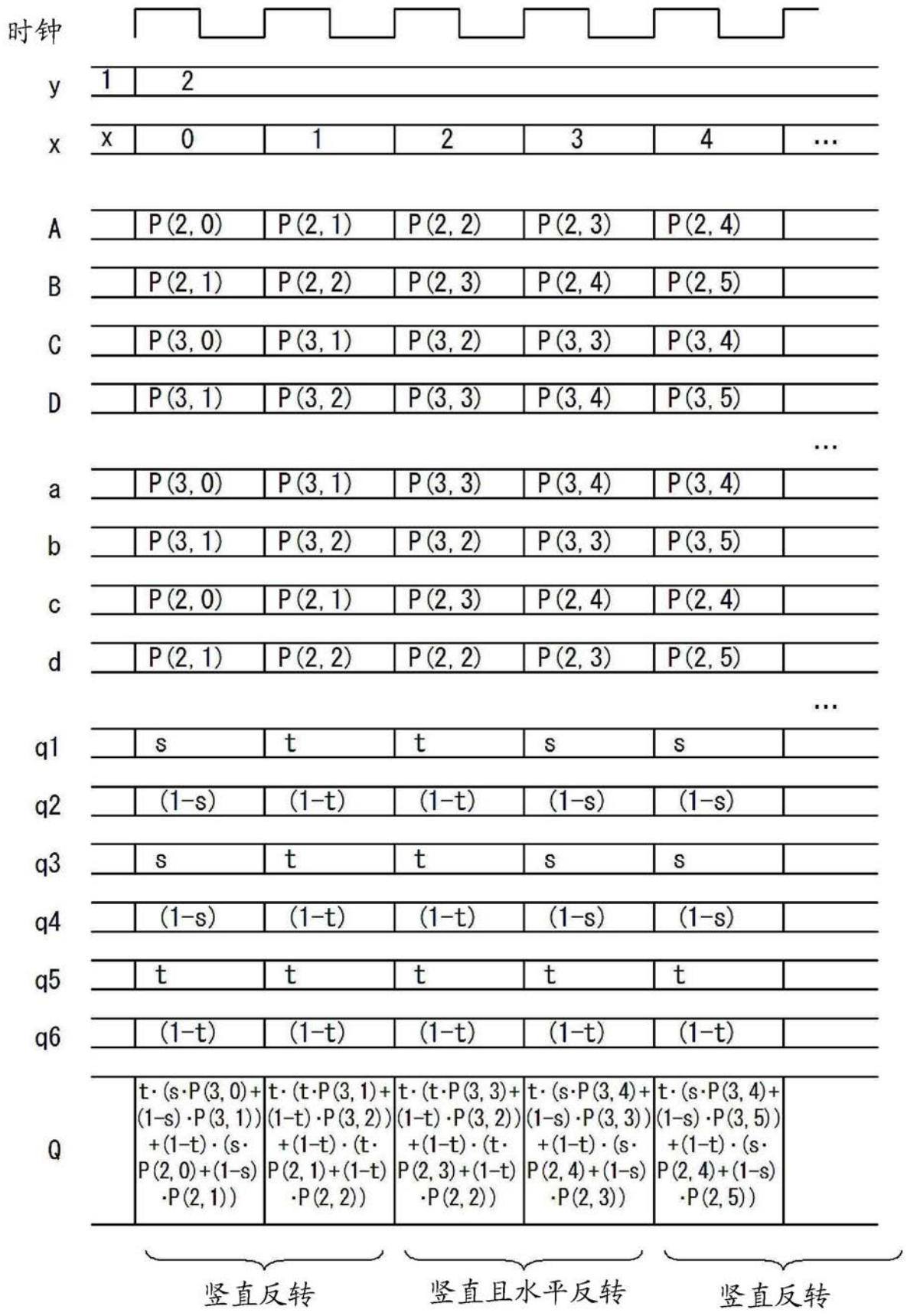

时钟
y
1
2
x
x
0
1
2
3
4
…
A
P(2, 0)
P(2, 1)
P(2, 2)
P(2, 3)
P(2, 4)
B
P(2, 1)
P(2, 2)
P(2, 3)
P(2, 4)
P(2, 5)
C
P(3, 0)
P(3, 1)
P(3, 2)
P(3, 3)
P(3, 4)
D
P(3, 1)
P(3, 2)
P(3, 3)
P(3, 4)
P(3, 5)
…
a
P(3, 0)
P(3, 1)
P(3, 3)
P(3, 4)
P(3, 4)
b
P(3, 1)
P(3, 2)
P(3, 2)
P(3, 3)
P(3, 5)
c
P(2, 0)
P(2, 1)
P(2, 3)
P(2, 4)
P(2, 4)
d
P(2, 1)
P(2, 2)
P(2, 2)
P(2, 3)
P(2, 5)
…
q1
s
t
t
s
s
q2
(1-s)
(1-t)
(1-t)
(1-s)
(1-s)
q3
s
t
t
s
s
q4
(1-s)
(1-t)
(1-t)
(1-s)
(1-s)
q5
t
t
t
t
t
q6
(1-t)
(1-t)
(1-t)
(1-t)
(1-t)
Q
t·(s·P(3, 0)+(1-s)·P(3, 1))+(1-t)·(s·P(2, 0)+(1-s)·P(2, 1))
t·(t·P(3, 1)+(1-t)·P(3, 2))+(1-t)·(t·P(2, 1)+(1-t)·P(2, 2))
t·(t·P(3, 3)+(1-t)·P(3, 2))+(1-t)·(t·P(2, 3)+(1-t)·P(2, 2))
t·(s·P(3, 4)+(1-s)·P(3, 3))+(1-t)·(s·P(2, 4)+(1-s)·P(2, 2))
t·(s·P(3, 4)+(1-s)·P(3, 5))+(1-t)·(s·P(2, 4)+(1-s)·P(2, 5))
竖直反转
竖直且水平反转
竖直反转

图 8C

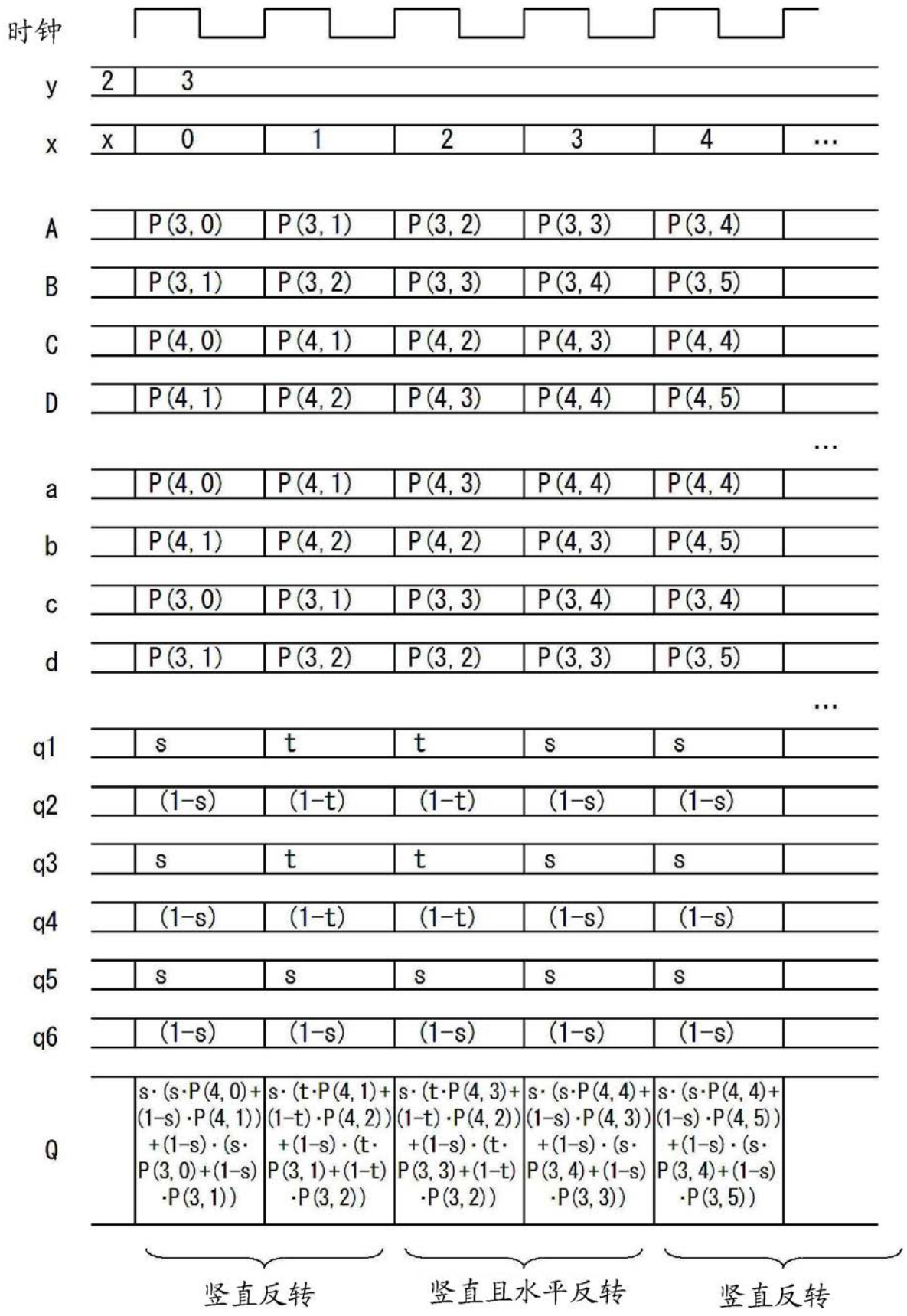

时钟
y
2
3
x
x
0
1
2
3
4
…
A
P(3,0)
P(3,1)
P(3,2)
P(3,3)
P(3,4)
B
P(3,1)
P(3,2)
P(3,3)
P(3,4)
P(3,5)
C
P(4,0)
P(4,1)
P(4,2)
P(4,3)
P(4,4)
D
P(4,1)
P(4,2)
P(4,3)
P(4,4)
P(4,5)
…
a
P(4,0)
P(4,1)
P(4,3)
P(4,4)
P(4,4)
b
P(4,1)
P(4,2)
P(4,2)
P(4,3)
P(4,5)
c
P(3,0)
P(3,1)
P(3,3)
P(3,4)
P(3,4)
d
P(3,1)
P(3,2)
P(3,2)
P(3,3)
P(3,5)
…
q1
s
t
t
s
s
q2
(1-s)
(1-t)
(1-t)
(1-s)
(1-s)
q3
s
t
t
s
s
q4
(1-s)
(1-t)
(1-t)
(1-s)
(1-s)
q5
s
s
s
s
s
q6
(1-s)
(1-s)
(1-s)
(1-s)
(1-s)
Q
s·(s·P(4,0)+(1-s)·P(4,1))+(1-s)·(s·P(3,0)+(1-s)·P(3,1))
s·(t·P(4,1)+(1-t)·P(4,2))+(1-s)·(t·P(3,1)+(1-t)·P(3,2))
s·(t·P(4,3)+(1-t)·P(4,2))+(1-s)·(t·P(3,3)+(1-t)·P(3,2))
s·(s·P(4,4)+(1-s)·P(4,3))+(1-s)·(s·P(3,4)+(1-s)·P(3,3))
s·(s·P(4,4)+(1-s)·P(4,5))+(1-s)·(s·P(3,4)+(1-s)·P(3,5))
竖直反转
竖直且水平反转
竖直反转

图 8D

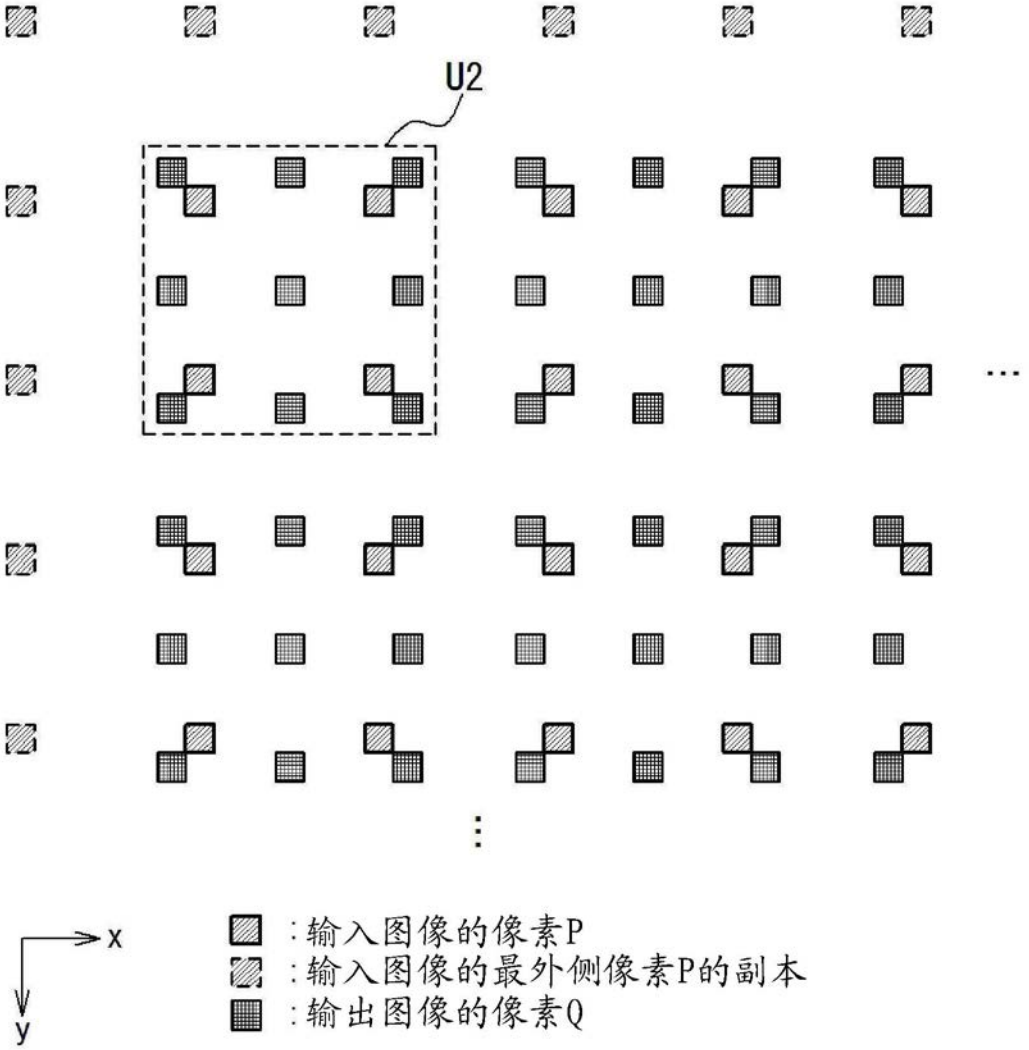


图 9

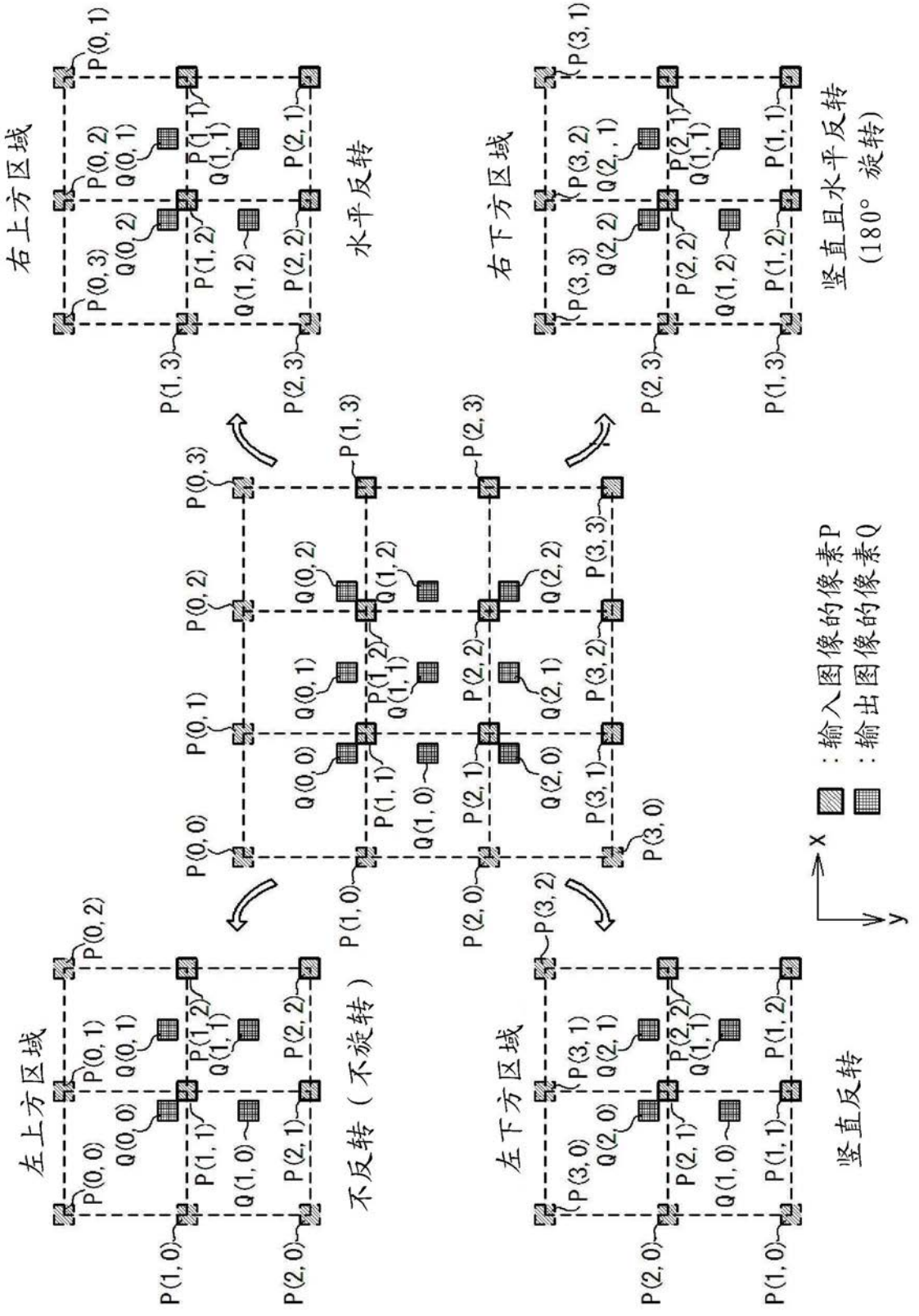

右上方区域
水平反转
右下方区域
竖直且水平反转
(180° 旋转)
不反转（不旋转）
竖直反转
左上方区域
左下方区域
：输入图像的像素P
：输出图像的像素Q
x
y

图 10

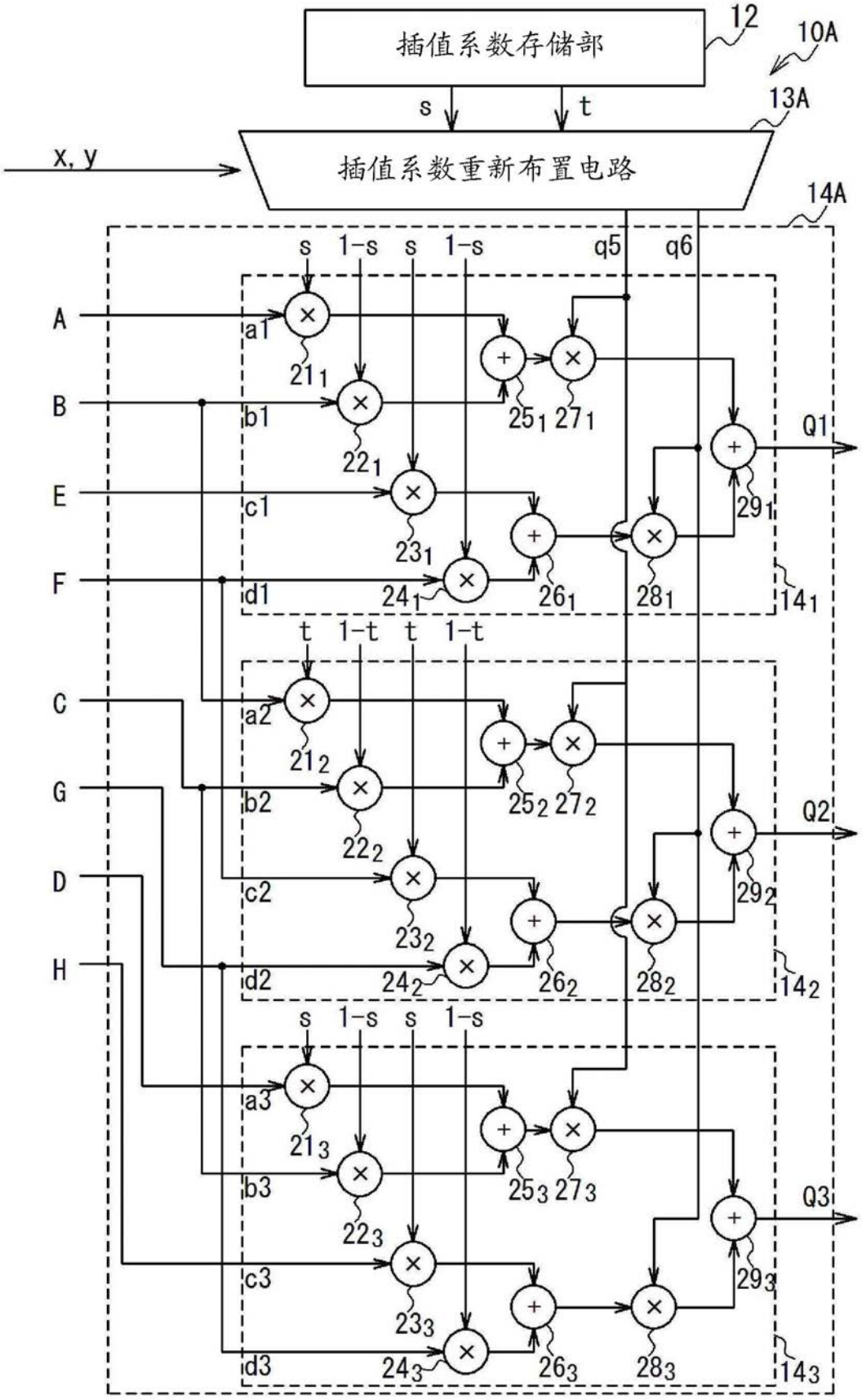

插值系数存储部
12
10A
s
t
13A
插值系数重新布置电路
x, y
14A
s 1-s s 1-s
q5 q6
A
B
E
F
a1
b1
c1
d1
21 1
22 1
23 1
24 1
25 1
26 1
27 1
28 1
29 1
Q1
14 1
t 1-t t 1-t
C
G
D
H
a2
b2
c2
d2
21 2
22 2
23 2
24 2
25 2
26 2
27 2
28 2
29 2
Q2
14 2
s 1-s s 1-s
a3
b3
c3
d3
21 3
22 3
23 3
24 3
25 3
26 3
27 3
28 3
29 3
Q3
14 3

图 11

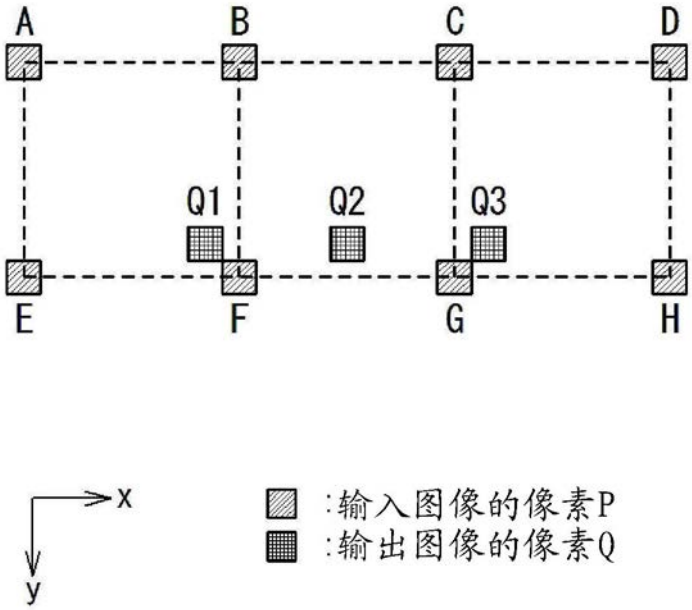


图 12

y%3	q5	q6
0	s	1-s
1	t	1-t
2	1-s	s

图 13

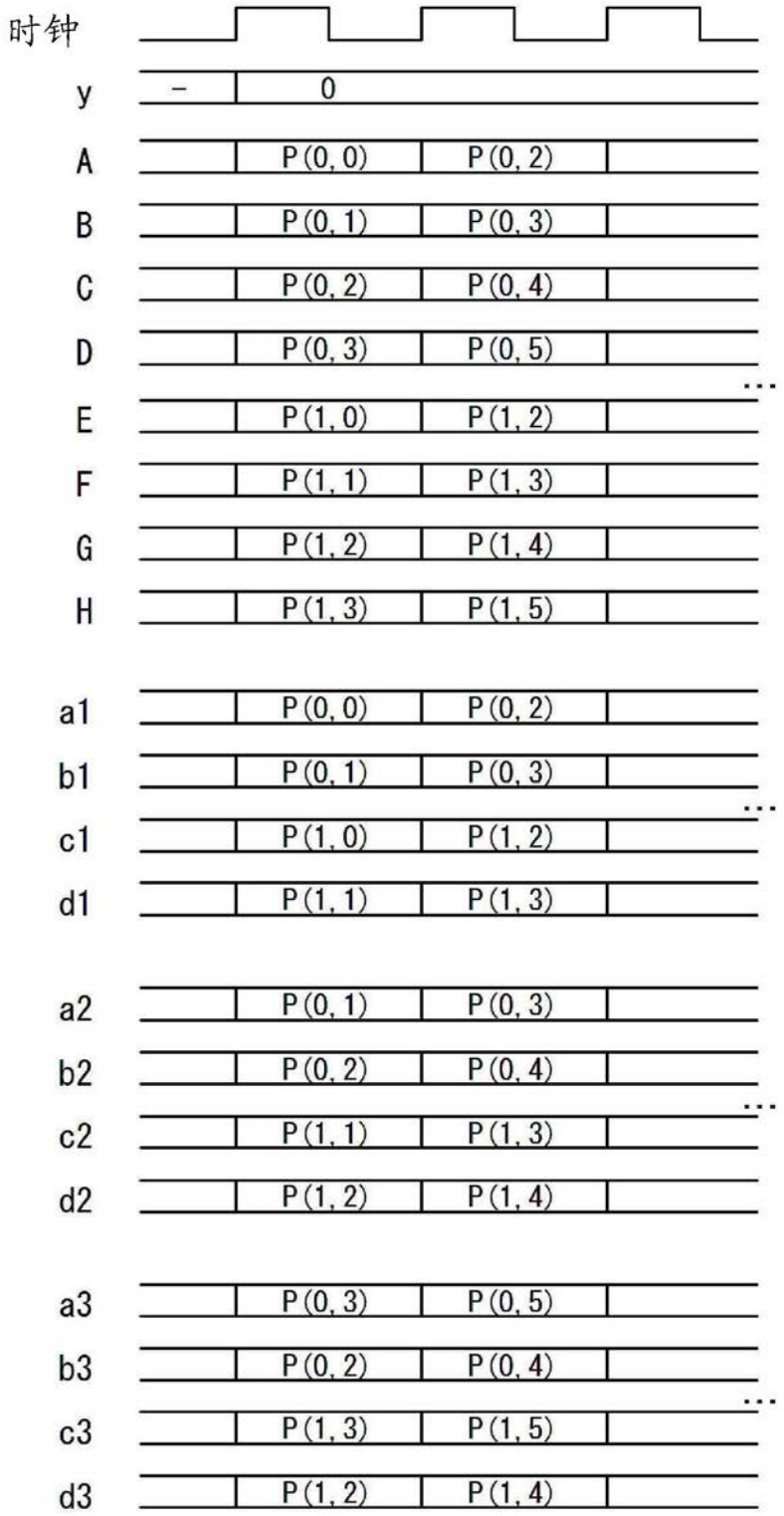

时钟
y
–
0
A
P(0,0)
P(0,2)
B
P(0,1)
P(0,3)
C
P(0,2)
P(0,4)
D
P(0,3)
P(0,5)
...
E
P(1,0)
P(1,2)
F
P(1,1)
P(1,3)
G
P(1,2)
P(1,4)
H
P(1,3)
P(1,5)
a1
P(0,0)
P(0,2)
b1
P(0,1)
P(0,3)
...
c1
P(1,0)
P(1,2)
d1
P(1,1)
P(1,3)
a2
P(0,1)
P(0,3)
b2
P(0,2)
P(0,4)
...
c2
P(1,1)
P(1,3)
d2
P(1,2)
P(1,4)
a3
P(0,3)
P(0,5)
b3
P(0,2)
P(0,4)
...
c3
P(1,3)
P(1,5)
d3
P(1,2)
P(1,4)

图 14A

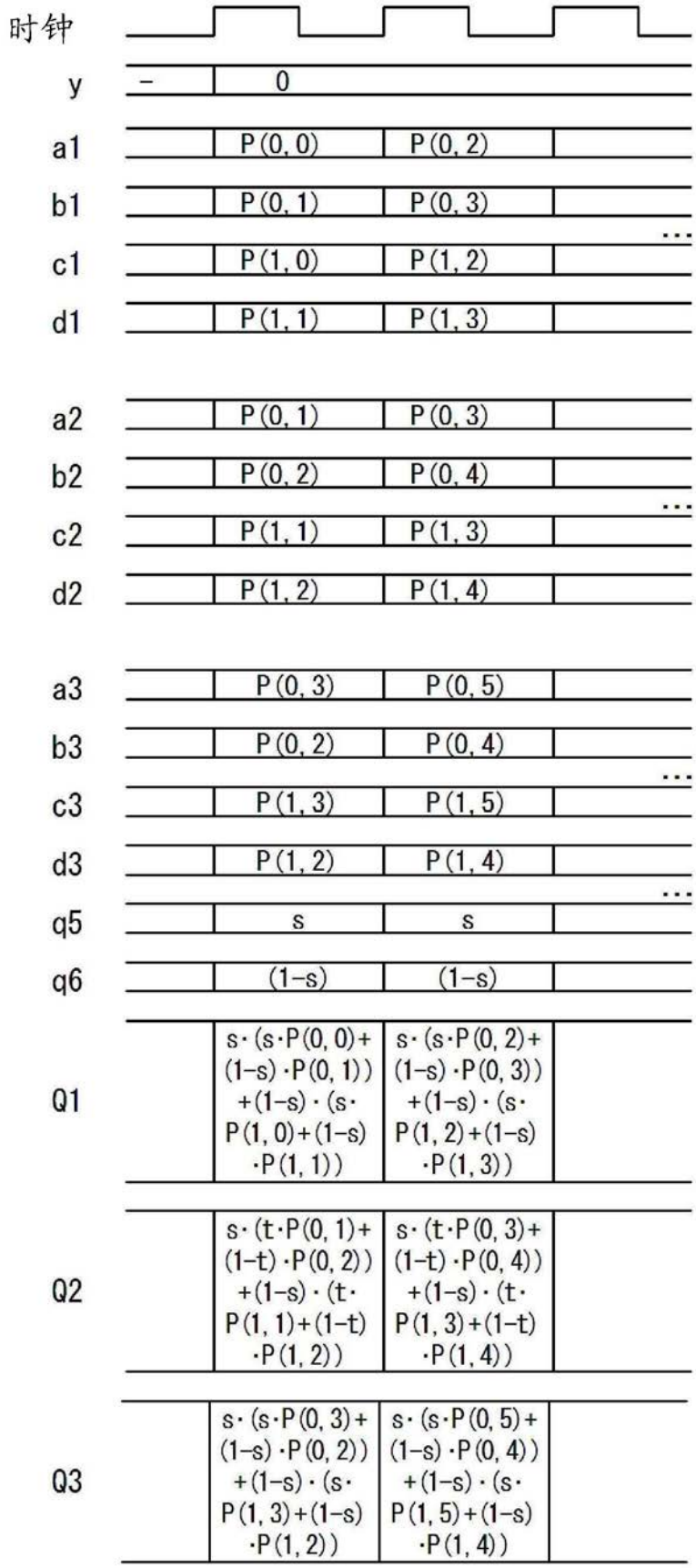

时钟
y
–
0
a1
P(0,0)
P(0,2)
b1
P(0,1)
P(0,3)
c1
P(1,0)
P(1,2)
d1
P(1,1)
P(1,3)
a2
P(0,1)
P(0,3)
b2
P(0,2)
P(0,4)
c2
P(1,1)
P(1,3)
d2
P(1,2)
P(1,4)
a3
P(0,3)
P(0,5)
b3
P(0,2)
P(0,4)
c3
P(1,3)
P(1,5)
d3
P(1,2)
P(1,4)
q5
s
s
q6
(1–s)
(1–s)
Q1
s·(s·P(0,0)+(1–s)·P(0,1))+(1–s)·(s·P(1,0)+(1–s)·P(1,1))
s·(s·P(0,2)+(1–s)·P(0,3))+(1–s)·(s·P(1,2)+(1–s)·P(1,3))
Q2
s·(t·P(0,1)+(1–t)·P(0,2))+(1–s)·(t·P(1,1)+(1–t)·P(1,2))
s·(t·P(0,3)+(1–t)·P(0,4))+(1–s)·(t·P(1,3)+(1–t)·P(1,4))
Q3
s·(s·P(0,3)+(1–s)·P(0,2))+(1–s)·(s·P(1,3)+(1–s)·P(1,2))
s·(s·P(0,5)+(1–s)·P(0,4))+(1–s)·(s·P(1,5)+(1–s)·P(1,4))

图 14B

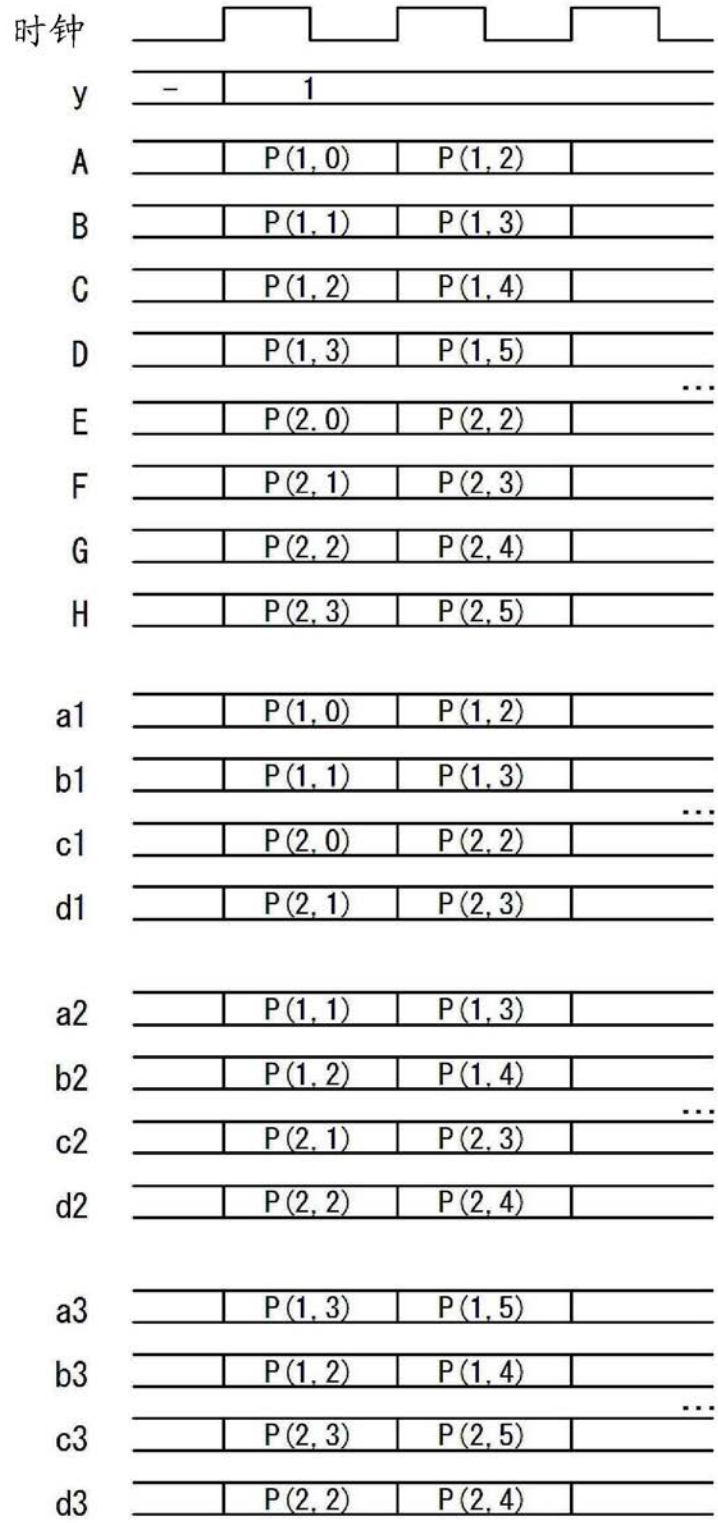

时钟
y
–
1
A
B
C
D
E
F
G
H
P(1,0)
P(1,2)
P(1,1)
P(1,3)
P(1,2)
P(1,4)
P(1,3)
P(1,5)
P(2,0)
P(2,2)
P(2,1)
P(2,3)
P(2,2)
P(2,4)
P(2,3)
P(2,5)
a1
b1
c1
d1
P(1,0)
P(1,2)
P(1,1)
P(1,3)
P(2,0)
P(2,2)
P(2,1)
P(2,3)
a2
b2
c2
d2
P(1,1)
P(1,3)
P(1,2)
P(1,4)
P(2,1)
P(2,3)
P(2,2)
P(2,4)
a3
b3
c3
d3
P(1,3)
P(1,5)
P(1,2)
P(1,4)
P(2,3)
P(2,5)
P(2,2)
P(2,4)

图 15A

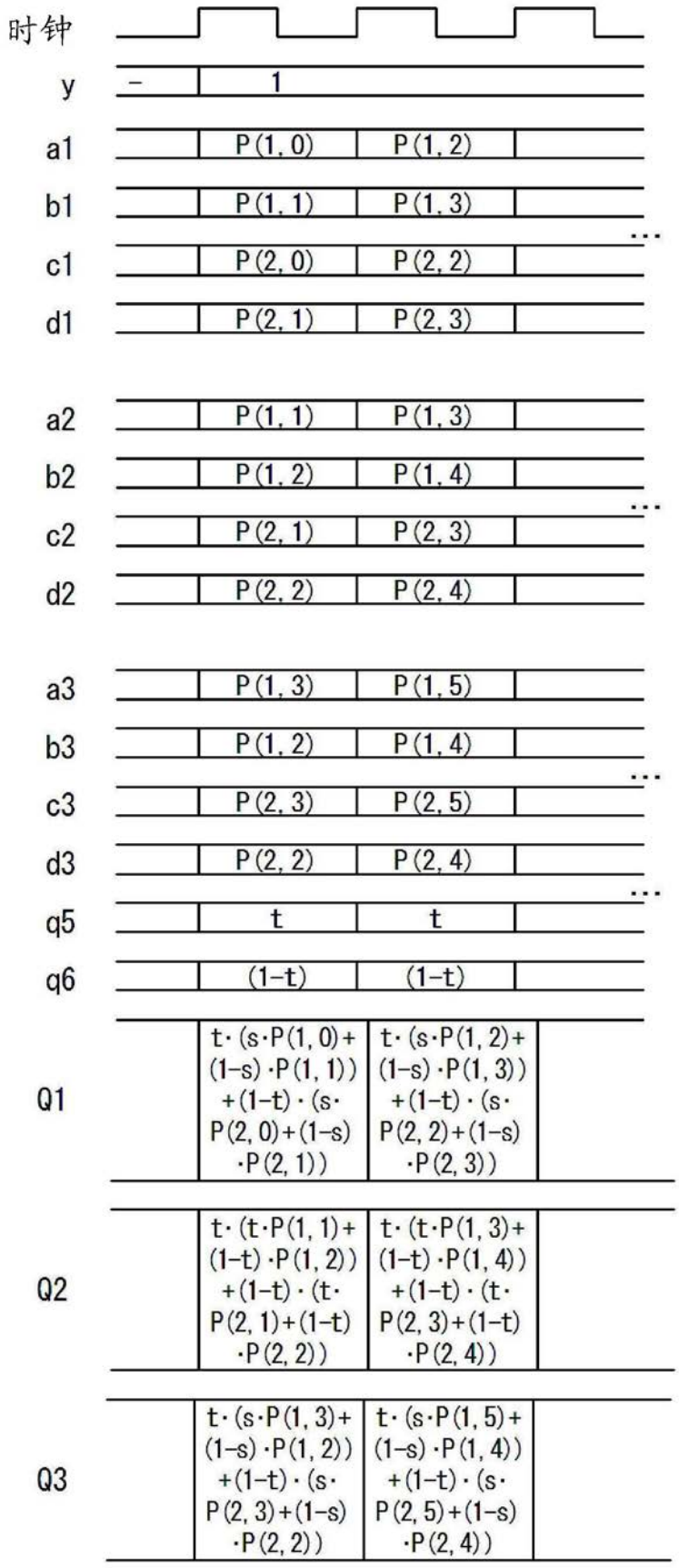

时钟
y
–
1
a1
P(1, 0)
P(1, 2)
b1
P(1, 1)
P(1, 3)
c1
P(2, 0)
P(2, 2)
d1
P(2, 1)
P(2, 3)
a2
P(1, 1)
P(1, 3)
b2
P(1, 2)
P(1, 4)
c2
P(2, 1)
P(2, 3)
d2
P(2, 2)
P(2, 4)
a3
P(1, 3)
P(1, 5)
b3
P(1, 2)
P(1, 4)
c3
P(2, 3)
P(2, 5)
d3
P(2, 2)
P(2, 4)
q5
t
t
q6
(1–t)
(1–t)
Q1
t·(s·P(1, 0)+(1–s)·P(1, 1))+(1–t)·(s·P(2, 0)+(1–s)·P(2, 1))
t·(s·P(1, 2)+(1–s)·P(1, 3))+(1–t)·(s·P(2, 2)+(1–s)·P(2, 3))
Q2
t·(t·P(1, 1)+(1–t)·P(1, 2))+(1–t)·(t·P(2, 1)+(1–t)·P(2, 2))
t·(t·P(1, 3)+(1–t)·P(1, 4))+(1–t)·(t·P(2, 3)+(1–t)·P(2, 4))
Q3
t·(s·P(1, 3)+(1–s)·P(1, 2))+(1–t)·(s·P(2, 3)+(1–s)·P(2, 2))
t·(s·P(1, 5)+(1–s)·P(1, 4))+(1–t)·(s·P(2, 5)+(1–s)·P(2, 4))

图 15B

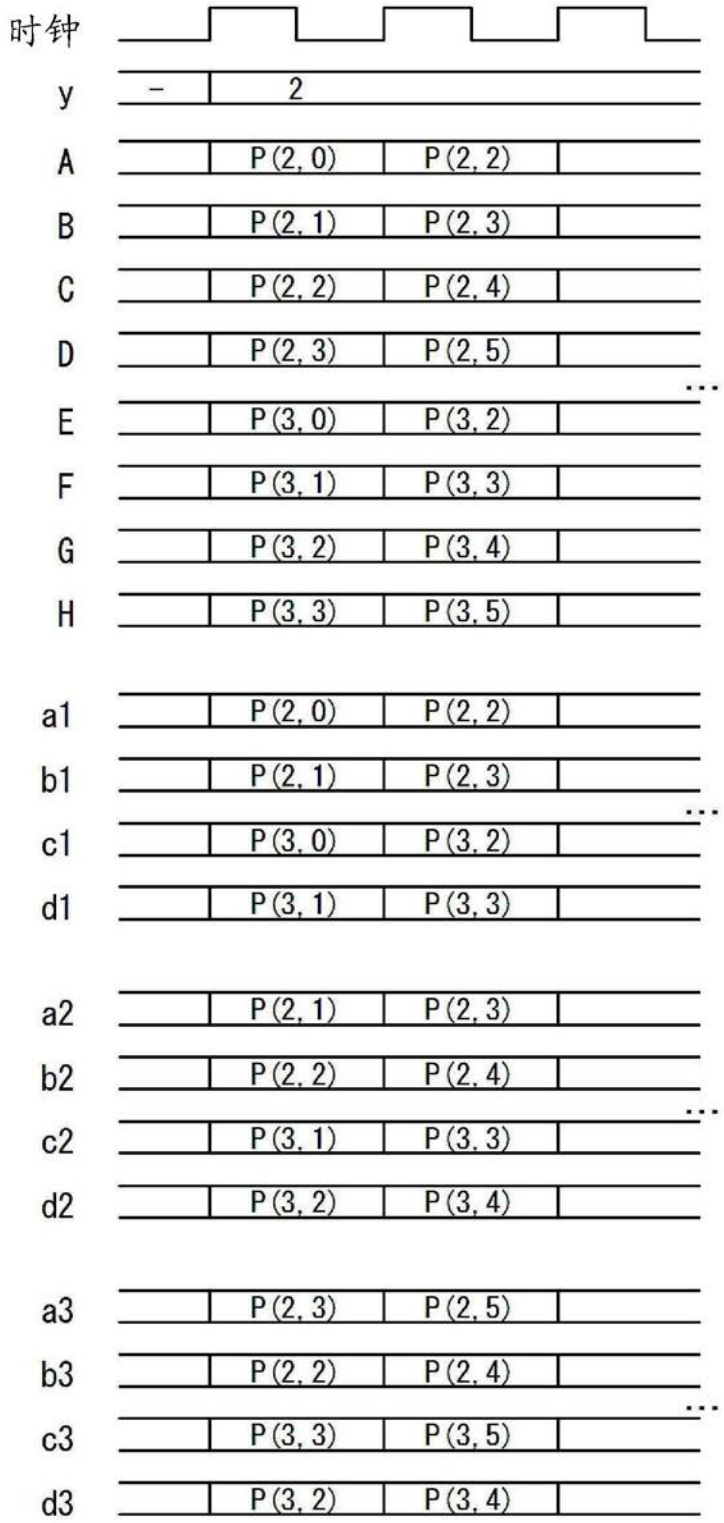

时钟
y
–
2
A
B
C
D
E
F
G
H
P(2,0)
P(2,2)
P(2,1)
P(2,3)
P(2,2)
P(2,4)
P(2,3)
P(2,5)
P(3,0)
P(3,2)
P(3,1)
P(3,3)
P(3,2)
P(3,4)
P(3,3)
P(3,5)
a1
b1
c1
d1
a2
b2
c2
d2
a3
b3
c3
d3

图 16A

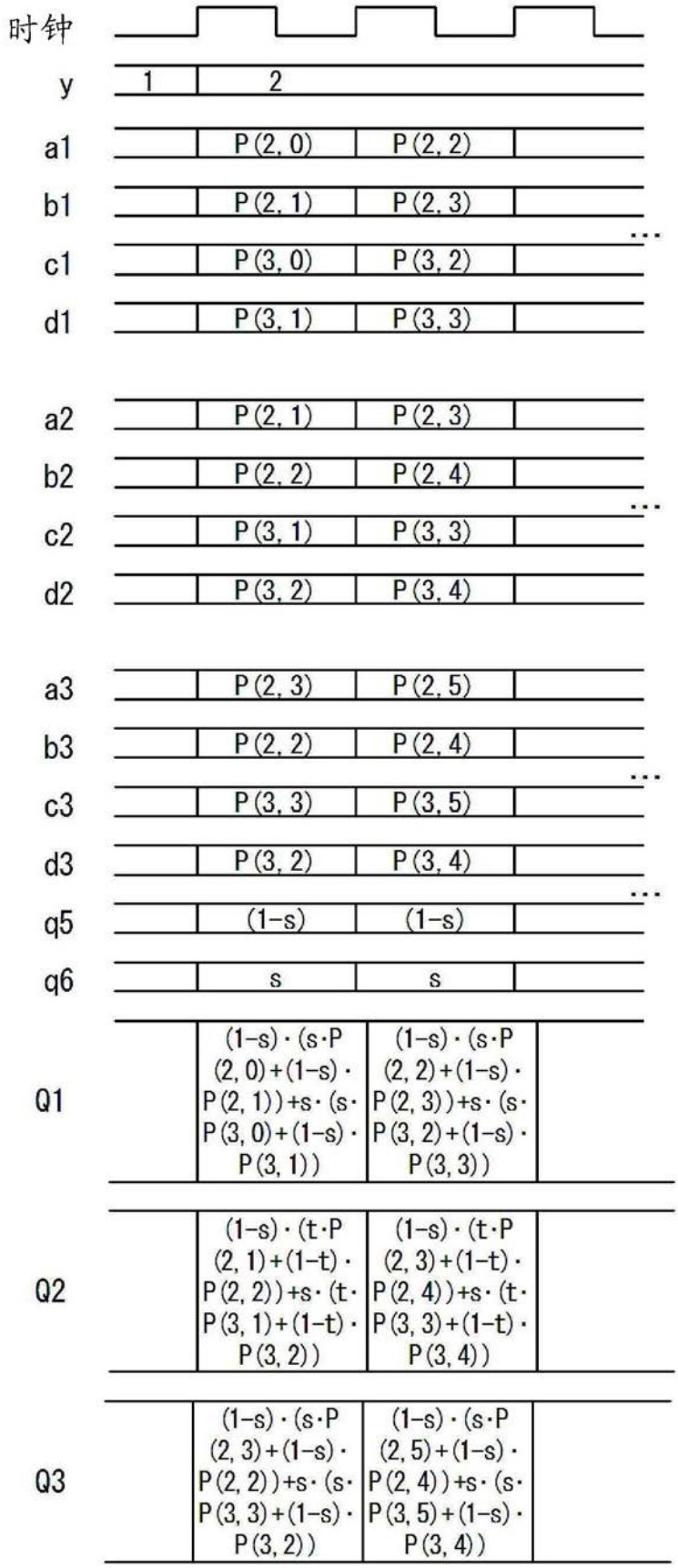

时钟
y
1
2
a1
P(2, 0)
P(2, 2)
b1
P(2, 1)
P(2, 3)
c1
P(3, 0)
P(3, 2)
d1
P(3, 1)
P(3, 3)
a2
P(2, 1)
P(2, 3)
b2
P(2, 2)
P(2, 4)
c2
P(3, 1)
P(3, 3)
d2
P(3, 2)
P(3, 4)
a3
P(2, 3)
P(2, 5)
b3
P(2, 2)
P(2, 4)
c3
P(3, 3)
P(3, 5)
d3
P(3, 2)
P(3, 4)
q5
(1−s)
(1−s)
q6
s
s
Q1
(1−s)·(s·P(2, 0)+(1−s)·P(2, 1))+s·(s·P(3, 0)+(1−s)·P(3, 1))
(1−s)·(s·P(2, 2)+(1−s)·P(2, 3))+s·(s·P(3, 2)+(1−s)·P(3, 3))
Q2
(1−s)·(t·P(2, 1)+(1−t)·P(2, 2))+s·(t·P(3, 1)+(1−t)·P(3, 2))
(1−s)·(t·P(2, 3)+(1−t)·P(2, 4))+s·(t·P(3, 3)+(1−t)·P(3, 4))
Q3
(1−s)·(s·P(2, 3)+(1−s)·P(2, 2))+s·(s·P(3, 3)+(1−s)·P(3, 2))
(1−s)·(s·P(2, 5)+(1−s)·P(2, 4))+s·(s·P(3, 5)+(1−s)·P(3, 4))

图 16B

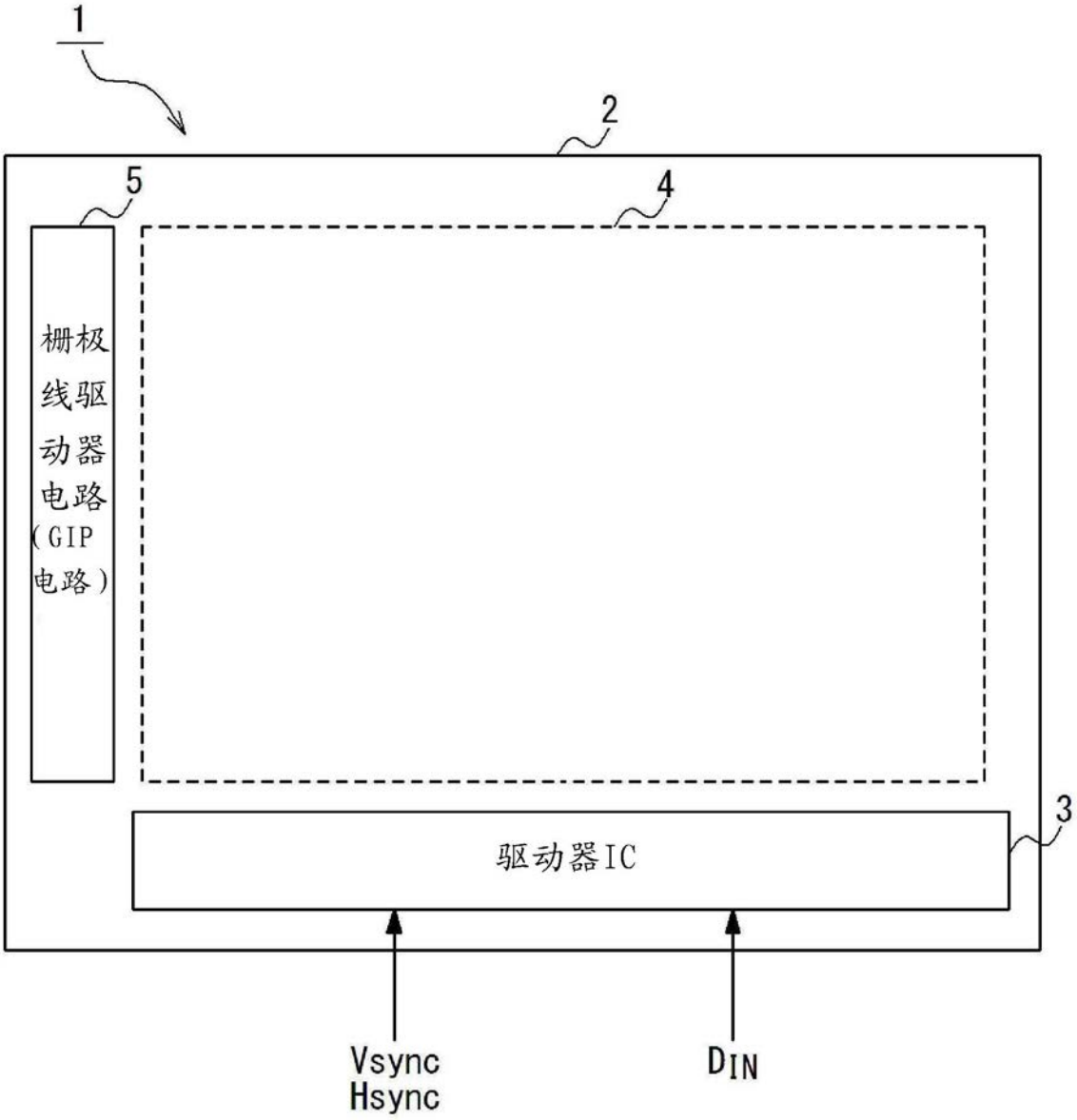


图 17

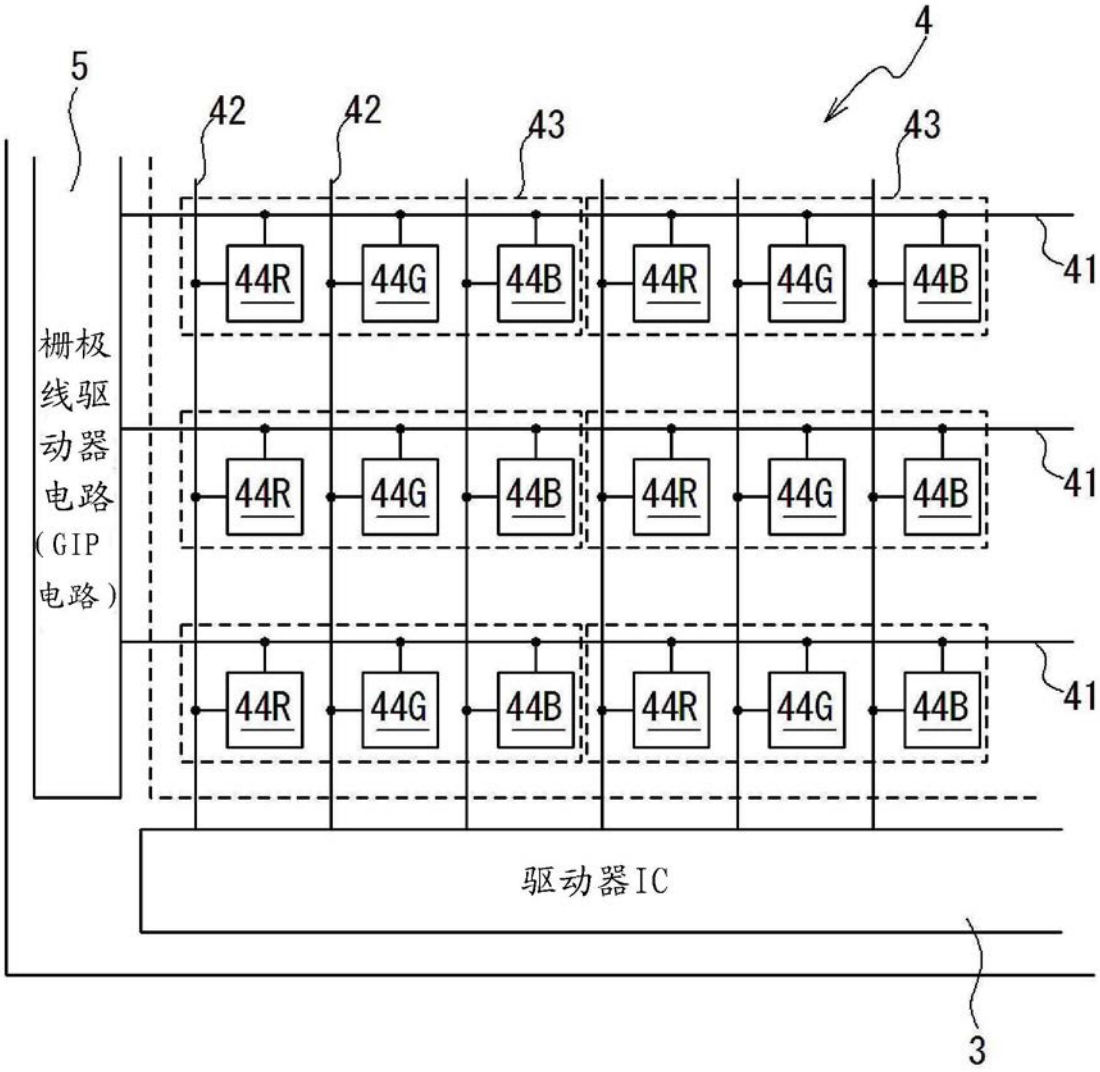


图 18

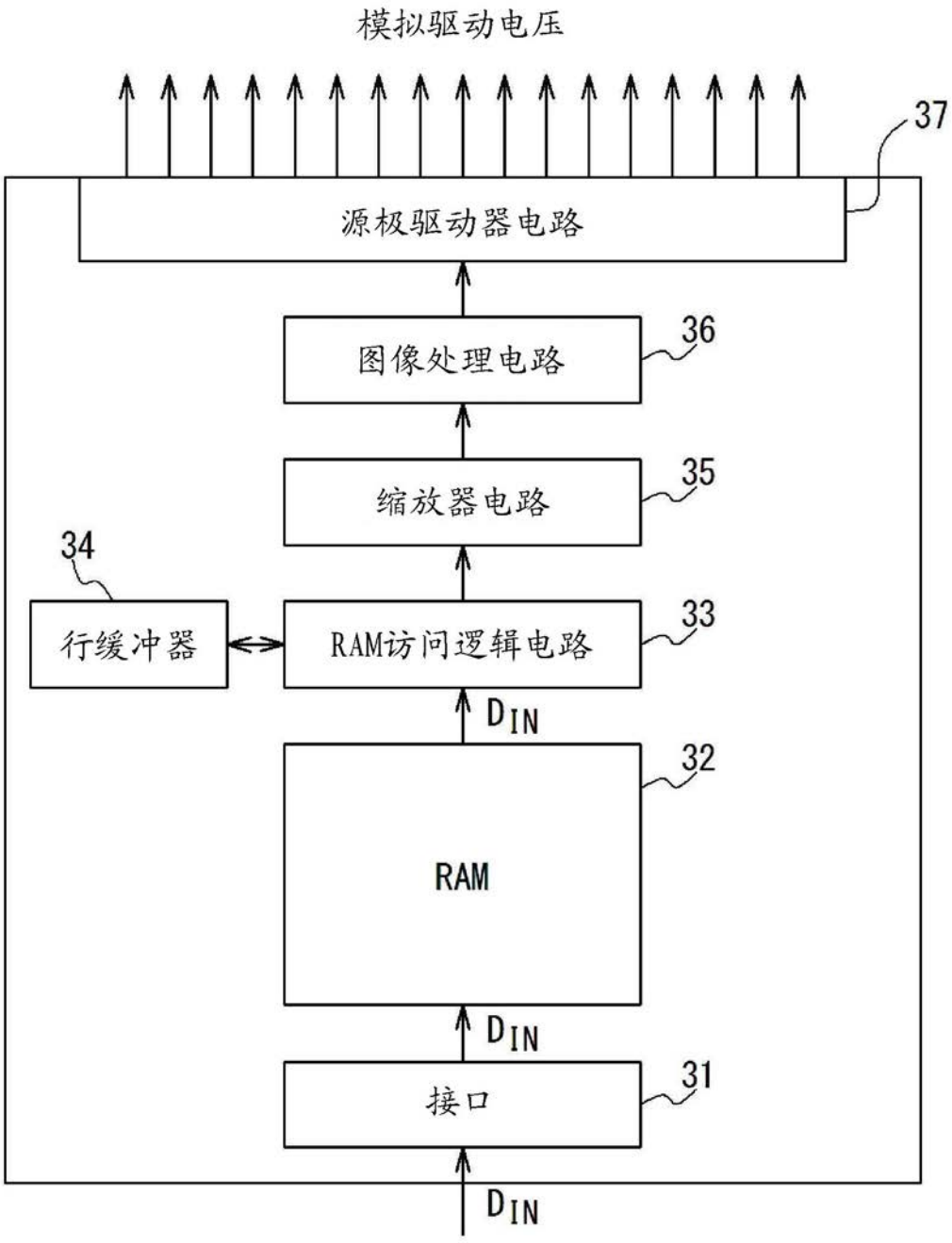

模拟驱动电压
37
源极驱动器电路
36
图像处理电路
35
缩放器电路
34
行缓冲器
33
RAM访问逻辑电路
DIN
32
RAM
DIN
31
接口
DIN

图 19