(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3566773号
(P3566773)
(45)発行日　平成16年9月15日(2004.9.15)　(24)登録日　平成16年6月18日(2004.6.18)

(51)Int.Cl.[7]　F I
H03K 19/0175　H03K 19/00　101J

請求項の数 2　(全 11 頁)

(21)出願番号　特願平7-34678
(22)出願日　平成7年2月1日(1995.2.1)
(65)公開番号　特開平7-245559
(43)公開日　平成7年9月19日(1995.9.19)
審査請求日　平成14年1月23日(2002.1.23)
(31)優先権主張番号　194974
(32)優先日　平成6年2月14日(1994.2.14)
(33)優先権主張国　米国(US)

(73)特許権者　390009597
モトローラ・インコーポレイテッド
MOTOROLA INCORPORATED
アメリカ合衆国イリノイ州シャンバーグ、イースト・アルゴンクイン・ロード１３０３
(74)代理人　100089705
弁理士　社本　一夫
(74)代理人　100076691
弁理士　増井　忠弐
(74)代理人　100075270
弁理士　小林　泰
(74)代理人　100080137
弁理士　千葉　昭男

最終頁に続く

(54)【発明の名称】パワーダウン機能を有する出力バッファ回路

(57)【特許請求の範囲】
【請求項１】
パワーダウン機能を有する出力バッファ回路において、
入力及び出力を有する入力ステージであって、前記入力ステージの前記入力は入力信号を受け取るため結合された入力ステージと、
入力及び出力を有するプルアップ回路であって、前記プルアップ回路の前記入力は前記入力ステージの前記出力に結合され、前記プルアップ回路の前記出力は電流を前記出力バッファ回路の出力に供給するプルアップ回路と、
入力及び出力を有するプルダウン回路であって、前記プルダウン回路の前記入力は前記入力ステージの前記入力に結合され、前記プルダウン回路の前記出力は前記出力バッファ回路の前記出力に直接接続されて前記出力バッファ回路の前記出力に電流を引き込むプルダウン回路と、
前記入力ステージの前記出力に応答して前記出力バッファ回路の前記出力に現れる信号の遷移速度を遅くする電流駆動手段であって、前記プルダウン回路に結合された出力を有する電流駆動手段と、
パワーダウン条件に応じた第１の電圧に応答して前記出力バッファ回路を使用不能にするパワーダウン・センス回路であって、前記入力ステージ、前記プルアップ回路及び前記プルダウン回路に結合されたパワーダウン・センス回路と
を備える出力バッファ回路。
【請求項２】

プルアップ回路及びプルダウン回路を含むバッファ回路をパワーダウンする方法において、
入力信号を受け取るステップと、
第１の論理状態にある前記入力信号に応答して第１の電流を前記バッファ回路の出力に供給するステップであって、前記第１の電流は前記バッファ回路の前記出力に直接結合されている第１の電流源から供給される、前記供給するステップと、
第２の論理状態にある前記入力信号に応答して第２の電流を前記バッファ回路の前記出力に引き込むステップであって、前記第２の電流は第２の電流源により前記バッファ回路の前記出力から直接引き込まれる、前記引き込むステップと、
前記バッファ回路の前記出力に現れる論理的遷移を遅くするステップと、
パワーダウン条件に応答して第１の端子に現れる電圧を検知するステップと、
前記第１の端子で検知された前記電圧に応答して前記バッファ回路を使用不能にするステップと
を備えるバッファ回路をパワーダウンする方法。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は一般にＢｉＣＭＯＳ出力バッファに関し、さらに詳しくはパワーダウン・モードにしても、電源条件および外部インタフェース・バス条件から影響を受けない状態を維持できる３状態ＢｉＣＭＯＳ出力バッファに関する。

【０００２】

【従来の技術】

出力バッファ（以下バッファという）が、大規模集積回路や電子システムにおいてバス・ラインを駆動するのに使用されることは、技術上周知である。これらのバッファは、システム構成に応じて、集積回路の同一ダイまたは異なるダイの上に配置できる。複数のバッファを共通のバス・ラインと接続して、このバス・ラインを今度はマイクロプロセッサ，メモリおよびレジスタなどのデバイスのアドレッシング入力に接続することもできる。これらのバッファは通常、３状態機能を組み込んでおり、一定の信号条件では出力バスで不要となる出力バッファ信号を除去する。

【０００３】

電力消費量を削減するには、出力バッファなど、使用していない回路を非活動化するのが望ましい。また、一つの電源電圧によって電力が供給される回路を組み込むが、バス接続システム内の異なる電源電圧によって電力を供給されるデバイスとインタフェースがとれると便利である。

【０００４】

しかしながら、電力逓減技術を利用する場合には、バス・ラインと、非活動状態のパワーダウン・バッファの電源ラインとの間に望ましくない状態が発生する可能性がある。たとえば、通常のＢｉＣＭＯＳ出力バッファでは、ＰＭＯＳトランジスタが上部駆動トランジスタとして使用される。バス・ライン（活動状態のバッファによって駆動される）は、共存するバス・バッファがパワーダウンされて、非活動化される場合でも、活動状態のバッファが示す電圧レベルおよび電流駆動機能を維持することが望ましい。通常、バス・ラインは、共通のバスに接続されるバッファがパワーダウン状態である間、なんらかの時点で、活動状態のバッファからの出力（この出力は高状態にある）を受け取る。このような状況が発生するとき、パワーダウンされたバッファの上部ＰＭＯＳ駆動トランジスタは、異常なバイアス状態を経験する。このトランジスタのドレイン、すなわちＰ形半導体材料は、バス・ラインの電圧レベルにバイアスされ続ける。しかしながら、この電圧はより高い電源電圧レイルに近くなる可能性がある。パワーダウンされたバッファの電源電圧は急低下するので、ＰＭＯＳトランジスタのソースはゼロ・ボルトになる。ＰＭＯＳトランジスタのバックゲート（ｂａｃｋｇａｔｅ）は、Ｎ形材料で通常はトランジスタのソースと同一の電位にバイアスされ、これもゼロ・ボルトになる。このため、寄生ＰＮダイオードが

、トランジスタのドレインから急低下した電源電圧まで形成されて、電流がバス・ラインから外されるような望ましくない経路が生じる。

【０００５】

【発明が解決しようとする課題】

前記の状況を克服するため、ダイオードが、電源とＰＭＯＳトランジスタのバックゲートとの間に配置されて、電流を遮断する構造を作る場合がある。しかしながらこのダイオードは、問題の一部しか解決しない。パワーダウンする以前に、非活動状態の回路が３状態モードに置かれた場合には、電流を奪う新たな機構が活動化される。この場合、ＰＭＯＳ構造のドレイン，ソースおよびバックゲートは上述の状態を維持するが、ゲートはそのときゼロ・ボルトもしくはその付近にバイアスされる。この状態では、ＰＭＯＳトランジスタは反転モードで活動化され、これもバス・ラインから電流を逃して、ダイオードのプラス効果を無効にする。

【０００６】

【課題を解決するための手段】

このため、バス・ライン上の一定のバッファ回路を非活動化する一方で、バス・ラインの所要の電圧レベルおよび所要の電流駆動条件の完全性を維持できる効率的なパワーダウン回路の必要性が存在する。

【０００７】

まとめると、本発明は、パワーダウン機能を有するＢｉＣＭＯＳバッファ回路を提供し、複数の電圧を生じることが可能なバスに結合させる回路およびその方法を提供する。これを達成するには、パワーダウン中、バスがある電圧レベルにあり、出力バッファに供給される電力が低レベルにあるとき、出力ＰＭＯＳトランジスタの存在により生じる漏れ電流路が、出力ＰＭＯＳトランジスタのゲートに電力遮断信号を送るパワーダウン・センス回路を使用して排除されるようにバッファ回路を設計する。パワーダウン・センス回路は、ＰＭＯＳトランジスタをバスからのフィードバック・トランジスタとして使用して、出力ＰＭＯＳトランジスタのゲートおよびドレインにおいて同一電圧レベルを維持し、パワーダウン中、出力ＰＭＯＳトランジスタをオフにする。ＰＭＯＳトランジスタによってバッファ内で生じるバスへのさらなる漏れ電流路は、パワーダウン・センス回路の内部に回路を追加することによって排除され、各ＰＭＯＳトランジスタのゲートおよびドレインの電圧レベルを同一に維持する。スイッチング・ノイズも、バッファの出力においてノイズ抑制電流ドライバ回路を使用することにより、最低限に抑えられる。

【０００８】

【実施例】

図１は、バッファ回路１００の詳細なブロック図を示す。図１を参照して、単一電圧源ＢｉＣＭＯＳ３状態出力バッファ回路１００は、従来の集積回路の加工工程を用いて集積回路として製造するのに適する形で示される。出力バッファ回路１００はまた、集積回路どうしの組み合わせ、または集積回路と個別デバイスとの組み合わせとして実現できる。

【０００９】

出力バッファ回路１００は、バッファ回路ブロック１２０，パワーダウン・センス回路１０８およびインバータ１０４によって構成される。

【００１０】

バッファ回路ブロック１２０内では、入力バッファ・ステージ１０２が入力ＩＮから論理入力信号を受け取る。ＩＮはまた、出力プルダウン電流ドライバ１１６の入力と結合されて、論理１または論理０の適正な信号を出力１１０に与える。ＩＮはまた、ノイズ抑制電流ドライバ１１２の入力にも導かれる。

【００１１】

入力バッファ・ステージ１０２は、駆動信号を出力プルアップ電流ドライバ１１４に与え、利得素子として、第２利得素子であるインバータ１０６を駆動する。インバータ１０６からの結果の出力信号は、ノイズ抑制電流ドライバ１１２を駆動し、後者は、バッファ回路の出力１１０からフィードバック信号を受け取る。

【００１２】
ノイズ抑制電流ドライバ１１２は、電流ブースト（ｂｏｏｓｔ）　信号を出力プルダウン・ドライバ１１６に与えて、出力１１０が論理０状態に駆動されるときに、出力１１０に現れる信号を高速でオンにする。
【００１３】
出力プルアップ電流ドライバ１１４の出力は、出力プルダウン電流ドライバ１１６の出力と結合され、両出力とも出力１１０に結合される。
【００１４】
パワーダウン・センス回路１０８は、出力１１０から信号を受け取る。電源導線１１８は、ショットキー・ダイオード２１５を介してノード１２６と結合され、このノードは、パワーダウン・センス回路１０８および出力プルアップ電流ドライバ１１４と共通接続（ｃｏｍｍｏｎｌｙ　ｃｏｎｎｅｃｔｅｄ）される。電源導線１１８はまた、出力プルアップ電流ドライバ１１４と接続される。但し、部材２１５はショットキー・ダイオードとして示したが、いずれのダイオードも部材２１５として利用できると理解されたい。
【００１５】
パワーダウン・センス回路１０８は、ノード１２６に存在する電圧を検知する。この電圧はノード１１８の電圧の導関数である。パワーダウン・センス回路１０８の出力は、ライン１１９が示すように、バッファ回路ブロック１２０と結合される。バッファ回路ブロック１２０の部材は、図２，図３および図４に示すように、パワーダウン・センス回路１０８からのパワーダウン信号に応答する回路を含む。
【００１６】
３状態「非出力イネーブル」論理信号ＮＯＥが、インバータ１０４，ノイズ抑制電流ドライバ１１２，出力プルアップ電流ドライバ１１４および出力プルダウン電流ドライバ１１６の入力に与えられる。インバータ１０４の出力はさらに、反転３状態ＮＯＥ信号を入力バッファ・ステージ１０２，インバータ１０６およびパワーダウン・センス回路１０８に転送する。
【００１７】
入力信号ＮＯＥが論理１のとき、出力１１０は３状態インピーダンス・モードに切り換わり、出力１１０はＩＮに現れるいずれの入力信号も伝送可能となる。入力信号ＮＯＥが論理０のとき、出力１１０はバッファ回路ブロック１２０に与えられる論理信号入力ＩＮに正常に応答する。
【００１８】
インバータ１０４，１０６はともに、第１電源導線ＶＣＣ１と第２電源導線ＧＮＤ１との間に結合される。電源導線ＶＣＣ１は絶えず活動状態にあり、バッファ回路ブロック１２０の正常動作中、もしくは独立したパワーダウン中、用途に応じて３ボルト乃至５ボルトとなる。
【００１９】
インバータ１０４は、単純ＢｉＣＭＯＳインバータであり、ここではその入力ＮＯＥが、出力バッファ回路１００の使用不能（ｄｉｓａｂｌｅ）状態または使用可能（ｅｎａｂｌｅ）状態を判断する。インバータ１０４の出力は、入力バッファ・ステージ回路１０２およびインバータ回路１０６と結合される。入力バッファ・ステージ回路１０２は３状態入力ステージである。入力バッファ・ステージ回路１０２の機能は、出力バッファ回路１００が使用可能状態の場合常に、入力信号ＩＮを反転することである。出力バッファ回路１００が使用不能状態の場合には、入力バッファ・ステージ回路１０２の出力は、高インピーダンス状態を入力する。インバータ１０６は反転ステージであり、３層ＮＭＯＳトランジスタのゲート（図３に示す。以下に詳述）が高になるときにその出力は低になる。このインバータ回路１０６は、パワーダウン中、プルダウン・トランジスタへの漏れ電流路を排除する。
【００２０】
出力プルアップ電流ドライバ回路１１４は、出力プルアップ・トランジスタを含む。出力

バッファはＢｉＣＭＯＳプルアップ構造を有する。このプルアップ回路構造は、出力バイポーラ・トランジスタ（図４に示す。以下に詳述）と並列接続された出力ＰＭＯＳトランジスタを含む。パワーダウン中、出力ＰＭＯＳトランジスタが存在するので、バスから電源導線１１８へと望ましくない漏れ電流路が存在する。この漏れ電流路を排除するため、本発明では、パワーダウン・センス回路１０８を設ける。パワーダウン・センス回路１０８は、フィードバックＰＭＯＳトランジスタ（図２に示す。以下に詳述）を使用することにより漏れ電流路を停止させる。パワーダウン中、フィードバックＰＭＯＳトランジスタは、出力ＰＭＯＳトランジスタのゲートおよびドレインにおいて同一電圧レベルを維持する。ＰＭＯＳトランジスタのゲートおよびドレインの電圧が同一であることは、トランジスタがオフであることを意味する。この動作については、図２から図４の詳細な説明で詳述する。

【００２１】

出力プルダウン電流ドライバ回路１１６は、出力プルダウン・ドライバである。ＢｉＣＭＯＳ出力ドライバは、並列接続されたＮＭＯＳおよびバイポーラ・トランジスタを有する（図３に示す。以下に詳述）。しかしながら冷温では、出力プルダウン・ドライバ回路１１６内にＮＭＯＳトランジスタが存在すると、望ましくないスイッチング・ノイズが生じる。このスイッチング・ノイズの影響を最小限に抑えるため、本発明では、ノイズ抑制電流ドライバ回路１１２を設ける。ノイズ抑制電流ドライバ回路１１２は、出力プルダウン・ドライバ回路１１６と接続され、出力バッファ全体の速度に影響を与えずに出力１１０の高から低への遷移速度を遅くする。このことは、出力ＮＭＯＳプルダウン・トランジスタが、出力バッファ回路１００のノイズに微々たる影響しか与えないことを意味する。図２は、パワーダウン・センス回路１０８の詳細な回路図を示すためにバッファ回路１００の一部を示したものである。図２を参照して、入力論理信号ＩＮは、Ｎ形トランジスタ２０１のゲートおよびＰ形トランジスタ２０３のゲートを介して、入力バッファ・ステージ１０２に結合される。トランジスタ２０１のソースは、第２電源導線ＧＮＤ１と接続される。トランジスタ２０１のドレインは、ノード１２２およびＮ形トランジスタ２０２のソースの両方と接続される。トランジスタ２０２のドレインは、ノード１２４，トランジスタ２０３のドレインおよびＰ形トランジスタ２０７のドレインと結合される。トランジスタ２０３のソースは、Ｎ形トランジスタ２０５のドレインと結合される。

【００２２】

インバータ１０４の出力に現れる信号ＯＥは、「非出力イネーブル」（ＮＯＥ）からインバータ１０４を介して導かれる。インバータ１０４は、第１電源導線ＶＣＣ１と第２電源導線ＧＮＤ１との間に結合される。インバータ１０４の出力信号ＯＥは、トランジスタ２０２，２０７，２１０のゲートと結合される。

【００２３】

信号ＮＯＥに論理０が現れると、その結果、信号ＯＥに論理１が現れ、これにより、入力バッファ・ステージ１０２が使用可能になり、この入力信号を受信して、信号を出力ノード１１０に与える。信号ＮＯＥに論理１が現れると、その結果、信号ＯＥに論理０が現れ、これによりバッファ１０２を３状態インピーダンス・モードにする。

【００２４】

トランジスタ２０７のソースは、Ｐ形トランジスタ２０６のドレインと結合される。ノード１１０は、トランジスタ２１４のソースおよびＰ形トランジスタ２１２のソースと結合される。トランジスタ２１２のドレインは、Ｎ形トランジスタ２０９のゲート，トランジスタ２０５およびＰ形トランジスタ２０６のゲートと結合される。トランジスタ２１０のソースは、Ｎ形トランジスタ２１１のドレインと結合され、トランジスタ２１１のソースは、第２電源導線ＧＮＤ１と結合される。Ｐ形フィードバック・トランジスタ２１４は、そのソースがノード１１０と結合され、ドレインがノード１２４と結合される形で接続される。

【００２５】

トランジスタ２０５，２０６のソースは、第１電源導線ＶＣＣ１と結合される。トランジ

スタ２１１，２１２，２１４のゲートは、第１電源導線ＶＣＣ１と結合され、バッファ回路ブロック１２０がシステムの残りとは独立してパワーダウンされるときに、パワーダウン・センス回路１０８がトランジスタを活動化する準備を行うようにする。Ｐ形トランジスタ２０３，２０５，２０６，２０７，２１２，２１４のバックゲートはノード１２６と結合される。Ｎ形トランジスタ２０１，２０２，２０９，２１０，２１１のバックゲートは、第２電源導線ＧＮＤ１と結合される。

【００２６】

トランジスタ２０９は、ノード１２８と結合されたドレインを有し、入力信号を図３のノイズ抑制電流ドライバ回路１１２に与える。トランジスタ２０９のソースは、第２電源導線ＧＮＤ１と結合される。３ボルトまたは５ボルトの電源がノード１１８と接続される。ノード１１８に現れるこの電源電圧は、出力バッファ回路１００に適用される他の電源導線ＶＣＣ１，ＧＮＤ１とは独立してパワーダウンできる。ついでノード１１８は、ショットキー・ダイオード２１５（その陽極がノード１１８）を介してノード１２６と結合される。

【００２７】

図２は、入力バッファ・ステージ回路１０２およびパワーダウン・センス回路１０８を示す。入力ステージ・バッファ回路１０２は、出力バッファ回路１００が使用可能状態にあるときにインバータの働きをし、出力バッファ回路１００が使用不能状態のときはインピーダンス状態になる。パワーダウン・センス回路１０８は、フィードバックＰＭＯＳトランジスタ２１４を使用する。パワーダウン中、出力ノード１１０のバス電圧がトランジスタ２１４のしきい値電圧を上回るときに、フィードバックＰＭＯＳトランジスタ２１４はオンになり、ノード１２４の電圧を、出力ノード１１０の電圧と同じレベルに維持する。ノード１２４は、図４に示す出力プルアップＰＭＯＳトランジスタ４０４のゲートを駆動する。出力プルアップＰＭＯＳトランジスタ４０４のゲートは出力ノード１１０と同じ電圧を有するので、出力プルアップＰＭＯＳトランジスタ４０４はオフになり、出力プルアップＰＭＯＳトランジスタ４０４の漏れ電流路を遮断する。

【００２８】

しかしながら、フィードバックＰＭＯＳトランジスタ２１４を追加すると、トランジスタ２１４がパワーダウン中ずっとオン状態になるので、新たな漏れ電流路が生じる。この新たな漏れ電流路は、トランジスタ２１４を通って、トランジスタ２０３，２０７を介して入力ステージへと後戻りして電源ノード１１８に達する。この漏れ電流路を排除するため、本発明は、トランジスタ２０５，２０６，２１０，２１１，２１２を設ける。パワーダウン中、トランジスタ２１０，２１１はオフになり、トランジスタ２１２はオンになって、これは、ＰＭＯＳトランジスタ２０５，２０６のゲートが、出力ノード１１０の電圧と同じになること、またトランジスタ２０５，２０６がオフになって、これによりトランジスタ２０３，２０７を通る漏れ電流路を排除することを意味する。トランジスタ２０９は、パワーダウン中、出力プルダウンＮＭＯＳトランジスタ３１２がノード１２８を介してオフになるよう確保する。ノード１２８は、図３に示すように出力プルダウンＮＭＯＳトランジスタ３１２のゲートと結合される。このため、トランジスタ２０９は、プルダウン回路１１６（トランジスタ３１２の制御電極）の入力に現れる電圧を、出力１１０に現れる電圧とほぼ等しく維持し、これによりプルダウン回路１１６を使用不能にする。

【００２９】

図３は、ノイズ抑制電流ドライバ回路１１２および出力プルダウン回路１１６の詳細な回路図を示す。図３を参照して、３状態「非出力イネーブル」論理信号ＮＯＥが、インバータ１０６の入力に与えられる。インバータ１０４の出力はさらに、反転３状態ＮＯＥ信号を、Ｎ形トランジスタ３０４のゲートを介してインバータ１０６に転送し、トランジスタ３０４のソースは第２電源導線ＧＮＤ１と結合される。トランジスタ３０４のドレインは、Ｎ形トランジスタ３０３のソースと結合され、トランジスタ３０３のゲートは、ノード１２２を介して信号ＩＮの反転形を受信する。トランジスタ３０３のドレインは、Ｎ形トランジスタ３０２のソースと結合される。トランジスタ３０２のドレインは、Ｐ形トラン

ジスタ３０１のドレイン，ｎｏｒゲート３０６への入力，およびN形トランジスタ３１０のゲートと結合され、トランジスタ３１０のソースは、第２電源導線ＧＮＤ１と結合される。

【００３０】

トランジスタ３０１，３０２のゲートは、第１電源導線ＶＣＣ１と結合される。トランジスタ３０１のバックゲートは、ノード１２６と結合される。ｎｏｒゲート３０６の出力は、ＮＰＮショットキー・クランプ・トランジスタ３０９のベースと結合される。トランジスタ３０９のエミッタは、トランジスタ３１０のドレイン，N形トランジスタ３１４，３１５のドレイン，およびＮＰＮショットキー・クランプ・トランジスタ３１３のベースと結合される。

【００３１】

トランジスタ３１３のエミッタは、第２電源導線ＧＮＤ１と結合される。またトランジスタ３１４，３１５のソースは、第２電源導線ＧＮＤ１と結合される。インバータ１０４は、第１電源導線ＶＣＣ１と第２電源導線ＧＮＤ１との間に結合される。

【００３２】

ノード１２２に現れる信号ＩＮの反転形は、抵抗器３０８を介してノード１２８，N形プルダウン・ドライバ・トランジスタ３１７，３１８のドレイン，およびN形出力トランジスタ３１２のゲートに与えられる。トランジスタ３１７，３１８のソースは第２電源導線と結合され、一方、トランジスタ３１７，３１８のゲートはそれぞれ結合されて、信号ＩＮおよびＮＯＥを受信する。

【００３３】

トランジスタ３０１のソース，ｎｏｒゲート３０６の電源導線，トランジスタ３１２のドレイン，およびトランジスタ３０９，３１３のコレクタは、出力ノード１１０と共通接続される。トランジスタ３０２，３０３，３０４，３１０，３１２，３１４，３１５，３１６，３１７のバックゲートは、第２電源導線ＧＮＤ１と共通接続される。

【００３４】

出力プルダウン電流ドライバ回路１１６は、トランジスタ３１２，３１３，３１７，３１８を含む。出力バッファ回路１００の入力が低のとき、トランジスタ３１２，３１３はオンになり、この時点で出力バッファ回路１００は、トランジスタ３１２，３１３を通る電流を引き込んで、バッファ回路１００の出力はノード１１０においてプルダウンされる。しかしながら低温でＮＭＯＳトランジスタ３１２が出力プルダウン電流ドライバ回路１１６内に存在すると、望ましくないスイッチング・ノイズが生じる。本発明は、あらゆる温度におけるスイッチング・ノイズの影響を最低限に抑えるために、ノイズ抑制電流ドライバ回路１１２を設ける。ノイズ抑制電流ドライバ回路１１２は、３入力フィードバックｎｏｒゲートを使用して、出力プルダウン・バイポーラ・トランジスタ３０９を駆動する。出力バッファ回路１００の入力は、ｎｏｒゲート３０６の一つの入力を直接駆動するので、１１０における高から低への遷移は速い。しかし、出力１１０において高から低への遷移が速くなることは、バッファ回路１００のノイズ・レベルが高くなることに等しい。出力バッファ回路１００全体の速度に影響を与えずに高から低への遷移を遅くするため、抵抗器３０８が、出力プルダウンＮＭＯＳトランジスタ３１２のゲートとノード１２２との間に結合され、これは入力ステージ回路１０２の出力になる。ノード１１０における高から低への遷移の間、大半の動作はバイポーラ・トランジスタ３１３によって行われるが、トランジスタ３１２はごく一部しか、ノード１１０における電圧のプルダウンに寄与しない。トランジスタ３１２の利点は、ＤＣ動作中、トランジスタ３１２が一定のＤＣ仕様に従って電流を引き込むことが可能なことである。またＡＣ切り換え中も、トランジスタ３１２は、出力１１０が完全にプルダウンされるように確保する。

【００３５】

インバータ回路１０６は、トランジスタ３０１，３０２，３０３，３０４によって構成される。これらのトランジスタが存在することにより、パワーダウン中、およびパワーアップ中、トランジスタ３０９に対して発生する可能性のあるベース電流を排除する。トラン

ジスタ３０２，３０３，３０４の入力が高になるとき、インバータ回路１０６の出力は低になる。

【００３６】

図４は、出力プルアップ回路１１４の詳細な回路図を示すために、バッファ回路１００の一部を示したものである。図４を参照して、ノード１２４の論理信号は、図１において入力バッファ・ステージ１０２の出力として生成されたものであり、Ｐ形トランジスタ４０４およびＮ形トランジスタ４０５のゲート，およびＰ形トランジスタ４０８のゲートと結合される。トランジスタ４０４のドレインは、出力ノード１１０およびＮＰＮショットキー・トランジスタ４０７のエミッタと結合される。トランジスタ４０５，４０８のドレインおよびＮ形トランジスタ４０６のドレインは、トランジスタ４０７のベースと結合される。トランジスタ４０５，４０６のソースは、第２電源導線ＧＮＤ１と共通結合される。トランジスタ４０６のゲートは、非出力イネーブル信号ＮＯＥを受信する。トランジスタ４０４，４０８のソースは電源導線１１８と結合され、一方、それらのバックゲートはノード１２６と結合される。同様にノード１２６と結合されるのが、トランジスタ４０７のコレクタである。トランジスタ４０５，４０６のバックゲートは、第２電源導線ＧＮＤ１と共通接続される。

【００３７】

信号ＩＮが論理１のとき、ノード１２４は低になり、これによりトランジスタ４０４，４０８，４０７をオンにし、プルアップ電流ドライバ回路ノード１１０の出力を論理１状態に強制する。しかしながら、信号ＩＮが論理低のとき、ノード１２４は高に駆動され、これによりトランジスタ４０４，４０８，４０７をオフにし、これがノード１１０のバッファ回路の出力をオフにして、論理低にプルダウンする。パワーダウン中、ノード１２４は、図２のトランジスタ２１４がオンのとき、バッファ・ノード１１０の出力とほぼ同じ電圧レベルにある。トランジスタ４０４のゲートおよびドレインはパワーダウン中、同一電圧レベルにあるので、トランジスタ４０４を通る漏れ電流はなくなる。

【００３８】

以上により、パワーダウン機能を備えた３状態ＢｉＣＭＯＳ出力バッファが提供されることが明かであろう。このバッファは、入力信号に応答する入力ステージを含み、プルアップ・ドライバと出力プルダウン・ドライバの両方と結合される出力を有する。これら２つのドライバは、入力信号に応答して、出力信号をバッファの出力に与える。またバッファは、電源ノードと結合されるパワーダウン・センス回路を含み、電源ノードがパワーダウンされるときに出力プルアップ・トランジスタをオフにし、これによってバッファ内の漏れ電流路を排除する。このバッファはまた、ノイズ抑制回路を含み、バッファの出力における高から低への遷移の速度を遅くして、これによって、バッファ全体の速度には影響を与えずにバッファのスイッチング・ノイズを逓減する。

【００３９】

本発明の具体的実施例を示して説明してきたが、当業者にはさらなる変形および改良が考えられよう。本発明は、図に示した具体的形態に限定されないことを理解されたい。また添付請求の範囲は、本発明の真正の意図および範囲から逸脱しない本発明のすべての変形をカバーすることを意図している。

【図面の簡単な説明】

【図１】本発明によるパワーダウン機能を有する単一電圧源ＢｉＣＭＯＳ３状態出力バッファ回路のブロック図である。

【図２】図１に示す３状態入力ステージ回路およびパワーダウン・シーケンス回路の一実施例を詳細に示した回路図である。

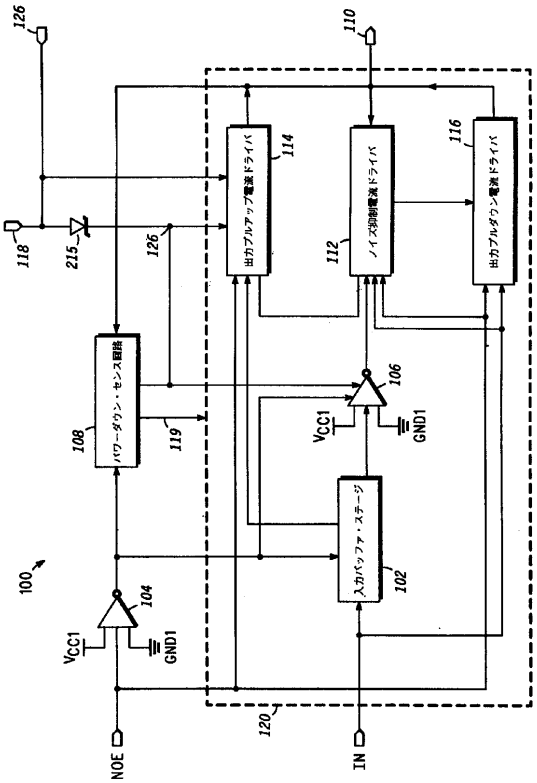
【図３】図１に示すインバータ回路，ノイズ抑制電流ドライバ回路，および出力プルダウン・ドライバ回路の一実施例を詳細に示した回路図である。

【図４】図１に示す出力プルアップ・ドライバ回路の一実施例を詳細に示した回路図である。

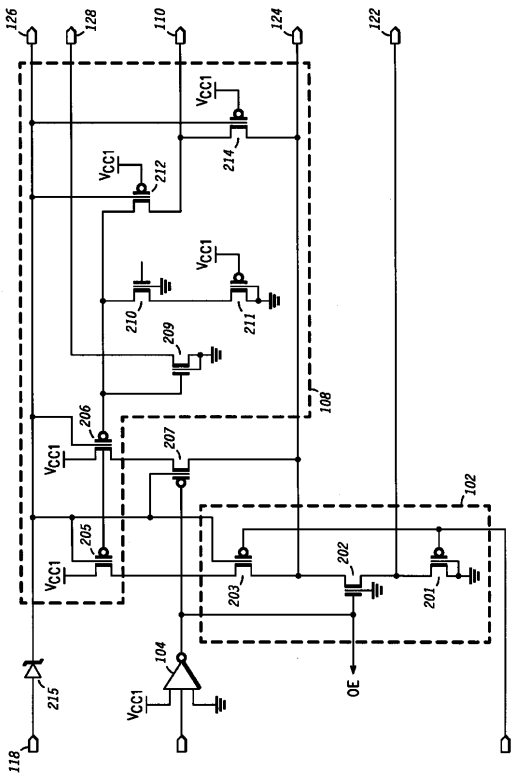
【符号の説明】

１００　出力バッファ回路
１０２　入力バッファ・ステージ
１０４，１０６　インバータ
１０８　パワーダウン・センス回路
１１０　出力
１１２　ノイズ抑制電流ドライバ
１１４　出力プルアップ電流ドライバ
１１６　出力プルダウン電流ドライバ
１１８　ノード
１１９　ライン
１２０　バッファ回路ブロック
１２２，１２４，１２６，１２８　ノード
２０１，２０２，２０５，２０９，２１０，２１１　Ｎ形トランジスタ
２０３，２０６，２０７，２１２　Ｐ形トランジスタ２０３
２１４　Ｐ形フィードバック・トランジスタ
２１５　ショットキー・ダイオード
３０１　Ｐ形トランジスタ
３０２，３０３，３０４，３１０，３１４，３１５　Ｎ形トランジスタ
３０６　ｎｏｒゲート
３０８　抵抗器
３０９，３１３　ＮＰＮショットキー・クランプ・トランジスタ
３１２　Ｎ形出力トランジスタ
３１７，３１８　Ｎ形プルダウン・ドライバ・トランジスタ
４０４　出力プルアップＰＭＯＳトランジスタ
４０５，４０６　Ｎ形トランジスタ
４０７　ＮＰＮショットキー・トランジスタ
４０８　Ｐ形トランジスタ

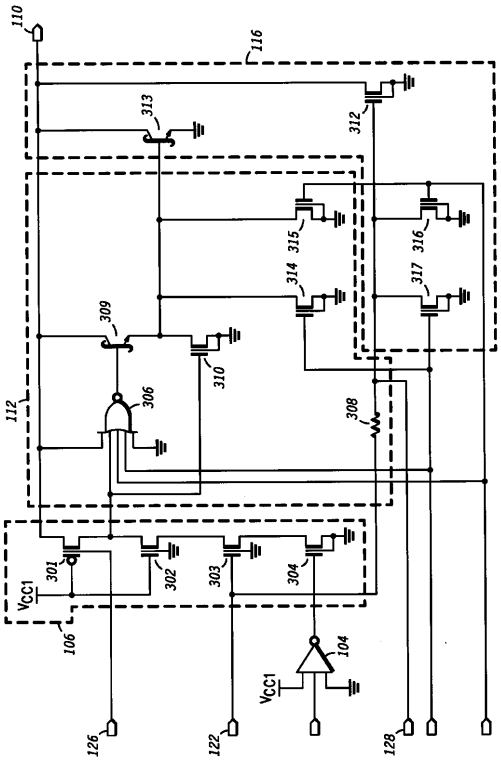
【図１】


126
110
出力プルアップ電流ドライバ
114
ノイズ抑制電流ドライバ
112
出力プルダウン電流ドライバ
116
118
215
126
パワーダウン・センス回路
108
119
106
VCC1
GND1
入力バッファ・ステージ
102
100
104
VCC1
GND1
120
NOE
IN

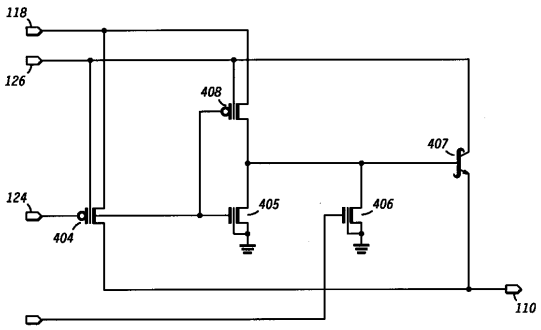
【図２】


126
128
110
124
122
VCC1
214
212
210
211
209
108
206
207
205
203
202
201
102
215
104
OE
118

【図３】


110
116
313
312
315
316
314
317
309
310
306
308
112
301
302
303
304
106
104
126
122
128

【図４】


118
126
408
407
124
404
405
406
110

フロントページの続き

(74)代理人 100096013
弁理士 富田 博行
(74)代理人 100091063
弁理士 田中 英夫
(74)代理人 100091214
弁理士 大貫 進介
(72)発明者 ダニエル・ティー・ビズネー
アメリカ合衆国アリゾナ州テンピ、サウス・ミル・アベニュー・ナンバー２５９・５１０３
(72)発明者 キャーロス・オブレゴン
アメリカ合衆国アリゾナ州フェニックス、サウス・サーティーファースト・ウェイ１６８３７
(72)発明者 マイケル・エー・ウェルス
アメリカ合衆国アリゾナ州チャンドラー、ウエスト・コムストック２９６２
(72)発明者 エリック・ディー・ネーリィ
アメリカ合衆国アリソナ州メサ、イースト・ハンプトン・サークル３０１７

審査官 彦田 克文

(56)参考文献 特開平０５－３２７４５９（ＪＰ，Ａ）
特開平０５－１６０７０４（ＪＰ，Ａ）
特開昭６０－２５２９７９（ＪＰ，Ａ）
特開昭６０－１３９０２２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03K 19/0175