

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 4 区分

【発行日】平成30年3月29日(2018.3.29)

【公表番号】特表2017-506494(P2017-506494A)

【公表日】平成29年3月2日(2017.3.2)

【年通号数】公開・登録公報2017-009

【出願番号】特願2016-550799(P2016-550799)

【国際特許分類】

H 0 2 P 9/00 (2006.01)

H 0 2 P 101/10 (2015.01)

H 0 2 P 101/15 (2015.01)

H 0 2 P 101/25 (2015.01)

【F I】

H 0 2 P 9/00 B

H 0 2 P 101:10

H 0 2 P 101:15

H 0 2 P 101:25

【手続補正書】

【提出日】平成30年2月14日(2018.2.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

マイクログリッド（10）を制御するためのシステムであって、

プロセッサベースの制御システム（12）を含み、前記プロセッサベースの制御システム（12）は、

マイクログリッドシステム（10）内の複数のマイクログリッド資産（15）から通信経路（36）を介して情報を受信し、

前記マイクログリッドシステム（10）の動作に関連するエラーを識別し、

前記エラーは、前記複数のマイクログリッド資産（15）の第1のものの観察不能エラー、前記マイクログリッド資産（15）の第1のものの制御不能エラーのいずれかであり

、

1つまたは複数のアクションにより前記1つまたは複数の識別されたエラーに応答し、前記1つまたは複数の識別されたエラーのうちの識別された各エラーは、前記1つまたは複数のアクションのうちの少なくとも1つのアクションに関連しており、

前記マイクログリッド（10）の動作効率を向上させるために、前記マイクログリッド動作を制御するように構成された1つまたは複数の制御信号を含む最適ディスパッチスケジュール（54）を生成し、

前記エラーが前記最適ディスパッチスケジュール（54）の生成前に特定される場合、前記エラーに関連づけられた前記マイクログリッド資産（15）の第1のものを前記最適ディスパッチスケジュール（54）の生成から除外され、

前記制御システム（12）が、オートモードであるかアドバイザリモードであるかを特定し、

前記制御システム（12）が、オートモードである場合に前記複数のマイクログリッド資産（15）の第1のものに関連するプロセッサベースのローカルコントローラ（34）

へ前記通信経路（３６）を介して前記最適ディスパッチスケジュール（５４）の少なくとも一部を配信し、前記プロセッサベースのローカルコントローラ（３４）の動作は、前記最適ディスパッチスケジュール（５４）の前記一部に少なくとも部分的に基づき、

前記制御システム（１２）が、アドバイザーモードである場合にメモリに前記最適ディスパッチスケジュール（５４）を記録する、ように構成される、システム。

【請求項２】

請求項１に記載のシステムであって、前記プロセッサベースの制御システム（１２）は、前記マイクログリッドシステム（１０）の動作に関連する最適化問題に対する解を生成するように構成され、前記最適化問題に対する前記解は、前記動作効率を向上させるために前記マイクログリッド動作を制御するように構成された前記１つまたは複数の制御信号を含む、システム。

【請求項３】

請求項２に記載のシステムであって、前記最適ディスパッチスケジュール（５４）は、前記最適化問題に対する前記解に少なくとも部分的に基づいている、システム。

【請求項４】

請求項２に記載のシステムであって、前記最適化問題に対する前記解は、所定の予測期間（５６）にわたって複数のサイクルで計算される、システム。

【請求項５】

請求項１乃至４のいずれかに記載のシステムであって、前記複数のマイクログリッド資産（１５）は、再生可能な発電資源、再生不可能な発電資源、ディスパッチ可能な発電資源、ディスパッチ不可能な発電資源、蓄電装置（２６）、産業用負荷（２２）、または住宅用負荷（２４）を含む、システム。

【請求項６】

請求項１乃至５のいずれかに記載のシステムであって、前記プロセッサベースのローカルコントローラ（３４）は、受信した前記最適ディスパッチスケジュール（５４）の前記一部に基づいて、前記複数のマイクログリッド資産（１５）の前記第２のものを制御するように構成される、システム。

【請求項７】

請求項１乃至６のいずれかに記載のシステムであって、前記最適ディスパッチスケジュール（５４）は、前記１つまたは複数の識別されたエラーが前記プロセッサベースの制御システム（１２）によって処理された後に生成される、システム。