(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3588497号
(P3588497)
(45)発行日　平成16年11月10日(2004.11.10)　(24)登録日　平成16年8月20日(2004.8.20)

(51)Int.Cl.[7]　F I
H01L 21/8247　H01L 29/78　371
H01L 27/115　H01L 27/10　434
H01L 29/788
H01L 29/792

請求項の数 8　(全 18 頁)

(21)出願番号　特願平7-66130
(22)出願日　平成7年3月24日(1995.3.24)
(65)公開番号　特開平8-264667
(43)公開日　平成8年10月11日(1996.10.11)
審査請求日　平成13年10月25日(2001.10.25)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100089233
弁理士　吉田　茂明
(74)代理人　100088672
弁理士　吉竹　英俊
(74)代理人　100088845
弁理士　有田　貴弘
(72)発明者　金岡　竜範
兵庫県伊丹市瑞原４丁目１番地　三菱電機株式会社　ユー・エル・エス・アイ開発研究所内

審査官　井原　純

最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【特許請求の範囲】
【請求項１】
シリコン酸化膜層を有する誘電体膜が一組の電極膜の間に挟まれて成るキャパシタを有する半導体装置を製造するための方法であって、
(a) 昇温下で窒化シリコンを生成し得る程度に高濃度の窒素を含有した高濃度窒素含有層を上面に有するとともに、所定導電型の不純物を含有する非晶質のシリコン膜を形成する工程と、
(b) 前記シリコン酸化膜層を含む誘電体層を前記シリコン膜の上に形成する工程と、
(c) 昇温を行うことによって、前記シリコン膜の中の前記高濃度窒素含有層をシリコン窒化膜層へと転換し、同時に、当該高濃度窒素含有層を除く部分を多結晶シリコン膜へと転換する工程と、
(d) 前記誘電体層の上に導電層を形成する工程と、
(e) 前記多結晶シリコン膜、前記シリコン窒化膜層と前記誘電体層、および、前記導電層をパターニング加工することによって、それぞれ、前記一組の電極膜の一方電極膜、前記誘電体膜、および、前記一組の電極膜の他方電極膜を形成する工程と、
を備え、
前記工程(b)における前記シリコン酸化膜層を形成する工程は、前記工程(c)と同時に、あるいは前記工程(c)の後に実行されることを特徴とする半導体装置の製造方法。
【請求項２】
請求項１に記載の半導体装置の製造方法において、

前記工程(b)において、前記シリコン酸化膜層を昇温下で形成することによって、当該シリコン酸化膜層を形成する工程と前記工程(c)とを同時に実行することを特徴とする半導体装置の製造方法。

【請求項３】

請求項１に記載の半導体装置の製造方法において、

前記工程(a)で形成される前記シリコン膜が、高濃度窒素含有層を除く部分においても窒素を含有することを特徴とする半導体装置の製造方法。

【請求項４】

請求項３に記載の半導体装置の製造方法において、

前記工程(a)が、

(a-1) 前記所定導電型の不純物を含有する非晶質のシリコン層を形成する工程と、

(a-2) 上面ほど窒素濃度が高くなるように前記シリコン層に上面から窒素を注入することによって、上面に高濃度窒素含有層を有する前記シリコン膜を形成する工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項５】

請求項４に記載の半導体装置の製造方法において、

前記工程(a)が、

(a-3) 前記工程(a-2)に先だって、前記シリコン層を所定の形状にパターニング加工する工程、

をさらに備えることを特徴とする半導体装置の製造方法。

【請求項６】

請求項３に記載の半導体装置の製造方法において、

前記工程(a)が、

(a-1) 化学気相成長法を用いて、前記所定導電型の不純物と窒素とを導入しつつ非晶質のシリコン層を形成するとともに、窒素を導入するための反応ガスの濃度を最終段階で高めることによって、前記高濃度窒素含有層を上面に有する前記シリコン膜を形成する工程、

を備えることを特徴とする半導体装置の製造方法。

【請求項７】

請求項３に記載の半導体装置の製造方法において、

(f) 前記工程(a)に先だって、主面にチャネルが形成されたシリコン基板を準備する工程と、

(g) 前記チャネルの上に絶縁膜を形成する工程と、

をさらに備え、

前記工程(a)において、前記シリコン膜は少なくとも前記絶縁膜の上に形成され、

前記工程(e)で形成される前記一方電極膜は前記絶縁膜を挟んで前記チャネルに対向する形状であり、

前記製造方法は、

(h) 前記工程(e)の後に、前記シリコン基板の前記主面における前記チャネルの両側に主電極を接続する工程、

をさらに備えることを特徴とする半導体装置の製造方法。

【請求項８】

請求項１に記載の半導体装置の製造方法において、

(f) 前記工程(a)に先だって、主面にチャネルが形成されたシリコン基板を準備する工程と、

(g) 前記チャネルの上に絶縁膜を形成する工程と、

をさらに備え、

前記工程(a)において、前記シリコン膜は少なくとも前記絶縁膜の上に形成され、

前記工程(e)で形成される前記一方電極膜は前記絶縁膜を挟んで前記チャネルに対向する形状であり、

前記製造方法は、

(h) 前記工程(e)の後に、前記シリコン基板の前記主面における前記チャネルの両側に主電極を接続する工程、
をさらに備えることを特徴とする半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
この発明は、フラッシュメモリに代表される不揮発性記憶素子に好適な、誘電体膜が介挿されたキャパシタ構造を有する半導体装置の製造方法に関し、特に誘電体膜の膜質の改良に関する。
【０００２】
【従来の技術】
図１６は従来のフラッシュメモリにおいてワード線方向から見たメモリセルの断面構造を示す断面図である。図１６において、１はシリコン基板、３は隣接するメモリセルを電気的に分離するためにシリコン基板１の上面に選択的に形成された素子分離シリコン酸化膜（ＬＯＣＯＳ）、４はリンや砒素等のｎ型不純物をシリコン基板１の上面部分に選択的に添加することによって形成されたｎ型不純物層、２は隣接するｎ型不純物層４の間に挟まれたシリコン基板１の上面部分であるチャネル領域を覆うように熱酸化法により形成されたトンネル酸化膜（絶縁膜）、２２はトンネル酸化膜２を挟んでチャネル領域に対向するように形成されリン添加多結晶シリコン膜で構成される浮遊電極、６は浮遊電極２２に対向するように形成されリン添加多結晶シリコン膜で構成される制御電極、７はデータを保持するために制御電極６と浮遊電極２２の間に形成される制御電極・浮遊電極間誘電体膜、８は隣接するメモリセルの浮遊電極２２および制御電極６との間を電気的に絶縁するための電気的絶縁用シリコン酸化膜、９はｎ型不純物層４の上面に電気的に接続された下層Ａｌ配線（主電極）、１０は下層Ａｌ配線９と制御電極６および浮遊電極２２との間を電気的に絶縁するためのシリコン酸化膜、１１は下層Ａｌ配線９に電気的に接続され下層Ａｌ配線９よりも上層に配設される上層Ａｌ配線、１２は隣接する下層Ａｌ配線９および上層Ａｌ配線１０の間を電気的に絶縁するためのＡｌ配線間シリコン酸化膜である。
【０００３】
図１７は、図１６に示したフラッシュメモリにおけるビット線方向から見たメモリセルの断面構造を示す断面図であり、特に制御電極・浮遊電極間キャパシタの断面構造を詳細に示している。浮遊電極２２は各メモリセル毎に分離されるので、図１７に示すように素子分離シリコン酸化膜３の上面において不連続となっている。そして、制御電極・浮遊電極間誘電体膜７は、素子分離シリコン酸化膜３の上面において浮遊電極２２が不連続となっている部位においても途切れることなく形成されている。
【０００４】
また、図１７に示すように、制御電極・浮遊電極間誘電体膜７は四層構造となっている。すなわち、制御電極・浮遊電極間誘電体膜７では最下層から順に、膜質の劣る界面酸化膜層２３、下部シリコン酸化膜１６、ＣＶＤシリコン窒化膜１８、および、上部シリコン酸化膜１９が形成されている。
【０００５】
図１８～図２０は、このフラッシュメモリの制御電極・浮遊電極間キャパシタの部分の製造工程を示すビット線方向から見た断面図である。このフラッシュメモリの制御電極・浮遊電極間キャパシタ部分を製造するには、まず、シリコン基板１の上に、ｎ型不純物層４、素子分離シリコン酸化膜３、およびトンネル酸化膜２をあらかじめ形成しておく。そして、図１８に示すように、リン添加非晶質シリコン膜１３の堆積を行う。このリン添加非晶質シリコン膜１３は、モノシラン（SiH_4）ガスとホスフィン（PH_3）ガスを反応ガスとして供給しつつ、５００°Ｃ～５５０℃の温度下で熱ＣＶＤ（化学気相成長法）を実行することによって形成される。リン添加非晶質シリコン膜１３中のリン濃度は、モノシランとホスフィンの流量比を変えることにより制御できる。
【０００６】

つぎに、図１９に示すように、リソグラフィ技術およびドライエッチング技術を用いてリン添加非晶質シリコン膜１３を選択的に除去することにより、このリン添加非晶質シリコン膜１３を所望の形状にパターニング加工する。

【０００７】

つぎに、図２０に示すように、リン添加非晶質シリコン膜１３の上に下部シリコン酸化膜１６を形成する。下部シリコン酸化膜１６は、モノシランガスと亜酸化窒素（N_2O）ガスの混合ガス、またはジクロールシラン（SiH_2Cl_2）ガスと亜酸化窒素（N_2O）ガスとの混合ガスを反応ガスとして供給しつつ、７００°Ｃ～９００℃の温度下で熱ＣＶＤを実行することによって形成される。このときの熱エネルギーによって、リン添加非晶質シリコン膜１３が結晶化し、その結果、リン添加非晶質シリコン膜１３がリン添加多結晶シリコン膜へと変化し浮遊電極２２が形成される。

【０００８】

また、浮遊電極２２であるリン添加多結晶シリコン膜と下部シリコン酸化膜１６の間には、自然酸化膜が形成されるとともに、下部シリコン酸化膜１６の堆積中において膜質の劣る界面酸化膜層２３が同時に形成される。

【０００９】

つぎに、図１７へ戻って、下部シリコン酸化膜１６の上に、ＣＶＤシリコン窒化膜１８、上部シリコン酸化膜１９、および、制御電極６を構成するリン添加多結晶シリコン膜を、この順で堆積する。この中で、ＣＶＤシリコン窒化膜１８は、７００°Ｃ～８００℃の温度下において、ジクロールシランガスとアンモニア（NH_3）ガスを反応ガスとして供給しつつ、ＣＶＤを実行することにより形成される。

【００１０】

また、上部シリコン酸化膜１９は、７００°Ｃ～１０００℃の温度下で熱酸化を実行すること、あるいは、モノシランガスと亜酸化窒素ガスの混合ガス、またはジクロールシランガスと亜酸化窒素ガスとの混合ガスを反応ガスとして供給しつつ、７００°Ｃ～９００℃の温度下で熱ＣＶＤを実行することによって形成される。さらに、制御電極６を構成するリン添加多結晶シリコン膜は、６２０℃の温度下でモノシランガスとホスフィンガスを反応ガスとして供給しつつ、ＣＶＤを実行することによって形成される。

【００１１】

その後、浮遊電極２２から制御電極６までの積層構造体に対して、リソグラフィ工程およびドライエッチング工程を実行することによって、パターニング加工を施す。そうすることによって、所定のパターン形状を有する制御電極・浮遊電極間キャパシタが形成される。以上の工程の結果、制御電極・浮遊電極間誘電体膜７は、最下層から順に、界面酸化膜層２３、下部シリコン酸化膜１６、ＣＶＤシリコン窒化膜１８、および、上部シリコン酸化膜１９を含む、四層構造となる。

【００１２】

制御電極・浮遊電極間誘電体膜７の中にＣＶＤシリコン窒化膜１８を形成することによって、制御電極・浮遊電極間のリーク電流を低く抑えるとともに、誘電率を高め、そのことによって制御電極・浮遊電極間キャパシタの静電容量を高くしている。

【００１３】

【発明が解決しようとする課題】

以上のように、従来のフラッシュメモリの浮遊電極２２は、リン添加多結晶シリコン膜で構成されているので、シリコン結晶粒径が不均一であり、各ビットに対応する浮遊電極２２の間で、シリコン結晶粒の個数が不揃いとなっていた。そのため、浮遊電極２２の端部の形状が各ビット間で異なっており、その結果、消去速度のビット間ばらつきという問題、すなわち保持データの消去速度が各ビット間で不均一であるという問題を引き起こしていた。

【００１４】

従来のフラッシュメモリでは、さらに、浮遊電極２２と下部シリコン酸化膜１６との間に、膜質の劣る界面酸化膜層２３が形成されるので、制御電極・浮遊電極間誘電体膜７にお

けるリーク電流が増大し、制御電極・浮遊電極間キャパシタにおける信頼性の低下がもたらされるという問題点があった。このことは、フラッシュメモリにおけるデータ保持特性を劣化させるものである。

【００１５】

この発明は、誘電体膜が介挿されたキャパシタ構造を有するフラッシュメモリに代表される従来の半導体装置における上記した問題点を解消するためになされたもので、キャパシタ構造の少なくとも一方電極を構成する多結晶半導体の結晶粒径が均一で、しかも、誘電体膜におけるリーク電流が抑制された半導体装置の製造に適した方法を提供することを目的とする。

【００１６】

【課題を解決するための手段】

第１の発明の製造方法は、シリコン酸化膜層を有する誘電体膜が一組の電極膜の間に挟まれて成るキャパシタを有する半導体装置を製造するための方法であって、(a) 昇温下で窒化シリコンを生成し得る程度に高濃度の窒素を含有した高濃度窒素含有層を上面に有するとともに、所定導電型の不純物を含有する非晶質のシリコン膜を形成する工程と、(b) 前記シリコン酸化膜層を含む誘電体層を前記シリコン膜の上に形成する工程と、(c) 昇温を行うことによって、前記シリコン膜の中の前記高濃度窒素含有層をシリコン窒化膜層へと転換し、同時に、当該高濃度窒素含有層を除く部分を多結晶シリコン膜へと転換する工程と、(d) 前記誘電体層の上に導電層を形成する工程と、(e) 前記多結晶シリコン膜、前記シリコン窒化膜層と前記誘電体層、および、前記導電層をパターニング加工することによって、それぞれ、前記一組の電極膜の一方電極膜、前記誘電体膜、および、前記一組の電極膜の他方電極膜を形成する工程と、を備え、前記工程(b)における前記シリコン酸化膜層を形成する工程は、前記工程(c)と同時に、あるいは前記工程(c)の後に実行されることを特徴とする。

【００２２】

第２の発明の製造方法は、第１の発明の半導体装置の製造方法において、前記工程(b)において、前記シリコン酸化膜層を昇温下で形成することによって、当該シリコン酸化膜層を形成する工程と前記工程(c)とを同時に実行することを特徴とする。

【００２３】

第３の発明の製造方法は、第１の発明の半導体装置の製造方法において、前記工程(a)で形成される前記シリコン膜が、高濃度窒素含有層を除く部分においても窒素を含有することを特徴とする。

【００２４】

第４の発明の製造方法は、第３の発明の半導体装置の製造方法において、前記工程(a)が、(a-1) 前記所定導電型の不純物を含有する非晶質のシリコン層を形成する工程と、(a-2) 上面ほど窒素濃度が高くなるように前記シリコン層に上面から窒素を注入することによって、上面に高濃度窒素含有層を有する前記シリコン膜を形成する工程と、を備えることを特徴とする。

【００２５】

第５の発明の製造方法は、第４の発明の半導体装置の製造方法において、前記工程(a)が、(a-3) 前記工程(a-2)に先だって、前記シリコン層を所定の形状にパターニング加工する工程、をさらに備えることを特徴とする。

【００２６】

第６の発明の製造方法は、第３の発明の半導体装置の製造方法において、前記工程(a)が、(a-1) 化学気相成長法を用いて、前記所定導電型の不純物と窒素とを導入しつつ非晶質のシリコン層を形成するとともに、窒素を導入するための反応ガスの濃度を最終段階で高めることによって、前記高濃度窒素含有層を上面に有する前記シリコン膜を形成する工程、を備えることを特徴とする。

【００２７】

第７の発明の製造方法は、第３の発明の半導体装置の製造方法において、(f) 前記工程(a

)に先だって、主面にチャネルが形成されたシリコン基板を準備する工程と、(g) 前記チャネルの上に絶縁膜を形成する工程と、をさらに備え、前記工程(a)において、前記シリコン膜は少なくとも前記絶縁膜の上に形成され、前記工程(e)で形成される前記一方電極膜は前記絶縁膜を挟んで前記チャネルに対向する形状であり、前記製造方法は、(h) 前記工程(e)の後に、前記シリコン基板の前記主面における前記チャネルの両側に主電極を接続する工程、をさらに備えることを特徴とする。

【００２８】

第８の発明の製造方法は、第１の発明の半導体装置の製造方法において、(f) 前記工程(a)に先だって、主面にチャネルが形成されたシリコン基板を準備する工程と、(g) 前記チャネルの上に絶縁膜を形成する工程と、をさらに備え、前記工程(a)において、前記シリコン膜は少なくとも前記絶縁膜の上に形成され、前記工程(e)で形成される前記一方電極膜は前記絶縁膜を挟んで前記チャネルに対向する形状であり、前記製造方法は、(h) 前記工程(e)の後に、前記シリコン基板の前記主面における前記チャネルの両側に主電極を接続する工程、をさらに備えることを特徴とする。

【００２９】

【作用】

第１の発明の製造方法では、非晶質のシリコン膜の上面に高濃度窒素含有層が形成されるので、シリコン膜の上面において膜質の劣る界面酸化膜層の形成が阻止されるとともに、それに代わってリーク電流の抑制効果の高いシリコン窒化膜層が形成される。しかも、昇温を行うことによって、非晶質のシリコン膜の多結晶化とその上面へのシリコン窒化膜層の形成とが同時に行われる。

【００３５】

第２の発明の製造方法では、シリコン酸化膜層を形成する中で、同時に、非晶質のシリコン膜の多結晶化とその上面へのシリコン窒化膜層の形成とが行われる。すなわち、製造工数が節減される。

【００３６】

第３の発明の製造方法では、非晶質のシリコン膜が高濃度窒素含有層を除く部分においても窒素を含有するので、シリコン膜が多結晶化する際に、結晶粒の成長が抑制される。

【００３７】

第４の発明の製造方法では、窒素を含有するとともに上面に高濃度窒素含有層を有する非晶質のシリコン膜が、上面から窒素を注入することによって容易に形成される。

【００３８】

第５の発明の製造方法では、シリコン層がパターニング加工された後に窒素の注入が実行されるので、パターニング加工によってシリコン層に形成される側端面にも高濃度窒素含有層が形成される。このため、シリコン層の側端面においても、界面酸化膜層の形成が阻止されるとともに、それに代わってリーク電流の阻止効果の高い窒化シリコン層が形成される。

【００３９】

第６の発明の製造方法では、化学気相成長法を用いて窒素がシリコン膜へ導入されるので、窒素を導入する際にシリコン膜やこれに隣接する他の構成部分に損傷を与える恐れがない。さらに、非晶質のシリコン層を形成する中で、同時に窒素が導入されるので、窒素を導入する工程を別途実施する必要がない。

【００４０】

第７の発明の製造方法では、一方電極がシリコン基板のチャネルに絶縁膜を挟んで対向するように形成され、しかも、チャネルの両側に主電極が接続されるので、浮遊電極を有する不揮発性メモリ素子として機能する装置が得られる。すなわち、浮遊電極と制御電極の間のリーク電流が抑えられるとともに、浮遊電極の端部が所定の精密な形状を有するために消去速度が所定の値に揃ったメモリ素子が得られる。

【００４１】

第８の発明の製造方法では、一方電極がシリコン基板のチャネルに絶縁膜を挟んで対向す

るように形成され、しかも、チャネルの両側に主電極が接続されるので、浮遊電極を有する不揮発性メモリ素子として機能する装置が得られる。すなわち、浮遊電極と制御電極の間のリーク電流が抑えられたメモリ素子が得られる。

【００４２】

【実施例】

＜第１実施例＞

図２は、第１実施例のフラッシュメモリにおいてワード線方向から見たメモリセル断面構造を示す断面図である。なお以下の図において、図１６～図２０に示した従来装置と同一部分には同一符号を付して、その詳細な説明を略する。

【００４３】

図２において、５はトンネル酸化膜２を挟んでチャネル領域に対向するように形成され窒素原子を含有する粒径の細かいリン添加多結晶シリコン膜で構成される浮遊電極、そして、３１はデータを保持するために制御電極６と浮遊電極５の間に形成される制御電極・浮遊電極間誘電体膜である。浮遊電極５、制御電極・浮遊電極間誘電体膜３１、および、制御電極６とによって制御電極・浮遊電極間キャパシタ３２が構成されている。

【００４４】

図１は、図２に示したフラッシュメモリにおけるビット線方向から見たメモリセルの断面構造を示す断面図であり、特に制御電極・浮遊電極間キャパシタ３２の断面構造を詳細に示している。浮遊電極５は各メモリセル毎に分離されるので、図１に示すように素子分離シリコン酸化膜３の上面において不連続となっている。そして、制御電極・浮遊電極間誘電体膜３１は、素子分離シリコン酸化膜３の上面において浮遊電極５が不連続となっている部位においても途切れることなく形成されている。

【００４５】

また、図１に示すように、制御電極・浮遊電極間誘電体膜３１は四層構造となっている。すなわち、制御電極・浮遊電極間誘電体膜３１では最下層から順に、シリコン窒化膜層１７、下部シリコン酸化膜１６、ＣＶＤシリコン窒化膜１８、および、上部シリコン酸化膜１９が形成されている。

【００４６】

図３～図６は、このフラッシュメモリにおける制御電極・浮遊電極間キャパシタ３２の部分の製造工程を示すビット線方向から見た断面図である。このフラッシュメモリの制御電極・浮遊電極間キャパシタ３２を製造するには、まず、シリコン基板１の上に、ｎ型不純物層４、素子分離シリコン酸化膜３、およびトンネル酸化膜２をあらかじめ形成しておく。そして、図３に示すように、生成物の上面全体に、リン添加非晶質シリコン膜１３の堆積を行う。このリン添加非晶質シリコン膜１３は、例えば、モノシランガスとホスフィンガスを反応ガスとして供給しつつ、５００°Ｃ～５５０℃の温度下で熱ＣＶＤを実行することによって形成される。リン添加非晶質シリコン膜１３中のリン濃度は、モノシランとホスフィンの流量比を変えることによって制御可能である。

【００４７】

つぎに、図４に示すように、堆積されたリン添加非晶質シリコン膜１３へ、イオン注入法を用いて上面から窒素イオンを注入する。そうすることによって、リン添加非晶質シリコン膜１３を、窒素原子を含有するリン添加非晶質シリコン膜１４へと転換する。窒素イオンの注入は、例えば、１０ｋｅＶ～５０ｋｅＶの注入エネルギー、および、１．０ｘ１０^{15} ｃｍ$^{-2}$ ～５．０ｘ１０^{16} ｃｍ$^{-2}$ の注入量で行われる。

【００４８】

窒素原子を含有するリン添加非晶質シリコン膜１４中の窒素濃度は、深さ方向にガウス分布をなしており、その上部（表面部）では濃度が高く、下部（深部）では低くなっている。その結果、窒素含有リン添加非晶質シリコン膜１４の上部には、窒素原子を高濃度に含有する高濃度窒素含有層１５が形成される。

【００４９】

窒素イオンの注入エネルギーを変えることによって、高濃度窒素含有層１５の位置を制御

することが可能である。また、注入量を変えることによって、高濃度窒素含有層１５を含む窒素含有リン添加非晶質シリコン膜１４の窒素濃度を制御可能である。このため、イオン注入法を用いることで、上部に高濃度窒素含有層１５を有する窒素含有リン添加非晶質シリコン膜１４を、容易にかつ能率よく形成することができる。

【００５０】

つぎに、図５に示すように、リソグラフィ技術およびドライエッチング技術を用いて、窒素含有リン添加非晶質シリコン膜１４および高濃度窒素含有層１５から成る二層構造体を選択的に除去することにより、この二層構造体を所望の形状にパターニング加工する。素子分離シリコン酸化膜３の上面における浮遊電極５の不連続部分は、このときに形成される。

【００５１】

つぎに、図６に示すように、図５の工程で形成された生成物の表面全体を覆うように、下部シリコン酸化膜１６を形成する。下部シリコン酸化膜１６は、モノシランガスと亜酸化窒素ガスの混合ガス、またはジクロールシランガスと亜酸化窒素ガスとの混合ガスを反応ガスとして供給しつつ、７００°Ｃ～９００℃の温度下で熱ＣＶＤを実行することによって形成される。このときの熱エネルギーによって、窒素原子を含有するリン添加非晶質シリコン膜１４が結晶化し、その結果、窒素原子を含有する粒径の細かいリン添加多結晶シリコン膜で構成される浮遊電極５が形成される。

【００５２】

窒素原子を含有するリン添加非晶質シリコン膜１４中の窒素原子には、後の熱処理工程にともなうシリコンの結晶成長を抑制する働きがある。このため、下部シリコン酸化膜１６を形成する際の熱エネルギーの付与にともなう窒素含有リン添加非晶質シリコン膜１４におけるシリコン結晶粒の粗大化（大粒径化）が阻止される。その結果、浮遊電極５を構成するリン添加多結晶シリコン膜では、シリコン結晶粒は細かい粒となる。

【００５３】

また熱エネルギーの付与によって、窒素原子を含有するリン添加非晶質シリコン膜１４の上部に形成されている高濃度窒素含有層１５では、窒素原子とシリコン原子の結合が起こる。その結果、高濃度窒素含有層１５から、シリコン窒化膜層１７が形成される。すなわち、浮遊電極５の上面において、膜質の劣る界面酸化膜層２３の形成が阻止され、代わりに、リーク電流を抑制する効果の高いシリコン窒化膜層１７が形成される。

【００５４】

つぎに、図１へ戻って、下部シリコン酸化膜１６の上に、ＣＶＤシリコン窒化膜１８、上部シリコン酸化膜１９、および、制御電極６を構成するリン添加多結晶シリコン膜を、この順で堆積する。この中で、ＣＶＤシリコン窒化膜１８は、７００°Ｃ～８００℃の温度下において、ジクロールシランガスとアンモニア（NH_3）ガスを反応ガスとして供給しつつ、ＣＶＤを実行することにより形成される。

【００５５】

また、上部シリコン酸化膜１９は、７００°Ｃ～１０００℃の温度下で熱酸化を実行すること、あるいは、モノシランガスと亜酸化窒素ガスの混合ガス、またはジクロールシランガスと亜酸化窒素ガスとの混合ガスを反応ガスとして供給しつつ、７００°Ｃ～９００℃の温度下で熱ＣＶＤを実行することによって形成される。さらに、制御電極６を構成するリン添加多結晶シリコン膜は、６２０℃の温度下でモノシランガスとホスフィンガスを反応ガスとして供給しつつ、ＣＶＤを実行することによって形成される。

【００５６】

その後、浮遊電極５から制御電極６までの積層構造体に対して、リソグラフィ工程およびドライエッチング工程を実行することによって、パターニング加工を施す。そうすることによって、所定のパターン形状を有する制御電極・浮遊電極間キャパシタ３２が形成される。

【００５７】

以上の工程の結果、制御電極・浮遊電極間誘電体膜３１は、最下層から順に、シリコン窒

化膜層１７、下部シリコン酸化膜１６、ＣＶＤシリコン窒化膜１８、および、上部シリコン酸化膜１９を含む、四層構造となる。

【００５８】

以上のように、この実施例のフラッシュメモリでは、浮遊電極５のもとになるリン添加非晶質シリコン膜１４が窒素を含有するので、浮遊電極５は結晶粒の小さいリン添加多結晶シリコン膜として形成される。このため、浮遊電極５の端部の形状が精密に仕上がり、各ビット間で均一となるので、消去速度のビット間ばらつきが低く抑えられる。

【００５９】

さらに、制御電極・浮遊電極間誘電体膜３１には、従来装置において存在していた膜質の劣る界面酸化膜層２３がなく、代わりにリーク電流抑制効果の高いシリコン窒化膜層１７が形成されている。このため、制御電極・浮遊電極間のリーク電流が低く抑えられるので、データ保持特性が良好である。

【００６０】

また、この実施例で例示した製造方法では、下部シリコン酸化膜１６を形成する工程の中で、それに付随して、リン添加多結晶シリコン膜で構成される浮遊電極５とシリコン窒化膜層１７とが形成されるので、製造の能率が高いという利点がある。

【００６１】

＜第２実施例＞

図７は、第２実施例のフラッシュメモリにおけるビット線方向から見たメモリセルの断面構造を示す断面図である。図７において、３３はデータを保持するために制御電極６と浮遊電極５の間に形成される制御電極・浮遊電極間誘電体膜である。浮遊電極５、制御電極・浮遊電極間誘電体膜３３、および、制御電極６とによって制御電極・浮遊電極間キャパシタ３４が構成されている。制御電極・浮遊電極間誘電体膜３３は、最下層から順に、シリコン窒化膜層１７、下部シリコン酸化膜１６、ＣＶＤシリコン窒化膜１８、および、上部シリコン酸化膜１９が積層されて成る四層構造をなしている。

【００６２】

図７において素子分離シリコン酸化膜３の上面に存在する浮遊電極５の不連続部分の端面（ワード線方向側端面）に例示されるように、この実施例のフラッシュメモリでは、浮遊電極５の側端面にもシリコン窒化膜層１７が形成されている点が、第１実施例とは特徴的に異なる。この特徴のために、このフラッシュメモリでは、制御電極・浮遊電極間のリーク電流が一層低減される。

【００６３】

図８～図１０は、このフラッシュメモリにおける制御電極・浮遊電極間キャパシタ３４の部分の製造工程を示すビット線方向から見た断面図である。このフラッシュメモリの制御電極・浮遊電極間キャパシタ３４を製造するには、まず、第１実施例における図３に示した工程を実行する。

【００６４】

つぎに、図８に示すように、リソグラフィ技術およびドライエッチング技術を用いて、リン添加非晶質シリコン膜１３を選択的に除去することにより、このリン添加非晶質シリコン膜１３を所望の形状にパターニング加工する。素子分離シリコン酸化膜３の上面における浮遊電極５の不連続部分は、このときに形成される。

【００６５】

つぎに、図９に示すように、パターニング加工されたリン添加非晶質シリコン膜１３へ、イオン注入法を用いて窒素イオンを注入する。そうすることによって、リン添加非晶質シリコン膜１３を、窒素原子を含有するリン添加非晶質シリコン膜１４へと転換する。窒素イオンの注入は、第１実施例と同一条件下で行われる。

【００６６】

その結果、窒素含有リン添加非晶質シリコン膜１４の上部には、窒素原子を高濃度に含有する高濃度窒素含有層１５が形成される。しかも、リン添加非晶質シリコン膜１３が既にパターニング加工された後にイオン注入が実行されるために、窒素含有リン添加非晶質シ

リコン膜１４の上部だけでなく側端面にも、高濃度窒素含有層１５が形成される。

【００６７】

つぎに、図１０に示すように、図９の工程で形成された生成物の表面全体を覆うように、下部シリコン酸化膜１６を形成する。下部シリコン酸化膜１６は、第１実施例における図６の工程と同様の熱ＣＶＤを実行することによって形成される。このときの熱エネルギーによって、窒素原子を含有するリン添加非晶質シリコン膜１４が結晶化し、しかも、含有する窒素原子の働きで結晶成長が抑制される結果、窒素原子を含有する粒径の細かいリン添加多結晶シリコン膜で構成される浮遊電極５が形成される。

【００６８】

また熱エネルギーの付与によって、高濃度窒素含有層１５から、シリコン窒化膜層１７が形成される。その結果、浮遊電極５の上部だけでなく側端面においても、膜質の劣る界面酸化膜層２３の形成が阻止されるとともに、それに代わってリーク電流の抑制効果の高いシリコン窒化膜層１７が形成される。

【００６９】

つぎに、図７へ戻って、下部シリコン酸化膜１６の上に、ＣＶＤシリコン窒化膜１８、上部シリコン酸化膜１９、および、制御電極６を構成するリン添加多結晶シリコン膜を、この順で堆積する。これらの各層は、第１実施例における図１に示した工程と同一の工程を実行することによって形成される。その後、浮遊電極５から制御電極６までの積層構造体に対して、リソグラフィ工程およびドライエッチング工程を実行することによって、パターニング加工を施す。そうすることによって、所定のパターン形状を有する制御電極・浮遊電極間キャパシタ３４が形成される。

【００７０】

以上の工程の結果、制御電極・浮遊電極間誘電体膜３３は、最下層から順に、シリコン窒化膜層１７、下部シリコン酸化膜１６、ＣＶＤシリコン窒化膜１８、および、上部シリコン酸化膜１９を含む、四層構造となる。また、この製造方法では、浮遊電極５の上部だけでなく側端面においても界面酸化膜層２３の形成が阻止され、それに代わってシリコン窒化膜層１７が形成されるので、リーク電流の抑制効果が高いフラッシュメモリが得られる。

【００７１】

＜第３実施例＞

ここでは、図１および図２に示した第１実施例のフラッシュメモリにおける制御電極・浮遊電極間キャパシタ３２を製造するためのもう一つの方法を例示する。この方法では、まず、第１実施例における図３～図５に示した工程を実行する。

【００７２】

その後、図１１のビット線方向から見た断面図に示すように、７００°Ｃ～１１００℃の温度に加熱された窒素ガスまたはアルゴンガス等の不活性ガスの中でアニールを実行する。そうすることによって、窒素原子を含有するリン添加非晶質シリコン膜１４が結晶化し、しかも、含有する窒素原子の働きで結晶粒の粗大化が阻止される結果、窒素原子を含有する粒径の細かいリン添加多結晶シリコン膜で構成される浮遊電極５が形成される。

【００７３】

またアニールの実行にともなって、窒素含有リン添加非晶質シリコン膜１４の上部に形成されている高濃度窒素含有層１５では、窒素原子とシリコン原子の結合が起こる。その結果、高濃度窒素含有層１５から、シリコン窒化膜層１７が形成される。

【００７４】

つぎに、図１へ戻って、図１１で形成された生成物の上面全体に下部シリコン酸化膜１６を形成する。下部シリコン酸化膜１６は、第１実施例の図１の工程と同様の熱ＣＶＤを実行することによって形成される。第１実施例の方法とは異なって、浮遊電極５およびシリコン窒化膜層１７は既に形成されているので、この熱ＣＶＤを実行するための条件は、下部シリコン酸化膜１６を形成することのみを考慮して設定することが可能である。すなわち、下部シリコン酸化膜１６を形成するための条件の選択幅が拡大するという利点がある

。
【００７５】
その後さらに、下部シリコン酸化膜１６の上に、ＣＶＤシリコン窒化膜１８、上部シリコン酸化膜１９、および、制御電極６を構成するリン添加多結晶シリコン膜を、この順で堆積する。これらの各層は、第１実施例と同一の工程を実行することによって形成される。その後、浮遊電極５から制御電極６までの積層構造体に対して、リソグラフィ工程およびドライエッチング工程を実行することによって、パターニング加工を施す。そうすることによって、所定のパターン形状を有する制御電極・浮遊電極間キャパシタ３２が形成される。
【００７６】
＜第４実施例＞
つぎに、図７に示した第２実施例のフラッシュメモリにおける制御電極・浮遊電極間キャパシタ３４を製造するためのもう一つの方法を例示する。この方法では、まず、第２実施例における図９までの工程を実行する。その結果、窒素含有リン添加非晶質シリコン膜１４の上部だけでなく側端面にも高濃度窒素含有層１５が形成される。
【００７７】
その後、図１２のビット線方向から見た断面図に示すように、７００°Ｃ～１１００℃の温度に加熱された窒素ガスまたはアルゴンガス等の不活性ガスの中でアニールを実行する。そうすることによって、窒素原子を含有するリン添加非晶質シリコン膜１４が結晶化し、しかも、含有する窒素原子の働きで結晶粒の粗大化が阻止される結果、窒素原子を含有する粒径の細かいリン添加多結晶シリコン膜で構成される浮遊電極５が形成される。
【００７８】
またアニールの実行にともなって、窒素含有リン添加非晶質シリコン膜１４の上部および側端面に形成されている高濃度窒素含有層１５では、窒素原子とシリコン原子の結合が起こる。その結果、高濃度窒素含有層１５から、シリコン窒化膜層１７が形成される。
【００７９】
つぎに、図７へ戻って、図１２で形成された生成物の上面全体に下部シリコン酸化膜１６を形成する。下部シリコン酸化膜１６は、第２実施例の図７の工程と同様の熱ＣＶＤを実行することによって形成される。第２実施例の方法とは異なって、浮遊電極５およびシリコン窒化膜層１７は既に形成されているので、この熱ＣＶＤを実行するための条件は、下部シリコン酸化膜１６を形成することのみを考慮して設定することが可能である。すなわち、第３実施例と同様に、下部シリコン酸化膜１６を形成するための条件の選択幅が拡大するという利点がある。
【００８０】
その後さらに、下部シリコン酸化膜１６の上に、ＣＶＤシリコン窒化膜１８、上部シリコン酸化膜１９、および、制御電極６を構成するリン添加多結晶シリコン膜を、この順で堆積する。これらの各層は、第２実施例と同一の工程を実行することによって形成される。その後、浮遊電極５から制御電極６までの積層構造体に対して、リソグラフィ工程およびドライエッチング工程を実行することによって、パターニング加工を施す。そうすることによって、所定のパターン形状を有する制御電極・浮遊電極間キャパシタ３４が形成される。
【００８１】
＜第５実施例＞
つぎに、図１および図２に示した第１実施例のフラッシュメモリにおける制御電極・浮遊電極間キャパシタ３２を製造するためのもう一つの方法を例示する。図１３～図１５は、この実施例の製造方法を示す工程図であり、フラッシュメモリのビット線方向からみた断面構造を示している。
【００８２】
この方法では、まず、シリコン基板１の上に、ｎ型不純物層４、素子分離シリコン酸化膜３、およびトンネル酸化膜２をあらかじめ形成しておく。そして、図１３に示すように、

生成物の上面全体に、窒素原子を含有するリン添加非晶質シリコン膜２０を堆積する。

【００８３】

この窒素含有リン添加非晶質シリコン膜２０は、例えば、モノシランガス、ホスフィンガス、およびアンモニア（NH_3）ガスを反応ガスとして供給しつつ、５００°Ｃ～５５０℃の温度下でＣＶＤを実行することによって形成される。窒素含有リン添加非晶質シリコン膜２０の中のリン濃度および窒素濃度は、モノシランガス、ホスフィンガス、およびアンモニアガスの流量比を変えることによって制御することができる。

【００８４】

また、窒素含有リン添加非晶質シリコン膜２０における上部（表面部）から下部（深部）へ向かう深さ方向の窒素濃度の分布も、アンモニアガスの流量を制御することによって任意に得ることができる。このため、窒素含有リン添加非晶質シリコン膜２０を堆積する過程の最終段階で、アンモニアガスの流量を高めることによって、図１３に示すように、窒素含有リン添加非晶質シリコン膜２０の上部には、窒素原子を高濃度に含有する高濃度窒素含有層２１が形成される。

【００８５】

つぎに、図１４に示すように、リソグラフィ技術およびドライエッチング技術を用いて、窒素含有リン添加非晶質シリコン膜２０および高濃度窒素含有層２１から成る二層構造体を選択的に除去することにより、この二層構造体を所望の形状にパターニング加工する。素子分離シリコン酸化膜３の上面における浮遊電極５の不連続部分は、このときに形成される。

【００８６】

つぎに、図１５に示すように、図１４の工程で形成された生成物の上面全体に、下部シリコン酸化膜１６を堆積する。下部シリコン酸化膜１６は、第１実施例と同様の熱ＣＶＤを実行することによって形成される。このときの熱エネルギーによって、窒素原子を含有するリン添加非晶質シリコン膜２０が結晶化し、しかも、含有する窒素原子の働きで結晶粒の粗大化が阻止される結果、窒素原子を含有する粒径の細かいリン添加多結晶シリコン膜で構成される浮遊電極５が形成される。

【００８７】

また熱エネルギーの付与によって、窒素含有リン添加非晶質シリコン膜１４の上部に形成されている高濃度窒素含有層２１では、窒素原子とシリコン原子の結合が起こる。その結果、高濃度窒素含有層２１から、シリコン窒化膜層１７が形成される。すなわち、浮遊電極５の上面において、膜質の劣る界面酸化膜層２３の形成が阻止され、代わりに、リーク電流を抑制する効果の高いシリコン窒化膜層１７が形成される。

【００８８】

つぎに、図１に戻って、下部シリコン酸化膜１６の上に、ＣＶＤシリコン窒化膜１８、上部シリコン酸化膜１９、および、制御電極６を構成するリン添加多結晶シリコン膜を、この順で堆積する。これらの各層は、第１実施例と同一の工程を実行することによって形成される。その後、浮遊電極５から制御電極６までの積層構造体に対して、リソグラフィ工程およびドライエッチング工程を実行することによって、パターニング加工を施す。そうすることによって、所定のパターン形状を有する制御電極・浮遊電極間キャパシタ３２が形成される。

【００８９】

この実施例の方法では、イオン注入を用いることなくリン添加非晶質シリコン膜へ窒素原子が導入される。このため、イオン注入にともなう損傷を引き起こす恐れがないという利点がある。例えば、トンネル酸化膜２へ窒素イオンが注入されることによって、トンネル酸化膜２の信頼性の低下を引き起こす恐れがない。また、リン添加非晶質シリコン膜を形成する中で、同時に窒素原子が導入されるので、窒素原子を導入する工程を別途実行する必要がない。すなわち、製造工程数が削減され、製造能率が高いという利点がある。

【００９０】

＜第６実施例＞

第５実施例では、下部シリコン酸化膜１６を形成する過程で、窒素含有リン添加非晶質シリコン膜２０の多結晶化とシリコン窒化膜層１７の形成とがおこなわれた。しかしながら、第３または第４実施例のように、下部シリコン酸化膜１６を形成するのに先だって、それとは別個に加熱処理を行うことによって、窒素含有リン添加非晶質シリコン膜２０の多結晶化とシリコン窒化膜層１７の形成とを行ってもよい。

【００９１】

＜第７実施例＞

以上の実施例では、フラッシュメモリを例として説明したが、フラッシュメモリ以外のメモリ素子、例えば、同じく浮遊電極を有するＥＰＲＯＭ（紫外線照射によって反復消去可能な不揮発性メモリ素子）に対しても、同様に実施可能である。また、薄膜状の多結晶シリコンでチャネルが構成される薄膜トランジスタにおいて、チャネルとこれに対向する制御電極とそれらの間に形成される誘電体膜とで構成されるキャパシタに対しても、同様に実施可能である。このような薄膜トランジスタは、例えばスタティックラムなどに応用可能である。

【００９２】

【発明の効果】

第１の発明の製造方法では、シリコン膜の上面において膜質の劣る界面酸化膜層の形成が阻止されるとともに、リーク電流の抑制効果の高いシリコン窒化膜層が形成されるので、一組の電極膜の間のリーク電流が抑制された装置が得られる。しかも、昇温を行うことによって、非晶質のシリコン膜の多結晶化とその上面へのシリコン窒化膜層の形成とが同時に行われるので、リーク電流を抑制した装置が能率よく製造される。

【００９８】

第２の発明の製造方法では、シリコン酸化膜層を形成する中で、同時に、非晶質のシリコン膜の多結晶化とその上面へのシリコン窒化膜層の形成とが行われるので、製造工数が節減され製造の能率がさらに向上する。

【００９９】

第３の発明の製造方法では、含有窒素の働きでシリコン膜が多結晶化する際に、結晶粒の成長が抑制されるので、窒素を含有しない場合に比べてシリコン結晶粒が小さくなる。その結果、一方電極膜の端部が所定の精密な形状を有する装置が得られる。

【０１００】

第４の発明の製造方法では、窒素を含有するとともに上面に高濃度窒素含有層を有する非晶質のシリコン膜が、上面から窒素を注入することによって容易に形成される。このため、一方電極を構成する多結晶シリコン膜におけるシリコン結晶粒が小さく、しかも、リーク電流が抑制された装置を能率よく形成することができる。

【０１０１】

第５の発明の製造方法では、パターニング加工によってシリコン層に形成される側端面にも高濃度窒素含有層が形成されるので、シリコン層の側端面においても、界面酸化膜層の形成が阻止されるとともに、それに代わってリーク電流の阻止効果の高い窒化シリコン層が形成される。このため、側端面を経路とするリーク電流をも抑制した装置が得られる。

【０１０２】

第６の発明の製造方法では、化学気相成長法を用いて窒素がシリコン膜へ導入されるので、窒素を導入する際にシリコン膜やこれに隣接する他の構成部分に損傷を与える恐れがない。このため、信頼性の高い装置が得られるという効果がある。さらに、非晶質のシリコン層を形成する中で、同時に窒素が導入されるので、窒素を導入する工程を別途実施する必要がない。このため、製造工数が節減されるので製造の能率が高いという効果がある。

【０１０３】

第７の発明の製造方法では、浮遊電極を有する不揮発性メモリ素子として機能する装置が得られるとともに、浮遊電極として機能する一方電極膜と制御電極として機能する他方電極膜の間のリーク電流が抑えられるので、データ保持特性が良好で信頼性の高い不揮発性メモリ素子が得られる。さらに、浮遊電極の端部が所定の精密な形状を有するので、消去

速度が所定の値に揃った装置が得られる。浮遊電極を複数個形成することで複数ビットのメモリ素子が得られるが、この場合には、同一メモリ素子内での消去速度のビット間ばらつきが解消ないし緩和される。

【０１０４】

第８の発明の製造方法では、浮遊電極を有する不揮発性メモリ素子として機能する装置が得られるとともに、浮遊電極として機能する一方電極膜と制御電極として機能する他方電極膜の間のリーク電流が抑えられるので、データ保持特性が良好で信頼性の高い不揮発性メモリ素子が得られる。

【図面の簡単な説明】

【図１】第１実施例のフラッシュメモリのビット線方向断面図である。

【図２】図１のフラッシュメモリのワード線方向断面図である。

【図３】図１のフラッシュメモリの製造工程図である。

【図４】図１のフラッシュメモリの製造工程図である。

【図５】図１のフラッシュメモリの製造工程図である。

【図６】図１のフラッシュメモリの製造工程図である。

【図７】第２実施例のフラッシュメモリのビット線方向断面図である。

【図８】図７のフラッシュメモリの製造工程図である。

【図９】図７のフラッシュメモリの製造工程図である。

【図１０】図７のフラッシュメモリの製造工程図である。

【図１１】第３実施例の製造方法を示す製造工程図である。

【図１２】第４実施例の製造方法を示す製造工程図である。

【図１３】第５実施例の製造方法を示す製造工程図である。

【図１４】第５実施例の製造方法を示す製造工程図である。

【図１５】第５実施例の製造方法を示す製造工程図である。

【図１６】従来のフラッシュメモリのワード線方向断面図である。

【図１７】従来のフラッシュメモリのビット線方向断面図である。

【図１８】図１６のフラッシュメモリの製造工程図である。

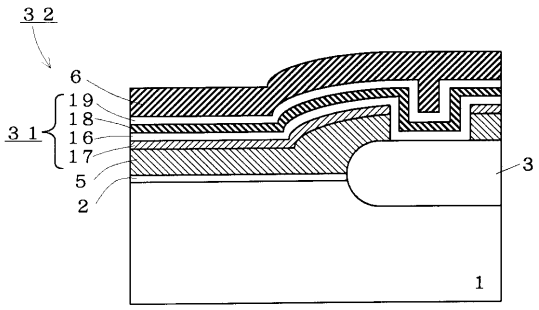
【図１９】図１６のフラッシュメモリの製造工程図である。

【図２０】図１６のフラッシュメモリの製造工程図である。

【符号の説明】

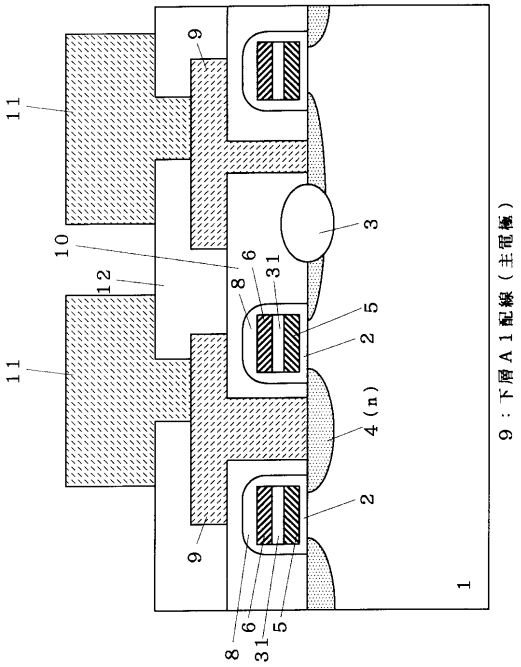
１　シリコン基板、２　トンネル酸化膜（絶縁膜）、５　浮遊電極（一方電極膜、多結晶シリコン膜）、６　制御電極（他方電極、導電層）、９　下層Ａｌ配線（主電極）、１３　リン添加非晶質シリコン膜（シリコン膜）、１５　高濃度窒素含有層、１６　下部シリコン酸化膜（シリコン酸化膜層）、１７　シリコン窒化膜層、１９　上部シリコン酸化膜（シリコン酸化膜層）、２０　窒素含有リン添加非晶質シリコン膜（シリコン膜）、２１　高濃度窒素含有層、３１　制御電極・浮遊電極間誘電体膜（誘電体膜）、３３　制御電極・浮遊電極間誘電体膜（誘電体膜）、３２　制御電極・浮遊電極間キャパシタ（キャパシタ）、３４　制御電極・浮遊電極間キャパシタ（キャパシタ）。

【図１】

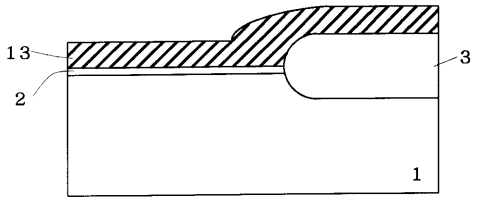


１：シリコン基板
２：トンネル酸化膜（絶縁膜）
５：浮遊電極（一方電極膜、多結晶シリコン膜）
６：制御電極（他方電極、導電層）
１６：下部シリコン酸化膜（シリコン酸化膜層）
１７：シリコン窒化膜層
１９：上部シリコン酸化膜（シリコン酸化膜層）
３１：制御電極・浮遊電極間誘電体膜（誘電体膜）
３２：制御電極・浮遊電極間キャパシタ（キャパシタ）

【図２】

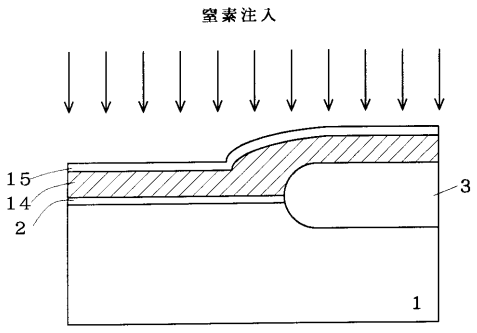


【図３】



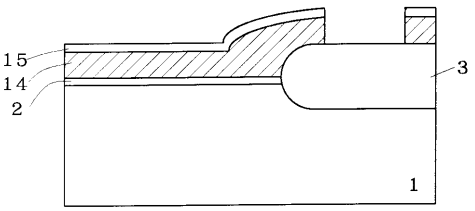
１３：リン添加非晶質シリコン膜（シリコン膜）

【図４】

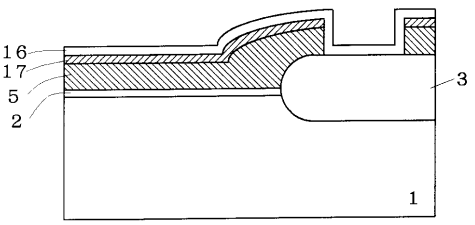


１５：高濃度窒素含有層

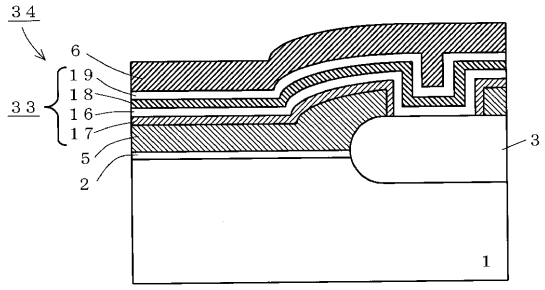
【図５】



【図６】

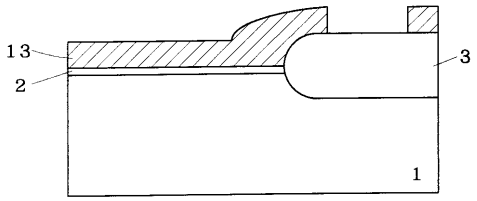


【図７】

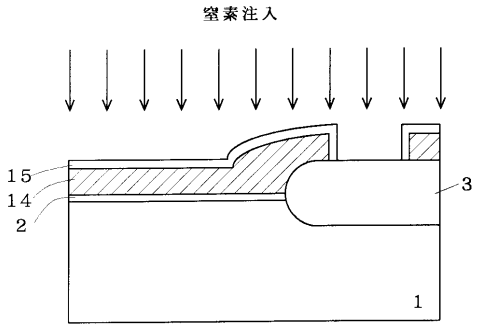


３３：制御電極・浮遊電極間誘電体膜（誘電体膜）
３４：制御電極・浮遊電極間キャパシタ（キャパシタ）

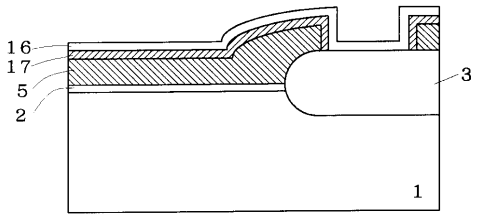
【図８】



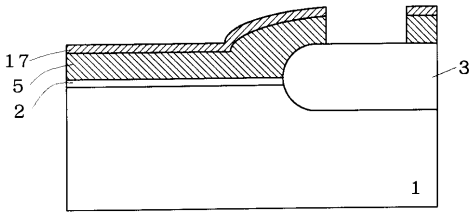
【図９】



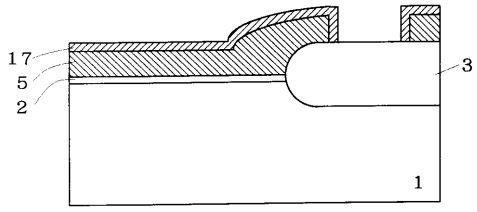
【図１０】



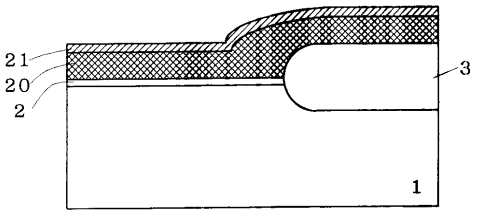
【図１１】



【図１２】

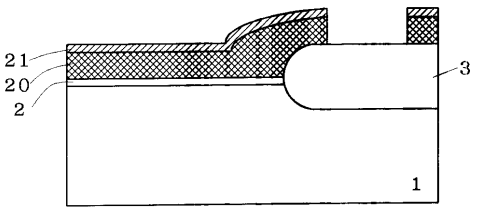


【図１３】

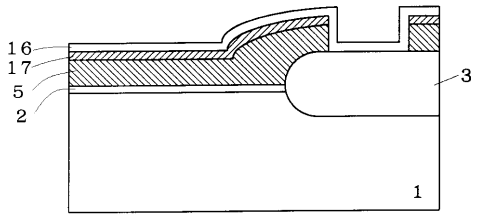


２０：窒素含有リン添加非晶質シリコン膜（シリコン膜）
２１：高濃度窒素含有層

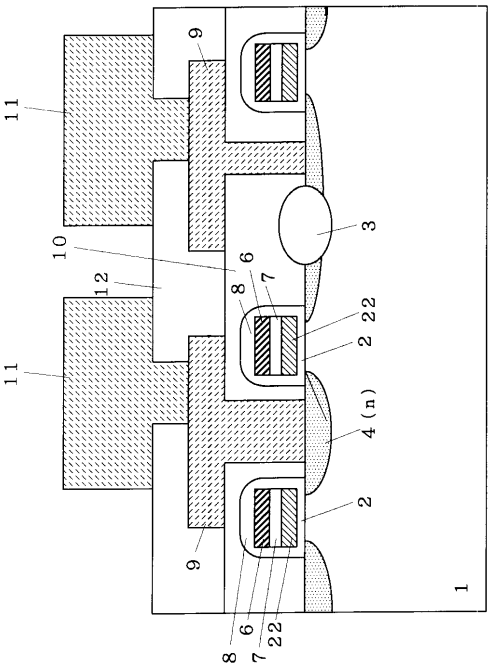
【図１４】



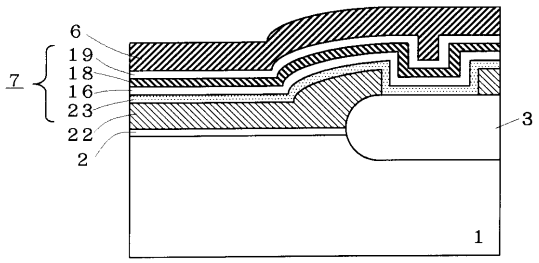
【図１５】



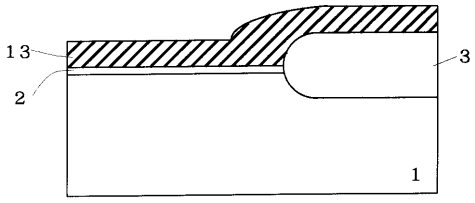
【図１６】



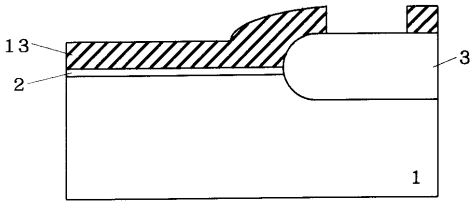
【図１７】



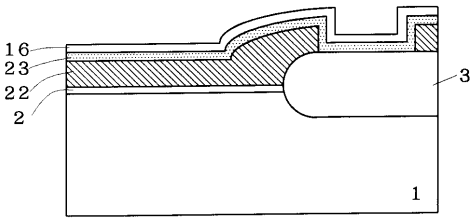
【図１８】



【図１９】



【図２０】



フロントページの続き

(56)参考文献 特開平０６－２４４３８１（ＪＰ，Ａ）
特開平０３－２１１７７４（ＪＰ，Ａ）
特開平０６－０９０００８（ＪＰ，Ａ）
特開平０５－２６７６８４（ＪＰ，Ａ）
特開平０２－１８８９７０（ＪＰ，Ａ）
特開平０６－１７７３９６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/8247
H01L 27/115
H01L 29/788
H01L 29/792