



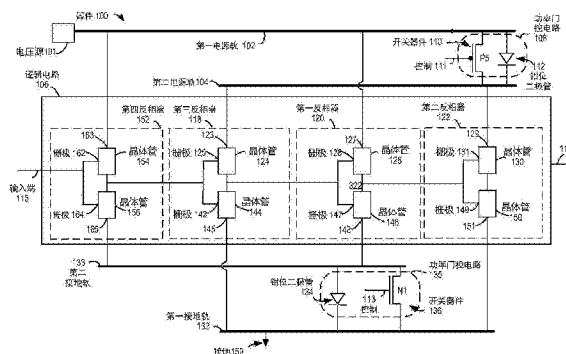
(43)申请公布日 2018.05.11

(72)发明人 J·P·金 S·金 T·金

权利要求书3页 说明书18页 附图4页

# 功率门控器件及方法

器件包括第一电源轨和第二电源轨。该第二电源轨的第二电压是从该第一电源轨的第一电压导出的。该器件包括包含连接在该第一电源轨与该第二电源轨之间的开关器件的功率门控电路。该功率门控电路进一步包括在该第一电源轨与该第二电源轨之间与该开关器件并联地连接的钳位二极管。该器件进一步包括包含第一反相器和第二反相器的逻辑电路。该第一反相器包括第一晶体管,并且该第二反相器包括第一晶体管。该第一反相器的第一晶体管的源极/漏极端直接耦合至该第一电源轨,并且该第二反相器的第一晶体管的源极/漏极端直接耦合至该第二电源轨。



1. 一种器件,包括:

第一电源轨;

第二电源轨,其中所述第二电源轨的第二电压是从所述第一电源轨的第一电压导出的;

包括连接在所述第一电源轨与所述第二电源轨之间的开关器件的功率门控电路,所述功率门控电路进一步包括在所述第一电源轨与所述第二电源轨之间与所述开关器件并联连接的钳位二极管;以及

包括第一反相器和第二反相器的逻辑电路,所述第一反相器包括所述第一反相器的第一晶体管并且所述第二反相器包括所述第二反相器的第一晶体管,其中所述第一反相器的所述第一晶体管的源极/漏极端直接耦合至所述第一电源轨,并且其中所述第二反相器的所述第一晶体管的源极/漏极端直接耦合至所述第二电源轨。

2. 如权利要求1所述的器件,其特征在于,进一步包括:

所述第一反相器的第二晶体管;

所述第二反相器的第二晶体管;

第一接地轨;以及

第二接地轨,其中所述第二接地轨的第四电压是从所述第一接地轨的第三电压导出的;

其中所述第一反相器的所述第二晶体管的源极/漏极端直接耦合至所述第二接地轨,并且

其中所述第二反相器的所述第二晶体管的源极/漏极端直接耦合至所述第一接地轨。

3. 如权利要求2所述的器件,其特征在于,进一步包括包含连接在所述第一接地轨与所述第二接地轨之间的第二开关器件的第二功率门控电路,所述第二功率门控电路进一步包括在所述第一接地轨与所述第二接地轨之间与所述第二开关器件并联连接的第二钳位二极管。

4. 如权利要求3所述的器件,其特征在于,所述第二开关器件包括n型金属氧化物半导体(NMOS)晶体管。

5. 如权利要求2所述的器件,其特征在于,所述第三电压对应于接地,并且所述第四电压大于所述第三电压。

6. 如权利要求1所述的器件,其特征在于,所述逻辑电路包括单元地址解码器。

7. 如权利要求6所述的器件,其特征在于,所述单元地址解码器包括单元行解码器、单元列解码器、或两者。

8. 如权利要求1所述的器件,其特征在于,当所述开关器件打开时,所述钳位二极管被配置成将所述第二电源轨处的电压钳位至所述第二电压,其中所述第二电压对应于所述第一电压减去所述钳位二极管的阈值电压。

9. 如权利要求8所述的器件,其特征在于,当所述开关器件闭合时,所述第二电压对应于所述第一电压。

10. 如权利要求1所述的器件,其特征在于,所述第二反相器的所述第一晶体管是p型金属氧化物半导体(PMOS)晶体管,所述第一反相器的所述第一晶体管是n型金属氧化物半导体(NMOS)晶体管,或两者。

11. 如权利要求1所述的器件,其特征在于,所述开关器件包括p型金属氧化物半导体(PMOS)晶体管。

12. 一种解码器器件,包括:

单元地址解码器;以及

包括连接在所述单元地址解码器与电压源之间的开关器件的功率门控电路,所述功率门控电路进一步包括在所述单元地址解码器与所述电压源之间与所述开关器件并联连接的钳位二极管。

13. 如权利要求12所述的解码器器件,其特征在于,所述单元地址解码器包括单元行解码器、单元列解码器、或两者。

14. 如权利要求12所述的解码器器件,其特征在于,所述单元地址解码器包括地址解码器电路和驱动器电路,并且其中所述功率门控电路耦合至所述地址解码器电路以及耦合至所述驱动器电路。

15. 如权利要求14所述的解码器器件,其特征在于,进一步包括:

第一电源轨;以及

第二电源轨,其中所述第二电源轨的第二电压是从所述第一电源轨的第一电压导出的,

其中所述开关器件连接在所述第一电源轨与所述第二电源轨之间,

其中所述钳位二极管在所述第一电源轨与所述第二电源轨之间与所述开关器件并联地连接,并且

其中所述驱动器电路包括第一反相器的第一晶体管和第二反相器的第一晶体管,其中所述第一反相器的所述第一晶体管的源极/漏极端直接耦合所述第一电源轨,并且所述第二反相器的所述第一晶体管的源极/漏极端直接耦合至所述第二电源轨。

16. 如权利要求15所述的解码器器件,其特征在于,所述第二反相器的所述第一晶体管是p型金属氧化物半导体(PMOS)晶体管,所述第一反相器的所述第一晶体管是n型金属氧化物半导体(NMOS)晶体管,或两者。

17. 如权利要求15所述的解码器器件,其特征在于,进一步包括:

耦合至接地的第一接地轨;以及

第二接地轨,其中所述第二接地轨的第四电压是从所述第一接地轨的第三电压导出的;

其中所述驱动器电路进一步包括所述第一反相器的第二晶体管和所述第二反相器的第二晶体管,并且其中所述第一反相器的所述第二晶体管的源极/漏极端直接耦合至所述第二接地轨,并且所述第二反相器的所述第二晶体管的源极/漏极端直接耦合至所述第一接地轨。

18. 如权利要求17所述的解码器器件,其特征在于,所述第三电压对应于接地,并且所述第四电压大于所述第三电压。

19. 如权利要求15所述的解码器器件,其特征在于,当所述开关器件打开时,所述钳位二极管被配置成将所述第二电源轨处的电压钳位至所述第二电压,其中所述第二电压对应于所述第一电压减去所述钳位二极管的阈值电压。

20. 如权利要求19所述的解码器器件,其特征在于,当所述开关器件闭合时,所述第二

电压对应于所述第一电压。

21. 一种对电路进行功率门控的方法,所述方法包括:

经由直接耦合至第一反相器的第一晶体管的源极/漏极端的第一电源轨来将第一电压施加到所述第一反相器的所述第一晶体管的所述源极/漏极端;以及

经由直接耦合至第二反相器的第一晶体管的源极/漏极端的第二电源轨,通过使用并联连接在所述第一电源轨与所述第二电源轨之间的钳位二极管将所述第二电源轨处的电压钳位至第二电压来将所述第二电压施加到所述第二反相器的所述第一晶体管的所述源极/漏极端,所述第二电压是从施加到所述第一电源轨的第一电压导出的。

22. 如权利要求21所述的方法,其特征在于,所述第二电压对应于所述第一电压减去所述钳位二极管的阈值电压。

23. 如权利要求21所述的方法,其特征在于,进一步包括:通过将所述第一电压施加到所述第二反相器的所述第一晶体管的栅极端同时将所述第二电压施加到所述第二反相器的所述第一晶体管的所述源极/漏极端来在第一功率模式期间关断所述第二反相器的所述第一晶体管。

24. 如权利要求23所述的方法,其特征在于,进一步包括:通过将第三电压施加到所述第一反相器的所述第一晶体管的栅极端同时将所述第一电压施加到所述第一反相器的所述第一晶体管的所述源极/漏极端来在所述第一功率模式期间导通所述第一反相器的所述第一晶体管。

25. 如权利要求24所述的方法,其特征在于,所述第三电压大致为零(0)伏。

26. 一种器件,包括:

第一接地轨;

第二接地轨,其中所述第二接地轨的第二电压是从所述第一接地轨的第一电压导出的;

包括连接在所述第一接地轨与所述第二接地轨之间的开关器件的功率门控电路,所述功率门控电路进一步包括在所述第一接地轨与所述第二接地轨之间与所述开关器件并联连接的钳位二极管;以及

包括第一反相器和第二反相器的逻辑电路,所述第一反相器包括晶体管并且所述第二反相器包括晶体管,其中所述第一反相器的所述晶体管的源极/漏极端直接耦合至所述第二接地轨,并且其中所述第二反相器的所述晶体管的源极/漏极端直接耦合至所述第一接地轨。

27. 如权利要求26所述的器件,其特征在于,所述逻辑电路包括单元地址解码器。

28. 如权利要求27所述的器件,其特征在于,所述单元地址解码器包括单元行解码器、单元列解码器、或两者。

29. 如权利要求26所述的器件,其特征在于,当所述开关器件打开时,所述钳位二极管被配置成将所述第二接地轨处的电压钳位至所述第二电压,其中所述第二电压对应于所述第一电压加上所述钳位二极管的阈值电压。

30. 如权利要求26所述的器件,其特征在于,当所述开关器件闭合时,所述第二电压对应于所述第一电压。

## 功率门控器件及方法

[0001] I. 优先权要求

[0002] 本申请要求共同拥有的于2015年9月8日提交的美国非临时专利申请No. 14/847, 387的优先权, 该申请的内容通过援引全部明确纳入于此。

[0003] II. 领域

[0004] 本公开一般涉及功率门控器件及方法。

[0005] III. 相关技术描述

[0006] 技术进步已产生越来越小且越来越强大的计算设备。例如, 当前存在各种各样的便携式个人计算设备, 包括较小、轻量且易于由用户携带的无线电话(诸如移动和智能电话、平板以及膝上型计算机)。这些设备可在无线网络上传达语音和数据分组。另外, 许多此类设备纳入附加功能性, 诸如数码相机、数码摄像机、数字录像机以及音频文件播放器。同样, 此类设备可以处理可执行指令, 包括可被用于访问因特网的软件应用, 诸如web浏览器应用。如此, 这些设备可包括显著的计算能力。

[0007] 这些设备中的芯片(例如, 存储器芯片)中的逻辑(例如, 解码器)可以包括许多晶体管并且可占据芯片面积的大部分。在功率节省模式(例如, 待机模式)中的操作期间, 晶体管可能经历泄漏(例如, 阈值下泄漏)。在功率节省模式期间, 对该逻辑从其电源或接地轨进行功率门控可以减小泄漏。然而, 使用常规功率门控方案来对该逻辑进行功率门控导致至该逻辑电压浮置, 从而导致未知的晶体管状态或初始条件(例如, 在转变到正常模式时)。

[0008] IV. 概述

[0009] 在特定实施例中, 公开了一种器件。该器件包括第一电源轨和第二电源轨。该第二电源轨的第二电压是从该第一电源轨的第一电压导出的。该器件包括功率门控电路。该功率门控电路包括连接在该第一电源轨与该第二电源轨之间的开关器件。该功率门控电路进一步包括在该第一电源轨与该第二电源轨之间与该开关器件并联地连接的钳位二极管。该器件进一步包括包含第一反相器和第二反相器的逻辑电路。该第一反相器包括该第一反相器的第一晶体管, 并且该第二反相器包括该第二反相器的第一晶体管。该第一反相器的第一晶体管的源极/漏极端直接耦合至该第一电源轨, 并且该第二反相器的第一晶体管的源极/漏极端直接耦合至该第二电源轨。

[0010] 在特定实施例中, 公开了一种包括单元地址解码器的解码器器件。该解码器器件还包括功率门控电路。该功率门控电路包括连接在该单元地址解码器与电压源之间的开关器件。该功率门控电路进一步包括在该单元地址解码器与该电压源之间与该开关器件并联地连接的钳位二极管。

[0011] 在特定实施例中, 一种对电路进行功率门控的方法包括: 经由直接耦合至第一反相器的第一晶体管的源极/漏极端的第一电源轨来将第一电压施加到该第一反相器的第一晶体管的源极/漏极端。该方法进一步包括: 经由直接耦合至第二反相器的第一晶体管的源极/漏极端的第二电源轨, 通过使用并联连接在该第一电源轨与该第二电源轨之间的钳位二极管将该第二电源轨处的电压钳位至第二电压来将该第二电压施加到该第二反相器的第一晶体管的源极/漏极端。该第二电压是从施加到该第一电源轨的第一电压导出的。

[0012] 在特定实施例中,公开了一种包括第一接地轨和第二接地轨的器件。该第二接地轨的第二电压是从该第一接地轨的第一电压导出的。该器件包括功率门控电路。该功率门控电路包括连接在该第一接地轨与该第二接地轨之间的开关器件。该功率门控电路进一步包括在该第一接地轨与该第二接地轨之间与该开关器件并联地连接的钳位二极管。该器件进一步包括包含带有晶体管的第一反相器和带有晶体管的第二反相器的逻辑电路。该第一反相器的晶体管的源极/漏极端直接耦合至该第二接地轨,并且该第二反相器的晶体管的源极/漏极端直接耦合至该第一接地轨。

[0013] 由所公开的实施例中的至少一者提供的一个特定优点是,至少部分地从将第二电压施加到漏极/源极端导致的栅极到源极电压可减小闩下泄漏电流。本公开的其他方面、优点、和特征将在阅读整个申请后变得明了,整个申请包括以下章节:附图简述、详细描述、以及权利要求。

[0014] V.附图简述

[0015] 图1是包括功率门控电路和在第一电源轨与第二电源轨之间以及在第一接地轨与第二接地轨之间交织的反相器的器件的特定解说性实施例的框图;

[0016] 图2是包括单元地址解码器、功率门控电路、和在第一电源轨与第二电源轨之间以及在第一接地轨与第二接地轨之间交织的反相器的解码器器件的特定解说性实施例的框图;

[0017] 图3是解说包括功率门控电路的存储器器件的框图,其中功率门控电路中的每一者对多个单元地址解码器进行功率门控;

[0018] 图4是对电路进行功率门控的方法的特定解说性实施例的流程图;以及

[0019] 图5是包括功率门控器件的便携式设备的框图。

[0020] VI.详细描述

[0021] 参照图1,公开了一种器件的特定解说性实施例并将其一般地标示为100。器件100包括耦合至第一电源轨102、第二电源轨104、第一接地轨132、和第二接地轨133的逻辑电路106。逻辑电路106可以包括单元地址解码器,诸如图2的单元地址解码器216。

[0022] 第一电源轨102可对应于或被称为实际的、主要的、或固定的电源轨。第一电源轨102的电压(例如,“第一电压”)可以对应于耦合至第一电源轨102的电压源101的电压。在一些示例中,第一电源轨102直接地耦合至电压源101。第二电源轨104的电压(例如,“第二电压”)可以从第一电源轨102的第一电压导出,如以下更详细描述。如以下更详细描述的,在一些操作模式或条件中,第二电压可对应于第一电压,而在其他操作模式或条件中,该第二电压可以与该第一电压不同(例如,小于该第一电压)。

[0023] 器件100包括第一功率门控电路108,该第一功率门控电路108包括连接在第一电源轨102与第二电源轨104之间(例如,电连接在第一电源轨102与第二电源轨104之间)的开关器件110。在一些示例中,开关器件110包括p型金属氧化物半导体(PMOS)晶体管。第一功率门控电路108进一步包括钳位二极管112,钳位二极管112在第一电源轨102与第二电源轨104之间与开关器件110并联(例如,电并联)地连接(例如,在第一电源轨102与第二电源轨104之间与开关器件110并联地电连接)。例如,钳位二极管112的输入端以及开关器件110的源极端或漏极端可以连接至第一电源轨102,并且开关器件110的源极端或漏极端以及钳位二极管112的输出端可以连接至第二电源轨104。在一些示例中,钳位二极管112可以对应于

或可以包括PMOS晶体管(例如,“经二极管连接的PMOS晶体管”)。在一些示例中,经二极管连接的PMOS晶体管可以包括耦合至第二电源轨104的漏极端和栅极端以及耦合至第一电源轨102的源极端。

[0024] 在一些示例中,诸如当逻辑电路106在第一操作模式(例如,非功率节省模式)中时,开关器件110可以闭合并且来自第一电源轨102的第一电压可(例如,越过开关器件110)被提供给第二电源轨104,使得第二电源轨104的第二电压对应于(例如,基本上等于)第一电源轨102的第一电压。在其他示例中,诸如当逻辑电路106在第二操作模式(例如,功率节省模式)中时,开关器件110可以打开并且来自第一电源轨102的第一电压的仅一部分被提供给第二电源轨104,使得第二电源轨104的第二电压与不同于(例如,基本上不同于)(例如,少于)第一电源轨102的第一电压的电压对应。在一些示例中,第二电压可对应于来自第一电源轨102的第一电压(例如V<sub>dd</sub>)减去钳位二极管112的阈值电压。

[0025] 例如,在非功率节省模式中的操作期间,开关器件110可以闭合,由此使第一电源轨102短路至第二电源轨104(从而导致来自第一电源轨102的第一电压越过开关器件110施加到第二电源轨104)。由此,在非功率节省模式期间,第二电源轨104的第二电压可以对应于(例如,可以基本上等于)第一电源轨102的第一电压。在功率节省模式期间,打开(例如,关断)开关器件110的信号可以经由控制111来施加到开关器件110。打开开关器件110可导致泄漏电流将第二电源轨104处的电压放电至使得钳位二极管112导通的电压(例如,第二电压),由此将第二电源轨104处的电压钳位在与第一电压不同的(例如,基本上不同的)电压处。为了解说,第一电压可以对应于1.5V,并且钳位二极管112的阈值电压可以对应于0.2V。在该示例中,当开关器件110打开(例如,关断)时,第二电源轨104可以放电至1.3V,此时钳位二极管112可以导通并且可以将第二电源轨104的第二电压钳位在1.3V(例如,1.5V-0.2V=1.3V)处。

[0026] 如上所述,在一些示例中,开关器件110可对应于或可包括PMOS晶体管,并且钳位二极管112可对应于或可包括经二极管连接的PMOS晶体管。在这些示例中,在功率节省模式期间,开关器件110关断并在浮置状态中,这导致第二电源轨104放电(例如,导致第二电源轨104处的电压下降并且导致第一电源轨102与第二电源轨104之间电势差增大)。第二电源轨104处的电压可以下降,直至第一电源轨102与第二电源轨104之间的电压差(例如,经二极管连接的PMOS晶体管的源极-漏极电压V<sub>SD</sub>)对应于经二极管连接的PMOS晶体管的阈值电压。当经二极管连接的PMOS晶体管的V<sub>SD</sub>对应于经二极管连接的PMOS晶体管的阈值电压时,经二极管连接的PMOS晶体管可导通,从而导致第二电源轨104的第二电压对应于第一电源轨102的第一电压减去经二极管连接的PMOS晶体管的阈值电压。

[0027] 由此,第二电源轨104的第二电压可以从第一电源轨102的第一电压导出,并且可以基于第一功率门控电路108(例如,基于开关器件110是打开还是闭合的)来变化,该第一功率门控电路108可以基于逻辑电路106的操作模式来(例如,由控制111)控制。

[0028] 器件100包括第一接地轨132和第二接地轨133。第一接地轨132可对应于或被称为实际的、主要的、或固定的接地轨。在一些示例中,第一接地轨132的电压(例如,“第三电压”)可以对应于接地。在一些示例中,第一接地轨132直接地耦合至接地159第二接地轨133的电压(例如,“第四电压”)可以从第三电压导出,如以下更详细描述。如以下更详细描述的,在一些操作条件中(诸如在逻辑电路106在非功率节省模式中操作时),第四电压可对应

于第三电压,而在其他操作条件中,该第四电压可以与该第三电压不同(例如,大于该第三电压)。

[0029] 器件100包括第二功率门控电路135,该第二功率门控电路135包括连接在第一接地轨132与第二接地轨133之间(例如,电连接在第一接地轨132与第二接地轨133之间)的开关器件136。在一些示例中,开关器件136包括n型金属氧化物半导体(NMOS)晶体管。第二功率门控电路135进一步包括钳位二极管134,钳位二极管134在第一接地轨132与第二接地轨133之间与开关器件136并联(例如,电并联)地连接(例如,在第一接地轨132与第二接地轨133之间与开关器件136并联地电连接)。例如,钳位二极管134的输入端以及开关器件136的源极端或漏极端可以连接至第一接地轨132,并且开关器件136的源极端或漏极端以及钳位二极管134的输出端可以连接至第二接地轨133。在一些示例中,钳位二极管134可以对应于或可以包括NMOS晶体管(例如,“经二极管连接的NMOS晶体管”)。在一些示例中,经二极管连接的NMOS晶体管可以包括耦合至第二接地轨133的漏极端和栅极端以及耦合至第一接地轨132的源极端。

[0030] 在一些示例中,诸如当逻辑电路106在第一操作模式(例如,非功率节省模式)中时,开关器件136可以闭合并且可以来自第一接地轨132的第三电压可被(例如,越过开关器件136)提供给第二接地轨133,使得第二接地轨133的第四电压对应于(例如,基本上等于)第一接地轨132的第三电压。在其他示例中,诸如当逻辑电路106在第二操作模式中时,开关器件136可以是打开的,并且第二接地轨133的第四电压可以对应于不同于(例如,基本上不同于)(例如,大于)第一接地轨132的第三电压,如以下更详细描述。在一些示例中,第四电压可对应于来自第一接地轨132的第三电压(例如 $V_{ss}$ )加上钳位二极管134的阈值电压。

[0031] 例如,在非功率节省模式中的操作期间,开关器件136可以闭合,由此使第一接地轨132短路至第二接地轨133(从而导致来自第一接地轨132的第三电压越过开关器件136施加到第二接地轨133)。由此,在非功率节省模式期间,第二接地轨133的第四电压可以对应于(例如,可以基本上等于)第一接地轨132的第一电压。在功率节省模式期间,打开(例如,关断)开关器件136的信号可以经由控制136来施加到开关器件113。打开开关器件136可导致泄漏电流将第二接地轨133处的电压充电至使得钳位二极管134导通的电压(例如,第四电压),由此将第二接地轨133处的电压钳位在第三电压不同的(例如,基本上不同的)电压处。为了解说,第三电压可以对应于0V,并且钳位二极管134的阈值电压可以对应于0.2V。在该示例中,当开关器件136打开(例如,关断)时,第二接地轨133可以充电至0.2V,此时钳位二极管134可以导通并且可以将第二接地轨133的第四电压钳位至0.2V(例如, $0V+0.2V=0.2V$ )。

[0032] 如上所述,在一些示例中,开关器件136可对应于或可包括NMOS晶体管,并且钳位二极管134可对应于或可包括经二极管连接的NMOS晶体管。在这些示例中,在功率节省模式期间,开关器件136关断并在浮置状态中,这导致第二接地轨133充电(例如,导致第二接地轨133处的电压增大并且导致第一接地轨132与第二接地轨133之间电势差增大)。第二电源轨133处的电压可以增大,直至第一接地轨132与第二接地轨133之间的电压差(例如,经二极管连接的NMOS晶体管的漏极-源极电压 $V_{DS}$ )对应于经二极管连接的NMOS晶体管的阈值电压。当经二极管连接的NMOS晶体管的 $V_{DS}$ 对应于经二极管连接的NMOS晶体管的阈值电压时,经二极管连接的NMOS晶体管可导通,从而导致第二接地轨133的第四电压对应于第一接地



轨132的第三电压减去经二极管连接的NMOS晶体管的阈值电压。

[0033] 由此,第二接地轨133的第四电压可以从第一接地轨132的第三电压导出,并且可以基于第二功率门控电路135(例如,基于开关器件136是打开还是闭合的)来变化,该第二功率门控电路135可以基于逻辑电路106的操作模式来(例如,由控制113)控制。

[0034] 逻辑电路106可以包括输入端115、第一反相器120、第二反相器122、第三反相器118、第四反相器152、和输出端117。第一反相器120可以包括第一晶体管126和第二晶体管146。第二反相器122可以包括第一晶体管130和第二晶体管150。第三反相器118可以包括第一晶体管124和第二晶体管144。第四反相器152可以包括第一晶体管154和第二晶体管156。在一些示例中,第一反相器120的第一晶体管126、第二反相器122的第一晶体管130、第三反相器118的第一晶体管124、第四反相器152的第一晶体管154、或其组合包括PMOS晶体管。附加地或替换地,在一些示例中,第一反相器120的第二晶体管146、第二反相器122的第二晶体管150、第三反相器118的第二晶体管144、第四反相器152的第二晶体管156、或其组合包括NMOS晶体管。尽管逻辑电路106被解说成包括偶数个反相器,但是逻辑电路106可以包括奇数个反相器。

[0035] 第一反相器120的第一晶体管126的端子127(例如,源极端或漏极端)可以(例如,直接地)耦合至第一电源轨102。附加地或替换地,第二反相器122的第一晶体管130的端子129(例如,源极端或漏极端)可以(例如,直接地)耦合至第二电源轨104。附加地或替换地,第三反相器118的第一晶体管124的端子123(例如,源极端或漏极端)可以(例如,直接地)耦合至第二电源轨104。附加地或替换地,第四反相器152的第一晶体管154的端子163(例如,源极端或漏极端)可以(例如,直接地)耦合至第一电源轨102。

[0036] 附加地或替换地,第一反相器120的第二晶体管146的端子148(例如,源极端或漏极端)可以(例如,直接地)耦合至第二接地轨133。附加地或替换地,第二反相器122的第二晶体管150的端子151(例如,源极端或漏极端)可以(例如,直接地)耦合至第一接地轨132。附加地或替换地,第三反相器118的第二晶体管144的端子145(例如,源极端或漏极端)可以(例如,直接地)耦合至第一接地轨132。附加地或替换地,第四反相器152的第二晶体管156的端子165(例如,源极端或漏极端)可以(例如,直接地)耦合至第二接地轨133。

[0037] 在功率节省模式中的操作期间,第三反相器118的第一晶体管124的端子123可以从第二电源轨104接收第二电压,并且第三反相器118的第二晶体管144的端子145可以从第一接地轨132接收第三(例如,接地)电压。在功率节省模式中的操作期间,可以将低(例如,逻辑低)输入信号(例如,接地)提供给输入端115(例如,提供给第四反相器152的栅极端162和164)。替换地,如上所述,逻辑电路106可以包括奇数个反相器,并且可以将高(例如,逻辑高)输入信号提供给输入端115。

[0038] 在第一电压被施加到第四反相器152的第一晶体管154的端子163时,将低输入信号施加到第四反相器152的输入端可以导致第一晶体管154导通。例如,第四反相器152的第一晶体管154可以对应于PMOS晶体管,并且在第一电压(例如,经由第一电源轨102)被施加到第一晶体管154的栅极端163时,将低信号施加到第一晶体管154的栅极端162可以导通第一晶体管154,从而导致来自第一电源轨102的第一电压被施加到第三反相器118的输入端。

[0039] 在第三电压(例如,接地)被施加到第三反相器118的第二晶体管144的端子145时,将第一电压施加到第三反相器118的输入端可以导致第二晶体管144导通。例如,第三反相

器118的第二晶体管144可以对应于NMOS晶体管,并且在将第三电压施加(例如,经由第一接地轨132)到第二晶体管144的端子145时,将对应于第一电压的电压施加到第二晶体管144的栅极端143可以导通第二晶体管144。

[0040] 附加地或替换地,在开关器件110关断并且将(与如上所述的第一电压不同的)第二电压施加到第三反相器118的第一晶体管124的端子123时将对应于第一电压的电压施加到第三反相器118的输入端,可导致用于第一晶体管124的非零(例如,负)源极到栅极电压( $V_{SG}$ ),这不足以导通第一晶体管124(例如,第一晶体管124可截止)。当第一晶体管124截止时,结果得到的非零(例如,负) $V_{SG}$ 可以减小(与正的 $V_{SG}$ 或为0V的 $V_{SG}$ 相比)通过第三反相器118的第一晶体管124的泄漏电流。例如,第三反相器118的第一晶体管124可以对应于PMOS晶体管,并且在第二电压(例如,1.3V)被施加到第一晶体管124的端子123时将第一电压(例如,1.5V)施加到第一晶体管124的栅极端125可以关断第一晶体管124,并且可以导致对应于第二电压减去第一电压(例如, $1.3V-1.5V=-0.2V$ )的用于第一晶体管124的非零(例如,负) $V_{SG}$ 。当第一晶体管124截止时,结果得到的非零(例如,负) $V_{SG}$ (例如,为 $-0.2V$ 的 $V_{SG}$ )可以减小(例如,与正的 $V_{SG}$ 或为0V的 $V_{SG}$ 相比)通过第三反相器118的第一晶体管124的泄漏电流。由此,第一功率门控电路108可以减小通过第三反相器118的第一晶体管124的待机泄漏电流。

[0041] 在功率节省模式中的操作期间,第一反相器120的第一晶体管126的端子127可以从第一电源轨102接收第一电压,并且第一反相器120的第二晶体管146的端子148可以从第二接地轨133接收(与如上所述的第三电压不同的)第四电压。如上所述的关断第三反相器118的第一晶体管124并导通第三反相器118的第二晶体管144可导致第三反相器118的输出对应于第三电压(例如,第三反相器118的输出可对应于接地)。由此,对应于第三电压(例如,对应于接地)的电压可以被施加到第一反相器120的输入端(例如,可以将接地电压施加到栅极端128和147)。

[0042] 在来自第一电源轨102的第一电压被施加到第一反相器120的第一晶体管126的端子127时将第三电压(例如,接地)对应的电压施加到第一反相器120的输入端。例如,第一反相器120的第一晶体管126可以对应于PMOS晶体管,并且在第一电压(例如,1.5V)被施加到第一晶体管126的端子127时,将与(来自第三反相器118的输出端的)第三电压对应的电压施加到第一晶体管126的栅极端128可以导通第一晶体管126。

[0043] 在开关器件136关断时且在第四电压(其基本上与第三电压不同)被施加到第一反相器120的第二晶体管146的端子148时,将与第三电压对应的电压施加到第一反相器120的输入端可以防止第二晶体管146导通并且可以导致用于第二晶体管146的非零(例如,负)栅极到源极电压( $V_{GS}$ )。当第二晶体管146截止时,结果得到的非零(例如,负) $V_{GS}$ 可以减小(与正的 $V_{GS}$ 或为0V的 $V_{GS}$ 相比)通过第一反相器120的第二晶体管146的泄漏电流。例如,第一反相器120的第二晶体管146可以对应于NMOS晶体管,并且在第四电压(例如,0.2V)与第三电压显著地不同时将与(来自第三反相器118的输出端的)第三电压对应的电压施加到第二晶体管146的栅极端147可以防止第二晶体管146导通并且可导致用于第二晶体管146的为 $-0.2V$ 的 $V_{GS}$ (例如, $0V-0.2V=-0.2V$ )。当第二晶体管146截止时,第一反相器120的第二晶体管146的非零(例如,负) $V_{GS}$ (例如,为 $-0.2V$ 的 $V_{GS}$ )可以减小(与正的 $V_{GS}$ 或为0V的 $V_{GS}$ 相比)通过第二晶体管146的泄漏电流。由此,第二功率门控电路135可以减小通过第一反相器120的第二

晶体管146的待机泄漏电流。附加地,因为第一晶体管126被导通并且第二晶体管146被关断,所以第一反相器120可以(向第二反相器122)输出(从第一电源轨102传递通过第一晶体管126的)第一电压。

[0044] 在功率节省模式中的操作期间,第二反相器122的第一晶体管130的端子129可以从第二电源轨104接收(与如上所述的第一电压不同的)第二电压,并且第二反相器122的第二晶体管150的端子151可以从第一接地轨132接收第三电压(例如,接地)。如上所述的导通第一反相器120的第一晶体管126并且关断第一反相器120的第二晶体管146可以使得第一反相器120的输出对应于第一电压。由此,第一电压可以被施加到第二反相器122的输入端(例如,可以被施加到栅极端131和149)。

[0045] 在来自第一接地轨132的第三电压被施加到第二反相器122的第二晶体管150的端子151时,将第一电压施加到第二反相器122的输入端可以导通第二晶体管150。例如,第二反相器122的第二晶体管150可以对应于NMOS晶体管,并且在第三电压(例如,0V)被施加到第二晶体管150的端子151时将第一电压施加到第二晶体管150的栅极端149可以导通第二晶体管150。

[0046] 在(与如上所述的第一电压不同的)第二电压被施加到第二反相器122的第一晶体管130的端子129时将第一电压施加到第二反相器122的输入端可以关断第一晶体管130,并且可以导致用于第一晶体管130的非零(例如,负) $V_{SG}$ 。当第一晶体管130截止时,结果得到的非零(例如,负) $V_{SG}$ 可以减小(与正的 $V_{SG}$ 或为0V的 $V_{SG}$ 相比)通过第二反相器122的第一晶体管130的泄漏电流。例如,第二反相器122的第一晶体管130可以对应于PMOS晶体管,并且在第二电压(例如,1.3V)被施加到第一晶体管130的端子129时将第一电压(例如,1.5V)施加到第一晶体管130的栅极端131可以关断第一晶体管130,并且可以导致对应于-0.2V(例如,1.3V-1.5V=-0.2V)的用于第一晶体管130的非零(例如,负) $V_{SG}$ 。当第一晶体管130截止时,结果得到的非零(例如,负) $V_{SG}$ (例如,为-0.2V的 $V_{SG}$ )可以减小(与正的 $V_{SG}$ 或为0V的 $V_{SG}$ 相比)通过第二反相器122的第一晶体管130的泄漏电流。由此,第一功率门控电路108可以减小通过第二反相器122的第一晶体管130的待机泄漏电流。附加地,与在待机模式期间晶体管处的电压可以浮置的常规功率门控形成对比,逻辑电路106的晶体管状态或晶体的条件可以是已知的或可预测的(例如,在从待机模式转变到正常模式时),从而使得逻辑电路106能够响应于特定输入而提供特定输出。

[0047] 尽管器件100被解说为包括包含具有交织端子(例如,端子123、127、和129跨第一电源轨102和第二电源轨104交织,并且端子145、148、和151跨第一接地轨132和第二接地轨133交织)的三个反相器逻辑电路106,逻辑电路106的其他实现可以包括多于或少于具有交织端子的三个反相器。另外,尽管器件100被解说为包括第二电源轨104、第二接地轨133、以及第一和第二功率门控电路108和135,但是在其他实现中,器件100可以不包括第二接地轨133和第二功率门控电路135或可以不包括第二电源轨104和第一功率门控电路108。例如,在其他实现中,器件100可以不包括第二接地轨133和第二功率门控电路135。在这些实现中,第二晶体管146的端子148可以(例如,直接地)耦合至第一接地轨132。作为另一示例,在其他实现中,器件100可以不包括第二电源轨104和第一功率门控电路108。在这些实现中,第三反相器118的第一晶体管124的端子123和第二反相器122的第一晶体管130的端子129可以(例如,直接地)耦合至第一电源轨102。

[0048] 参照图2,公开了一种解码器器件的特定解说性实施例并将其一般地标示为200。解码器器件200包括第一电源轨202和第二电源轨204。第一电源轨202和第二电源轨204可分别对应于图1的第一电源轨102和第二电源轨104,或可以如上所述分别参照图1的第一电源轨102和第二电源轨104来配置。

[0049] 解码器器件200包括第一功率门控电路208,该第一功率门控电路208包括连接在单元地址解码器216与电压源201之间(例如,电连接在单元地址解码器216与电压源201之间)的开关器件210。第一功率门控电路208进一步包括钳位二极管212,钳位二极管212在单元地址解码器216与电压源201之间与开关器件210并联地连接(例如,在单元地址解码器216与电压源201之间电连接)。在一些示例中,开关器件210可以在第一电源轨202与第二电源轨204之间与钳位二极管212并联地连接(例如,在第一电源轨202与第二电源轨204之间与钳位二极管212并联地电连接)。在一些示例中,开关器件210包括p型金属氧化物半导体(PMOS)晶体管。第一功率门控电路208进一步包括钳位二极管,钳位二极管在第一电源轨202与第二电源轨204之间与开关器件210并联(例如,电并联)地连接(例如,在第一电源轨202与第二电源轨204之间与开关器件210并联地电连接)。例如,钳位二极管212的输入端以及开关器件210的源极端或漏极端可以连接至第一电源轨202,并且开关器件210的源极端或漏极端以及钳位二极管212的输出端可以连接至第二电源轨204。在一些示例中,钳位二极管212可以对应于或可以包括PMOS晶体管(例如“经二极管连接的PMOS晶体管”)。在一些示例中,经二极管连接的PMOS晶体管可以包括耦合至第二电源轨204的漏极端和栅极端以及耦合至第一电源轨202的源极端。

[0050] 在一些示例中,诸如当单元地址解码器216在第一操作模式(例如,非功率节省模式)中时,开关器件210可以闭合并且来自第一电源轨202的电压(例如,“第一电压”)可以(例如,越过开关器件210)被提供给第二电源轨204,使得第二电源轨204的电压(例如,“第二电压”)对应于(例如,基本上等于)第一电源轨202的第一电压。在其他示例中,诸如当单元地址解码器216在第二操作模式(例如,功率节省模式)中时,开关器件210可以打开并且来自第一电源轨202的第一电压的仅一部分被提供给第二电源轨204,使得第二电源轨204的第二电压与不同于(例如,基本上不同于)(例如,少于)第一电源轨202的第一电压的电压相对应。在一些示例中,第二电压可对应于来自第一电源轨202的第一电压(例如Vdd)减去钳位二极管212的阈值电压。

[0051] 例如,在非功率节省模式中的操作期间,开关器件210可以闭合,由此使第一电源轨202短路至第二电源轨204(从而导致来自第一电源轨202的第一电压越过开关器件210施加到第二电源轨204)。由此,在非功率节省模式期间,第二电源轨204的第二电压可以对应于(例如,可以基本上等于)第一电源轨202的第一电压。在功率节省模式期间,打开(例如,关断)开关器件210的信号可以经由控制211来施加到开关器件210。打开开关器件210可导致泄漏电流将第二电源轨204处的电压放电至使得钳位二极管212导通的电压(例如,第二电压),由此将第二电源轨204处的电压钳位在与第一电压不同的(例如,基本上不同的)电压处。为了解说,第一电压可以对应于1.5V,并且钳位二极管212的阈值电压可以对应于0.2V。在该示例中,当开关器件210打开(例如,关断)时,第二电源轨204可以放电至1.3V,此时钳位二极管212可以导通并且可以将第二电源轨204的第二电压钳位至1.3V(例如, $1.5\text{V}-0.2\text{V}=1.3\text{V}$ )。

[0052] 如上所述,在一些示例中,开关器件210可对应于或可包括PMOS晶体管,并且钳位二极管212可对应于或可包括经二极管连接的PMOS晶体管。在这些示例中,在功率节省模式期间,开关器件210关断并在浮置状态中,这导致第二电源轨204放电(例如,导致第二电源轨204处的电压下降并且导致第一电源轨202与第二电源轨204之间电势差增大)。第二电源轨204处的电压可以下降,直至第一电源轨202与第二电源轨204之间的电压差(例如,经二极管连接的PMOS晶体管的源极-漏极电压 $V_{SD}$ )对应于经二极管连接的PMOS晶体管的阈值电压。当经二极管连接的PMOS晶体管的 $V_{SD}$ 对应于经二极管连接的PMOS晶体管的阈值电压时,经二极管连接的PMOS晶体管可导通,从而导致第二电源轨204的第二电压对应于第一电源轨202的第一电压减去经二极管连接的PMOS晶体管的阈值电压。

[0053] 由此,第二电源轨204的第二电压可以从第一电源轨202的第一电压导出,并且可以基于第一功率门控电路208(例如,基于开关器件210是打开还是闭合的)来变化,该第一功率门控电路208可以基于单元地址解码器216的操作模式来(例如,由控制211)控制。

[0054] 解码器器件200包括第一接地轨232和第二接地轨233。第一接地轨232和第二接地轨233可分别对应于图1的第一接地轨132和第二接地轨133,或可以如上所述分别参照图1的第一接地轨132和第二接地轨133来配置。在一些示例中,第一接地轨232可以被耦合(例如,直接耦合)至接地259,并且第一接地轨232的电压(例如,“第三电压”)可以对应于接地。

[0055] 解码器器件200包括第二功率门控电路235,该第二功率门控电路235包括连接在第一接地轨232与第二接地轨233之间(例如,电连接在第一接地轨232与第二接地轨233之间)的开关器件236。在一些示例中,开关器件236包括n型金属氧化物半导体(NMOS)晶体管。第二功率门控电路235进一步包括钳位二极管234,钳位二极管234在第一接地轨232与第二接地轨233之间与开关器件236并联(例如,电并联)地连接(例如,在第一接地轨232与第二接地轨233之间与开关器件236并联地电连接)。例如,钳位二极管234的输入端以及开关器件236的源极端或漏极端可以连接至第一接地轨232,并且开关器件236的源极端或漏极端以及钳位二极管234的输出端可以连接至第二接地轨233。在一些示例中,钳位二极管234可以对应于或可以包括NMOS晶体管(例如,“经二极管连接的NMOS晶体管”)。在一些示例中,经二极管连接的NMOS晶体管可以包括耦合至第二接地轨233的漏极端和栅极端以及耦合至第一接地轨232的源极端。

[0056] 在一些示例中,诸如当单元地址解码器216在第一操作模式(例如,非功率节省模式)中时,开关器件236可以闭合并且来自第一接地轨232的电压(例如,“第三电压”)可以(例如,越过开关器件236)提供给第二接地轨233,使得第二接地轨233的电压(例如,“第四电压”)对应于(例如,基本上等于)第一接地轨232的第三电压。在其他示例中,诸如当单元地址解码器216在第二操作模式中时,开关器件236可以是打开的,并且第二接地轨233的第四电压可以与不同于(例如,基本上不同于)(例如,大于)第一接地轨232的第三电压相对应,如以下更详细描述。在一些示例中,第四电压可与来自第一接地轨232的第三电压(例如 $V_{ss}$ )加上钳位二极管234的阈值电压相对应。

[0057] 例如,在非功率节省模式中的操作期间,开关器件236可以闭合,由此使第一接地轨232短路至第二接地轨233(从而导致来自第一接地轨232的第三电压越过开关器件236施加到第二接地轨233)。由此,在非功率节省模式期间,第二接地轨233的第四电压可以对应于(例如,可以基本上等于)第一接地轨232的第三电压。在功率节省模式期间,打开(例如,

关断) 开关器件236的信号可以经由控制236来施加到开关器件213。打开开关器件236可导致泄漏电流将第二接地轨233处的电压充电至使得钳位二极管234导通的电压(例如,至第四电压),由此将第二接地轨233处的电压钳位在与第三电压不同的(例如,基本上不同的)电压处。为了解说,第三电压可以对应于0V,并且钳位二极管234的阈值电压可以对应于0.2V。在该示例中,当开关器件236打开(例如,关断)时,第二接地轨233可以充电至0.2V,此时钳位二极管234可以导通并且可以将第二接地轨233的第四电压钳位至0.2V(例如,  $0V + 0.2V = 0.2V$ )。

[0058] 如上所述,在一些示例中,开关器件236可对应于或可包括NMOS晶体管,并且钳位二极管234可对应于或可包括经二极管连接的NMOS晶体管。在这些示例中,在功率节省模式期间,开关器件236关断并在浮置状态中,这导致第二接地轨233充电(例如,导致第二接地轨233处的电压增大并且导致第一接地轨232与第二接地轨233之间电势差增大)。第二电源轨233处的电压可以增大,直至第一接地轨232与第二接地轨233之间的电压差(例如,经二极管连接的NMOS晶体管的漏极-源极电压 $V_{DS}$ )对应于经二极管连接的NMOS晶体管的阈值电压。当经二极管连接的NMOS晶体管的 $V_{DS}$ 对应于经二极管连接的NMOS晶体管的阈值电压时,经二极管连接的NMOS晶体管可导通,从而导致第二接地轨233的第四电压对应于第一接地轨232的第三电压减去经二极管连接的NMOS晶体管的阈值电压。

[0059] 由此,第二接地轨233的第四电压可以从第一接地轨232的第三电压导出,并且可以基于第二功率门控电路235(例如,基于开关器件236是打开还是闭合的)来变化,该第二功率门控电路135可以基于单元地址解码器216的操作模式来(例如,由控制213)控制。

[0060] 解码器器件200包括单元地址解码器216。单元地址解码器216可对应于单元行解码器或单元列解码器。例如,单元地址解码器216可以对应于单元行解码器群中的一单元行解码器,所述单元行解码器群被共同用于访问包括多个行的单元(例如,存储器单元)阵列(诸如图3的单元(存储器单元)阵列302、304、306、或308中的一者或多者)。该单元行解码器群中的每个单元行解码器可以被配置成访问多个行中的特定(例如,相关联的)行。作为示例,单元阵列可以包括256行,该单元行解码器群可以包括256个单元行解码器,并且集体解码器集合的256个单元行解码器中的每一者可以与该单元阵列的256行的特定行相关联。在该示例中,上游预解码器可以接收包括与单元阵列的特定行地址对应的比特的地址。例如,预解码器可以接收与单元阵列的特定行地址对应的8比特存储器地址。预解码器可以被配置成输出与关联于由8比特存储器地址指示的行的特定单元行解码器相对应的信号(例如,  $RA_i$  和  $RA_j$  信号)。

[0061] 为了解说,单元地址解码器216可以与单元阵列的第98行相关联,并且可以在预解码器输出  $RA_i = 2$  信号和  $RA_j = 6$  信号(例如,与该单元阵列的第98行相关联的  $RA_i$  和  $RA_j$  信号)时被激活。在该示例中,预解码器可以接收对应于单元阵列的第98行的行地址(例如,与以二进制计的98相对应的01100010),并且该预解码器可以确定(对应于以二进制计的2的)前四比特0010对应于第二  $RA_i$  线或输出信号(例如,  $RA_i = 2$ ) 以及(对应于以二进制计的6的)后四比特0110对应于第六  $RA_j$  线或输出信号(例如,  $RA_j = 6$ )。预解码器可以输出  $RA_i = 2$  和  $RA_j = 6$  信号,由此激活(具有输入线  $RA_i = 2$  和  $RA_j = 6$  并且与单元阵列的第98行相关联的)单元地址解码器216。

[0062] 单元地址解码器216包括地址解码器电路206。地址解码器电路206可以包括耦合

至对应的输入线RAi和Raj且耦合至第一电源轨202的逻辑门231。地址解码器电路206还可以包括耦合至对应的输入线RAi和Raj且耦合至第二接地轨233的逻辑门237。在一些示例中,逻辑门231可以包括具有耦合至RAj的栅极端的PMOS晶体管P0,并且可以包括具有耦合至RAi的栅极端的PMOS晶体管P1。PMOS晶体管P0和P1可以各自包括耦合至第一电源轨202的源极端或漏极端。作为另一示例,逻辑门237可以包括具有耦合至RAi的栅极端的NMOS晶体管N0以及具有耦合至RAj的栅极端的NMOS晶体管N1。NMOS晶体管N0可以具有耦合至NMOS晶体管N1的源极端或漏极端的源极端或漏极端,并且NMOS晶体管N1可以具有耦合至第二接地轨233的源极端或漏极端。

[0063] 地址解码器电路206可以包括第三反相器218,其具有耦合至逻辑门231和逻辑门237的输出端的输入端。第三反相器218可以包括具有(例如,直接地)耦合至第二电源轨204的端子223(例如,源极端或漏极端)的第一晶体管224并且可以包括具有(例如,直接地)耦合至第一接地轨232的端子245(例如,源极端或漏极端)的第二晶体管244。在一些示例中,第三反相器218的第一晶体管224可以对应于PMOS晶体管,并且第三反相器218的第二晶体管244可以对应于NMOS晶体管。

[0064] 单元地址解码器216还包括包含第一反相器220和第二反相器222的驱动器电路209。第一反相器220可以包括第一晶体管226和第二晶体管246。第二反相器222可以包括第一晶体管230和第二晶体管250。在一些示例中,第一反相器220的第一晶体管226、第二反相器222的第一晶体管230、或两者,包括PMOS晶体管。附加地或替换地,在一些示例中,第一反相器220的第二晶体管246、第二反相器222的第二晶体管250、或两者,包括NMOS晶体管。

[0065] 第一反相器220的第一晶体管226的端子227(例如,源极端或漏极端)可以(例如,直接地)耦合至第一电源轨202。附加地或替换地,第二反相器222的第一晶体管230的端子229(例如,源极端或漏极端)可以(例如,直接地)耦合至第二电源轨204。第一反相器220的第二晶体管248的端子248(例如,源极端或漏极端)可以(例如,直接地)耦合至第二接地轨233。附加地或替换地,第二反相器222的第二晶体管250的端子251(例如,源极端或漏极端)可以(例如,直接地)耦合至第一接地轨232。

[0066] 在功率节省模式中的操作期间,信号RAi和RAj可对应于0V,并且逻辑门231的源极端或漏极端可接收第一电压。当逻辑门231的漏极端或源极端被耦合至第一电源轨202时(例如,当第一电压被施加到逻辑门231的漏极端或源极端时)将0V施加到逻辑门231的栅极端可以导通逻辑门231。例如,逻辑门231可以对应于PMOS晶体管P0和P1,并且在RAi和RAj对应于0V时将第一电压施加到逻辑门231的漏极端或源极端可以导通PMOS晶体管P0和P1。附加地,将0V施加到逻辑门237的栅极端可以关断逻辑门237。例如,逻辑门237可以对应于NMOS晶体管N0和N1,并且将0V施加到NMOS晶体管N0和N1的端子可以关断NMOS晶体管N0和N1。由此,当在功率节省模式中的操作期间逻辑门237截止时,来自第一电源轨202的第一电压被传递通过逻辑门231中的一者或多者并输出至第三反相器218。

[0067] 在功率节省模式中的操作期间,第三反相器218的第一晶体管224的端子223可以从第二电源轨204接收(与如上所述的第一电压不同的)第二电压,并且第三反相器218的第二晶体管244的端子245可以从第一接地轨232接收第三电压(例如,接地电压)。在第三电压被施加到第三反相器218的第二晶体管244的端子245时,将(从第一电源轨202传递通过逻辑门231中的一者或多者的)第一电压施加到第三反相器218的输入端可以导致第二晶体管

244导通。例如,第三反相器218的第二晶体管244可以对应于NMOS晶体管,并且在第三电压(例如,接地)被施加到第二晶体管244的端子245时将第一电压(例如,1.5V)施加到第二晶体管244的栅极端243可以导通第二晶体管244。

[0068] 附加地或替换地,在开关器件210截止并且将(与如上所述的第一电压不同的)第二电压施加到第三反相器218的第一晶体管224的端子223时将(从第一电源轨202传递通过逻辑门231中的一者或多者的)第一电压施加到第三反相器218的输入端,可导致用于第一晶体管224的非零(例如,负)源极到栅极电压( $V_{SG}$ ),这不足以导通第三反相器218的第一晶体管224(例如,第一晶体管224可截止)。当第一晶体管224截止时,结果得到的非零(例如,负) $V_{SG}$ 可以减小(与正的 $V_{SG}$ 或为0V的 $V_{SG}$ 相比)通过第三反相器218的第一晶体管224的泄漏电流。例如,第三反相器218的第一晶体管224可以对应于PMOS晶体管,并且在第二电压(例如,1.3V)被施加到第一晶体管224的端子223时将第一电压(例如,1.5V)施加到第一晶体管224的栅极端225可以关断第一晶体管224,并且可以导致与第二电压减去第一电压(例如,1.3V-1.5V=-0.2V)相对应的用于第一晶体管224的非零(例如,负) $V_{SG}$ 。当第一晶体管224截止时,结果得到的非零(例如,负) $V_{SG}$ (例如,为-0.2V的 $V_{SG}$ )可以减小(与正的 $V_{SG}$ 或为0V的 $V_{SG}$ 相比)通过第三反相器218的第一晶体管224的泄漏电流。由此,第一功率门控电路208可以减小通过第三反相器218的第一晶体管224的待机泄漏电流。

[0069] 在功率节省模式中的操作期间,第一反相器220的第一晶体管226的端子227可以从第一电源轨202接收第一电压,并且第一反相器220的第二晶体管246的端子248可以从第二接地轨233接收第四电压。如上所述的关断第三反相器218的第一晶体管224并且导通第三反相器218的第二晶体管244可以使得第三反相器218的输出对应于第三电压(例如,接地电压)。由此,对应于接地的电压可以被施加到第一反相器220的输入端。

[0070] 在来自第一接地轨202的第一电压被施加到第一反相器220的第一晶体管226的端子227时,将接地电压施加到第一反相器220的输入端可以导通第一晶体管226。例如,第一反相器220的第一晶体管226可以对应于PMOS晶体管,并且在第一电压(例如,1.5V)被施加到第一晶体管226的端子227时将接地施加到第一晶体管226的栅极端228可以导通第一晶体管226。

[0071] 将接地电压施加到第一反相器220的输入端可以防止第一反相器220的第二晶体管246导通,并且可以导致用于第二晶体管246的非零(例如,负) $V_{GS}$ 。当第二晶体管246截止时,结果得到的非零(例如,负) $V_{GS}$ 可以减小(与正的 $V_{GS}$ 或为0V的 $V_{GS}$ 相比)通过第一反相器220的第二晶体管246的泄漏电流。例如,第一反相器220的第二晶体管246可以对应于NMOS晶体管,并且在来自第二接地轨233的第三电压(例如,0.2V)被施加到第二晶体管246的端子248时将接地电压施加到第二晶体管246的栅极端247可以防止第二晶体管246导通并且可以导致用于第二晶体管246的为-0.2V(例如,0V-0.2V=-0.2V)的 $V_{GS}$ 。当第二晶体管246截止时,第一反相器220的第二晶体管246的非零(例如,负) $V_{GS}$ (为-0.2V的 $V_{GS}$ )可以减小(与正的 $V_{GS}$ 或为0V的 $V_{GS}$ 相比)通过第二晶体管246的泄漏电流。由此,第二功率门控电路235可以减小通过第一反相器220的第二晶体管246的待机泄漏电流。附加地,因为第一晶体管226被导通并且第二晶体管246被关断,所以第一反相器220可以(向第二反相器222)输出(从第一电源轨202传递通过第一晶体管226的)第一电压。

[0072] 在功率节省模式中的操作期间,第二反相器222的第一晶体管230的端子229可以



从第二电源轨204接收(与如上所述的第一电压不同的)第二电压,并且第二反相器222的第二晶体管250的端子251可以从第一接地轨232接收第三电压。如上所述的导通第一反相器220的第一晶体管226并且关断第一反相器220的第二晶体管246可以使得第一反相器220的输出对应于第一电压。由此,第一电压可以被施加到第二反相器222的输入端。

[0073] 在来自第一接地轨232的第三电压被施加到第二反相器222的第二晶体管250的端子251时,将第一电压施加到第二反相器222的输入端可以导通第二晶体管250。例如,第二反相器222的第二晶体管250可以对应于NMOS晶体管,并且在第三电压(例如,0V)被施加到第二晶体管250的端子251时将第一电压施加到第二晶体管250的栅极端249可以导通第二晶体管250。

[0074] 在开关器件210截止且(与如上所述的第一电压不同的)第二电压被施加到第二反相器222的第一晶体管230的端子229时将第一电压施加到第二反相器222可以关断第一晶体管230,并且可以导致用于第一晶体管230的非零(例如,负) $V_{SG}$ 。当第一晶体管230截止时,结果得到的非零(例如,负) $V_{SG}$ 可以减小(与正的 $V_{SG}$ 或为0V的 $V_{SG}$ 相比)通过第二反相器222的第一晶体管230的泄漏电流。例如,第二反相器222的第一晶体管230可以对应于PMOS晶体管,并且在第二电压(例如,1.3V)被施加到第一晶体管230的端子229时将第一电压(例如,1.5V)施加到第一晶体管230的栅极端258可以关断第一晶体管230,并且可以导致对应于-0.2V(例如,1.3V-1.5V=-0.2V)的用于第一晶体管230的非零(例如,负) $V_{SG}$ 。当第一晶体管230截止时,结果得到的非零(例如,负) $V_{SG}$ (例如,为-0.2V的 $V_{SG}$ )可以减小(与正的 $V_{SG}$ 或为0V的 $V_{SG}$ 相比)通过第二反相器222的第一晶体管230的泄漏电流。由此,第一功率门控电路208可以减小通过第二反相器222的第一晶体管230的待机泄漏电流。附加地,与在待机模式期间晶体管处的电压可以浮置的常规功率门控形成对比,驱动器电路209的晶体管的晶体管状态或条件可以是已知的或可预测的(例如,在从待机模式转变到正常模式时),从而使得单元地址解码器216能够响应于特定输入而在输出端217处提供特定输出(例如,0V的预充电条件)。

[0075] 参考图3,包括共享共用功率门控电路的单元行解码器的存储器器件的特定解说性实施例被一般地描绘为300。存储器器件300可以包括电源轨312(其包括第一电源轨和第二电源轨)以及电源轨316(其包括第三电源轨和第四电源轨)。第一和第三电源轨可对应于直接地耦合至电源/电压源的电源轨。例如,第一和第三电源轨可以如上所述参照图1的第一电源轨102或图2的第一电源轨202来配置。第一和第三电源轨可以被配置成如上所述参照图1的第一电源轨102或图2的第一电源轨202来提供电压(例如,第一电压)。第二和第四电源轨可对应于分别从第一和第三电源轨导出电压(例如,第二电压)的电源轨。例如,第二和第四电源轨可以如上所述参照图1的第二电源轨104或图2的第二电源轨204来配置,以导出对应于第一电压的第二电压或导出不同于(例如,小于)第一电压的第二电压。

[0076] 存储器器件300可以包括接地轨314(其包括第一接地轨和第二接地轨)以及接地轨318(其包括第三接地轨和第四接地轨)。第一和第三接地轨可对应于直接地耦合至接地的接地轨。例如,第一和第三接地轨可以如上所述参照图1的第一接地轨132或图2的第一接地轨232来配置。第一和第三接地轨可以被配置成如上所述参照图1的第一接地轨132或图2的第一接地轨232来提供电压(例如,第三电压)。第二和第四接地轨可对应于分别从第一和第三接地轨导出电压(例如,第四电压)的接地轨。例如,第二和第四接地轨可以如上所述参

照图1的第二接地轨133或图2的第二接地轨233来配置,以导出对应于第三电压的第四电压或导出不同于(例如,小于)第三电压的第四电压。

[0077] 存储器器件300可以包括与第一单元阵列302的行和/或与第三单元阵列306的行相关联的单元行解码器326。单元行解码器326中的每个单元行解码器可以与第一单元阵列302和/或第三单元阵列306的特定行相关联。单元行解码器326中的每个单元行解码器可具有与关联于该单元行解码器的第一单元阵列302和/或第三单元阵列306的特定行相对应的特定输入(例如,如上所述参照图2的RA<sub>i</sub>和RA<sub>j</sub>输入)。例如,单元行解码器326中的第一单元行解码器可以包括如上所述参照图2的单元地址解码器216来配置的组件,并且可具有特定输入RA<sub>i</sub>=w和RA<sub>j</sub>=x,其可对应于第一单元阵列302的多个行中的第P行。作为另一示例,单元行解码器326中的第二单元行解码器可以包括如上所述参照图2的单元地址解码器216来配置的组件,并且可具有特定输入RA<sub>i</sub>=y和RA<sub>j</sub>=z,其可对应于第三单元阵列306的多个行中的第Q行。

[0078] 如上所述参照图2的单元地址解码器216以及第一电源轨202和第二电源轨204,单元行解码器326中的第一单元行解码器可以耦合至电源轨312中的第一电源轨且耦合至电源轨312中的第二电源轨。为了解说,图3的单元行解码器326中的第一单元行解码器可以包括对应于图2的第一反相器220的第一反相器,该第一反相器包括与(例如,直接地)耦合至图3的电源轨312中的第一电源轨的第一晶体管226相对应的第一晶体管。单元行解码器326中的第一单元行解码器还可以包括对应于图2的第二反相器222的第二反相器,该第二反相器包括与耦合至图3的电源轨312中的第二电源轨的第一晶体管230相对应的第一晶体管。由此,单元行解码器326中的第一单元行解码器可以包括交织在电源轨312中的第一电源轨与第二电源轨之间的反相器。

[0079] 作为另一示例,如上所述参照图2的单元地址解码器216以及第一接地轨232和第二接地轨232,单元行解码器326中的第一单元行解码器可以耦合至图3的接地轨314中的第一接地轨和第二接地轨。为了解说,第一单元行解码器的第一反相器可以包括对应于第二晶体管246的第二晶体管,该第二晶体管(例如,直接地)耦合至图3的接地轨314的第二接地轨。第一单元行解码器的第二反相器还可以包括对应于第二晶体管250的第二晶体管,该第二晶体管(例如,直接地)耦合至图3的接地轨314中的第一接地轨。由此,单元行解码器326中的第一单元行解码器可以包括交织在接地轨314中的第一接地轨与第二接地轨之间的反相器。

[0080] 如上所述参照图2的单元地址解码器216以及第一电源轨202和第二电源轨204,单元行解码器326中的第二单元行解码器可以耦合至电源轨312中的第一电源轨且耦合至电源轨312中的第二电源轨。为了解说,图3的单元行解码器326中的第二单元行解码器可以包括对应于图2的第一反相器220的第一反相器,该第一反相器包括与(例如,直接地)耦合至图3的电源轨312中的第一电源轨的第一晶体管226相对应的第一晶体管。单元行解码器326中的第二单元行解码器还可以包括对应于图2的第二反相器222的第二反相器,该第二反相器包括与耦合至图3的电源轨312中的第二电源轨的第一晶体管230相对应的第一晶体管。由此,单元行解码器326中的第二单元行解码器可以包括交织在电源轨312中的第一电源轨与第二电源轨之间的反相器。

[0081] 作为另一示例,如上所述参照图2的单元地址解码器216以及第一接地轨232和第

二接地轨232,单元行解码器326中的第二单元行解码器可以耦合至图3的接地轨314中的第一接地轨和第二接地轨。为了解说,图3的单元行解码器326中的第二单元行解码器的第一反相器可以包括对应于图2的第二晶体管246的第二晶体管,该第二晶体管(例如,直接地)耦合至图3的接地轨314中的第二接地轨。单元行解码器326中的第二单元行解码器的第二反相器还可以包括对应于图2的第二晶体管250的第二晶体管,该第二晶体管耦合至图3的接地轨314中的第一接地轨。由此,单元行解码器326中的第二单元行解码器可以包括交织在接地轨314中的第一接地轨与第二接地轨之间的反相器。

[0082] 由此,单元行解码器326中的多个单元行解码器可以包括交织在电源轨312中的第一电源轨与第二电源轨之间的反相器。附加地,单元行解码器326中的多个单元行解码器可以包括交织在接地轨314中的第一接地轨与第二接地轨之间的反相器。

[0083] 存储器器件300可以包括功率门控电路322。功率门控电路322可以包括第一功率门控电路和第二功率门控电路。功率门控电路322中的第一功率门控电路可对应于、或可被配置成和/或充当如上所述参照图1的第一功率门控电路108或图2的第一功率门控电路208。例如,功率门控电路322中的第一功率门控电路可以包括对应于图2的开关器件210的第一开关器件(例如,单个晶体管)。图3的功率门控电路322中的第一功率门控电路还可以包括对应于图2的钳位二极管212的第一钳位二极管,该第一钳位二极管在图3的电源轨312中的第一电源轨与第二电源轨之间与第一开关器件并联地连接。例如,当功率门控电路322中的第一功率门控电路的第一开关器件打开时,功率门控电路的第一钳位二极管可以将电源轨312中的第二电源轨钳位至不同于(例如,小于)第一电压的第二电压。当功率门控电路322中的第一功率门控电路的第一开关器件闭合时,来自电源轨312中的第一电源轨的第一电压可越过第一开关器件施加到电源轨312中的第二电源轨(例如,第二电源轨的第二电压可以对应于第一电压)。如上所述,单元行解码器326中的多个行解码器可以包括交织在电源轨312中的第一电源轨与第二电源轨之间的反相器。由此,功率门控电路322中的第一功率门控电路可以充当用于单元行解码器326中的多个单元行解码器的共用功率门控电路。

[0084] 功率门控电路322中的第二功率门控电路可对应于、或可被配置成和/或充当如上所述参照图1的第二功率门控电路135或图2的第二功率门控电路235。例如,功率门控电路322中的第二功率门控电路可以包括对应于图2的开关器件236的第二开关器件(例如,单个晶体管)。图3的功率门控电路322中的第二功率门控电路还可以包括对应于图2的钳位二极管234的第二钳位二极管,该第二钳位二极管在图3的接地轨314中的第一接地轨与第二接地轨之间与第二开关器件并联地连接。例如,当功率门控电路322中的第一功率门控电路的第一开关器件打开时,功率门控电路的第一钳位二极管可以将电源轨314中的第二电源轨钳位至不同于(例如,小于)第一电压的第二电压。当功率门控电路322中的第二功率门控电路的第二开关器件闭合时,来自接地轨314的第一接地轨的第三电压可越过第二开关器件施加到接地轨314中的第二接地轨(例如,第二接地轨的第四电压可以对应于第三电压)。如上所述,单元行解码器326中的多个单元行解码器可以包括交织在接地轨314中的第一接地轨与第二接地轨之间的反相器。由此,功率门控电路322中的第二功率门控电路可以充当用于单元行解码器326中的多个单元行解码器的共用电源门控电路。

[0085] 由此,可以使用第一共用功率门控电路(例如,使用单个功率门控开关晶体管)来对多个单元行解码器326进行功率门控,由此相对于采用非共用功率门控开关的架构(例

如,为每个单元行解码器采用一功率门控开关的架构)而言减小了芯片面积。附加地或替换地,可以使用第二共用功率门控电路(例如,使用单个功率门控开关晶体管)来对多个单元行解码器326进行接地门控,由此相对于采用非共用功率门控开关的架构(例如,为每个单元行解码器采用一功率门控开关的架构)而言减小了芯片面积。

[0086] 存储器器件300可以包括与第二单元阵列304的行和/或与第四单元阵列308的行相关联的单元行解码器328。单元行解码器328中的每个单元行解码器可以与第二单元阵列304和/或第四单元阵列308的特定行相关联。单元行解码器328中的每个单元行解码器可以包括交织在电源轨316中的第三电源轨与第四电源轨之间的反相器,如上所述参照电源轨312中的第一电源轨和第二电源轨。附加地或替换地,单元行解码器328中的每个单元行解码器可以包括交织在接地轨318中的第三接地轨与第四接地轨之间的反相器,如上所述参照接地轨314中的第一接地轨和第二接地轨。

[0087] 存储器器件300可以包括功率门控电路324。功率门控电路324可以包括被配置成控制施加到电源轨316中的第四电源轨的电压的第一功率门控电路,如上所述参照功率门控电路322中的第一功率门控电路和电源轨312中的第二电源轨。功率门控电路324可以包括被配置成控制施加到接地轨318中的第四接地轨的电压的第二功率门控电路,如上所述参照功率门控电路322中的第二功率门控电路和接地轨314中的第二接地轨。

[0088] 由此,可以使用第一共用功率门控电路(例如,使用单个功率门控开关晶体管)对电源进行功率门控来对多个单元行解码器328进行功率门控,由此相对于采用非共用功率门控开关的架构(例如,为每个单元行解码器采用一功率门控开关的架构)而言减小了芯片面积。附加地或替换地,可以使用第二共用功率门控电路(例如,使用单个功率门控开关晶体管)对接地源进行接地门控来对多个单元行解码器328进行接地门控,由此相对于采用非共用功率门控开关的架构(例如,为每个单元行解码器采用一功率门控开关的架构)而言减小了芯片面积。

[0089] 参照图4,描绘了对电路进行功率门控的方法400的解说性示例的流程图。方法400可以使用图1的器件100或图2的解码器器件200来执行。

[0090] 方法400包括在402处经由直接耦合至第一反相器的第一晶体管的源极/漏极端的第一电源轨来将第一电压施加到第一反相器的第一晶体管的源极/漏极端。第一反相器可对应于图1或2的第一反相器120或220,第一晶体管可对应于图1或2的第一晶体管126或226,第一电源轨可对应于图1或2的第一电源轨102或202,并且源极/漏极端可对应于图1或2的端子127或227。

[0091] 方法400进一步包括经由直接耦合至第二反相器的第一晶体管的源极/漏极端的第二电源轨,通过使用并联连接在第一电源轨与第二电源轨之间的钳位二极管将第二电源轨处的电压钳位至第二电压来将第二电压施加到第二反相器的第一晶体管的源极/漏极端。第二反相器可对应于图1或2的第二反相器122或222,第一晶体管可对应于第一晶体管130或230,第二电源轨可对应于第二电源轨104或204,源极/漏极端可对应于端子129或229,并且钳位二极管可对应于钳位二极管112或212。如上所述,第二电压可从施加到第一电源轨的第一电压导出。在一些示例中,如上所述,第二电压可以对应于第一电压减去钳位二极管的阈值电压。由此,方法400包括使反相器在第一电源轨与从第一电源轨导出电压的第二电源轨之间交织。

[0092] 在一些示例中,方法400可进一步包括:通过将第一电压施加到第二反相器的第一晶体管的栅极端同时将第二电压施加到第二反相器的第一晶体管的源极/漏极端来在第一功率模式期间关断第二反相器的第一晶体管。栅极端可以对应于图1或2的栅极端131或258,并且第一功率模式可以对应于如上所述的功率节省模式。在一些示例中,如上所述,将第一电压施加到第二反相器的第一晶体管的栅极端以及将第二电压施加到第二反相器的第一晶体管的源极/漏极端可导致非零(例如,负) $V_{SG}$ ,这如上所述减小(例如,与正的 $V_{SG}$ 或为0V的 $V_{SG}$ 相比)通过第二反相器的第一晶体管的阈下泄漏。由此,当电路在功率节省模式中时,方法400可以减小电路的一些晶体管的阈下泄漏电流。

[0093] 在一些示例中,方法400可进一步包括:通过将第三电压施加到第一反相器的第一晶体管的栅极端同时将第一电压施加到第一反相器的第一晶体管的源极/漏极端来在第一功率模式期间导通第一反相器的第一晶体管。第一反相器的第一晶体管的栅极端可以对应于图1或2的栅极端128或228。在一些示例中,第三电压可以大致为零(0)伏。

[0094] 参照图5,描绘了无线通信设备的特定解说性实施例的框图并将其一般地标示为500。设备500包括耦合至存储器532的处理器510,诸如数字信号处理器(DSP)。在解说性实施例中,处理器510可以包括图1的器件100和/或存储器532可以包括图2的解码器器件200或图3的存储器器件300。在解说性实施例中,图1的器件100或图2的解码器器件200可以根据图4的方法来操作。在一些示例中,处理器510可以将存储器地址(例如,经由预解码器)发送至器件100,并且该器件100可以使用经功率门控的反相器来解码该存储器地址,如上所述参照图1的器件100或图2的解码器器件200。

[0095] 图5还示出了耦合至处理器510和显示器528的显示器控制器526。编码器/解码器(CODEC)534也可被耦合至处理器510。扬声器536和话筒538可被耦合至CODEC 534。

[0096] 图5还指示了无线控制器540可被耦合至处理器510及无线天线542。在特定实施例中,处理器510、显示器控制器526、存储器532、CODEC 534以及无线控制器540被包括在系统级封装或片上系统设备522中。在特定实施例中,输入设备530和电源544被耦合至片上系统设备522。此外,在一特定实施例中,如图5中所解说的,显示器528、输入设备530、扬声器536、话筒538、无线天线542和电源544在片上系统设备522的外部。然而,显示器528、输入设备530、扬声器536、话筒538、无线天线542和电源544中的每一者可耦合至片上系统设备522的组件,诸如接口或控制器。

[0097] 技术人员将进一步领会,结合本文所公开的实施例来描述的各种解说性逻辑框、配置、模块、电路、和算法步骤可实现为电子硬件、由处理器执行的计算机软件、或这两者的组合。各种解说性组件、框、配置、模块、电路、和步骤已经在上文以其功能性的形式作了一般化描述。此类功能性是被实现为硬件还是处理器可执行指令取决于具体应用和加诸于整体系统的设计约束。技术人员可针对每种特定应用以不同方式来实现所描述的功能性,但此类实现决策不应被解读为致使脱离本公开的范围。

[0098] 结合本文所公开的实施例描述的方法或算法的各个步骤可直接用硬件、由处理器执行的软件模块或两者的组合来实现。软件模块可驻留在随机存取存储器(RAM)、闪存、只读存储器(ROM)、可编程只读存储器(PROM)、可擦式可编程只读存储器(EPROM)、电可擦式可编程只读存储器(EEPROM)、寄存器、硬盘、可移动盘、压缩盘只读存储器(CD-ROM)、或本领域中所知的任何其他形式的非瞬态存储介质中。示例性存储介质耦合至处理器,以使该处理

器能从/向该存储介质读写信息。替换地,存储介质可以被整合到处理器。处理器和存储介质可驻留在专用集成电路(ASIC)中。ASIC可驻留在计算设备或用户终端中。在替换方案中,处理器和存储介质可作为分立组件驻留在计算设备或用户终端中。

[0099] 提供前面对所公开的实施例的描述是为了使本领域技术人员皆能制作或使用所公开的实施例。对这些实施例的各种修改对于本领域技术人员而言将是显而易见的,并且本文所定义的原理可被应用于其他实施例而不会脱离本公开的范围。因此,本公开并非旨在被限定于本文中示出的实施例,而是应被授予与如由所附权利要求定义的原理和新颖性特征一致的最广的可能范围。

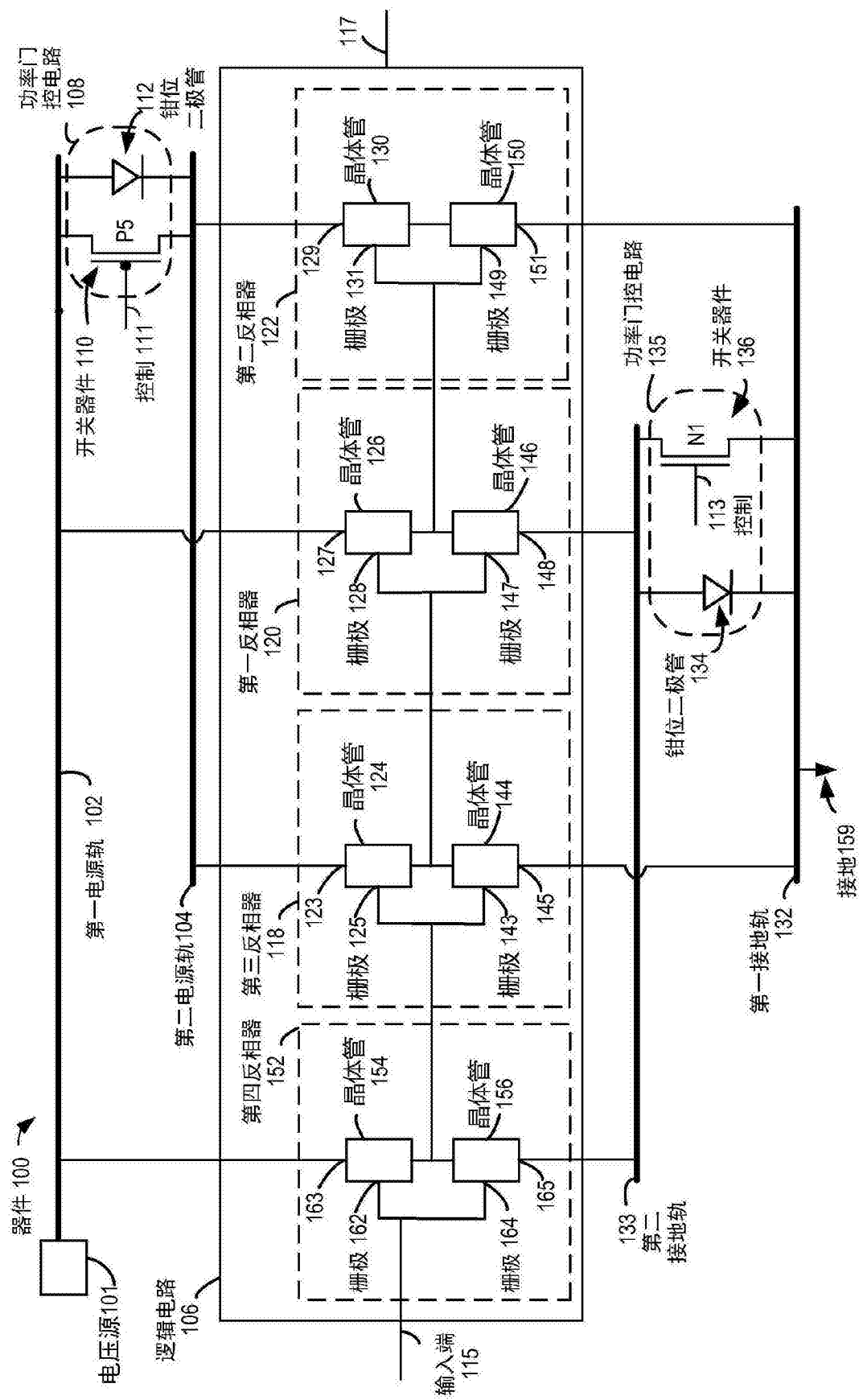


图 1

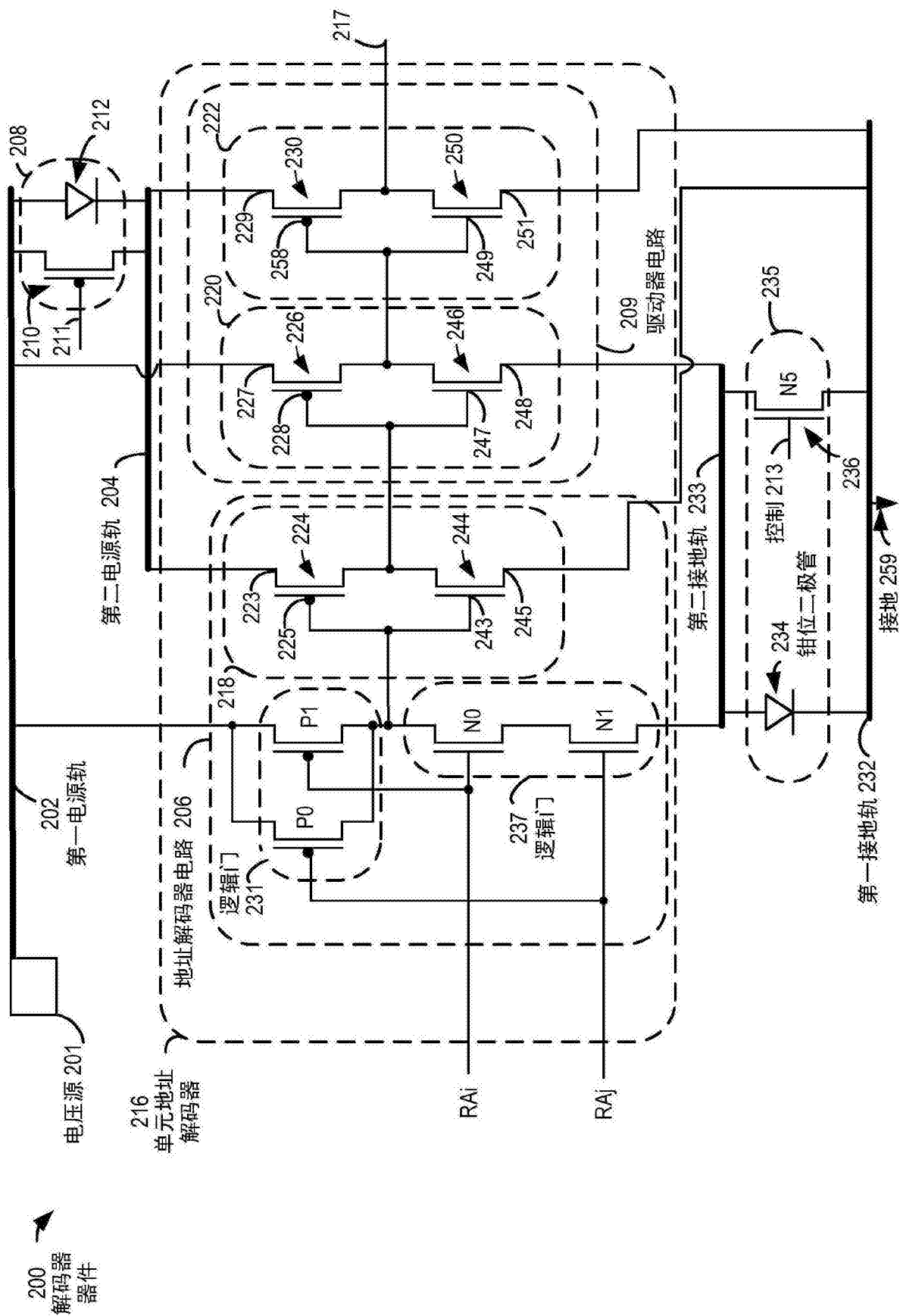


图2



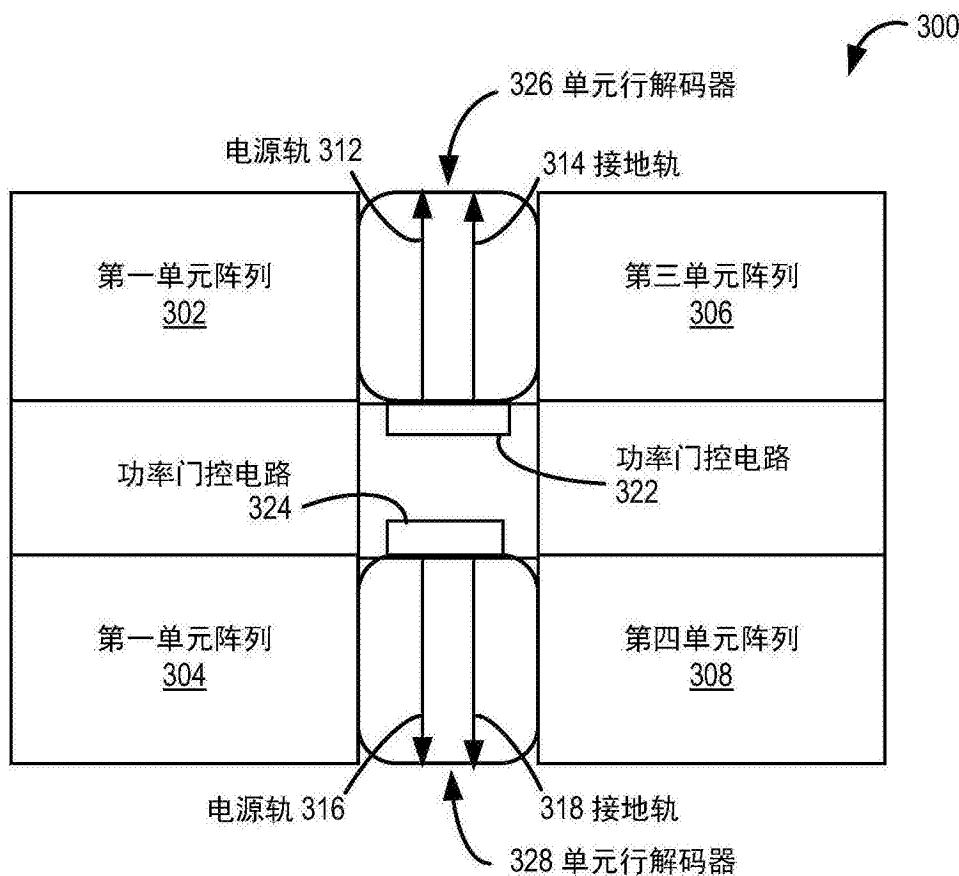


图3

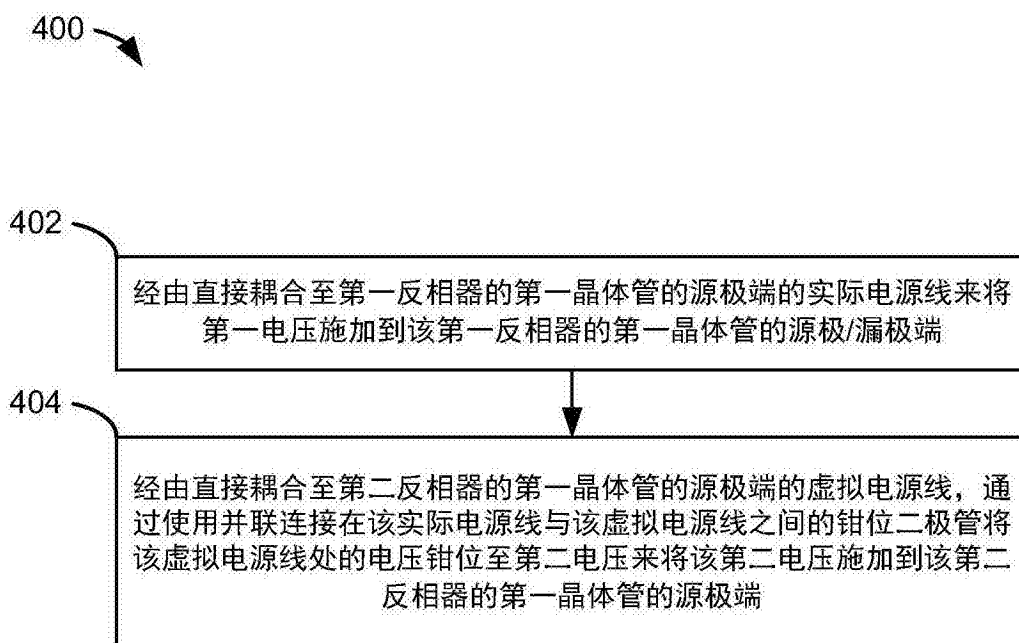


图4

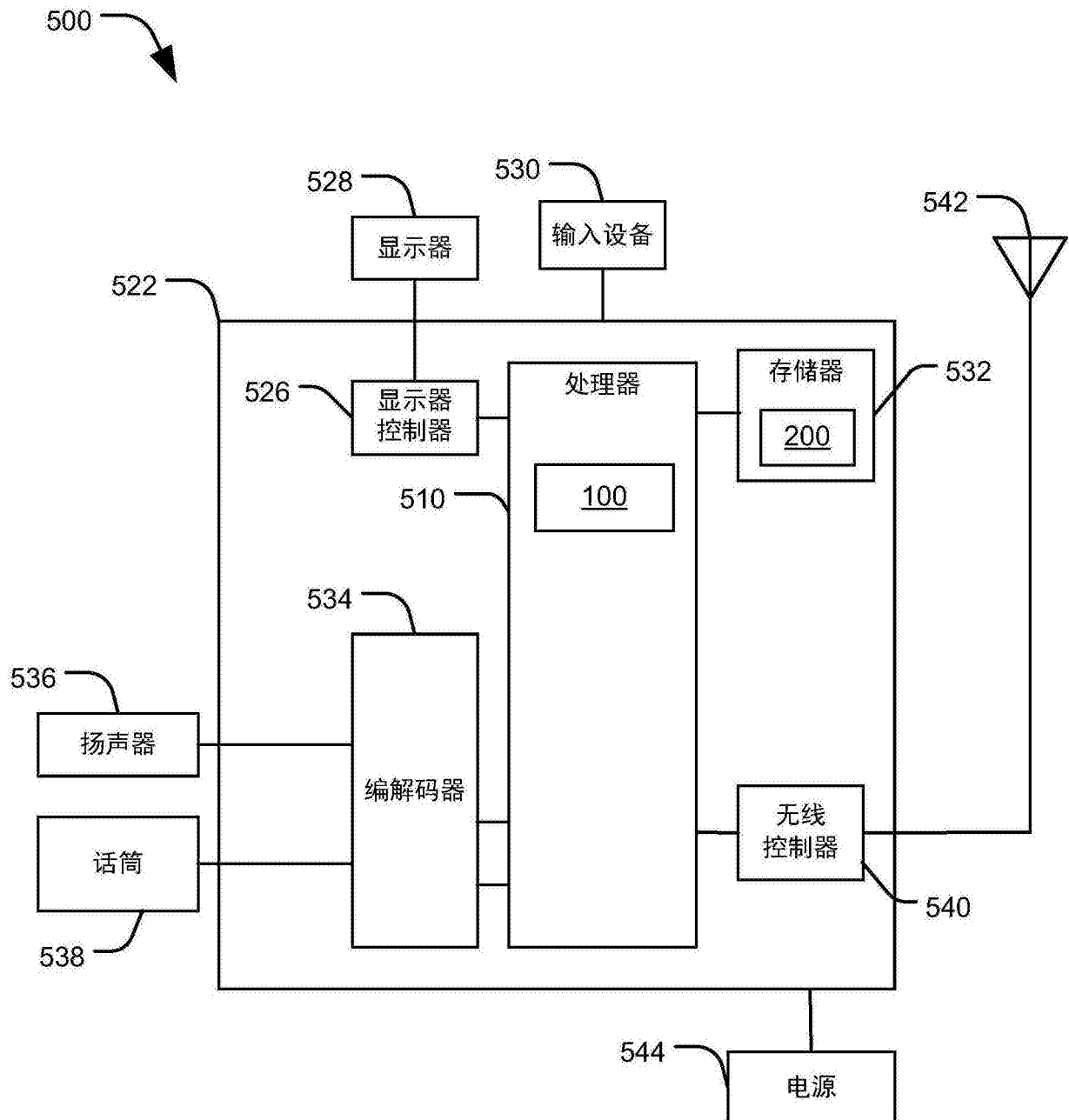


图5